



(12) 发明专利申请

(10) 申请公布号 CN 104347027 A

(43) 申请公布日 2015. 02. 11

(21) 申请号 201310351054. 8

(22) 申请日 2013. 08. 13

(30) 优先权数据

102127753 2013. 08. 02 TW

(71) 申请人 联合聚晶股份有限公司

地址 中国台湾台北市

(72) 发明人 雷家正

(74) 专利代理机构 隆天国际知识产权代理有限公司

公司 72003

代理人 张然 李昕巍

(51) Int. Cl.

G09G 3/32 (2006. 01)

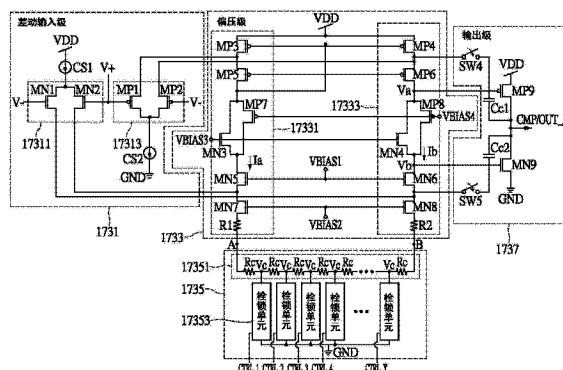
权利要求书3页 说明书17页 附图7页

(54) 发明名称

有机发光显示器的驱动电路以及偏移电压调整单元

(57) 摘要

本发明公开了一种有机发光显示器的驱动电路以及偏移电压调整单元。偏移电压调整单元适用于驱动电路中具有差动输入级、偏压级以及输出级的运算放大器。偏移电压调整单元耦接于偏压级与接地端之间，且包括电阻串以及多个拴锁单元。电阻串具有第一端、第二端与耦接于第一端与第二端之间的多个电阻，且各该电阻之间串联形成多个接点。该些拴锁单元分别对应耦接于该些接点与接地端之间。该些拴锁单元根据一控制信号依序导通，以调整偏压级产生的偏压电流。该些拴锁单元于接收到一拴锁信号时，进入一拴锁状态，以校正运算放大器的输出偏移电压。



1. 一种有机发光显示器的驱动电路,适用于驱动一有机发光显示器,其特征在于该驱动电路包括:

一数字模拟转换单元;

一控制单元,耦接于该数字模拟转换单元;以及

一输出单元,具有多个缓冲单元,各该缓冲单元包括:

一运算放大器,具有一差动输入级、一偏压级、一输出级以及一偏移电压调整单元,其中该偏移电压调整单元包括一电阻串与多个耦接于该电阻串的拴锁单元,且该偏移电压调整单元耦接于该偏压级与一接地端之间,并用以调整该偏压级产生的一偏压电流;以及

一校正单元,耦接于该多个拴锁单元与该运算放大器的输出端之间,该校正单元根据该运算放大器的输出的一输出电压控制该多个拴锁单元以调整该偏压级产生的该偏压电流;

其中,该控制单元在一驱动周期中插入一校正期间,该控制单元在该校正期间中致能该校正单元以进行一校正程序,在完成该校正程序后,该校正单元使该多个拴锁单元进入一拴锁状态以校正该运算放大器的一输出偏移电压。

2. 如权利要求1所述的有机发光显示器,其中该电阻串具有一第一端与一第二端,该第一端与该第二端分别耦接于该偏压级,且该第一端与该第二端之间串联耦接多个电阻,各该电阻之间串联形成多个接点,该多个拴锁单元分别对应耦接于该多个接点与该接地端之间;在该校正期间,该校正单元依序使该多个拴锁单元的其中之一导通,以调整该偏压电流,校正该运算放大器的该输出偏移电压。

3. 如权利要求2所述的有机发光显示器,其中当该校正单元检测到该运算放大器输出的该输出电压由高电压电平转换为低电压电平或由低电压电平转换为高电压电平时,该校正单元输出一拴锁信号使该多个拴锁单元进入该拴锁状态,以使所选择的该多个拴锁单元其中之一维持导通。

4. 如权利要求1所述的有机发光显示器,其中该校正单元包括:

一检测单元,耦接于该运算放大器的输出端与该控制单元,该检测单元用以检测该运算放大器的该输出电压;以及

一拴锁控制电路,耦接于该检测单元与该多个拴锁单元,该拴锁控制电路在该校正程序中根据该检测单元的检测结果,依序使该多个拴锁单元的其中之一导通直到该运算放大器的该输出电压产生一逻辑电平变化,并且在完成该校正程序后,使该多个拴锁单元进入该拴锁状态以使所选择的该多个拴锁单元其中之一维持导通。

5. 如权利要求2所述的有机发光显示器,其中该拴锁单元包括:

一第一晶体管,该第一晶体管的源极耦接于该控制单元,该第一晶体管的栅极受控于该校正单元;

一第二晶体管,该第二晶体管的漏极耦接于该多个电阻之间相对应的该接点,该第二晶体管的源极耦接于该接地端,该第二晶体管的栅极耦接于该第一晶体管的漏极;以及

一储存电容,耦接于该第二晶体管的栅极与该接地端之间。

6. 如权利要求5所述的有机发光显示器,其中该校正单元于进行该校正程序时,依序导通各该拴锁单元中的该第一晶体管以对该储存电容充电,使该第二晶体管导通,以调整该偏压电流;当该校正单元检测到该运算放大器输出的该输出电压产生一逻辑电平变化

时,该校正单元截止该第一晶体管的运作,以使该多个拴锁单元之一的该第二晶体管导通,而其他拴锁单元中的该第二晶体管截止,据以驱动该多个拴锁单元进入该拴锁状态。

7. 如权利要求 1 所述的有机发光显示器,其中该驱动周期包括至少一驱动期间与至少一该校正期间,且在该驱动期间,该控制单元根据一影像数据驱动该输出单元中的各该缓冲单元输出一灰阶电压,以使该有机发光显示器对应显示一影像画面。

8. 如权利要求 7 所述的有机发光显示器,其中该控制单元是于相邻的两驱动期间之间的一间隔时间插入该校正期间。

9. 如权利要求 7 所述的有机发光显示器,其中该缓冲单元还包括:

一第一开关,耦接于该运算放大器的正相输入端与该运算放大器的反相输入端之间;

一第二开关,耦接于该运算放大器的反相输入端与该运算放大器的输出端之间;以及

一第三开关,耦接于该运算放大器的输出端与该有机发光显示器的一有机发光显示面板之间;

其中该控制单元在该校正期间中导通该第一开关,并截止该第二开关与该第三开关,以供该校正单元根据该运算放大器输出的该输出电压校正该运算放大器的该输出偏移电压;该控制单元在该驱动期间中,同时导通该第二开关与该第三开关,并截止该第一开关,以使该运算放大器输出该灰阶电压至该有机发光显示面板。

10. 一种偏移电压调整单元,适用于一运算放大器,该运算放大器具有一差动输入级、一偏压级以及一输出级,其特征在于该偏移电压调整单元耦接于该偏压级与一接地端之间,该偏移电压调整单元包括:

一电阻串,具有一第一端与一第二端,该第一端与该第二端分别耦接于该偏压级,且该第一端与该第二端之间串联耦接多个电阻,各该电阻之间串联形成多个接点;以及

多个拴锁单元,分别对应耦接于该多个接点与该接地端之间,该多个拴锁单元根据一控制信号依序导通,以调整该偏压级产生的一偏压电流,该多个拴锁单元并于接收到一拴锁信号时,进入一拴锁状态,以校正该运算放大器的一输出偏移电压。

11. 如权利要求 10 所述的偏移电压调整单元,其中当该多个拴锁单元进入该拴锁状态时,仅该多个拴锁单元中的其中之一维持导通,而其他拴锁单元处于截止状态,以校正该运算放大器输出的该输出偏移电压。

12. 如权利要求 10 所述的偏移电压调整单元,其中各该拴锁单元包括:

一第一晶体管,该第一晶体管的源极用以接受该控制信号,且该第一晶体管的栅极用以接受该拴锁信号;

一第二晶体管,该第二晶体管的漏极耦接于该多个电阻之间相对应的该接点,该第二晶体管的源极耦接于该接地端,该第二晶体管的栅极耦接于该第一晶体管的漏极;以及

一储存电容,耦接于该第二晶体管的栅极与该接地端之间。

13. 如权利要求 12 所述的偏移电压调整单元,其中当各该拴锁单元的该第一晶体管接到该控制信号时,该第一晶体管导通以对该储存电容充电,使该第二晶体管导通,据以调整该偏压电流;当各该拴锁单元的该第一晶体管的栅极接到该拴锁信号时,该第一晶体管截止运作,以使该多个拴锁单元之一的该第二晶体管导通,而其他拴锁单元中的该第二晶体管截止,据以驱动该多个拴锁单元进入该拴锁状态。

14. 如权利要求 10 所述的偏移电压调整单元,其中该偏移电压调整单元耦接一校正单

元,以接受该栓锁信号,且该校正单元包括:

一检测单元,耦接于该运算放大器的输出端与该控制单元,该检测单元用以检测该运算放大器的该输出电压;以及

一栓锁控制电路,耦接于该检测单元与该多个栓锁单元,该栓锁控制电路在该校正程序中根据该检测单元的检测结果,依序使该多个栓锁单元的其中之一导通直到该运算放大器的该输出电压产生一逻辑电平变化,并且在该运算放大器的输出产生该逻辑电平变化时,输出该栓锁信号以使该多个栓锁单元进入该栓锁状态,使所选择的该多个栓锁单元的其中之一维持导通。

有机发光显示器的驱动电路以及偏移电压调整单元

技术领域

[0001] 本发明有关于一种运算放大器,且特别是一种用于校正运算放大器偏移电压的偏移电压调整单元以及使用其的有机发光显示器的驱动电路。

背景技术

[0002] 运算放大器因具备高输入阻抗、低输出阻抗的特性且可通过电路设计实现各类电路功能,例如比较器 (comparator)、放大器 (amplifier)、缓冲器 (buffer)、滤波器 (filter)、模拟至数字转换器 (analog to digital converter, ADC)、数字模拟转换器 (digital to analog converter, DAC) 等,而被电路设计者应用于显示器,例如液晶显示器 (Liquid Crystal Display, LCD) 或有机发光显示器 (Organic Light Emitting Display, OLED) 的驱动电路设计,例如用于驱动电路中传输影像数据的源极驱动器电路。然而,由于半导体工艺及集成电路技术的限制、工艺变异 (例如,集成电路参数变异) 以及工作环境 (例如工作电压、温度) 等因素,运算放大器的输出电压会于运作时产生偏移电压 (Offset Voltage),亦称之为零点飘移,进而产生共模信号影响输出。

[0003] 具体地说,当运算放大器的正、反相输入信号皆为零电压电平时,运算放大器的输出电压并不为零电压电平,且为一随时间变化的电压信号。因此,当运算放大器发生零点飘移时,其输出会影响后端电路的运作。举例来说,当运算放大器作为缓冲器,且用于驱动有机发光显示器的像素阵列的驱动电路时,若运算放大器的输出电压发生偏移现象,则会导致驱动显示面板的灰阶电压发生偏压,进而影响显示品质。

[0004] 请参照图 1A ~ 图 1D,图 1A ~ 图 1D 分别绘示现有运算放大器补偿电路的电路图,以解决运算放大器的输出电压偏移问题。

[0005] 图 1A 绘示一种利用自动归零补偿技术 (Auto-zero technology) 的自动归零补偿放大器电路。所述自动归零补偿运算放大器电路主要是利用电容 C1 储存以反馈方式检测到的偏移电压,而后再对输入信号进行补偿,以消除偏移电压造成的影响。然而自动归零补偿技术需要使用较大的电容,以防止开关电路切换所额外造成的误差。图 1B 绘示一种斩波稳零放大器 (chopper amplifier) 电路,其是利用快速切换开关将一直流偏压转换为一高频交流信号,而后再利用一低通滤波电路滤除此高频交流信号。斩波稳零放大器虽可消除直流偏压,并降低斩波稳零放大器中互补式金属氧化物半导体 (Complementary Metal-Oxide-Semiconductor, CMOS) 电路运作时产生的闪烁杂讯 (Flicker Noise),但高速切换开关会大幅增加电路的功耗。

[0006] 而图 1C 绘示一般常用模拟式偏压消除电路 (Analog offset cancellation) 架构,其是通过额外设置多个大电容储存补偿电压以及模拟控制电路以消除运算放大器的偏移电压。图 1D 则绘示另一种数字式偏压消除电路 (digital offset cancellation),以数字控制方式补偿偏移电压。然而不论是模拟式偏压消除电路或是数字式偏压消除电路接需要较大电路面积设置额位补偿电路,故于实务上,当应用于大型电路,例如有机发光显示器的驱动电路时,仍会占用相当大的芯片面积,同时亦会增加整体电路的功耗。

发明内容

[0007] 有鉴于此,本发明的目的在于提供一种偏移电压调整单元以及有机发光显示器的驱动电路,此偏移电压调整单元可内建于驱动电路的运算放大器,且可主动根据运算放大器的输出电压,调整配置运算放大器的偏压电路产生的偏压电流,以校正运算放大器因环境温度、电源电压或工艺因素产生的输出偏移电压。

[0008] 本发明实施例提供一种有机发光显示器的驱动电路,此驱动电路适用于驱动一有机发光显示器。所述驱动电路包括数字模拟转换单元、控制单元以及输出单元。控制单元耦接于数字模拟转换单元。输出单元具有多个缓冲单元,且各该缓冲单元包括运算放大器以及校正单元。运算放大器具有差动输入级、偏压级、输出级以及偏移电压调整单元。偏移电压调整单元耦接于偏压级与接地端之间,且偏移电压调整单元包括一电阻串与多个耦接于电阻串的拴锁单元。偏移电压调整单元用以调整该偏压级产生的一偏压电流。校正单元耦接于该些拴锁单元与运算放大器的输出端之间。校正单元根据运算放大器的输出的一输出电压控制该些拴锁单元以调整偏压级产生的偏压电流。所述控制单元在一驱动周期中插入一校正期间,并控制单元在校正期间中致能校正单元以进行一校正程序。而在完成校正程序后,校正单元会使该些拴锁单元进入一拴锁状态,以校正运算放大器的一输出偏移电压。

[0009] 在本发明其中一个实施例中,上述电阻串具有第一端与第二端,且第一端与第二端分别接偏压级。第一端与第二端之间串联耦接多个电阻,且各该电阻之间串联形成多个接点。该些拴锁单元分别对应耦接于该些接点与该接地端之间。

[0010] 在校正期间,校正单元依序使该些拴锁单元的其中之一导通,以调整该偏压电流,以使所述输出偏移电压趋近于零电压电平,进而校正运算放大器的输出偏移电压。

[0011] 在本发明其中一个实施例中,当校正单元检测到运算放大器输出的该输出电压由高电压电平转换为低电压电平或由低电压电平转换为高电压电平时,校正单元输出一拴锁信号使该些拴锁单元进入拴锁状态,以使所选择的该些拴锁单元其中之一维持导通。

[0012] 本发明实施例提供一种偏移电压调整单元,此偏移电压调整单元适用于一运算放大器。所述运算放大器具有差动输入级、偏压级以及输出级。偏移电压调整单元耦接于偏压级与接地端之间。偏移电压调整单元包括电阻串以及多个拴锁单元。电阻串具有第一端与第二端,且第一端与第二端分别耦接于偏压级。所述第一端与第二端之间串联耦接多个电阻,且各该电阻之间串联形成多个接点。多个拴锁单元分别对应耦接于该些接点与接地端之间。该些拴锁单元根据一控制信号依序导通,以调整偏压级产生的一偏压电流。该些拴锁单元并于接收到一拴锁信号时,进入一拴锁状态以校正运算放大器的一输出偏移电压。

[0013] 在本发明其中一个实施例中。上述各该拴锁单元包括第一晶体管、第二晶体管以及储存电容。第一晶体管的源极耦接用以接受控制信号,且第一晶体管的栅极用以接受拴锁信号。第二晶体管的漏极耦接于该些电阻之间相对应的该接点。第二晶体管的源极耦接于接地端。第二晶体管的栅极耦接于第一晶体管的漏极。所述储存电容是耦接于第二晶体管的栅极与接地端之间。

[0014] 综上所述,本发明实施例提供一种偏移电压调整单元以及有机发光显示器的驱动电路,此偏移电压调整单元可用于校正运算放大器因操作环境温度、供应电源电压或晶体管工艺因素产生的输出偏移电压。偏移电压调整单元可主动根据运算放大器的输出电压,

逐步调整配置运算放大器的偏压电路产生的偏压电流,以精确地校正运算放大器运作产生的输出偏移电压。同时,偏移电压调整单元另可于校正过程记录运算放大器的校正设定,稳定运算放大器的运作。

[0015] 藉此,可避免输出偏移电压影响有机发光显示面板的运作,提高有机发光显示器的显示品质。偏移电压调整单元可内建于运算放大器,故可不需额外设置补偿电路。从而,可大幅度地节省驱动电路所需的芯片面积,并降低整体驱动电路的功耗。

[0016] 为使能更进一步了解本发明的特征及技术内容,请参阅以下有关本发明的详细说明与附图,但是此等说明与所附图式仅用来说明本发明,而非对本发明的权利要求范围作任何的限制。

附图说明

[0017] 图 1A ~ 图 1D 分别是现有运算放大器补偿电路的电路图。

[0018] 图 2 是本发明实施例提供的有机发光显示器的电路示意图。

[0019] 图 3 是本发明实施例提供的缓冲单元的电路图。

[0020] 图 4 是本发明实施例提供的有机发光显示器的驱动电路的运作波形图。

[0021] 图 5 是本发明实施例提供的运算放大器的细部电路图。

[0022] 图 6 是本发明实施例提供的栓锁单元的电路图。

[0023] 图 7 是本发明实施例提供的校正单元的电路图。

[0024] 其中,附图标记说明如下:

[0025] IN :输入信号

[0026] C1、Cc、C+、C- :电容

[0027] Vos :电压源

[0028] OUT :输出信号

[0029] OUT+ :正相输出信号

[0030] OUT- :反相输出信号

[0031] SAR :连续渐进寄存器

[0032] DA :数字模拟转换器

[0033] 1 :有机发光显示器

[0034] 10 :驱动电路

[0035] 11 :电阻串单元

[0036] 13 :数字模拟转换单元

[0037] 15 :控制单元

[0038] 17 :输出单元

[0039] 170 :缓冲单元

[0040] 171 :校正单元

[0041] 1711 :检测单元

[0042] 1713 :栓锁控制电路

[0043] 173 :缓冲电路

[0044] OA :运算放大器

- [0045] 1731 :差动输入级
- [0046] 17311 :N 型差动输入对
- [0047] 17313 :P 差动输入对
- [0048] 1733 :偏压级
- [0049] 17331 :左侧偏压电路
- [0050] 17333 :右侧偏压电路
- [0051] 1735 :偏移电压调整单元
- [0052] 17351 :电阻串
- [0053] A :第一端
- [0054] B :第二端
- [0055] 17353 :栓锁单元
- [0056] 1737 :输出级
- [0057] SW4 :第四开关
- [0058] SW5 :第五开关
- [0059] SW1 :第一开关
- [0060] SW2 :第二开关
- [0061] SW3 :第三开关
- [0062] 20 :像素阵列
- [0063] 21 :开关单元
- [0064] 211 :红色像素开关
- [0065] 213 :绿色像素开关
- [0066] 215 :蓝色像素开关
- [0067] R、G、B :像素
- [0068] 23 :像素单元
- [0069] CK_R、CK_G、CK_B、CK :时序信号
- [0070] OUT_1 ~ OUT_M、OUT_X :灰阶电压
- [0071] DATA_IN :影像数据信号
- [0072] OZCD :校正控制信号
- [0073] CMP :输出电压
- [0074] $\overline{\text{LTH}}$ 、LTH :栓锁信号
- [0075] CNT :控制信号
- [0076] POLL :轮询信号
- [0077] CTRL_1 ~ CTRL_Y :控制信号
- [0078] RESET :重置信号
- [0079] V_OFFSET :输出偏移电压
- [0080] T1 ~ T7 :时间点
- [0081] VDD :电源端
- [0082] GND :接地端
- [0083] Ia、Ib :偏压电流

- [0084] V_a 、 V_b 、 V_c :接点
- [0085] V_+ :正相输入端
- [0086] V_- :反相输入端
- [0087] MN1 ~ MN11 :NMOS 晶体管
- [0088] MP1 ~ MP9 :PMOS 晶体管
- [0089] VBIAS1 ~ VBIAS4 :偏置电压
- [0090] R_1 、 R_2 、 R_c :电阻
- [0091] C_{c1} 、 C_{c2} :米勒电容
- [0092] C_{gs} :储存电容
- [0093] CS1、CS2 :电流源
- [0094] OR :或门
- [0095] SR :SR 触发器
- [0096] S、R :输入端
- [0097] Q :输出端

具体实施方式

[0098] 在下文中,将通过图式说明本发明的各种例示实施例来详细描述本发明。然而,本发明概念可能以许多不同形式来体现,且不应解释为限于本文中所阐述的例示性实施例。此外,在图式中相同参考数字可用以表示类似的元件。

[0099] 本发明主要在于提供一种偏移电压调整单元,其可主动根据运算放大器的输出电压,自动即时调整运算放大器内部的偏压电流,以校正运算放大器因环境温度、工作电压变化或工艺因素产生的输出偏移电压。据此,可提高运算放大器的运作效能,并同时降低现有运算放大器偏移补偿电路的功耗。

[0100] 本发明是以运算放大器应用于有机发光显示器的驱动电路的运作方式来作说明,但此偏移电压调整单元亦可适用于其他显示器(例如液晶显示器)的驱动电路或其他运算放大器的应用电路,本实施例并不限制。此外,有机发光显示器以及运算放大器的电路架构、运作方式以及运作原理并非本发明所着重的一部分,且为所属技术领域技术人员所熟知,故本发明仅简述与本发明相关技术的部份。

[0101] 请参照图2,图2绘示本发明实施例提供的有机发光显示器的电路图。有机发光显示器1包括驱动电路10以及有机发光显示面板20。驱动电路10耦接于有机发光显示面板20。驱动电路10用以在每一驱动周期时,根据一影像数据(image data)对应地驱动有机发光显示面板20上的有机发光元件显示一影像画面。

[0102] 于本实施例中,驱动电路10包括电阻串单元11、数字模拟转换单元13、控制单元15以及输出单元17。电阻串单元11耦接于数字模拟转换单元13。数字模拟转换单元13耦接于输出单元17。电阻串单元11、数字模拟转换单元13以及输出单元17分别耦接于控制单元15。输出单元17并耦接于有机发光显示面板20。

[0103] 有机发光显示面板20具有多个开关单元21以及一 $M \times N$ 像素阵列,且像素阵列包括多个矩阵式排列的像素单元23,其中 M 、 N 为正整数。该些开关单元21分别耦接于该些像素单元23。

[0104] 每一像素单元 23 是由三个颜色子像素 (sub-pixel) 构成, 亦即红色子像素 R、绿色子像素 G 以及蓝色子像素 B 所构成。每一行 (row) 是由同一颜色子像素来排列, 而每一列 (column) 是由红色子像素 R、绿色子像素 G 及蓝色子像素 B 依序排列。红色子像素 R、绿色子像素 G 及蓝色子像素 B 分别是由有机发光二极管来实现。

[0105] 各该开关单元 21 包括红色像素开关 211、绿色像素开关 213 以及蓝色像素开关 215。各该开关单元 21 中的红色像素开关 211 耦接于输出单元 17 与像素单元 23 的红色子像素 R 之间。各该开关单元 21 中的绿色像素开关 213 耦接于输出单元 17 与像素单元 23 的绿色子像素 G 之间。各该开关单元 21 中的蓝色像素开关 215 耦接于输出单元 17 与像素单元 23 的蓝色子像素 B 之间。红色像素开关 211、绿色像素开关 213 以及蓝色像素开关 215 分别受控制于控制单元 15。于本实施例中, 红色像素开关 211、绿色像素开关 213 以及蓝色像素开关 215 分别是由 NMOS 金属氧化物半导体场效晶体管来实现。

[0106] 具体地说, 每一 NMOS 金属氧化物半导体场效晶体管的栅极耦接于控制单元 15, 以接收时序信号 CK_R、CK_G 以及 CK_B。每一 NMOS 金属氧化物半导体场效晶体管的源极耦接于输出单元 17。每一 NMOS 金属氧化物半导体场效晶体管的漏极耦接于像素单元 23 中相对应的颜色子像素 (即红色子像素 R、绿色子像素 G 或蓝色子像素 B)。据此, 当该 NMOS 金属氧化物半导体场效晶体管导通时, 可将驱动单元 10 输出的灰阶电压 OUT_1 ~ OUT_M 对应地传送至对应颜色子像素, 以驱动各颜色子像素显示一灰阶。

[0107] 电阻串单元 11 与数字模拟转换单元 13 用以组成数字模拟转换器 (digital to analog converter, DAC)。电阻串单元 11 可以电阻串或是 R2R 梯形电阻电路 (R2R resistor ladder) 来实现。数字模拟转换单元 13 可由一开关阵列组成的解码电路来实现。数字模拟转换单元 13 用以依据接收的数字信号, 并通过控制内建的开关阵列的运作, 使电阻串单元 11 提供相对应的输出电压。

[0108] 更详细地说, 控制单元 15 可根据该影像数据对应产生驱动像素单元 23 的数字信号。控制单元 15 并驱动数字模拟转换单元 13 控制内部的开关阵列对该数字信号进行解码, 以输出数据信号 DATA_IN 至输出单元 17 中的缓冲单元 170 对应驱动像素单元 23 中个颜色子像素。电阻串单元 11 与数字模拟转换单元 13 的电路架构与运作方式为现有技艺, 在此不再赘述。

[0109] 输出单元 17 包括多个缓冲单元 170, 其中缓冲单元 170 的数量可以是依据有机发光显示面板 20 上的开关单元 21 的数量设置。该些缓冲单元 170 分别用以将数字模拟转换单元 13 产生多个的数据信号 DATA_IN 同步转换为灰阶电压 OUT_1 ~ OUT_M, 并输出至有机发光显示面板 20, 以对应控制像素单元 23 显示对应影像数据的灰阶, 以产生一影像画面。

[0110] 各该缓冲单元 170 进一步包括校正单元 171 以及缓冲电路 173。校正单元 171 耦接于控制单元 15 以及缓冲电路 173。缓冲电路 173 耦接于数字模拟转换单元 13 与对应的开关单元 21 之间, 且受控于控制单元 15。缓冲电路 173 是由运算放大器 (未绘示于图 1) 与多个开关所组成。校正单元 171 用以依据缓冲电路 173 中运算放大器的输出电压, 校正运算放大器的输出偏移电压 V_OFFSET。

[0111] 于本实施例中, 有机发光显示器 1 的驱动电路 10 执行的每一驱动周期可依据有机发光显示器 1 的驱动方式包括至少一驱动期间以及至少一校正期间。更具体地说, 于驱动电路 10 的运作时, 控制单元 15 可于驱动周期中插入至少一校正期间。

[0112] 举例来说,若有机发光显示器 1 的驱动方式是在一驱动周期内依序分别驱动像素单元 23 中红色子像素 R、绿色子像素 G 及蓝色子像素 B 显示对应的灰阶,则驱动周期可依序包括三个驱动期间。而控制单元 15 可例如是在三个驱动期间之前,或是三个驱动期间之后,亦或是任两相邻驱动期间之间插入校正期间。

[0113] 又举例来说,若有机发光显示器 1 的驱动方式是于同一驱动期间内,依序驱动像素单元 23 中红色子像素 R、绿色子像素 G 及蓝色子像素 B 显示,则驱动周期可包括一驱动期间以及至少一校正时间。控制单元 15 可在此驱动期间之前或是驱动期间之后插入校正期间。控制单元 15 亦可依需求在驱动期间之前或驱动期间之后分别插入校正期间(例如于消除残影的插黑时段进行校正),以即时校正缓冲电路 173 中运算放大器因操作环境因素(例如供应电压切换或环境温度变化)而产生的输出偏移电压 V_{OFFSET} 。

[0114] 控制单元 15 可依据实际运作需求于任一驱动期间之前或之后,或是两相邻驱动期间之间插入校正时间,以随时对缓冲电路 173 中运算放大器进行校正,进而确保运算放大器于每一驱动周期的驱动期间,能准确输出灰阶电压驱动有机发光显示面板 20 的像素单元 23,提高有机发光显示器 1 的显示品质。

[0115] 简单来说,控制单元 15 在校正期间内,会致能输出单元 17 中各该校正单元 171 与对应的缓冲电路 173 各自同步进行校正程序。控制单元 15 会通过同时输出时序信号 CK、计数信号 CNT 至各该校正单元 171 以及输出校正控制信号 OZCD 至各该缓冲电路 173,以致能校正单元 171 与缓冲电路 173 进行校正程序。各该校正单元 171 在进行校正程序时,持续检测相应的缓冲电路 173 中运算放大器(未绘示于图 1)的输出电压变化,以根据检测结果对应校正缓冲电路 173 的运算放大器产生的输出偏移电压 V_{OFFSET} 。

[0116] 在驱动期间内,控制单元 15 会分别输出时序信号 CK_R、CK_G 以及 CK_B 依序切换机发光显示面板 20 上的该些红色像素开关 211、该些绿色像素开关 213 以及该些蓝色像素开关 215 的运作,并依据影像数据驱动数字模拟转换单元 13 分别对应输出数据信号 DATA_IN 至各该缓冲电路 173。随后,各该缓冲电路 173 分别依据接收的数据信号 DATA_IN,对应输出灰阶电压 OUT_1 ~ OUT_M 至有机发光显示面板 20,以驱动有机发光显示面板 20 上各像素单元 23 中对应的各颜色子像素显示对应影像数据的灰阶。

[0117] 据此,本发明可通过自动检测校正运算放大器输出的输出偏移电压 V_{OFFSET} ,有效地消除运算放大器的输出偏移电压 V_{OFFSET} 于驱动期间对灰阶电压 OUT_1 ~ OUT_M 的影响,并使灰阶电压的偏压控制在 $\pm 0.25\text{LSB}$ 。所述 $\pm 0.25\text{LSB}$ 即为灰阶电压的电压操作范围除以表示灰阶电压的总灰阶数(如 2^k ,其中 k 为正整数)。

[0118] 举例来说,若灰阶电压的电压操作范围为 0 伏特 (V) 至 5 伏特,且灰阶电压是以 12 位元来代表,则本发明的校正技术会使影像灰阶电压的偏压控制在 $0.25 \times (5 \text{ 伏特} / 2^{12})$ 或是 ± 0.25 微伏特 (mV)。

[0119] 本发明的提供的校正技术可以低功耗方式即时校正运算放大器输出的输出偏移电压 V_{OFFSET} ,进而增加驱动电路 10 的运作效益,并提升有机发光显示面板 20 的显示品质。

[0120] 值得注意的是,由于输出单元 17 中,各缓冲电路 173 的运算放大器的输出偏移电压 V_{OFFSET} 会因工作因素(例如工作电压、环境温度等)而有所不同,故每一缓冲电路 173 中运算放大器的校正时间可能相同,或是不相同。因此,控制单元 15 所插入的校正期间可

以是以单一运算放大器所需最大校正时间,例如最大输出偏移电压 V_{OFFSET} 所需的校正时间来设定。据此,以确保各缓冲电路 173 的运算放大器均可在校正期间完成输出偏移电压 V_{OFFSET} 的校正程序。

[0121] 于实务上,驱动电路 10 可通过一驱动芯片来实现。控制单元 15 可以是由微控制器 (microcontroller) 或嵌入式控制器 (embedded controller) 等处理芯片通过固件设计来实现,并可整合于驱动芯片内,但本实施例并不以此为限。所述驱动周期中的驱动期间与校正期间可预先以固件方式写入内建于控制单元 15 的存储器。

[0122] 以下针对一缓冲单元 170 的细部电路与运作方式做进一步说明。请参照图 3 并同时参照图 2,图 3 绘示本发明实施例提供的缓冲单元的电路图。

[0123] 如前述,每一缓冲单元 170 包括校正单元 171 以及缓冲电路 173。校正单元 171 进一步包括检测单元 1711 以及栓锁控制电路 1713。缓冲电路 173 进一步包括运算放大器 OA 以及第一开关 SW1、第二开关 SW2 以及第三开关 SW3。运算放大器 OA 另包括一正相输入端 (non-inverting terminal)、一反相输入端 (inverting terminal)、一输出端、多个控制端以及一栓锁端。

[0124] 更具体地说,检测单元 1711 耦接于栓锁控制电路 1713 以及运算放大器 OA 的输出端,以检测运算放大器 OA 的输出电压 CMP。栓锁控制电路 1713 耦接于控制单元 15 以及运算放大器 OA 的栓锁端。栓锁控制电路 1713 并用以根据计数信号 CNT 与检测单元 1711 的检测结果,对应输出栓锁信号 $\overline{\text{LTH}}$ 至运算放大器 OA 的栓锁端,以校正运算放大器 OA 的输出偏移电压 V_{OFFSET} 。

[0125] 运算放大器 OA 的正相输入端耦接于数字模拟转换单元 13 的输出,以接收一数据信号 DATA_IN。第一开关 SW1 的第一端耦接于运算放大器 OA 的正相输入端,而第一开关 SW1 的第二端耦接于运算放大器 OA 的反相输入端。换言之,运算放大器 OA 的反相输入端经第一开关 SW1 耦接于运算放大器 OA 的正相输入端。

[0126] 运算放大器 OA 的该些控制端耦接于校正单元 171,以分别接受校正单元 171 输出的多组控制信号 CTRL_1 ~ CTRL_Y,其中 Y 为正整数。详细地说,运算放大器 OA 的该些控制端分别通过多条传输线 (bus) 连接校正单元 171,以接受该些控制信号 CTRL_1 ~ CTRL_Y。

[0127] 第二开关 SW2 是耦接于运算放大器 OA 的反相输入端与运算放大器 OA 的输出端之间。第二开关 SW2 的第一端耦接于运算放大器 OA 的反相输入端,而第二开关 SW2 的第二端耦接于运算放大器 OA 的输出端。第三开关 SW3 耦接于运算放大器 OA 的输出端与有机发光显示面板 20 的开关单元 21 之间。更详细地说,第三开关 SW3 的第一端耦接于运算放大器 OA 的输出端,而第三开关 SW3 的第二端分别耦接于红色像素开关 211、绿色像素开关 213 以及蓝色像素开关 215。

[0128] 于本实施例中,第一开关 SW1 与第二开关 SW2 以及第三开关 SW3 会同步切换。具体地说,于驱动期间内,控制单元 15 会输出一校正控制信号 OZCD 同时导通第二开关 SW2 与第三开关 SW3,并截止第一开关 SW1,以使运算放大器 OA、第一开关 SW1、第二开关 SW2 以及第三开关 SW3 形成缓冲电路。运算放大器 OA 在驱动期间内,会根据正相输入端接收到的数据信号 DATA_IN 对应输出灰阶电压 OUT_X (亦即灰阶电压 OUT_1 ~ OUT_M 之一) 至有机发光显示面板 20 上相对应的像素单元 23 中对应的颜色子像素,以驱动有机发光显示面板 20 上相对的像素单元 23 显示对应影像数据的灰阶,以产生一影像画面。

[0129] 而在校正期间内,控制单元 15 输出校正控制信号 OZCD 导通第一开关 SW1,并同时截止第二开关 SW2 与第三开关 SW3,以使运算放大器 OA 与第一开关 SW1 形成比较电路,以供校正单元 171 的检测电路 1711 检测运算放大器 OA 的输出电压 CMP。而校正单元 171 的栓锁控制电路 1713 则会根据运算放大器 OA 的输出电压 CMP,调整运算放大器 OA 的偏移电流,据以校正运算放大器 OA 的输出偏移电压 V_OFFSET。

[0130] 此时,由于第三开关 SW3 截止运作,切断缓冲电路 170 与有机发光显示面板 20 的连结,故此时运算放大器 OA 的输出不会影响有机发光显示面板 20 的运作。

[0131] 更具体地说,控制单元 15 会于进入校正期间时,输出重置信号 RESET(例如高电压电平的重置信号 RESET),以重置栓锁控制电路 1713。同时,控制单元 15 会输出校正控制信号 OZCD 使运算放大器 OA 与第一开关 SW1 形成比较电路。随后,控制单元 15 输出时序信号 CK 致能栓锁控制电路 1713 进行校正程序。

[0132] 于校正程序中,校正单元 171 会根据计数信号 CNT 逐步调整运算放大器 OA 内部偏压电路产生的偏压电流,使运算放大器 OA 的输出偏移电压 V_OFFSET 趋近为零电压电平。而栓锁控制电路 1713 会根据检测电路 1711 检测运算放大器 OA 的输出电压 CMP 的检测结果,判断是否停止校正程序,亦即判断输出偏移电压 V_OFFSET 是否已被校正约至零电压电平。

[0133] 当检测电路 1711 检测到运算放大器 OA 的输出电压 CMP 产生一逻辑电平变化,例如由高电压电平转换为低电压电平或由低电压电平转换为高电压电平时,栓锁控制电路 1713 输出栓锁信号 $\overline{\text{LTH}}$ 至运算放大器 OA 的栓锁端,停止校正程序并使运算放大器 OA 内部偏压电路维持目前的偏压电流,据以校正输出偏移电压 V_OFFSET。

[0134] 换言之,当检测电路 1711 检测到运算放大器 OA 的输出电压 CMP 发生逻辑电平变化的瞬间时,即表示运算放大器 OA 的输出偏移电压 V_OFFSET 发生跨零点(zero-crossing)的情况,据此判定输出偏移电压 V_OFFSET 以校正约至零电压电平。

[0135] 值得一提的是,本实施例通过设置第一开关 SW1、第二开关 SW2 以及第三开关 SW3 可将运算放大器 OA 自动切换成比较电路或缓冲电路,故不须如现有技术(如图 1C)需配置额外比较电路,从而可以省去不必要的电路,减少电路面积。同时,亦可以防止额外设置的比较电路所产生的偏电压的误差,提高校正的精准度。

[0136] 接着,以下针对有机发光显示器 1 的驱动电路 10 的整体运作作详细说明。请参考图 4 并同时参考图 2 与图 3,图 4 绘示本发明实施例提供的有机发光显示器的驱动电路的运作波形图。

[0137] 在时间点 T1 至时间点 T4 之间(即驱动期间),控制单元 15 输出低电压电平的校正控制信号 OZCD,使输出单元 17 中各该些缓冲电路 173 各自依据数字模拟转换单元 13 输出的数据信号 DATA_IN 对应产生灰阶电压 OUT_X(即灰阶电压 OUT_1 ~ OUT_M 之一)。同时,控制单元 15 依序输出时序信号 CK_R、CK_G 以及 CK_B 致能有机发光显示面板 20 上开关单元 23 中红色像素开关 211、绿色像素开关 213 以及蓝色像素开关 215,以将灰阶电压 OUT_X(即灰阶电压 OUT_1 ~ OUT_M 之一)对应传送至有机发光显示面板 20 上像素单元 23。

[0138] 详细地说,于时间点 T1 至时间点 T2 之间,控制单元 15 会传送时序信号 CK_R 致能该些红色像素开关 211,以使输出单元 17 中该些缓冲电路 173 中运算放大器 OA 输出的灰阶电压 OUT_X(即灰阶电压 OUT_1 ~ OUT_M 之一)经该些红色像素开关 211 对应驱动有机发光显示面板 20 上的各该红色子像素 R。在时间点 T2 至时间点 T3 之间,控制单元 15 传

送时序信号 CK_G 致能该些绿色像素开关 213, 以使输出单元 17 中该些缓冲电路 173 中运算放大器 OA 输出的灰阶电压 OUT_X 经该些绿色像素开关 213 对应驱动有机发光显示面板 20 上的各该绿色子像素 R。在时间点 T3 至时间点 T4 之间, 控制单元 15 输出时序信号 CK_B 致能该些蓝色像素开关 215, 以使输出单元 17 中该些缓冲电路 173 中运算放大器 OA 输出的灰阶电压 OUT_X 经该些蓝色像素开关 215 对应驱动有机发光显示面板 20 上的各该蓝色子像素 B。

[0139] 值得注意的是, 在驱动期间内, 校正单元 171 中的检测单元 1711 会检测到经运算放大器 OA 输出延迟后的灰阶电压。

[0140] 在时间点 T4 至时间点 T7 之间 (即校正期间), 控制单元 15 会先输出高电压电平的校正控制信号 OZCD, 使输出单元 17 中该些缓冲电路 173 转换为比较电路, 并比较运算放大器 OA 的正、反相输入端的电压, 以对应产生输出电压 CMP。由于第一开关 SW1 导通, 使得运算放大器 OA 的正、反相输入端的输入电压相同, 故可通过检测运算放大器 OA 的输出电压, 检测运算放大器 OA 的输出偏移电压 V_OFFSET。

[0141] 同时, 因运算放大器 OA 与有机发光显示面板 20 的开关单元 21 之间的连接已切断, 故开关单元 21 所接收到的灰阶电压 OUT_X 为进入校正期间之前的电压。然于其他实施方式中, 开关单元 21 所接收到的灰阶电压 OUT_X 亦可以预先利用电路所设定的电压 (例如拉高至电源电压或拉低接地等), 本实施例并不限制。而后, 控制单元 15 输出时序信号 CK 驱动校正单元 171 中的栓锁控制电路 1713 进行校正程序。

[0142] 在时间点 T4 至时间点 T6 之间, 控制单元 15 会输出计数信号 CNT 以使校正单元 171 对应输出栓锁信号 $\overline{\text{LTH}}$ (如高电压电平的信号) 以及控制信号 CTRL_1 ~ CTRL_Y 逐步调整运算放大器 OA 内部偏压电路产生的偏压电流。当检测电路 1711 检测到运算放大器 OA 的输出电压 CMP 发生逻辑电平变化 (如由低电压电平转换为高电压电平), 表示运算放大器 OA 的输出偏移电压 V_OFFSET 跨越零点 (如时间点 T5) 时, 栓锁控制电路 1713 随即于时间点 T6 输出栓锁信号 $\overline{\text{LTH}}$ (如低电压电平的信号) 至运算放大器 OA 的栓锁端, 停止校正程序, 使运算放大器 OA 内部偏压电路维持目前的偏压电流, 据以校正输出偏移电压 V_OFFSET。

[0143] 随后, 于时间点 T7, 控制单元 15 再次进行驱动期间, 并依据影像数据驱动有机发光显示面板 20 上像素单元 23 对应显示。驱动电路 10 在此次驱动期间内的运作方式与时间点 T1 至时间点 T4 相同, 故不再赘述。

[0144] 值得一提的是, 如前述每一缓冲电路 173 中的运算放大器 OA 的输出偏移电压 V_OFFSET 并不相同, 因此各运算放大器 OA 实际所需校正时间 (即时间点 T4 至时间点 T6) 可能相同亦可能不同。故校正期间的时间可以是以一运算放大器 OA 所需的最大校正期间或是各运算放大器 OA 平均所需的校正时间来设置, 并预先设定于内建在控制单元 15 的存储器, 但本实施例并不限制。要说明的是, 图 4 仅用以描述一有机发光显示器的驱动电路的运作方式以及运算放大器的校正方式, 并非用以限定本发明。

[0145] 为了更具体地说明本发明中运算放大器 OA 的校正技术, 以下针对运算放大器 OA 的细部电路架构与校正方式作进一步的说明。请参考图 5, 图 5 绘示本发明实施例提供的运算放大器的细部电路图。

[0146] 于本实施例中,运算放大器 0A 为一折叠差动放大器 (differential folded cascade CMOS operational amplifier)。进一步地说,运算放大器 0A 具有差动输入级 (differential stage)1731、偏压级 (bias stage)1733、偏移调整单元 1735 以及输出级 (output stage)1737。差动输入级 1731 耦接于偏压级 1733。偏压级 1733 耦接于电源端 VDD 与偏移调整单元 1735 之间。偏移调整单元 1735 耦接于偏压级 1733 与接地端 GND 之间。输出级 1737 耦接于偏压级 1733。

[0147] 偏压级 1733 为一对称式折叠偏压级,且偏压级 1733 的电路与偏移调整单元 1735 形成运算放大器 0A 的偏压电路。偏压级 1733 用以产生一偏压电流,以调整运算放大器 0A 的输出偏移电压 V_{OFFSET} 。

[0148] 运算放大器 0A 的电路架构与运作为现有技艺,故不需详细说明,然而为完整的说明本发明的校正技术,以下提供运算放大器 0A 的各级电路的简述。

[0149] 差动输入级 1731 包括 N 型差动输入对 17311 以及 P 差动输入对 17313。N 型差动输入对 (n-type differential pair)17311 耦接于 P 差动输入对 (p-type differential pair)17313。运算放大器 0A 的共模电压 (common-mode voltage) 介于 0 伏特至电源端 VDD 的输入电压之间。N 型差动输入对 17311 是由 NMOS 晶体管 MN1、MN2 所组成共源极组态 (common source configuration) 的匹配晶体对 (transistor pair)。NMOS 晶体管 MN1、MN2 的源极共同经一电流源 CS1 连接电源端 VDD。P 差动输入对 17313 是由 PMOS 晶体管 MP1、MP2 所组成共源极组态的匹配晶体对。PMOS 晶体管 MP1、MP2 的源极共同经一电流源 CS2 连接接地端 GND。电流源 CS1 用以提供一恒定偏压电流至 NMOS 晶体管 MN1、MN2,而电流源 CS2 用以提供一恒定偏压电流至 PMOS 晶体管 MP1、MP2。

[0150] N 型差动输入对 17311 中的 NMOS 晶体管 MN2 与 P 差动输入对 17313 中的 PMOS 晶体管 MP1 共同连接至运算放大器 0A 的正向输入端 V_{+} 。N 型差动输入对 17311 中的 NMOS 晶体管 MN1 与 P 差动输入对 17313 中的 PMOS 晶体管 MP2 共同连接至运算放大器 0A 的反相输入端 V_{-} 。NMOS 晶体管 MN1、MN2 的漏极分别耦接至偏压级 1733 的 NMOS 晶体管 MN5、MN6 的漏极。PMOS 晶体管 MP1、MP2 的漏极分别耦接至偏压级 1733 的 PMOS 晶体管 MP3、MN4 的漏极。

[0151] 偏压级 1733 为对称式偏压电路,且偏压级 1733 可分为左侧偏压电路 17331 以及右侧偏压电路 17333。此外,偏压级 1733 包括由 PMOS 晶体管 MP3 ~ MP6 形成的电流镜 (current mirror)、由 PMOS 晶体管 MP7 与 NMOS 晶体管 MN3 形成的浮接电流源、由 PMOS 晶体管 MP8 以及 NMOS 晶体管 MN4 形成的偏压控制电路、由相互匹配 NMOS 晶体管 MN5 ~ MN8 形成的主动负载 (active load)、偏置电阻 R1 以及偏置电阻 R2。而浮接电流源则用以驱动电流镜,以产生偏压电流。NMOS 晶体管 MN5、MN6 以及 NMOS 晶体管 MN7、MN8 的栅极另可根据外部偏置电压 VBIAS1、VBIAS2,调整 NMOS 晶体管 MN5 ~ MN8 运作于三极管区的等效电阻值。NMOS 晶体管 MN7、MN8 的栅极以及 PMOS 晶体管 MP7、MP8 的栅极分别是由外部偏置电压 VBIAS3、VBIAS4 来控制。

[0152] 偏置电阻 R1 耦接于 NMOS 晶体管 MN7 与偏移电压调整单元 1735 之间。偏置电阻 R2 耦接于 NMOS 晶体管 MN8 与偏移电压调整单元 1735 之间。偏置电阻 R1 用以调整配置左侧偏压电路 17331 产生的偏压电流 I_a ,而偏置电阻 R2 用以调整配置右侧偏压电路 17333 产生的偏压电流 I_b ,以控制由节点 V_a 、 V_b 输出至输出级 1737 的驱动电压。

[0153] 输出级 1737 为一轨对轨 (rail to rail) 输出级。输出级 1737 包括 PMOS 晶体管 MP9 以及 NMOS 晶体管 MN9。PMOS 晶体管 MP9 的栅极耦接于节点 Va, 而 NMOS 晶体管 MN9 的栅极耦接于节点 Vb。PMOS 晶体管 MP9 的漏极耦接于电源端 VDD, 而 NMOS 晶体管 MN9 的栅极耦接于接地端 GND。PMOS 晶体管 MP9 与 NMOS 晶体管 MN9 的源极并共同连接至运算放大器 OA 的输出端。PMOS 晶体管 MP9 与 NMOS 晶体管 MN9 分别根据偏压级 1733 于节点 Va、Vb 输出的驱动电压, 对应地于 PMOS 晶体管 MP9 与 NMOS 晶体管 MN9 的源极产生输出电压 (即输出电压 CMP 或灰阶电压 OUT_X)。

[0154] 输出级 1737 另包括频率补偿电路, 且频率补偿电路是由开关 SW4、SW5、米勒电容 (miller capacitor) Cc1、Cc2 所组成。频率补偿电路是以米勒效应补偿方式补偿运算放大器 OA 电路的频率响应。详细地说, 频率补偿电路是通过设置米勒电容 Cc1、Cc2, 来调整运算放大器 OA 电路的极零点 (zero) 的位置, 调整运算放大器 OA 的操作频宽, 以避免运算放大器 OA 于高频下运作不稳定。同时, 米勒电容 Cc1、Cc2 亦可避免过大电流损坏 PMOS 晶体管 MP9 与 NMOS 晶体管 MN9。

[0155] 于驱动期间内, 控制单元 15 会导通开关 SW4、SW5 以进行频率补偿。而于校正期间内, 运算放大器 OA 并不需要频率补偿, 故控制单元 15 会截止开关 SW4、SW5 的运作。

[0156] 接着, 偏移电压调整单元 1735 用以在校正期间通过调整左侧偏压电路 17331 与接地端 GND 之间的等效电阻值 (亦即左侧偏置电阻值) 以及右侧偏压电路 17333 与接地端 GND 之间的等效电阻值 (亦即右侧偏置电阻值), 逐步调整偏压电流 Ia、Ib, 以校正运算放大器 OA 的输出偏移电压 V_OFFSET。

[0157] 更详细地说, 偏移电压调整单元 1735 包括一电阻串 17351 与多个拴锁单元 17353, 且该些拴锁单元 17353 耦接于电阻串 17351。电阻串 17351 具有第一端 A 与第二端 B。电阻串 17351 的第一端 A 与第二端 B 分别耦接于偏压级 1733。电阻串 17351 的第一端 A 耦接于偏置电阻 R1, 而电阻串 17351 的第二端 B 耦接于偏置电阻 R2。

[0158] 电阻串 17351 的第一端 A 与电阻串 17351 的第二端 B 之间串联耦接多个电阻 Rc (例如 z 个电阻, 且 z 为正整数)。各该电阻 Rc 之间彼此串联形成多个接点 Vc。而该些拴锁单元 17353 分别对应耦接于该些接点 Vc 与接地端 GND 之间。也就是, 每一拴锁单元 17353 耦接于两相邻之电阻 Rc 之间的接点 Vc 与接地端 GND 之间。

[0159] 校正单元 171 可通过依序导通偏移电压调整单元 1735 的该些拴锁单元 17353 之一 (例如第 i 个拴锁单元), 亦即导通对应连接拴锁单元 17353 的接点 Vc 与接地端 GND, 调整左侧偏置电阻值 (即左侧偏压电路 17331 与接地端 GND 之间等效电阻值) 与右侧偏置电阻值 (即右侧偏压电路 17333 与接地端 GND 之间的等效电阻值), 以调整偏压电流 Ia、Ib。具体地说, 校正单元 171 可通过调整偏压电流 Ia、Ib 调整 PMOS 晶体管 MP9 与 NMOS 晶体管 MN9 的栅极的驱动电压, 以校正运算放大器 OA 的输出偏移电压 V_OFFSET。

[0160] 请再参考图 5 以及图 3 与图 4。于校正期间内, 当控制单元 15 致能校正单元 171 进行校正程序时, 控制单元 15 会输出计数信号 CNT 使校正单元 171 对应输出控制信号 CTRL_1 ~ CTRL_Y 依序导通该些拴锁单元之一 (例如由最靠近左侧偏压电路 17331 的拴锁单元 17353 或是最靠近右侧偏压电路 17333 的拴锁单元 17353 开始), 以对应逐步调整 (增加或减少) 左侧偏置电阻值与右侧偏置电阻值。更进一步地说, 当左侧偏置电阻值增加时, 右侧偏置电阻值会相对减少; 当左侧偏置电阻值减少时, 右侧偏置电阻值会相对地随之增

加。

[0161] 因此,校正单元 171 可通过偏移电压调整单元 1735 逐步调整(增加或减少)左侧偏置电阻值与右侧偏置电阻值,逐步调整偏压电流 I_a 、 I_b ,使运算放大器 0A 的输出偏移电压 V_{OFFSET} 趋近于零电压电平。

[0162] 当校正单元 171 的检测单元 1711 检测到运算放大器 0A 输出的输出电压 CMP(即 PMOS 晶体管 MP9 与 NMOS 晶体管 MN9 的源极电压)由高电压电平转换为低电压电平或由低电压电平转换为高电压电平时,校正单元 171 的栓锁控制电路 1713 会输出栓锁信号 $\overline{\text{LTH}}$ (例如低电压电平的信号),停止校正程序并使该些栓锁单元 17353 进入栓锁状态(latch state),以校正运算放大器 0A 的输出偏移电压 V_{OFFSET} 。其中,在栓锁状态下,仅该些栓锁单元中 17353 的其中之一维持导通,而其他栓锁单元 17353 截止运作。

[0163] 也就是说,校正单元 171 在校正程序中会根据检测单元 1711 的检测结果,依序使该些栓锁单元 17353 的其中之一导通直到运算放大器 0A 的输出电压 CMP 产生逻辑电平变化。在完成校正程序后,校正单元 171 的栓锁控制电路 1713 会输出栓锁信号 $\overline{\text{LTH}}$,使该些栓锁单元 17353 进入栓锁状态,以使所选择的该些栓锁单元 17353 其中之一维持导通,以校正运算放大器 0A 的输出偏移电压 V_{OFFSET} 。

[0164] 举例来说,在进行校正程序中,当校正单元 171 根据计数信号 CNT 导通由偏置电阻 R1 算起第四个栓锁单元 17353,检测单元 1711 检测到运算放大器 0A 输出的输出电压 CMP 发生逻辑电平变化时,栓锁控制电路 1713 即会输出栓锁信号 $\overline{\text{LTH}}$,停止校正程序并使该些栓锁单元 17353 进入栓锁状态,亦即仅第四个栓锁单元 17353 导通而其他栓锁单元 17353 处于截止状态的状态,直至下一次校正期间。

[0165] 此时,左侧偏置电阻值即为偏置电阻 $R1+4 \times \text{电阻 } R_c$,而右侧偏置电阻值即为偏置电阻 $R2+(z-4) \times \text{电阻 } R_c$ 。

[0166] 值得一提的是,偏置电阻 R1、R2 可依据运算放大器 0A 的运作方式(例如偏压级 1733 的运作需求)来设置。电阻 R_c 的电阻值可依据输出偏移电压 V_{OFFSET} 的每一阶的校正需求来设置,而电阻 R_c 的数量则可以是依据输出偏移电压 V_{OFFSET} 每一次校正的幅度来设置,本实施例并不限制。

[0167] 于本实施例中,计数信号 CNT 可为二位元信号(binary signal)且此二位元信号的位元数是依据栓锁单元 17353 的数量来设定,如 $\lceil \log_2(z-1) \rceil$,其中 z 表示电阻串 17531 中电阻的数量。

[0168] 校正单元 171 另可包括多工单元(未绘示),且多工单元可根据计数信号 CNT 对应产生多组控制信号 CTRL_1 ~ CTRL_Y,以分别控制该些栓锁单元 17353 的导通与截止运作。上述运算放大器 0A 的控制端与控制信号 CTRL_1 ~ CTRL_Y 的数量可依据栓锁单元 17353 的数量来设定。所述多工单元可由一对多多工器(multiplexer)来实现。

[0169] 于此架构下,控制单元 15 可于校正期间,输出计数信号 CNT 驱动各缓冲单元 17 的校正单元 171 的多工单元同步依序导通对应多个栓锁单元 17353 的其中之一,以逐步调整各运算放大器 0A 的内部偏压电流,据以校正运算放大器 0A 的输出偏移电压 V_{OFFSET} 。校正单元 171 并可于计数信号 CNT 完成导通运算放大器 0A 的每一栓锁单元 17353(即当计数

信号 CNT 达到最大值)或是当运算放大器 0A 的输出电压发生逻辑电平变化时,输出栓锁信号 $\overline{\text{LTH}}$ 使该些栓锁单元 17353 进入栓锁状态,停止校正程序。

[0170] 附带一提的是,在另一实施方式中,控制单元 15 可仅输出一时序信号,致能校正单元 171 自行驱动多工单元产生控制信号 CTRL_1 ~ CTRL_Y 依序导通偏移电压调整单元 1735 中的该些栓锁单元 17353 的其中之一。于又一实施方式中,多工单元亦可以是内建于运算放大器 0A,并根据控制单元 15 输出计数信号 CNT 对应输出该些控制信号 CTRL_1 ~ CTRL_Y 依序导通偏移电压调整单元 1735 中的该些栓锁单元 17353 的其中之一。

[0171] 简言之,计数信号 CNT 与控制信号 CTRL_1 ~ CTRL_Y 的产生方式可依据实际电路设计或运作需求来设置,只要可使偏移电压调整单元 1735 中的该些栓锁单元 17353 依序导通,达到逐步调整运算放大器 0A 内部偏压电路产生的偏压电流 Ia、Ib,校正运算放大器 0A 的输出偏移电压 V_{OFFSET} 即可。

[0172] 要说明的是,图 5 仅用以描述运算放大器电路架构,而运算放大器电路架构可依据实际电路需求(例如差动输入级 1731 的偏压补偿方式、偏压电路的设计或输出级的类别等)而有所不同。换言之,图 5 仅用以描述偏移电压调整单元 1735 应用于运算放大器电路的方式,并非用以限定本发明。

[0173] 接着,本发明另提供栓锁单元 17353 的一种实施方式。请参考图 6 并同时参考图 3 以及图 5,图 6 绘示本发明实施例提供的栓锁单元的电路图。各该栓锁单元 17353 包括 NMOS 晶体管 MN10、NMOS 晶体管 MN11 以及储存电容 Cgs。

[0174] NMOS 晶体管 MN10 的源极耦接于校正单元 171,以接受控制信号 CTRL_i(即控制信号 CTRL_1 ~ CTRL_Y 之一)。NMOS 晶体管 MN10 的栅极受控于校正单元 171,以接收所述栓锁信号 $\overline{\text{LTH}}$ 。NMOS 晶体管 MN10 的漏极耦接于 NMOS 晶体管 MN11 的栅极。NMOS 晶体管 MN11 的漏极对应耦接于相邻电阻 Rc 之间的接点 Vc。NMOS 晶体管 MN11 的源极耦接于接地端 GND。储存电容 Cgs 的第一端耦接于 NMOS 晶体管 MN10 的漏极与 NMOS 晶体管 MN10 的栅极之间的接点。储存电容 Cgs 的第二端耦接于接地端 GND。储存电容 Cgs 耦接于 NMOS 晶体管 MN11 的栅极以及 NMOS 晶体管 MN11 的源极之间。

[0175] 简单来说,当控制单元 15 致能校正单元 171 进行校正程序时,校正单元 171 的栓锁控制电路 1713 会输出高电压电平的栓锁信号 $\overline{\text{LTH}}$ 至 NMOS 晶体管 MN10 的栅极。校正单元 171 的多工单元(未绘示)随后根据计数信号 CNT 输出控制信号 CTRL_1 ~ CTRL_Y 至该些栓锁单元 17353 的 NMOS 晶体管 MN10 的源极,以依序导通栓锁单元 17353 的其中之一的 NMOS 晶体管 MN10。同时,于栓锁单元 17353 的 NMOS 晶体管 MN10 导通时,对该栓锁单元 17353 中的储存电容 Cgs 充电,以使 NMOS 晶体管 MN11 维持导通一段时间(如储存电容 Cgs 的放电时间)。也就是,当储存电容 Cgs 充完电时,仍会持续使 NMOS 晶体管 MN11 导通直至储存电容 Cgs 放完电。当 NMOS 晶体管 MN10 源极接收的控制信号 CTRL_i(即控制信号 CTRL_1 ~ CTRL_Y 之一)为低电压电平,即会停止对储存电容 Cgs 充电,且 NMOS 晶体管 MN11 并会于储存电容 Cgs 放完电时,截止运作。

[0176] 当校正单元 171 的检测单元 1711 检测到运算放大器 0A 输出的输出电压 CMP 产生逻辑电平变化(例如由高电压电平转换为低电压电平或由低电压电平转换为高电压电平)

时,校正单元 171 的栓锁控制电路 1713 会输出低电压电平的栓锁信号 $\overline{\text{LTH}}$ 以截止 NMOS 晶体管 MN10 的运作,使该些栓锁单元 17353 进入栓锁状态,亦即仅使所选择的该些栓锁单元 17353 其中之一的 NMOS 晶体管 MN11 维持导通,而使其他栓锁单元 17353 中的 NMOS 晶体管 MN11 处于截止状态,据以校正运算放大器 OA 的输出偏移电压 V_{OFFSET} 。此外,该些栓锁单元 17353 会一直维持在栓锁状态直至下一次校正期间。

[0177] 值得注意的是,于所属领域技术人员应知如何选择适当储存电容 C_{gs} ,以使选取的栓锁单元 17353 的 NMOS 晶体管 MN11 得以在栓锁状态下持续导通,消除运算放大器 OA 的输出偏移电压 V_{OFFSET} 。据此,以避免运算放大器 OA 的输出偏移电压 V_{OFFSET} 于驱动期间内影响有机发光显示面板 20 的显示运作。

[0178] 此外,本实施例揭示以 NMOS 晶体管开关电路来实现偏移电压调整单元 1735 的栓锁单元 17353,而现有使用 NMOS 晶体管于制作过程可被最小化降低电路所占面积,故本实施例使用 NMOS 晶体管开关电路可以大大的减少驱动芯片中消除运算放大器 OA 的输出偏移电压的补偿电路所需面积。再者,栓锁单元 17353 的电路设计是采用由两个 NMOS 晶体管组成的存储器架构 (2-transistor memory),可记住补偿输出偏移电压 V_{OFFSET} 的校正设定,从而更可减少现有需要额外配置的存储器电路,降低驱动芯片 10 所需面积与制作成本。

[0179] 另外,本发明实施例另提供校正单元 171 的实施方式。请参考图 7 并同时参考图 3 以及图 5,图 7 绘示本发明实施例提供的校正单元的电路图。于本实施例中,校正单元 171 的检测单元 1711 包括或门 (or gate) OR;校正单元 171 的栓锁控制电路 1713 包括 SR 触发器 (SR flip flop) SR,且 SR 触发器 SR 为负缘触发触发器。

[0180] 更进一步地说,或门 OR 的第一输入端耦接于运算放大器 OA 的输出端,以接收运算放大器 OA 的输出电压 CMP。或门 OR 的第二输入端用以接收一轮询信号 POLL,其中若计数信号 CNT 计数至最大值 (即所有栓锁单元 17353 皆已被选择导通) 时,轮询信号 POLL 为高电压电平信号;若计数信号 CNT 尚未计数至最大值 (即仍有栓锁单元 17353 未被选取导通) 时,轮询信号 POLL 为低电压电平信号。所述轮询信号 POLL 可以是由控制单元 15 直接输出,亦或是由校正单元 171 的一判断电路根据计数信号 CNT 而产生,本实施例并不限制。

[0181] 或门 OR 的输出端耦接于 SR 触发器 SR 的输入端 S。SR 触发器 SR 的输入端 R 耦接控制单元 15,以接受重置信号 RESET。SR 触发器 SR 的致能端 CK 耦接控制单元 15,以接受时序信号 CK。SR 触发器 SR 的输出端 $\overline{\text{Q}}$ 耦接于运算放大器 OA 的栓锁端,以根据检测单元 1711 的检测结果对应输出栓锁信号 $\overline{\text{LTH}}$ 至运算放大器 OA。

[0182] 简单来说,当控制单元 15 致能校正单元 171 进行校正期间,控制单元 15 会输出重置信号 RESET (例如一脉冲信号) 至 SR 触发器 SR 的输入端 R,以重置 SR 触发器 SR。而后,控制单元 15 会输出时序信号 CK 致能 SR 触发器 SR,且 SR 触发器 SR 会于时序信号 CK 的下降缘 (falling edge) 时,根据输入端 S 的输入信号于输出端 $\overline{\text{Q}}$ 产生栓锁信号 $\overline{\text{LTH}}$ 。

[0183] 详细地说,于校正期间,在控制单元 15 会输出计数信号 CNT 依序导通偏移电压调整单元 1735 中的该些栓锁电压 17353 之一。

[0184] 当运算放大器 OA 的输出电压 CMP 为低电压电平,且计数信号 CNT 尚未计数至最大

值时,或门 OR 的第一、第二输入端皆为低电压电平,使得或门 OA 的输出为低电压电平信号,使得 SR 触发器 SR 的输出端 $\overline{Q}$ 输出高电压电平的栓锁信号 $\overline{LTH}$ 至运算放大器 OA 的栓锁端。当检测到运算放大器 OA 的输出电压 CMP 产生逻辑电平变化或是计数信号 CNT 已计数至最大值,使得或门 OR 的第一输入端或第二输入端的输入为高电压电平时,或门 OR 即会对应输出高电压电平信号,以触发 SR 触发器 SR。SR 触发器 SR 的输出端 $\overline{Q}$ 随后会于下一个时序信号 CK 的下升缘,根据输出端 S 输出低电压电平的栓锁信号 $\overline{LTH}$,使该些栓锁单元 17353 进入栓锁状态,并使所选择的该些栓锁单元 17353 其中之一维持导通。据此,以校正运算放大器 OA 的输出偏移电压 V_{OFFSET} 。

[0185] 值得一提的是,于其他实施方式中,亦可利用 SR 触发器 SR 的输出端 Q 输出的栓锁信号 LTH(即栓锁信号 $\overline{LTH}$ 的反向信号)驱动运算放大器 OA 中该些栓锁单元 17353 进入栓锁状态。举例来说,可将 SR 触发器 SR 的输出端 Q 经一反向器(inverter)电路耦接于运算放大器 OA 的栓锁端或是将运算放大器 OA 的栓锁端设计为低电压电平触动(active-low)模式,以将输出端 Q 输出的栓锁信号 LTH 进行反向处理。

[0186] 又举例来说,若运算放大器 OA 的栓锁单元 17353 中的 NMOS 晶体管 MN10 是利用一 PMOS 晶体管来实现时,则可以利用 SR 触发器 SR 的输出端 Q 输出的栓锁信号 LTH 来对应控制该些栓锁单元 17353 的运作。具体地说,于执行校正程序时,校正单元 171 的 R 触发器 SR 的输出端 Q 会根据轮询信号 POLL 与输出电压 CMP 输出低电压电平的栓锁信号 LTH,以配合计数信号 CNT 依序控制栓锁单元 17353 的运作。而当检测到运算放大器 OA 的输出电压 CMP 产生逻辑电平变化或是计数信号 CNT 已计数至最大值时,SR 触发器 SR 的输出端 Q 即会对应输出高电压电平的栓锁信号 LTH,使该些栓锁单元 17353 进入栓锁状态。也就是,SR 触发器 SR 驱动该些栓锁单元 17353 的方式可依据实际电路运作需求或是栓锁单元 17353 的实际电路架构来设计,本实施例并不限制。

[0187] 于实务上,校正单元 171 亦可以其他方式实现,例如以一比较器来实现。比较器的正相输入端耦接于运算放大器 OA 的输出端,以接收输出电压 CMP,而比较器的反相输入端耦接于一参考电压,比较器的输出端耦接于运算放大器 OA 的栓锁端。据此,比较器可通过根据运算放大器 OA 的输出电压 CMP 与参考电压,输出栓锁信号,以停止校正程序。因此,校正单元 171 的实际架构可依据校正运作需求来设置,图 7 仅为一种校正单元的实施方式,并非用以限定本发明。

[0188] 综上所述,本发明实施例提供一种偏移电压调整单元以及有机发光显示器的驱动电路,此偏移电压调整单元可用于校正运算放大器因操作环境温度、供应电源电压或晶体管工艺因素产生的输出偏移电压。偏移电压调整单元可主动根据运算放大器的输出电压,逐步调整配置运算放大器的偏压电路产生的偏压电流,以精确地校正运算放大器运作产生的输出偏移电压。同时,偏移电压调整单元另可于校正过程记录运算放大器校正设定,稳定运算放大器的运作。

[0189] 藉此,可避免此输出偏移电压影响有机发光显示面板的驱动运作,提高有机发光显示器的显示品质。此外,本发明另可通过设置开关电路,使运算放大器 OA 于校正时,自动切换成比较电路,且所述偏移电压调整单元可以是内建于运算放大器,故可不须如现有技

艺一样需额外设置补偿电路,除可大幅节省驱动电路所需的芯片面积,亦可防止额外设置的比较电路所产生的偏电压的误差,提高校正的精准度,同时降低整体驱动电路的功耗。

[0190] 以上所述仅为本发明的实施例,其并非用以局限本发明的专利权利要求范围。

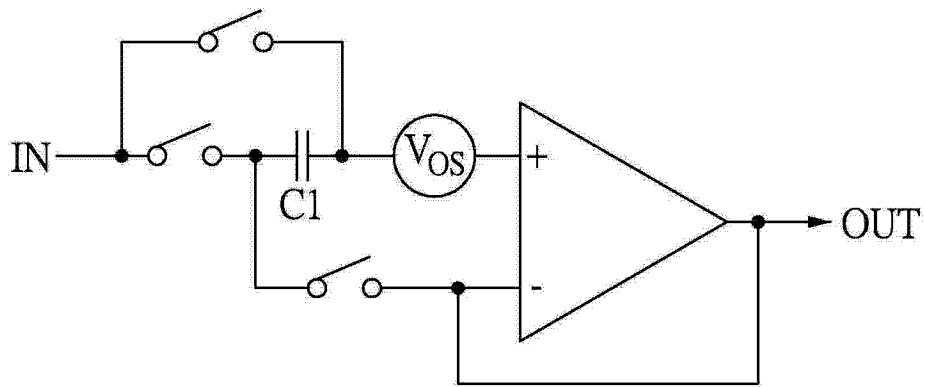


图 1A

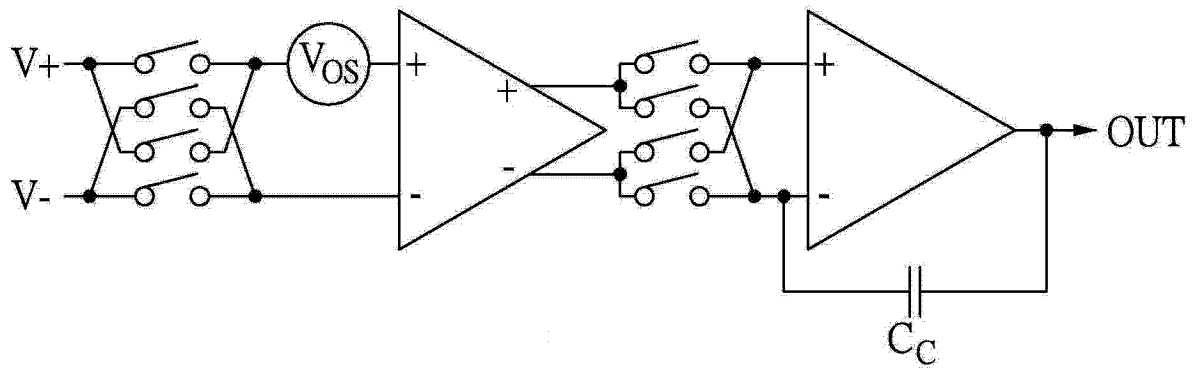


图 1B

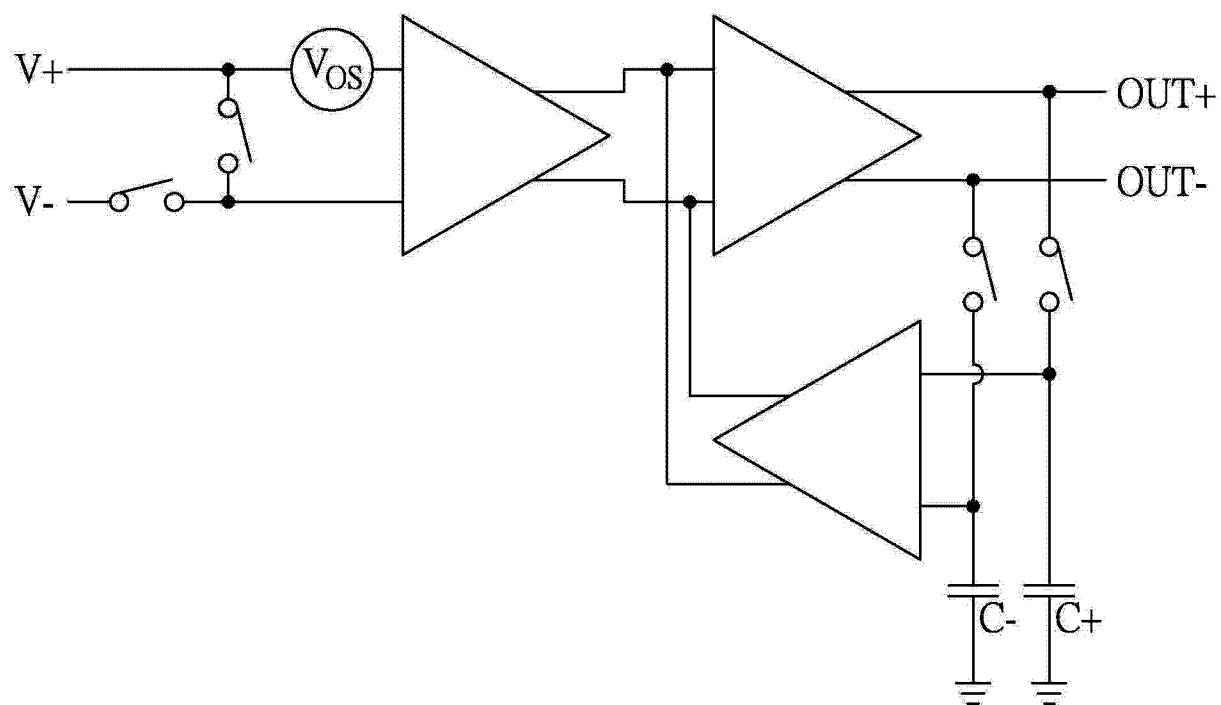


图 1C

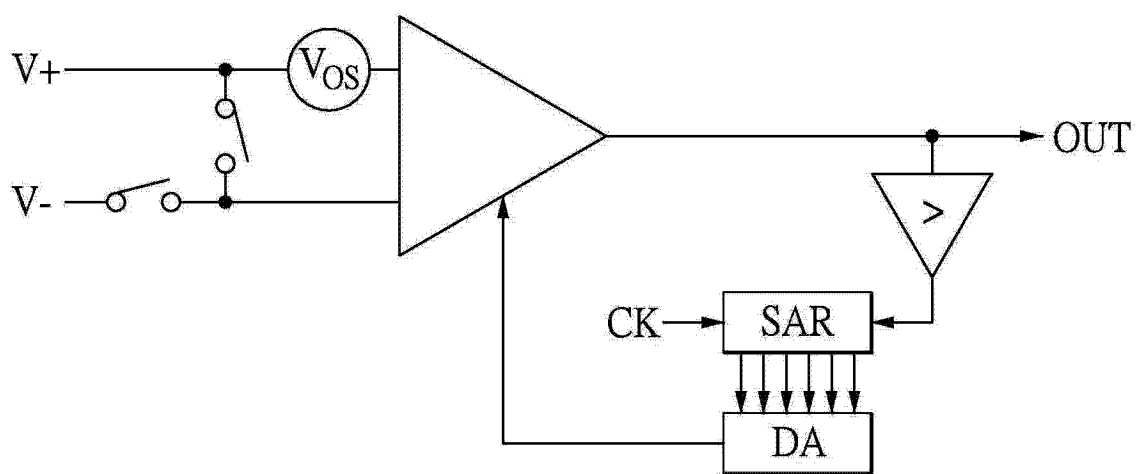


图 1D

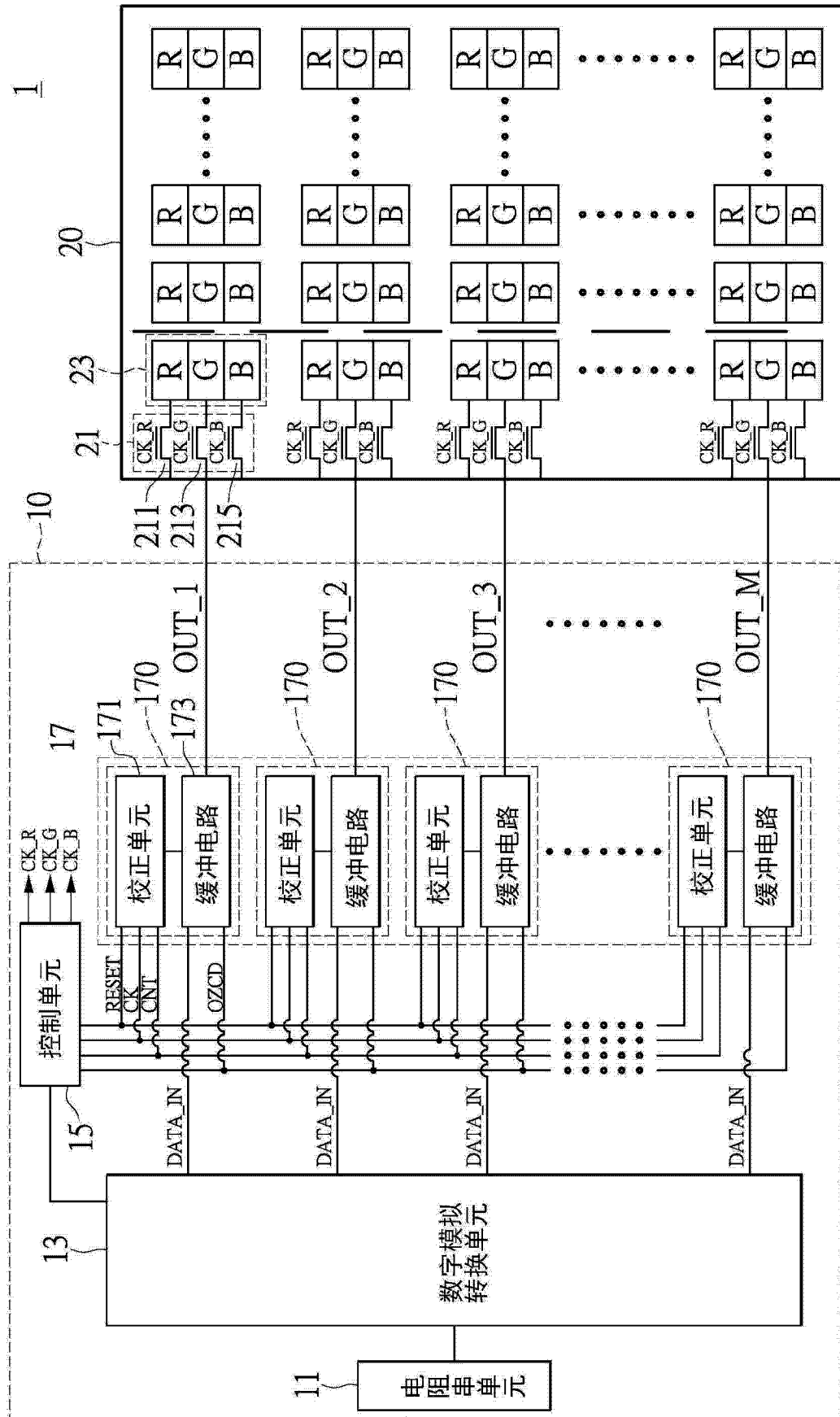


图 2

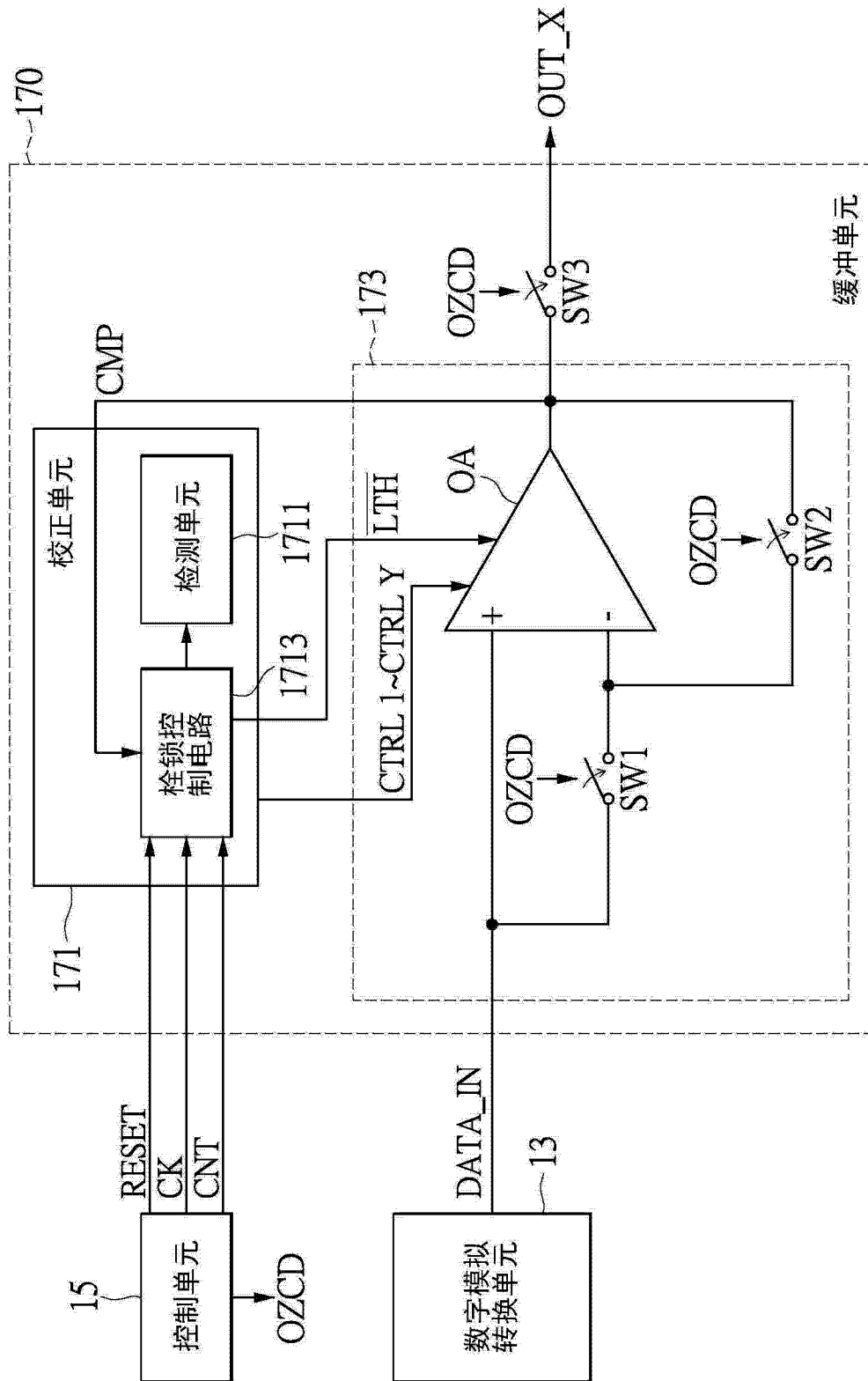


图 3

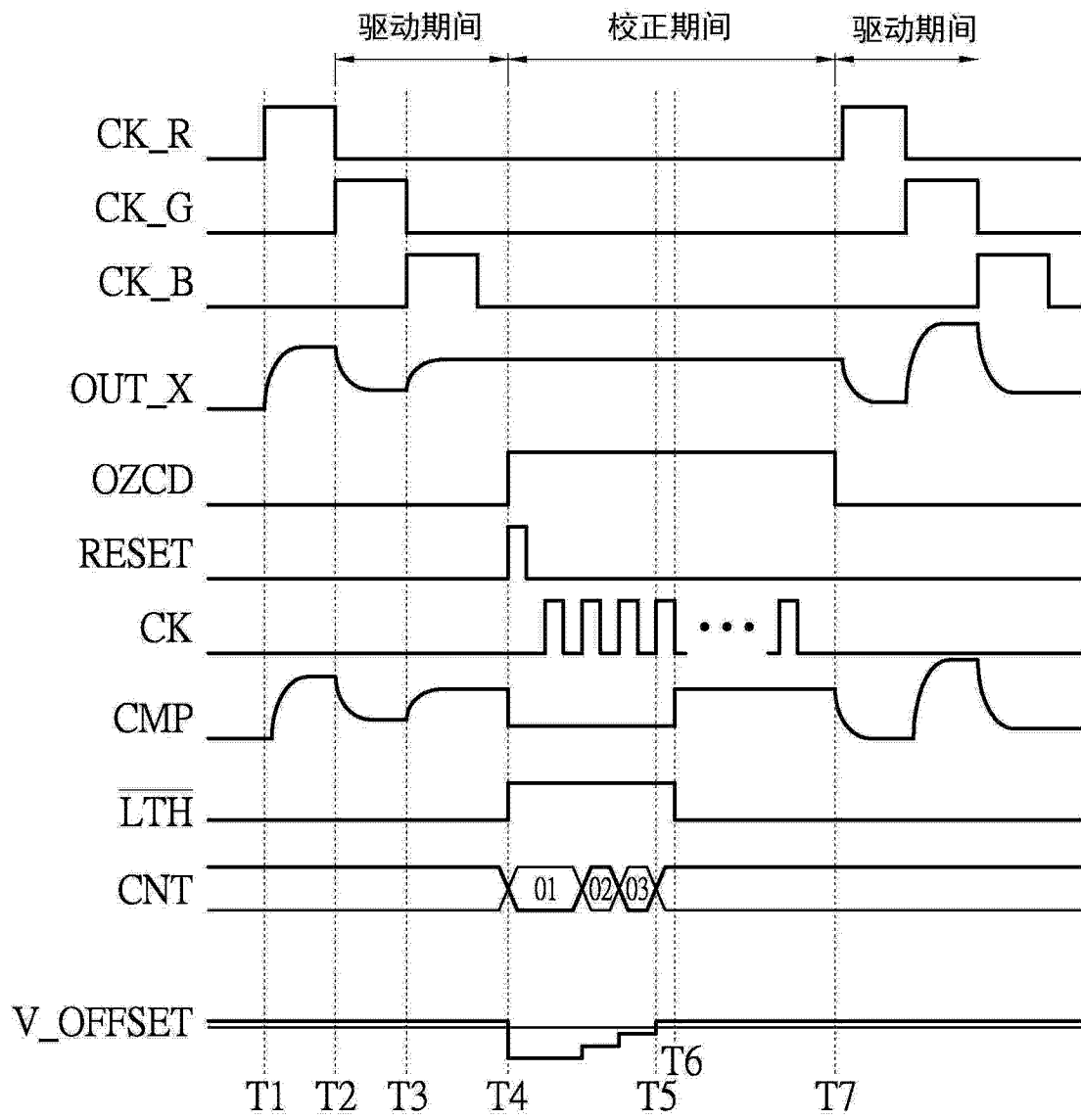


图 4

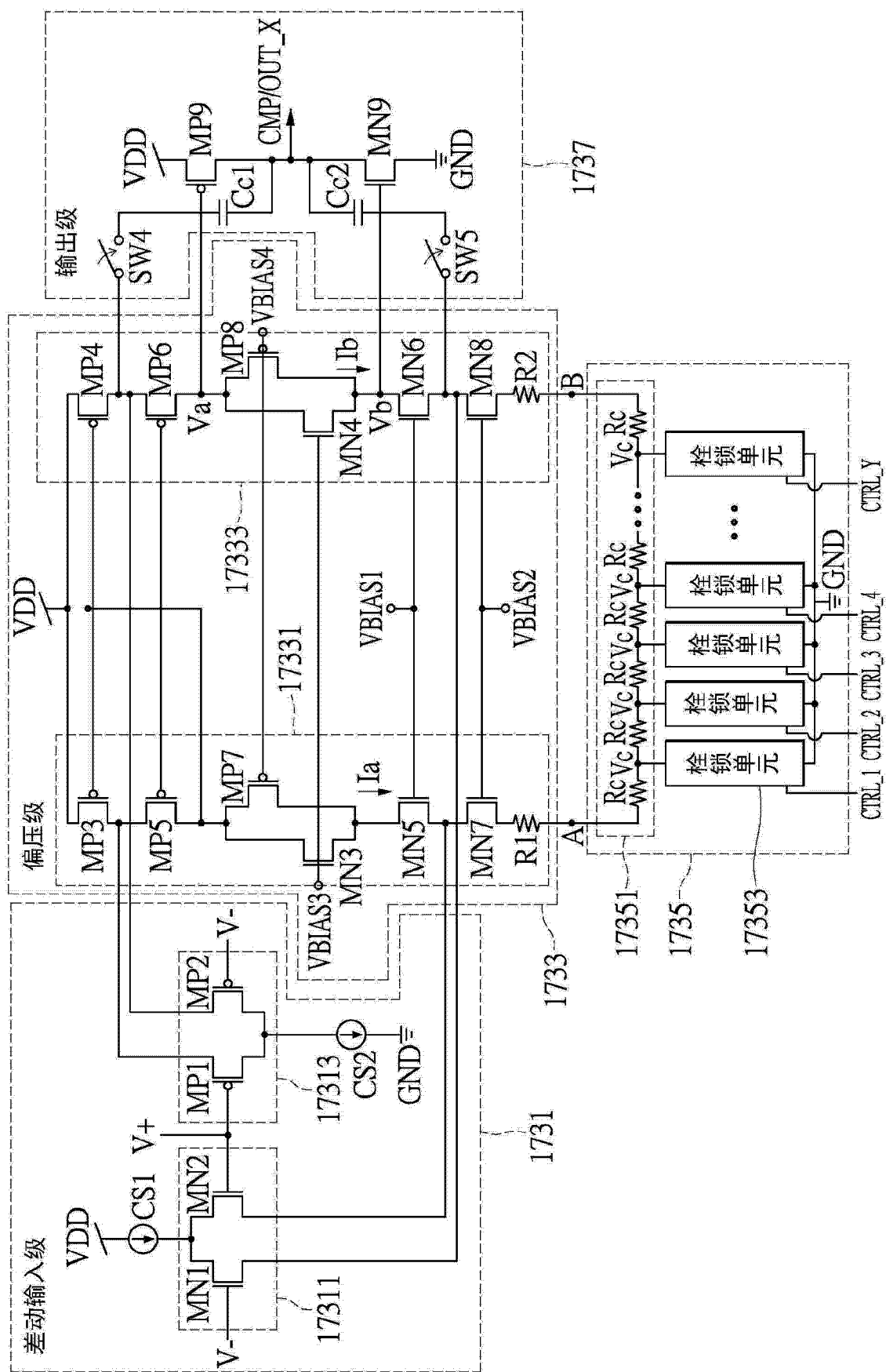


图 5

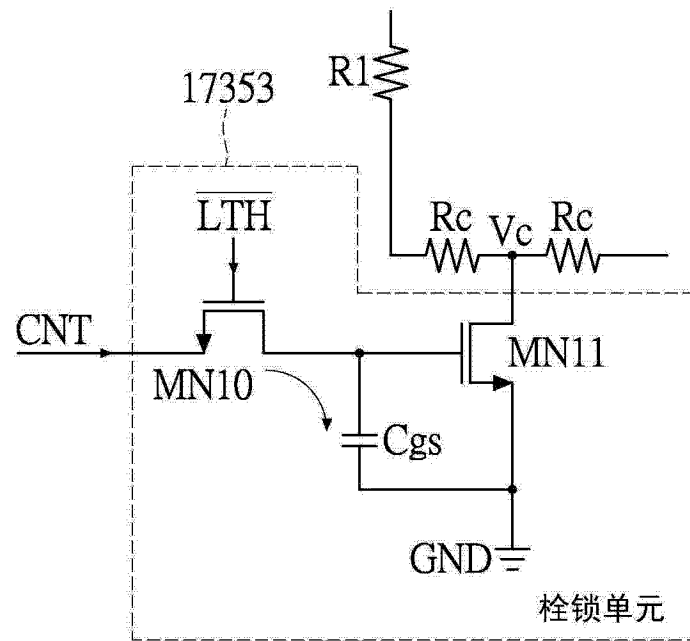


图 6

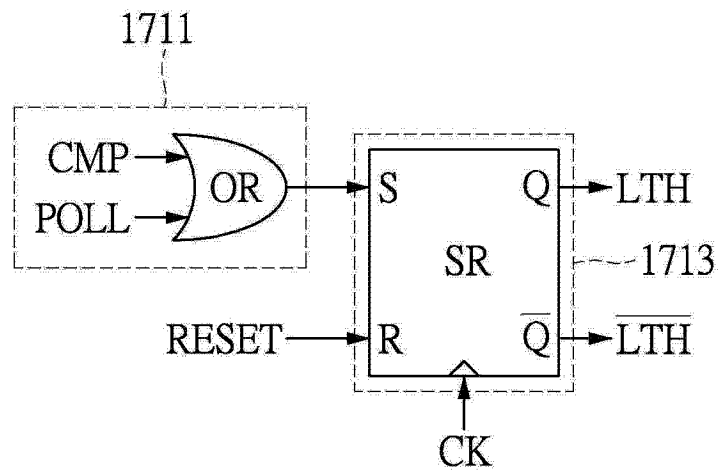


图 7

专利名称(译)	有机发光显示器的驱动电路以及偏移电压调整单元		
公开(公告)号	CN104347027A	公开(公告)日	2015-02-11
申请号	CN201310351054.8	申请日	2013-08-13
[标]申请(专利权)人(译)	联合聚晶股份有限公司		
申请(专利权)人(译)	联合聚晶股份有限公司		
当前申请(专利权)人(译)	联合聚晶股份有限公司		
[标]发明人	雷家正		
发明人	雷家正		
IPC分类号	G09G3/32		
CPC分类号	H03F3/45134 G09G3/3208 H03F2203/45726 H03F3/45071 H03F3/393 H03F2203/45112 G09G2310/027 G09G2310/0291		
代理人(译)	张然		
优先权	102127753 2013-08-02 TW		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种有机发光显示器的驱动电路以及偏移电压调整单元。偏移电压调整单元适用于驱动电路中具有差动输入级、偏压级以及输出级的运算放大器。偏移电压调整单元耦接于偏压级与接地端之间，且包括电阻串以及多个控锁单元。电阻串具有第一端、第二端与耦接于第一端与第二端之间的多个电阻，且各该电阻之间串联形成多个接点。该些控锁单元分别对应耦接于该些接点与接地端之间。该些控锁单元根据一控制信号依序导通，以调整偏压级产生的偏压电流。该些控锁单元于接收到一控锁信号时，进入一控锁状态，以校正运算放大器的输出偏移电压。

