



(12)发明专利申请

(10)申请公布号 CN 111223448 A  
(43)申请公布日 2020.06.02

(21)申请号 202010208235.5

(22)申请日 2020.03.23

(30)优先权数据

108133151 2019.09.16 TW

(71)申请人 友达光电股份有限公司

地址 中国台湾新竹市

(72)发明人 郑贸薰 洪嘉泽

(74)专利代理机构 隆天知识产权代理有限公司

72003

代理人 傅磊 黄艳

(51)Int.Cl.

G09G 3/3208(2016.01)

G09G 3/3233(2016.01)

G09G 3/3266(2016.01)

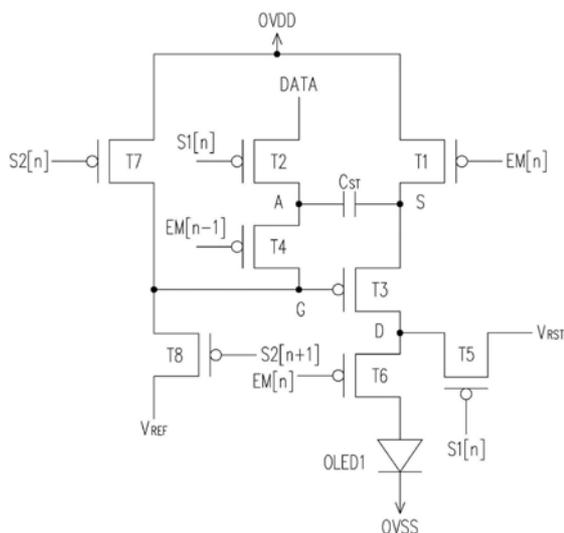
权利要求书2页 说明书5页 附图4页

(54)发明名称

像素电路

(57)摘要

一种像素电路,包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、存储电容及有机发光二极管。第一晶体管、第三晶体管、第六晶体管及有机发光二极管串接于系统高电压与系统低电压。第二晶体管及第四晶体管串接于数据信号与第三晶体管的控制端。存储电容耦接于第一晶体管与第三晶体管的连接点与第二晶体管与第四晶体管的连接点。第五晶体管可传送重置电压至第三晶体管。第七晶体管及第八晶体管串接于系统高电压与参考电压,第七晶体管及第八晶体管的连接点耦接至第三晶体管的控制端。



1. 一种像素电路,包括:
  - 一第一晶体管,具有接收一系统高电压的一第一端、一第二端及接收一第一发光信号的一控制端;
  - 一存储电容,具有耦接该第一晶体管的该第二端的一第一端、及一第二端;
  - 一第二晶体管,具有接收一数据信号的一第一端、一第二端及接收一第一扫描信号或一第二发光信号的一控制端;
  - 一第三晶体管,具有耦接该第一晶体管的该第二端的一第一端、一第二端及一控制端;
  - 一第四晶体管,具有耦接该第二晶体管的该第二端的一第一端、耦接该第三晶体管的该控制端的一第二端及接收该第一扫描信号或该第二发光信号的一控制端;
  - 一第五晶体管,具有接收一重置电压或该第一扫描信号的一第一端、耦接该第三晶体管的该第二端的一第二端及接收该第一扫描信号或该第二发光信号的一控制端;
  - 一第六晶体管,具有耦接该第三晶体管的该第二端的一第一端、一第二端及接收该第一发光信号的一控制端;
  - 一第七晶体管,具有接收该系统高电压的一第一端、耦接该第三晶体管的该控制端的一第二端及接收一第二扫描信号的一控制端;
  - 一第八晶体管,具有耦接该第三晶体管的该控制端的一第一端、接收一参考电压的一第二端及接收一第三扫描信号的一控制端;以及
  - 一有机发光二极管,具有耦接该第六晶体管的该第二端的一阳极及接收一系统低电压的一阴极。
2. 如权利要求1所述的像素电路,其中该第一晶体管、该第二晶体管、该第三晶体管、该第四晶体管、该第五晶体管、该第六晶体管、该第七晶体管及该第八晶体管分别为低温多晶硅晶体管。
3. 如权利要求2所述的像素电路,其中该第一晶体管、该第二晶体管、该第三晶体管、该第四晶体管、该第五晶体管、该第六晶体管、该第七晶体管及该第八晶体管分别为一P型晶体管。
4. 如权利要求3所述的像素电路,其中该第二晶体管的该控制端及该第五晶体管的该控制端接收该第一扫描信号,该第四晶体管的该控制端接收该第二发光信号。
5. 如权利要求2所述的像素电路,其中该第一晶体管、该第二晶体管、该第三晶体管、该第五晶体管、该第六晶体管、该第七晶体管及该第八晶体管分别为一P型晶体管,该第四晶体管为一N型晶体管。
6. 如权利要求5所述的像素电路,其中该第二晶体管的该控制端、该第四晶体管的该控制端及该第五晶体管的该控制端接收该第一扫描信号。
7. 如权利要求2所述的像素电路,其中该第一晶体管、该第三晶体管、该第四晶体管、该第六晶体管、该第七晶体管及该第八晶体管分别为一P型晶体管,该第二晶体管及该第五晶体管分别为一N型晶体管。
8. 如权利要求7所述的像素电路,其中该第二晶体管的该控制端、该第四晶体管的该控制端及该第五晶体管的该控制端接收该第二发光信号。
9. 如权利要求1所述的像素电路,其中该第七晶体管的通道层的长宽比相同于该第八晶体管的通道层的长宽比。

10. 如权利要求1所述的像素电路,其中该第三晶体管的该控制端的电压小于该系统高电压且高于该参考电压。

11. 如权利要求10所述的像素电路,其中该参考电压小于该有机发光二极管提供一最低发光亮度时该第三晶体管的该控制端的电压。

12. 如权利要求1所述的像素电路,其中该第一扫描信号的致能期间与该第二扫描信号的致能期间及该第三扫描信号的致能期间的总和对齐,该第一扫描信号与该第二发光信号反相,该第二发光信号领先该第一发光信号一个第二扫描信号的致能期间。

## 像素电路

### 技术领域

[0001] 本发明涉及一种像素电路,且特别涉及一种自发光显示面板的像素电路。

### 背景技术

[0002] 在显示面板中,通过面板工艺所形成的晶体管会有漏电流的产生,导致电容中电荷的流失比预期的快,影响像素电路中的发光元件所产生的亮度。因此,需要一种新颖的像素电路来改善或抑制漏电流的影响。

### 发明内容

[0003] 本发明提供一种像素电路,提供流入驱动有机发光二极管的晶体管的控制端的漏电流路径及自驱动有机发光二极管的晶体管的控制端流出的漏电流路径,借此改善抑制漏电流对驱动有机发光二极管的晶体管的控制端的影响,以抑制影像的闪烁。

[0004] 本发明的像素电路,包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、存储电容及有机发光二极管。第一晶体管具有接收一系统高电压的第一端、一第二端及接收第一发光信号的控制端。存储电容,具有耦接第一晶体管的第二端的一第一端、及一第二端。第二晶体管具有接收一数据信号的第一端、第二端及接收第一扫描信号或第二发光信号的一控制端。第三晶体管具有耦接第一晶体管的第二端的第一端、第二端及控制端。第四晶体管具有耦接第二晶体管的第二端的第一端、耦接第三晶体管的控制端的一第二端及接收第一扫描信号或第二发光信号的一控制端。第五晶体管具有接收重置电压或第一扫描信号的一第一端、耦接第三晶体管的第二端的第二端及接收第一扫描信号或第二发光信号的控制端。第六晶体管具有耦接第三晶体管的第二端的第一端、第二端及接收第一发光信号的控制端。第七晶体管具有接收系统高电压的第一端、耦接第三晶体管的控制端的第二端及接收第二扫描信号的控制端。第八晶体管具有耦接第三晶体管的控制端的第一端、接收参考电压的第二端及接收第三扫描信号的控制端。有机发光二极管具有耦接第六晶体管的第二端的阳极及接收系统低电压的阴极。

[0005] 基于上述,本发明实施例的像素电路,通过截止的第七晶体管形成流入第三晶体管的控制端的漏电流路径,并且截止的第八晶体管形成自第三晶体管的控制端流出的漏电流路径,借此可补偿第三晶体管的控制端的电压由漏电流所造成的压降,亦即改善抑制漏电流对的影响,以抑制影像的闪烁。

[0006] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合说明书附图作详细说明如下。

### 附图说明

[0007] 图1为依据本发明第一实施例的像素电路的电路示意图。

[0008] 图2为依据本发明第一实施例的像素电路的驱动波形的示意图。

[0009] 图3为依据本发明第二实施例的像素电路的电路示意图。

- [0010] 图4为依据本发明第三实施例的像素电路的电路示意图。
- [0011] 图5为依据本发明第四实施例的像素电路的电路示意图。
- [0012] 附图标记说明：
- [0013] (1)：重置期间
- [0014] (2)：补偿期间
- [0015] (3)：维持期间
- [0016] (4)：发光期间
- [0017] 100、200、300、400：像素电路
- [0018] A、D、G、S：节点
- [0019]  $C_{ST}$ ：存储电容
- [0020] DATA：数据信号
- [0021] EM[n]：第一发光信号
- [0022] EM[n-1]：第二发光信号
- [0023] OLED1：有机发光二极管
- [0024] OVDD：系统高电压
- [0025] OVSS：系统低电压
- [0026] S1[n]：第一扫描信号
- [0027] S2[n]：第二扫描信号
- [0028] S2[n+1]：第三扫描信号
- [0029] T1：第一晶体管
- [0030] T2：第二晶体管
- [0031] T3：第三晶体管
- [0032] T4：第四晶体管
- [0033] T5：第五晶体管
- [0034] T6：第六晶体管
- [0035] T7：第七晶体管
- [0036] T8：第八晶体管
- [0037]  $V_{REF}$ ：参考电压
- [0038]  $V_{RST}$ ：重置电压

### 具体实施方式

[0039] 除非另有定义，本文使用的所有术语（包括技术和科学术语）具有与本发明所属领域的普通技术人员通常理解的相同的含义。将进一步理解的是，诸如在通常使用的字典中定义的那些术语应当被解释为具有与它们在相关技术和本发明的上下文中的含义一致的含义，并且将不被解释为理想化的或过度正式的意义，除非本文中明确地这样定义。

[0040] 应当理解，尽管术语“第一”、“第二”、“第三”等在本文中可以用于描述各种元件、部件、区域、层及/或部分，但是这些元件、部件、区域、及/或部分不应受这些术语的限制。这些术语仅用于将一个元件、部件、区域、层或部分与另一个元件、部件、区域、层或部分区分开。因此，下面讨论的“第一元件”、“部件”、“区域”、“层”或“部分”可以被称为第二元件、部

件、区域、层或部分而不脱离本文的教导。

[0041] 这里使用的术语仅仅是为了描述特定实施例的目的,而不是限制性的。如本文所使用的,除非内容清楚地指示,否则单数形式“一”、“一个”和“该”旨在包括多个形式,包括“至少一个”。“或”表示“及/或”。如本文所使用的,术语“及/或”包括一个或多个相关所列项目的任何和所有组合。还应当理解,当在本说明书中使用时,术语“包括”及/或“包括”指定所述特征、区域、整体、步骤、操作、元件的存在及/或部件,但不排除一个或多个其它特征、区域整体、步骤、操作、元件、部件及/或其组合的存在或添加。

[0042] 图1为依据本发明第一实施例的像素电路的电路示意图。请参照图1,在本实施例中,像素电路100包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、存储电容 $C_{ST}$ 及有机发光二极管OLED1。

[0043] 在本实施例中,第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7及第八晶体管T8分别为低温多晶硅(LTPS)晶体管。并且,第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7及第八晶体管T8分别为P型晶体管。

[0044] 第一晶体管T1具有接收系统高电压OVDD的第一端、第二端及接收第一发光信号EM[n]的控制端。存储电容 $C_{ST}$ 具有耦接第一晶体管T1的第二端的第一端、及第二端(即节点A)。第二晶体管T2具有接收数据信号DATA的第一端、第二端及接收第一扫描信号S1[n]的控制端。第三晶体管T3具有耦接第一晶体管T1的第二端的第一端(即节点S)、第二端(即节点D)及控制端(即节点G)。第四晶体管T4具有耦接第二晶体管T2的第二端的第一端、耦接第三晶体管T3的控制端的第二端及接收第二发光信号EM[n-1]的控制端。

[0045] 第五晶体管T5具有接收重置电压 $V_{RST}$ 的第一端、耦接第三晶体管T3的第二端的第二端及接收第一扫描信号S1[n]的控制端。第六晶体管T6具有耦接第三晶体管T3的第二端的第一端、第二端及接收第一发光信号EM[n]的控制端。第七晶体管T7具有接收系统高电压OVDD的第一端、耦接第三晶体管T3的控制端的第二端及接收第二扫描信号S2[n]的控制端。

[0046] 第八晶体管T8具有耦接第三晶体管T3的控制端的第一端、接收参考电压 $V_{REF}$ 的第二端及接收第三扫描信号S2[n+1]的控制端。有机发光二极管OLED1具有耦接第六晶体管T6的第二端的阳极及接收系统低电压OVSS的阴极。

[0047] 在本发明的实施例中,第七晶体管T7的通道层的长宽比可相同于第八晶体管T8的通道层的长宽比。并且,第三晶体管T3的控制端(即节点G)的电压小于系统高电压OVDD且高于参考电压 $V_{REF}$ 。换言之,参考电压 $V_{REF}$ 可小于有机发光二极管OLED1提供最低发光亮度(例如灰阶亮度0)时第三晶体管T3的控制端(即节点G)的电压。

[0048] 图2为依据本发明第一实施例的像素电路的驱动波形的示意图。请参照图1及图2,在本实施例中,像素电路100在一个画面期间中大致可分为4个期间,亦即重置期间(1)、补偿期间(2)、维持期间(3)、以及发光期间(4)。并且,在本实施例中,第一扫描信号S1[n]的致能期间(在此以低电平期间为例)与第二扫描信号S2[n]的致能期间及第三扫描信号S2[n+1]的致能期间的总和对齐,第二扫描信号S2[n]的致能期间早于第三扫描信号S2[n+1]的致能期间,第二扫描信号S2[n]的致能期间及第三扫描信号S2[n+1]的致能期间不重叠,第一扫描信号S1[n]与第二发光信号EM[n-1]反相,并且第二发光信号EM[n-1]领先第一发光信

号EM[n]一个第二扫描信号S2[n]的致能期间或第三扫描信号S2[n+1]的致能期间。

[0049] 在重置期间(1)中,第一扫描信号S1[n]、第二扫描信号S2[n]及第一发光信号EM[n]为致能,并且第三扫描信号S2[n+1]及第二发光信号EM[n-1]为禁能。此时,第一晶体管T1、第二晶体管T2、第五晶体管T5、第六晶体管T6及第七晶体管T7为导通,第四晶体管T4及第八晶体管T8为截止,并且第三晶体管T3的导通状态是受控于节点G的电压。进一步来说,节点S及G的电压为系统高电压OVDD,节点D及有机发光二极管OLED1的阳极的电压为重置电压V<sub>RST</sub>,并且节点A的电压为数据信号DATA所传送的数据电压(或称像素电压)。借此,存储电容C<sub>ST</sub>的跨压为系统高电压OVDD-数据信号DATA的数据电压,亦即存储电容C<sub>ST</sub>存储系统高电压OVDD与数据信号DATA的数据电压之间的压差。

[0050] 在补偿期间(2)中,第一扫描信号S1[n]及第三扫描信号S2[n+1]为致能,并且第二扫描信号S2[n]、第一发光信号EM[n]及第二发光信号EM[n-1]为禁能。此时,第二晶体管T2、第五晶体管T5及第八晶体管T8为导通,第一晶体管T1、第四晶体管T4、第六晶体管T6及第七晶体管T7为截止,并且第三晶体管T3的导通状态是受控于节点G的电压。进一步来说,节点S的电压由系统高电压OVDD改变为参考电压V<sub>REF</sub>+第三晶体管T3的临界电压,节点G的电压由系统高电压OVDD改变为参考电压V<sub>REF</sub>,节点D及有机发光二极管OLED1的阳极的电压仍为重置电压V<sub>RST</sub>,并且节点A的电压仍为数据信号DATA所传送的数据电压。借此,存储电容C<sub>ST</sub>的跨压为数据信号DATA的数据电压-参考电压V<sub>REF</sub>-第三晶体管T3的临界电压,亦即存储电容C<sub>ST</sub>存储数据信号DATA的数据电压与参考电压V<sub>REF</sub>及第三晶体管T3的临界电压的总和之间的压差。

[0051] 在维持期间(3)中,第二发光信号EM[n-1]为致能,第一扫描信号S1[n]、第二扫描信号S2[n]、第三扫描信号S2[n+1]及第一发光信号EM[n]为禁能。此时,第四晶体管T4为导通,第一晶体管T1、第二晶体管T2、第五晶体管T5、第六晶体管T6、第七晶体管T7及第八晶体管T8为截止,并且第三晶体管T3的导通状态是受控于节点G的电压。进一步来说,节点S的电压仍为参考电压V<sub>REF</sub>+第三晶体管T3的临界电压,节点G的电压由参考电压V<sub>REF</sub>改变为数据信号DATA所传送的数据电压,节点D及有机发光二极管OLED1的阳极的电压仍为重置电压V<sub>RST</sub>,并且节点A的电压仍为数据信号DATA所传送的数据电压。存储电容C<sub>ST</sub>仍存储数据信号DATA的数据电压与参考电压V<sub>REF</sub>及第三晶体管T3的临界电压的总和之间的压差。

[0052] 在发光期间(4)中,第一发光信号EM[n]及第二发光信号EM[n-1]为致能,第一扫描信号S1[n]、第二扫描信号S2[n]及第三扫描信号S2[n+1]为禁能。此时,第一晶体管T1、第四晶体管T4及第六晶体管T6为导通,第二晶体管T2、第五晶体管T5、第七晶体管T7及第八晶体管T8为截止,并且第三晶体管T3的导通状态是受控于节点G的电压。进一步来说,节点S的电压由参考电压V<sub>REF</sub>+第三晶体管T3的临界电压改为变系统高电压OVDD,节点G的电压由数据信号DATA所传送的数据电压改变为数据信号DATA所传送的数据电压+系统高电压OVDD-参考电压V<sub>REF</sub>-第三晶体管T3的临界电压。并且,截止的第七晶体管T7形成流入第三晶体管T3的控制端(即节点G)的漏电流路径,并且截止的第八晶体管T8形成自第三晶体管T3的控制端(即节点G)流出的漏电流路径,借此可补偿节点G的电压由漏电流所造成的压降,亦即改善抑制漏电流对节点G的影响,以抑制影像的闪烁。

[0053] 图3为依据本发明第二实施例的像素电路的电路示意图。请参照图1及图3,像素电路200大致相同于像素电路100,其不同之处在于第五晶体管T5。在本实施例中,第五晶体管

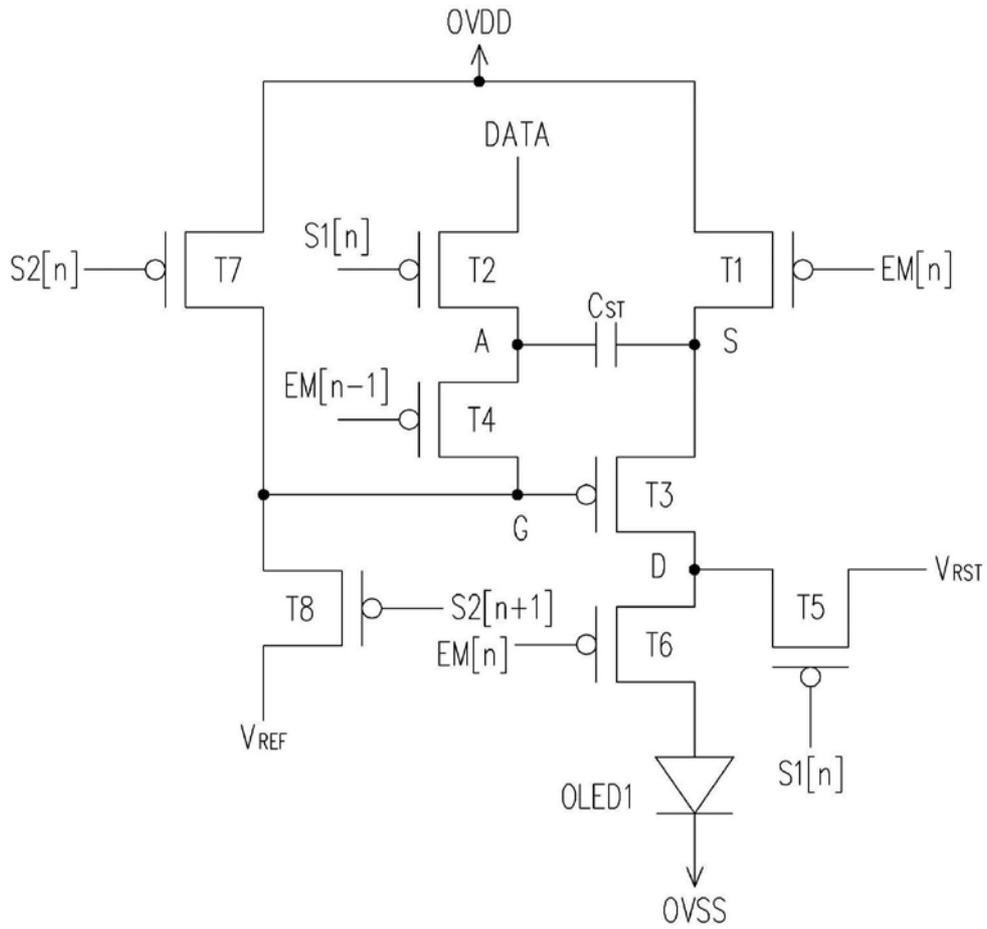
T5的第一端也是接收第一扫描信号S1[n],亦即第五晶体管T5是耦接成二极管形态,借此可省略重置电压 $V_{RST}$ ,以降低面板上的布线数。

[0054] 图4为依据本发明第三实施例的像素电路的电路示意图。请参照图1及图4,像素电路300大致相同于像素电路100,其不同之处在于第四晶体管T4。在本实施例中,第一晶体管T1、第二晶体管T2、第三晶体管T3、第五晶体管T5、第六晶体管T6、第七晶体管T7及第八晶体管T8分别为P型晶体管,并且第四晶体管T4为N型晶体管。此时,第二晶体管T2的控制端、第四晶体管T4的控制端及第五晶体管T5的控制端接收第一扫描信号S1[n],亦即第二晶体管T2的控制端及第四晶体管T4的控制端共同接收第一扫描信号S1[n],借此可省略第二发光信号EM[n-1],以降低像素电路300的布线复杂度。

[0055] 图5为依据本发明第四实施例的像素电路的电路示意图。请参照图1及图5,像素电路400大致相同于像素电路100,其不同之处在于第二晶体管T2及第五晶体管T5。在本实施例中,第一晶体管T1、第三晶体管T3、第四晶体管T4、第六晶体管T6、第七晶体管T7及第八晶体管T8分别为一P型晶体管,第二晶体管T2及第五晶体管T5分别为一N型晶体管。此时,第二晶体管T2的控制端、第四晶体管T4的控制端及第五晶体管T5的控制端接收第二发光信号EM[n-1],亦即第二晶体管T2的控制端及第四晶体管T4的控制端共同接收第二发光信号EM[n-1],借此可省略第一扫描信号S1[n],以降低像素电路400的布线复杂度。

[0056] 综上所述,本发明实施例的像素电路,通过截止的第七晶体管形成流入第三晶体管的控制端的漏电流路径,并且截止的第八晶体管形成自第三晶体管的控制端流出的漏电流路径,借此可补偿第三晶体管的控制端的电压由漏电流所造成的压降,亦即改善抑制漏电流对的影响,以抑制影像的闪烁。

[0057] 虽然本发明已以实施例公开如上,然其并非用以限定本发明,任何所属技术领域中技术人员,在不脱离本发明的构思和范围内,当可作些许的变动与润饰,故本发明的保护范围当视权利要求所界定者为准。



100

图1

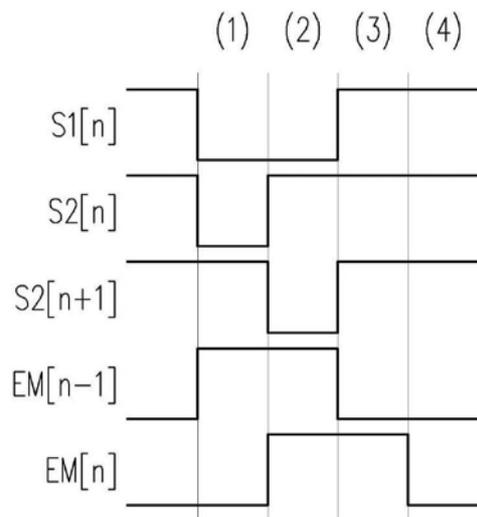
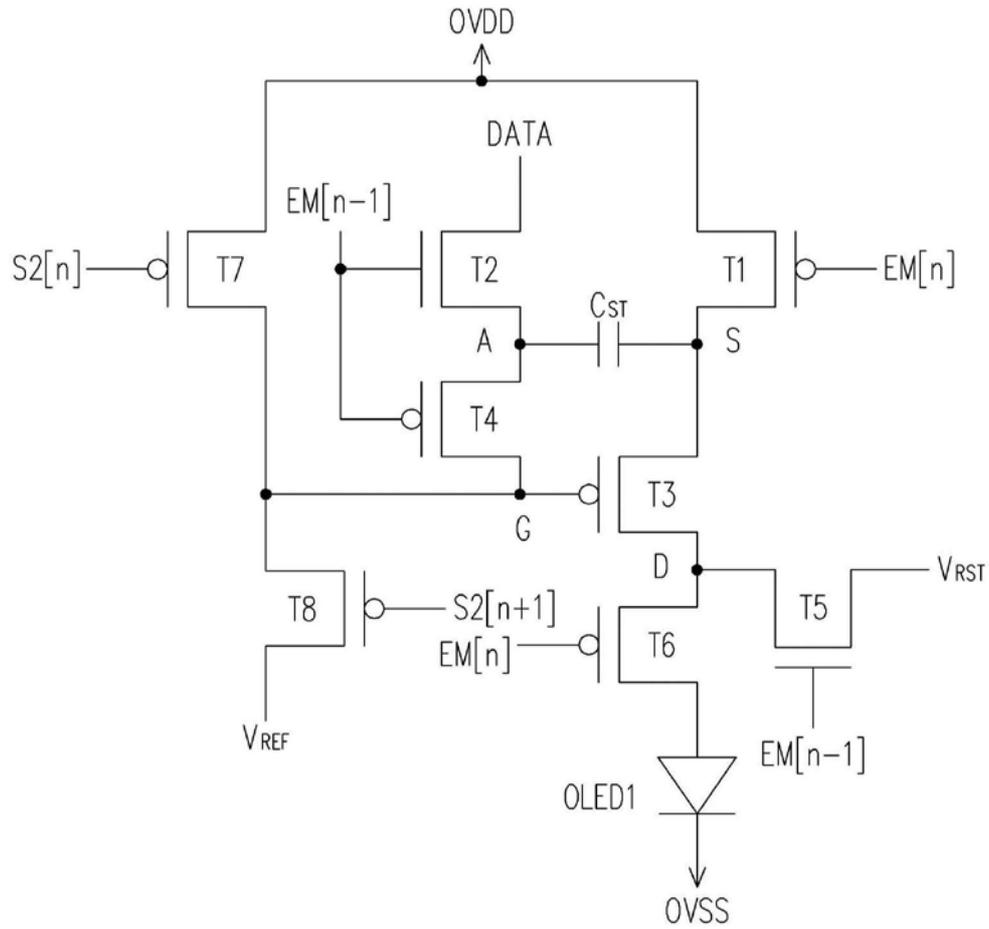


图2







400

图5

专利名称(译)	像素电路		
公开(公告)号	<a href="#">CN111223448A</a>	公开(公告)日	2020-06-02
申请号	CN202010208235.5	申请日	2020-03-23
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	郑贤薰 洪嘉泽		
发明人	郑贤薰 洪嘉泽		
IPC分类号	G09G3/3208 G09G3/3233 G09G3/3266		
代理人(译)	傅磊 黄艳		
优先权	108133151 2019-09-16 TW		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

一种像素电路，包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、存储电容及有机发光二极管。第一晶体管、第三晶体管、第六晶体管及有机发光二极管串接于系统高电压与系统低电压。第二晶体管及第四晶体管串接于数据信号与第三晶体管的控制端。存储电容耦接于第一晶体管与第三晶体管的连接点与第二晶体管与第四晶体管的连接点。第五晶体管可传送重置电压至第三晶体管。第七晶体管及第八晶体管串接于系统高电压与参考电压，第七晶体管及第八晶体管的连接点耦接至第三晶体管的控制端。

