



(12)发明专利

(10)授权公告号 CN 104064581 B

(45)授权公告日 2018.10.12

(21)申请号 201410085987.1

(22)申请日 2014.03.10

(65)同一申请的已公布的文献号

申请公布号 CN 104064581 A

(43)申请公布日 2014.09.24

(30)优先权数据

2013-060194 2013.03.22 JP

(73)专利权人 精工爱普生株式会社

地址 日本东京

(72)发明人 田村刚 野村猛

(74)专利代理机构 北京金信知识产权代理有限公司

公司 11225

代理人 黄威 苏萌萌

(51)Int.Cl.

H01L 27/32(2006.01)

G09G 3/32(2016.01)

(56)对比文件

US 2011050741 A1,2011.03.03,

US 2011050741 A1,2011.03.03,

US 2012229438 A1,2012.09.13,

CN 101595567 A,2009.12.02,

US 2006071884 A1,2006.04.06,

审查员 卢瑞

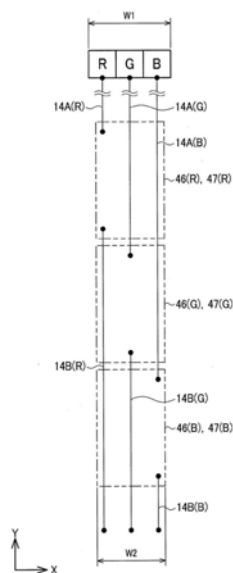
权利要求书2页 说明书9页 附图12页

(54)发明名称

显示装置及电子设备

(57)摘要

本发明提供一种显示装置及电子设备。被设置在显示装置中的多个像素电路的各个像素电路具有：发光元件OLED；第一晶体管，其向发光元件供给驱动电流；第二晶体管，其对数据线与第一晶体管的栅电极之间进行导通/关断；第三晶体管，其在第一晶体管的栅电极和漏极之间进行导通/关断。显示装置具有：第一保持电容，其被插入连接于多条数据线的中途，并使第一晶体管的驱动电压进行电平移位；保持电容，其对多条数据线中的各条数据线的电位进行保持。沿着列方向Y而配置N个第一保持电容，所述第一保持电容分别具有，小于在行方向X上邻接的N个像素电路的宽度、且在一个像素电路的宽度以上的电极宽度。



1. 一种显示装置,其特征在于,
具有:

多个像素电路,其沿着显示面板的行方向而排列,并与沿着列方向而延伸的多条数据线中的各条数据线相连接;

发光元件,其被配置在所述多个像素电路中的各个像素电路中;

第一晶体管,其被配置在所述多个像素电路中的各个像素电路中,并向所述发光元件供给驱动电流;

第二晶体管,其被配置在所述多个像素电路中的各个像素电路中,并对所述数据线与所述第一晶体管的栅电极之间进行导通/关断;

第三晶体管,其被配置在所述多个像素电路中的各个像素电路中,并在所述第一晶体管的所述栅电极和漏极之间进行导通/关断;

第一保持电容,其分别被插入连接于所述多条数据线的中途,并使所述第一晶体管的驱动电压进行电平移位;

保持电容,其对所述多条数据线中的各个数据线的电位进行保持,

沿着所述列方向而配置N个所述第一保持电容,所述第一保持电容分别具有,小于在所述行方向上邻接的N个像素电路的宽度、且在一个像素电路的宽度以上的电极宽度,其中,N为多个。

2. 如权利要求1所述的显示装置,其特征在于,

灰度电压经由与所述N个第一保持电容相连接的N条数据线,而同时被写入至所述N个第一保持电容。

3. 如权利要求2所述的显示装置,其特征在于,

同时被写入的灰度电压为,构成彩色显示的一个点的分像素的数据信号。

4. 如权利要求2或3所述的显示装置,其特征在于,

在所述N个第一保持电容的下层,配置有所述N条数据线。

5. 如权利要求2或3所述的显示装置,其特征在于,

在所述N个第一保持电容的下层,在俯视观察时于所述N条数据线的各条数据线的两侧配置有固定电位的屏蔽线。

6. 如权利要求1所述的显示装置,其特征在于,

在于所述行方向上邻接的两组所述N个第一保持电容之间,配置有固定电位的屏蔽线。

7. 如权利要求1所述的显示装置,其特征在于,

还具有第二保持电容,所述第二保持电容经由传输门而与所述第一保持电容相连接,

沿着所述列方向而排列N个所述第二保持电容,所述第二保持电容分别具有,小于N个所述像素电路的总宽度、且在一个像素电路的宽度以上的电极宽度。

8. 如权利要求7所述的显示装置,其特征在于,

将初始化开关、控制信号线、以及缓冲器配置在所述N个第二保持电容的下层,其中,所述初始化开关向所述第一保持电容的两电极供给初始化电位,所述控制信号线对所述初始化开关进行控制,所述缓冲器被配置在所述控制信号线中途。

9. 如权利要求8所述的显示装置,其特征在于,

所述缓冲器包含第一级缓冲器、第二级缓冲器以及第三级缓冲器,

所述控制信号线包含：

第一控制信号线，其从被配置在所述行方向上的一端侧的所述第一级缓冲器起在所述行方向上延伸至所述N个第一保持电容的下层；

第二控制信号线，其经由所述第二级缓冲器而与所述第一控制信号线相连接，并在所述N个第一保持电容的下层向所述行方向上的两端延伸；

第三控制信号线，其在离开所述N个第一保持电容的下层的位置处，从所述第二控制信号线起于所述列方向上延伸；

第四控制信号线，其从所述第三控制信号线起在所述N个第一保持电容的下层于所述行方向上延伸，

所述第三级缓冲器与所述第四控制信号线相连接。

10. 如权利要求7至9中的任一项所述的显示装置，其特征在于，
所述第二保持电容以在高度方向上堆叠多个电容元件的方式而形成。

11. 一种电子设备，其特征在于，
具有权利要求1至10中的任一项所述的显示装置。

显示装置及电子设备

技术领域

[0001] 本发明涉及一种显示装置及电子设备等。

背景技术

[0002] 在使用了有机发光二极管(OLED)元件等的显示装置中,存在数据线内的信号变化对像素晶体管造成不良影响,从而发生纵串扰的课题。一直以来,在数据线与像素内的像素晶体管之间设置了屏蔽线(专利文献1)。

[0003] 但是,已知如下情况,即,由于实际上在像素晶体管的漏极接触部分处的信号线摇晃,从而对驱动晶体管的栅电极保持电压造成影响,这将成为纵串扰的原因。

[0004] 专利文献1:日本特开2012-189828号公报

发明内容

[0005] 为了防止纵串扰,曾尝试过减小数据线中的电压振幅来进行驱动,为此使用了电容分配方式。但是,难以对于每条数据线而形成预定面积的保持电容。

[0006] 近年来,例如能够在硅基板上形成有液晶层的LCOS(Liquid Crystal OnSilicon:硅基液晶)面板及Si-OLED(有机发光二极管)面板等显示面板上,搭载内置锁存电路的驱动器。在这种情况下,考虑在显示面板上所形成的显示像素的像素间距,而形成锁存电路。这是由于,在一个像素的宽度内,配置对被供给至该一个像素的数据进行锁存的锁存元件,从而易于配线。

[0007] 但是,例如在电子取景器(EVF:Electronic View Finder)及头戴式显示器(HMD:Head Mount Display)等中所使用的超小型的显示面板中,像素间距例如减小至 $2.5\mu\text{m}$ 。因此,可知在像素间距的范围内将保持电容附加在数据线上实际上是不可能的。

[0008] 本发明的几种方式为,提供一种即使在像素间距较小的显示装置中,也能够充分地确保与数据线相连接的保持电容,并由此能够压缩数据线的的数据振幅从而降低纵串扰的显示装置和电子设备。

[0009] (1)本发明的一种方式涉及一种显示装置,其具有:

[0010] 多个像素电路,其沿着显示面板的行方向而排列,并与沿着列方向而延伸的多条数据线中的各条数据线相连接;

[0011] 发光元件,其被配置在所述多个像素电路中的各个像素电路中;

[0012] 第一晶体管,其被配置在所述多个像素电路中的各个像素电路中,并向所述发光元件供给驱动电流;

[0013] 第二晶体管,其被配置在所述多个像素电路中的各个像素电路中,并对所述数据线与所述第一晶体管的栅电极之间进行导通/关断;

[0014] 第三晶体管,其被配置在所述多个像素电路中的各个像素电路中,并在所述第一晶体管的所述栅电极和漏极之间进行导通/关断;

[0015] 第一保持电容,其分别被插入连接于所述多条数据线的中途,并使所述第一晶体

管的驱动电压进行电平移位；

[0016] 保持电容,其对所述多条数据线的各条数据线的电位进行保持,

[0017] 沿着所述列方向而配置N个所述第一保持电容,所述第一保持电容分别具有,小于在所述行方向上邻接的N(N为多个)个像素电路的宽度、且在一个像素电路的宽度以上的电极宽度。

[0018] 根据本发明的一种方式,通过在第一晶体管以外还设置第二晶体管、第三晶体管,从而能够实现电容分配驱动,所述电容分配驱动为,将在初始化期间内(第二晶体管、第三晶体管关断)被设为初始化电压的数据线的电压设置成,在补偿期间内(第二晶体管、第三晶体管导通)与第一晶体管的阈值电压相对应的电压,并将在写入期间(第二晶体管导通、第三晶体管关断)第一保持电容的电位变动设定为,移位了与以保持电容和第一保持电容的电容比而进行了分压的量的电压。由于N个第一保持电容的各个保持电容能够将列方向上的长度缩短与宽度扩展相对应的量,因此能够以现实的尺寸来确保充足的电容,所述N个第一保持电容分别具有,小于N个像素电路的总宽度、且在一个像素电路的宽度以上的电极宽度。特别是,当在一个像素电路的宽度内设计第一保持电容时,为了形成第一保持电容,在行方向上邻接的电容彼此的余量的专有面积将增加,从而几乎无法确保第一保持电容的电极宽度。该课题通过将第一保持电容的电极宽度设定为小于N个像素电路的总宽度且在一个像素电路的宽度以上的本发明的一种方式而被解决。

[0019] (2)在本发明的一种方式中,可以采用如下方式,即,灰度电压经由与所述N个第一保持电容相连接的N条数据线,而同时被写入至所述N个第一保持电容。

[0020] 当假设灰度电压在互为不同的时刻而被写入至N个第一保持电容时,将成为串扰的原因。也就是说,在不同的时刻被写入至N个第一保持电容之一的灰度电压将对与已写入了的其它的第一保持电容相连接的数据线的电压造成不良影响。只要同时写入,则会减小该问题。

[0021] (3)在本发明的一种方式中,可以采用如下方式,即,同时被写入的灰度电压为,构成彩色显示的一个点的分像素的数据信号。

[0022] 虽然通常,构成彩色显示的一个点的RGB像素以不同的时刻而被写入,但是在本发明的一种方式中,通过同时写入从而降低了因电容耦合而造成的串扰。

[0023] (4)在本发明的一个方式中,可以采用如下方式,即,在所述N个第一保持电容的下层,配置有所述N条数据线。

[0024] 由于通过同时写入而解决了电容耦合的问题,因此能够将N条数据线配置在N个第一保持电容的下层。由此,成为节省空间的设计。

[0025] (5)在本发明的一个方式中,可以采用如下方式,即,在所述N个第一保持电容的下层,在俯视观察时在所述N条数据线的各条数据线的两侧,配置有固定电位的屏蔽线。

[0026] 由此,能够对N条数据线屏蔽外部干扰。

[0027] (6)在本发明的一种方式中,可以采用如下方式,即,在于所述行方向上邻接两组的所述N个第一保持电容之间,配置有固定电位的屏蔽线。

[0028] 由于在行方向上邻接的两组N个第一保持电容并不一定同时写入,因此通过利用屏蔽线来进行隔离从而能够防止串扰。

[0029] (7)在本发明的一种方式中,可以采用如下方式,即,还具有第二保持电容,所述第

二保持电容经由传输门而与所述第一保持电容相连接,

[0030] 沿着所述列方向而排列N个所述第二保持电容,所述第二保持电容分别具有小于N个所述像素电路的总宽度、且为一个像素电路的宽度以上的电极宽度。

[0031] 通过设置传输门和第二保持电容,从而能够在写入期间之前(包含初始化期间和补偿期间在内)向第二保持电容供给灰度电压,并将第二保持电容暂时保持为灰度电压。通过在写入期间使传输开关导通,从而能够使第一保持电容的电极发生电位变动。该第二保持电容也可以具有小于N个像素电路的总宽度、且为一个像素电路的宽度以上的电极宽度。由此,第二保持电容也与第一保持电容同样地,能够以现实的尺寸来确保充足的电容。

[0032] (8)在本发明的一种方式中,可以采用如下方式,即将初始化开关、控制信号线、以及缓冲器配置在所述N个第二保持电容的下层,其中,所述初始化开关向所述第一保持电容的两电极供给初始化电位,所述控制信号线对所述初始化开关进行控制,所述缓冲器被配置在所述控制信号线中途。

[0033] 在本发明的一种方式中,通过将第一保持电容、第二保持电容及数据线的驱动所需的配线及部件配置在N个第二保持电容的下层,从而能够实现节省空间。

[0034] (9)在本发明的一种方式中,可以采用如下方式,即,所述缓冲器包含第一级缓冲器、第二级缓冲器以及第三级缓冲器,所述控制信号线包含:第一控制信号线,其从被配置在所述行方向上的一端的所述第一级缓冲器起在所述行方向上延伸至所述N个第一保持电容的下层;第二控制信号线,其经由所述第二级缓冲器而与所述第一控制信号线相连接,并在所述N个第一保持电容的下层向所述行方向上的两端延伸;第三控制信号线,其在离开所述N个第一保持电容的下层的位置处,从所述第二控制信号线起于所述列方向上延伸;第四控制信号线,其从所述第三控制信号线起在所述N个第一保持电容的下层于所述行方向上延伸,所述第三级缓冲器与所述第四控制信号线相连接。

[0035] 通过设为多级缓冲器结构,从而极力减少了在第二保持电容的下层于列方向上延伸的控制信号线的配线,进而抑制了数据线的电位变动。

[0036] (10)在本发明的一种方式中,可以采用如下方式,即,所述第二保持电容以在高度方向上堆叠多个电容元件的方式而形成。

[0037] 通过在高度方向上堆叠多个电容元件,从而减少了用于确保预定电容值的保持电容的专有面积,进而实现了节省空间。

[0038] (11)在本发明的另一其他方式中,定义了包含上述显示装置的电子设备。作为该电子设备,例如可以列举出电子取景器(EVF)及头戴式显示器(HMD)等。

附图说明

[0039] 图1为表示本发明的显示装置的一个示例的图。

[0040] 图2为图1所示的像素电路的电路图。

[0041] 图3为表示图1所示的信号分离器电路的一部分的电路图。

[0042] 图4为表示图1所示的电平移位电路的一部分的电路图。

[0043] 图5为表示图1所示的另一电平移位电路的一部分的电路图。

[0044] 图6为表示图4或图5所示的电平移位模块的布局图。

[0045] 图7为表示第一保持电容之间及第一保持电容的下层的数据线之间的屏蔽线的

图。

[0046] 图8为用于对在第二保持电容的下层初始化开关的控制信号线的布线进行说明的图。

[0047] 图9(A)、(B)为表示第一保持电容、第二保持电容的图。

[0048] 图10为表示作为电子设备的一个示例的数码照相机的图。

[0049] 图11为作为电子设备的另一个示例的头戴式显示器的外观图。

[0050] 图12为表示杂项显示器的显示装置及光学系统的图。

具体实施方式

[0051] 以下,对本发明的优选实施方式进行详细说明。另外,以下所说明的本实施方式并不对权利要求中所记载的本发明的内容进行不当地限定,在本实施方式中所说明的全部结构并不一定都是作为本发明的解决手段而必需的。

[0052] 1. 显示装置(电光装置)

[0053] 在图1中,图示了本实施方式的显示装置(电光装置)10。在显示装置10中,在半导体基板例如在硅基板1上形成了:扫描线驱动电路20、信号分离器30、电平移位电路40、数据线驱动电路60以及显示部100。

[0054] 在显示部100上,沿着行方向(横向)而配置有多条扫描线12,且沿着列方向(纵向)Y而配置有多条数据线14。与多条扫描线12和多条数据线14中的各自一条相连接的多个像素电路110被配置成矩阵状。

[0055] 在本实施方式中,沿着一条扫描线12而连续的三个像素电路110分别与R(红)、G(绿)、B(蓝)的像素相对应,这三个像素表现彩色图像的一个点。

[0056] 对像素电路110的一个示例进行说明。如图2所示,第i行的像素电路110包括P型晶体管121~125、OLED130、以及保持电容132。扫描信号Gwr(i)、控制信号Gel(i)、Gcmp(i)、Gorst(i)被供给至像素电路110。

[0057] 驱动晶体管(第一晶体管)121的源极与供电线116相连接,漏极经由晶体管124而与OLED130相连接,从而对流过OLED130的电流进行控制。写入数据线电位(灰度电位)的第二晶体管122的栅电极与扫描线12相连接,漏极/源极中的一方与数据线14相连接,另一方与第一晶体管121的栅电极相连接。保持电容132被连接在第一晶体管121的栅电极线和供电线116之间,并对第一晶体管121的源极和栅电极之间的电压进行保持。在供电线116上供给有电源的高电位V_{el}。OLED130的阴极被设置成共用电极,并被设定为电源的低电位V_{ct}。

[0058] 在第三晶体管123中,控制信号Gcmp(i)被输入至栅电极,并按照控制信号Gcmp(i)而使第一晶体管121的栅电极和漏极之间短路,从而对第一晶体管121的阈值的误差进行补偿。在OLED130的点亮控制晶体管124中,控制信号Gel(i)被输入至栅电极,从而使第一晶体管121的漏极与OLED130的阳极之间导通/关断。在复位晶体管125中,控制信号Gorst(i)被输入至栅电极,从而按照控制信号Gorst(i)而向OLED130的阳极供给供电线16的电位、即复位电位V_{orst}。该复位电位V_{orst}与共用电位V_{ct}之间的差被设定为,低于OLED130的发光阈值。

[0059] 图1所示的扫描线驱动电路20向第i行的扫描线12供给扫描信号Gwr(i)。在图1中,通过在沿着列方向Y而延伸的数据线14和供电线16之间配置电介质,从而形成了保持电容

50。电平移位电路40根据经由数据线驱动电路60及信号分离器30而被供给的数据信号(灰度水平),例如使用保持电容50和电平移位电路40内的第一保持电容44及第二保持电容41以电容分配方式,使从DAC64被输入的灰度电压电平移位至对晶体管121进行驱动的栅电极电压并供给至数据线14。该电容分配方式将在后文进行叙述。

[0060] 在图3中图示了信号分离器30的一个示例。在图3中,图示了如下的信号分离器模块31,其对于位于图1的显示部100的一行(i行)上的M(例如 $M=18$) $\times 3$ (RGB)个像素($3\times M=54$ 个像素),针对每个RGB以时分方式切换输出数据电位。图3所示的信号分离器模块31仅设置相当于(行方向X上的全部像素数) $\div 54$ 的个数。18个用于R像素的数据电位以时分方式从数据线驱动电路60被输入至信号分离器30的输入端子VR(1)。同样地,18个用于G像素、B像素的数据电位分别以时分方式从数据线驱动电路60被输入至输入端子VG(1)、VB(1)。在输入端子VR(1)、VG(1)、VB(1)与54条数据线之间设置有54个开关(传输门)34。54个开关34通过选择信号SEL(1) $\sim$ SEL(18)以每三个同时的方式而被依次导通。也就是说,当选择信号SEL(1)被激活时,构成一个点的三个像素(RGB)的数据电位同时被写入。

[0061] 当用功能模块来表示数据线驱动电路60时,如图1所示,包括:移位寄存器61;数据锁存电路62,其按照来自移位寄存器61的时钟而依次对数据进行锁存;行锁存电路63,其对来自数据锁存电路62的数据同时进行锁存;数字-模拟转换电路64,其对来自行锁存电路63的数据进行数字-模拟转换,并作为灰度电压而进行输出。在数字-模拟电路64的最末端设置有放大器。

[0062] 如图1所示,显示装置10在硅基板1上或在硅基板1的外部,可以具有图像处理部70。图像处理部70可具有灰度系数补正部71。

[0063] 2. 电容分配方式

[0064] 在图4中图示了图1所示的电平移位电路40的一像素量的电平移动模块46。图4所示的电平移位模块46仅图示了一条数据线14。在数据线14的中途连接有第一保持电容44。在将第一保持电容44的一端设定为初始化电位Vini的初始化开关45中,控制信号/Gini被供给至栅电极。在将第一保持电容44的另一端设定为电位Vref的初始化开关43中,控制信号Gref被供给至栅电极。由于该电容分配方式例如在日本特愿2011-228885号中进行了详细记载,因此此处仅进行简易说明。

[0065] 在初始化期间内(晶体管122、123均关断),第一保持电容44两端的电位分别被设定为Vini、Vref。此时,晶体管124关断,晶体管125导通。在初始化期间后的补偿期间内(晶体管122、123均导通),由于晶体管123导通,因此晶体管121被二极管连接,像素电路110内的保持电容132对晶体管121的阈值电压Vth进行保持。在补偿期间后的写入期间内(晶体管122导通),晶体管123被关断,信号分离器30的传输门34将导通,初始化开关43也将关断。因此,在初始化期间及补偿期间内被固定的第一保持电容44的另一端的节点从电位Vref变化为灰度水平。

[0066] 第一保持电容44一端的节点从补偿期间内的电位($V_{el}-|V_{th}|$),成为在上升方向上仅移位了该节点的电位变化量 ΔV 乘以电容比 k_1 而得到的值的值($V_{el}-|V_{th}|+k_1\cdot\Delta V$)。当将第一保持电容44的电容设为Crfl,将保持电容50的电容设为Cdt时,电容比 k_1 为, $k_1=Crfl/(Cdt+Crfl)$ (其中, $Cdt>Crfl$)。例如,当设为 $Crfl:Cdt=1:9$ 时,根据在写入期间内的数据线14的电位与晶体管121的栅电极节点的电位之间的关系,晶体管121的栅电极节

点的电位范围被压缩至数据线14的电位范围的1/10。

[0067] 如图5所示,可以代替图4所示的电平移位模块46,而设置还追加有第二保持电容41和传输门42的电平移位模块47。通过设置第二保持电容41和传输门42,从而在写入期间之前(包含初始化期间和补偿期间在内的传输门42的关断期间)向第二保持电容41供给灰度电压,进而能够使第二保持电容41暂时持有灰度电压。在之后的写入期间内通过使传输开关42导通,从而能够使第一保持电容44的电极的电位变动为第二保持电容41的电极的电位。在这种情况下,上述式中的电容比 k_1 变更为电容比 k_2 。在将第二保持电容41的电容设为 C_{rf2} 时,电容比 k_2 成为电容 C_{dt} 、 C_{rf1} 、 C_{rf2} 的电容比。

[0068] 3. 保持电容的布局

[0069] 在图6中,模式化地图示了图4所示的电平移位模块46或图5所示的电平移动模块47的布局。沿着列方向Y而配置与在行方向X上邻接的N(N为多个)个例如三个像素相对应的电平移位模块46(47)。在本实施方式中,三个像素电路110作为构成一个彩色点的RGB像素。也就是说,所谓三个电平移位模块为,与R像素相连接的模块46(R)、与G像素相连接的模块46(G)、以及与B像素相连接的模块46(B)。在将 $N=3$ 个的像素电路110的总宽度设为 W_1 时,电平移位模块46(47)的宽度 W_2 为, $W_1/N \leq W_2 < W_1$ 。也就是说,电平移位模块46(47)的宽度 W_2 具有小于N个像素电路110的总宽度 W_1 、且为一个像素电路110的宽度 W_1/N 以上的模块宽度 W_2 。另外,在本实施方式中,保持电容由MIM(金属-绝缘物-金属)形成。

[0070] 当将图4所示的实施方式应用于图6中时,将沿着列方向Y而排列有R像素、G像素以及B像素用的电平移位模块46(R)、46(G)、46(B)。在电平移位模块46(R)、46(G)、46(B)的各个模块中,第一保持电容44的电极宽度满足模块宽度 W_2 的必要条件。当将图5所示的实施方式应用于图6中时,将沿着列方向Y而排列有R像素、G像素以及B像素用的电平移位模块47(R)、47(G)、47(B)。在电平移位模块47(R)、47(G)、47(B)的各个模块中,第一保持电容44和第二保持电容41沿着列方向Y而被排列,且第一保持电容44和第二保持电容41的各自的电极宽度满足模块宽度 W_2 的必要条件。

[0071] 图7为,表示在X方向以间距 W_1 而排列的电平移位模块46(47)中的第一保持电容44的俯视图。14A(R)、14A(G)、14A(B)为,在图1中所说明的与R、G、B各个像素相对应的数据线。如图7所示,第一保持电容44具有在硅基板1的厚度方向Z上对置的一对电极44A、44B。将一对电极44A、44B的电极宽度设为 W_A 、 W_B ($W_A > W_B$)。电极44A、44B的对置部分形成电容元件。此处, $W_1/N \leq W_A < W_1$ 且 $W_1/N \leq W_B < W_1$ 。

[0072] 此处,将三个像素电路110的总宽度 W_1 设为例如 $2.5\mu\text{m} \times 3 = 7.5\mu\text{m}$ 。如图7所示,当在行方向X上以间距 W_1 形成多个第一保持电容44时,必须要考虑在通过光刻工序来形成一对电极44A、44B所使用的掩模在X方向上的错位。因此,例如在电极44B的X方向的两侧,必须确保各自的余量 W_C 。仅单侧的余量 W_C 就必须要有 $1.1\mu\text{m}$ 。因此,两侧需要 $2.2\mu\text{m}$ 的余量。在本实施方式中,作为电极44B的电极宽度,被确保为 $7.5 - 2.2 = 5.3\mu\text{m}$ 。在这种情况下,为了确保 0.5pF 的电容而所需的、列方向Y上的长度将成为 $100\mu\text{m}$ 。对于在电平移位模块47中与第一保持电容44一起被配置的第二保持电容41而言,也同样适用第一保持电容44的电极宽度。

[0073] 假设当在一个像素电路110的宽度内配置保持电容时,则仅能够确保 $2.5 - 2.2 = 0.3\mu\text{m}$ 的电极宽度,在这种情况下,为了确保 0.5pF 的电容而所需的、列方向Y上的长度将大致成为 $1710\mu\text{m}$ 。当配置第一保持电容44、第二保持电容44时,Y方向长度将成为大致 $3420\mu\text{m}$,

从而芯片面积将增大,导致高成本而难以实现。在图5所示的本实施方式中,由于在一个电平移位模块47内于Y方向上邻接配置有具有 $100\mu\text{m}$ 长度的第一保持电容44、第二保持电容41,且R、G、B三个模块在Y方向上邻接,因此大致收敛为 $100\mu\text{m} \times 2 \times 3 = 600\mu\text{m}$,并且实现了XY方向上的尺寸的平衡。

[0074] 如图6所示,电平移位模块46(R)或电平移位模块47(R)内的第一保持电容44通过数据线14A(R)而与R像素电路110相连接,通过数据线14B(R)而与信号分离器30内的传输门34相连接。其它颜色的模块46(G)、47(G)、46(B)、47(B)也是同样的。

[0075] 在三个模块46(R)、46(G)、46(B)中,RGB的灰度电压经由数据线14B(R)、14B(G)、14B(B)而同时被写入至第一保持电容44。或者,在三个模块47(R)、47(G)、47(B)中,RGB的灰度电压经由数据线14B(R)、14B(G)、14B(B)而同时被写入至第二保持电容41。通过同时写入,从而能够忽略因数据配线与上部MIM电容之间的电极的耦合而造成的干扰。

[0076] 此外,可以将图6所示的数据线14A(R)、14A(G)、14A(B)、14B(R)、14B(G)、14B(B)配置于三个电平移位模块46(R)、46(G)、46(B)或三个电平移位模块47(R)、47(G)、47(B)的下层。由此,由于不必额外确保配线空间,从而实现了节省空间。

[0077] 在图7中,在MIM保持电容的下层,在俯视观察时三条数据线14A(R)、14A(G)、14A(B)各自的两侧,配置有固定电位的屏蔽线80或81。由此,防止了X方向上的串扰。固定电位的屏蔽线80为,高电位电平(例如VDDH)与低电位电平(例如VSS)之间的屏蔽线80。并且,还可以在于行方向X上邻接的两组的N个保持电容44(41)之间,配置固定电位的屏蔽线81。由于在于行方向X上邻接的两组的N个保持电容44(41)并不一定同时写入,因此对防止串扰有效。

[0078] 图8为,图1所示的电平移位电路40整体的概要俯视图。如图8所示,沿着行方向X而设置有R用的电平移位区域48(R)、49(R)。在电平移位区域48(R)内,图5所示的第一保持电容44仅配置与全部R像素相对应的部分。在电平移位区域49(R)内,图5所示的第二保持电容41仅配置与全部R像素相对应的部分。在其它颜色的电平移位区域48(G)、49(G)、48(B)、49(B)也是同样的。

[0079] 如图8所示,向图4或图5所示的第一保持电容44的电极供给电位的初始化开关43、45、和对初始化开关43、45进行控制的/Gini控制信号线和Gref控制线等,能够配置于第二保持电容41的形成区域49(R)、49(G)、49(B)的下层。

[0080] 在图8中,作为被配置在控制信号线90(图中未图示)的中途的缓冲器91(图中未图示),包含第一级缓冲器91A、第二级缓冲器91B以及第三级缓冲器91C。控制信号线90具有:第一控制信号线91A,其从被配置在行方向X上的一端侧的第一级缓冲器91A起在行方向X上延伸至第二保持电容41的下层;第二控制信号线90B,其经由第二级缓冲器91B而与第一控制信号线90A相连接,且从第二保持电容41的下层延伸至在行方向X上的两端离开第二保持电容41的位置处;第三控制信号线90C,其在保持电容的形成区域外于列方向Y上延伸;第四控制信号线90D,其从第三控制信号线90C在第二保持电容41的下层于行方向X上延伸。当采用这种方式时,在第二保持电容41的形成区域内,控制信号线90不沿着列方向Y而延伸。因此,控制信号线90不会对第一保持电容造成不良影响。另外,在缓冲器91的引出线及控制信号线90在列方向Y上布线的情况下,能够通过上述的屏蔽线80来夹持其两侧。

[0081] 屏蔽措施不仅对缓冲器91及控制信号线90,对于图4所示的初始化电位Vini、Vref

的供给线也是同样的,能够通过屏蔽线进行夹持来进行保护。

[0082] 图6所示的各个模块内的第一保持电容44、第二保持电容41能够以图9(A)、(B)的方式而形成。在本实施方式中,如图9(A)所示,第一保持电容44具有被配置于金属第三层ALC和金属第四层ALD上的节点电极44a、44b、和在该节点电极44a、44b之间所形成的MIM板电极44c。MIM板电极44c通过支柱而与节点电极44b相连接。MIM电容元件由节点电极44a、MIM板电极44c以及它们之间的绝缘体形成。如图9(B)所示,第二保持电容41具有:固定电位电极41a、41b,其被配置在金属第三层ALC和金属第五层ALE上;节点电极41c,其被配置在金属第四层ALD上;MIM板电极41d,其被配置在电极41a、41c之间;MIM板电极41e,其被配置在电极41b、41c之间的。MIM板电极41d与节点电极41c相连接,MIM板电极41e与固定电位电极41b相连接。第二保持电容41以在高度方向上堆叠电容元件(电极41a、41c以及它们之间的绝缘体)和电容元件(电极41c、41b以及它们之间的绝缘体)的方式形成。通过以这种方式在高度方向上进行堆叠,从而减少了用于确保预定电容值的保持电容的专有面积,进而实现了节省空间。

[0083] 如上述所示那样,数据线14A在配置于两侧的屏蔽线80与上层的MIM电极之间具有寄生电容。而且,为了在列方向Y上排列各个保持电容,数据线14的长度根据R、G、B而有所不同,寄生电容也有所不同。当传输开关42导通,而使第一保持电容44中所蓄积的电压被数据线14释放时,存在由于寄生电容的不同而使数据线的分压电压发生变化的可能性。为了对此进行调节,可以具备对于每个R、G、B而变更初始化电位 V_{ini} 、 V_{ref} 、或能够对灰度补正进行变更的功能。灰度补正内置于RAM中,并具有能够对于每个R、G、B而改变设置在图1的灰度系数补正部71中的一览表的功能。

[0084] 4. 电子设备

[0085] 图10为,表示该数码照相机200的结构的立体图,并且简单地图示了与外部设备之间的连接。在数码照相机200的壳体202的背面上设置有显示装置204,所述显示装置204应用了使用上述有机EL的显示装置10。显示装置204采用如下结构,即,根据由CCD(Charge Coupled Device:电荷耦合装置)产生的摄像信号来实施显示。因此,显示装置204作为对被摄物体进行显示的电子取景器而发挥功能。在壳体202的观察侧(在图中为背面侧),设置有包括光学镜头及CCD等在内的受光单元206。

[0086] 此处,当摄影者对被显示在显示装置204上的被摄物体图像进行确认,并按下快门按钮208时,该时间点上的CCD的摄像信号将被输送并存储于电路基板210的存储器中。

[0087] 在该数码照相机200中,在壳体202的侧面,设置有视频信号输出端子212和数据通信的输入输出端子214。根据需要而在视频信号输出端子212上连接有电视监视器230,在数据通信的输入输出端子214上连接有个人计算机240。并且,按照预定的操作,从而使被存储于电路基板210的存储器中的摄像信号被输出至电视监视器230或个人计算机240。

[0088] 图11和图12图示了头戴式显示器300。头戴式显示器300与眼镜同样地具有镜腿310、鼻梁架320、镜片301L、301R。在鼻梁架320的内侧,设置有左眼用的显示装置10L和右眼用的显示装置10R。作为这些显示装置10L、10R,可以应用图1所示的显示装置10。

[0089] 显示装置10L、10R上所显示的图像经由光学透镜302L、302R以及半反射镜303L、303R而入射到两眼中。通过以伴随有视差的方式而设定左眼、右眼用图像,从而能够实现3D显示。另外,由于半反射镜303L、303R使外部光透射,因此不妨碍佩戴者的视野。

[0090] 另外,虽然如上所述对本实施方式进行了详细说明,但对于本领域技术人员来说能够很容易地理解出未实质地脱离本发明的创新部分和效果的多种改变。因此,这种改变例全部包含于本发明的范围内。例如,在说明书或附图中,至少一次出现的用语能够被替换成不同的用语。此外,显示装置、电子设备等的结构、动作也并无限定于在本实施方式中所说明的情况,能够进行各种改变实施。

[0091] 符号说明

[0092] 1 硅基板;10 显示装置;14 数据线;41 第二保持电容;42 传输门;43、45 初始化开关;44 第一保持电容;50 保持电容;80、81 屏蔽线;90A~90D 控制信号线;91A~91C 缓冲器;110 像素电路;121 第一晶体管;122 第二晶体管;123 第三晶体管;130 发光元件;X 行方向;Y 列方向。

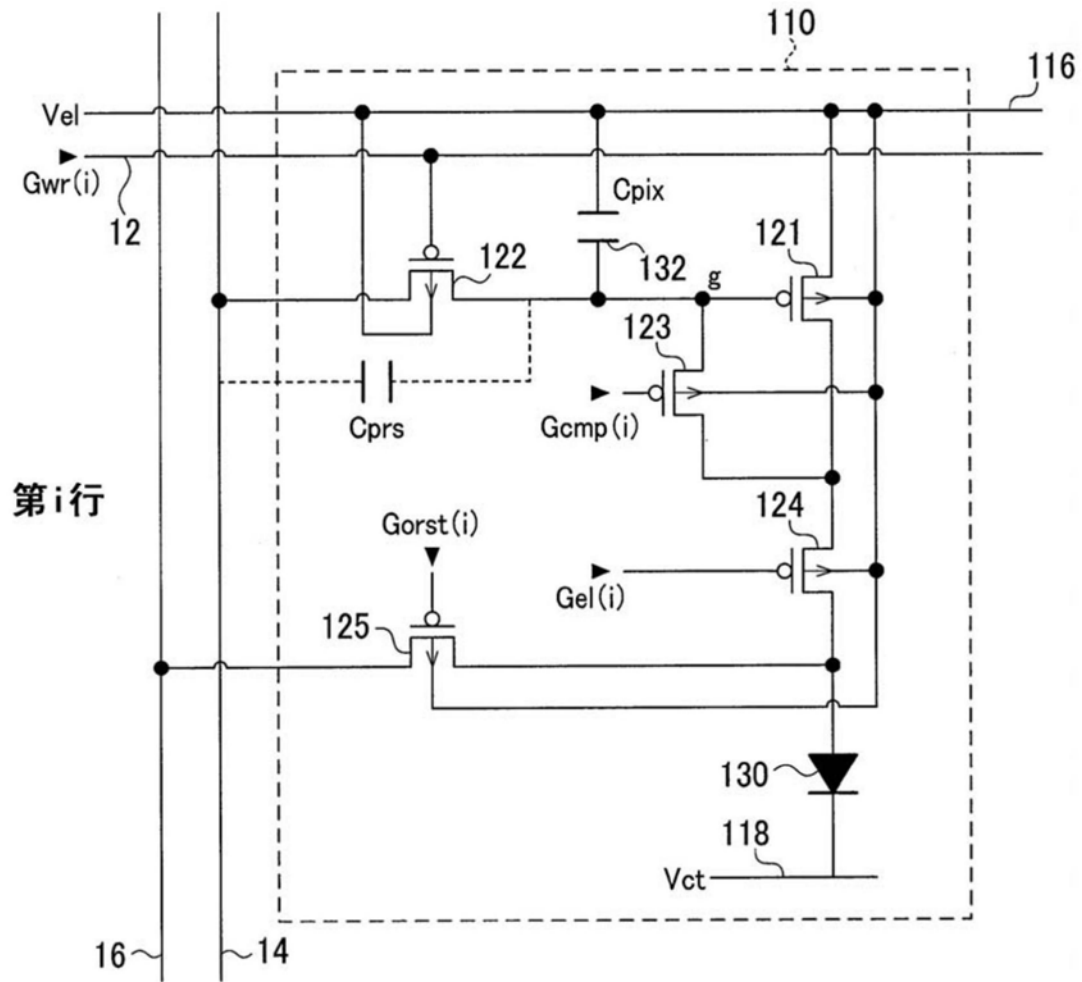


图2

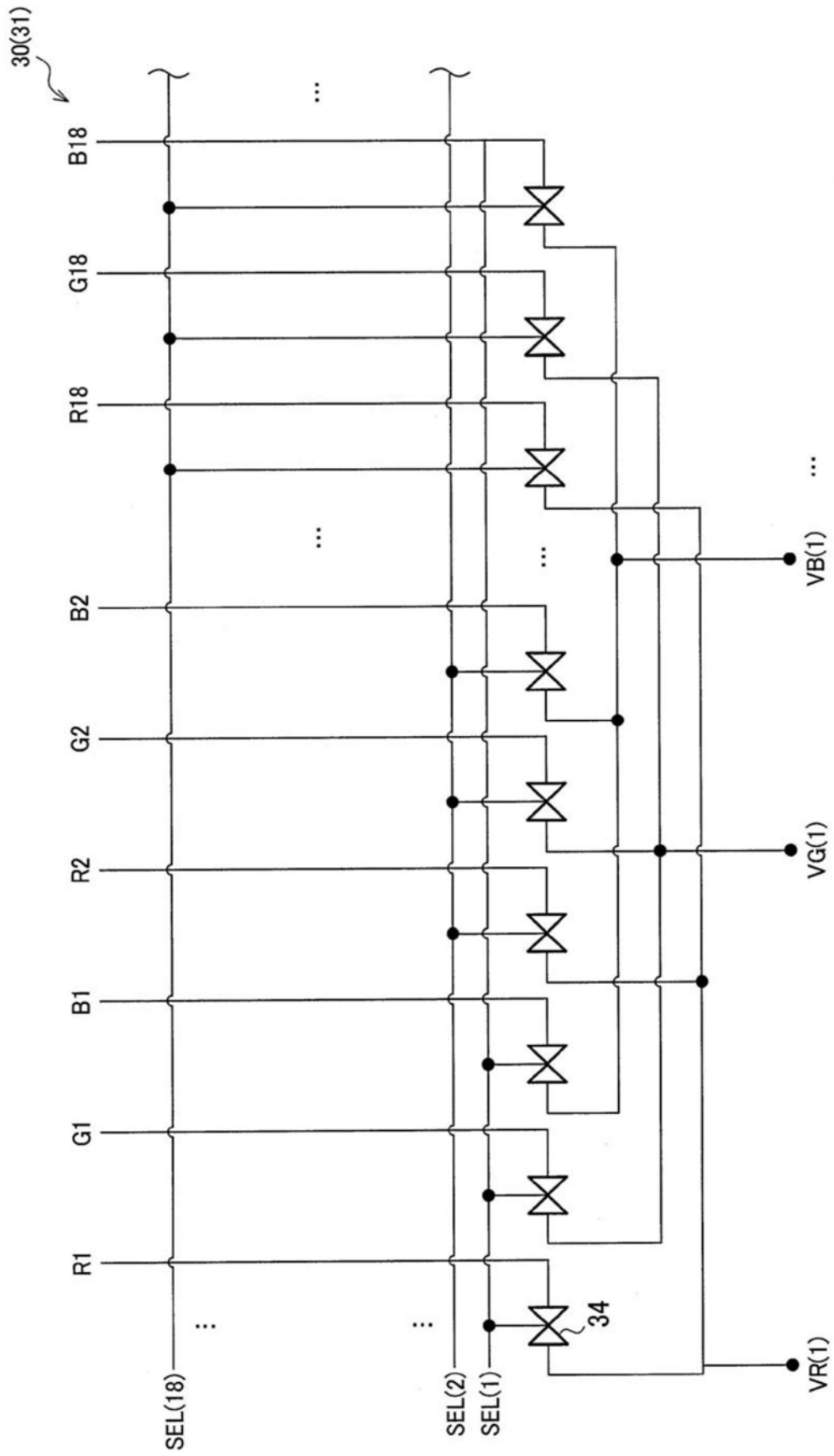


图3

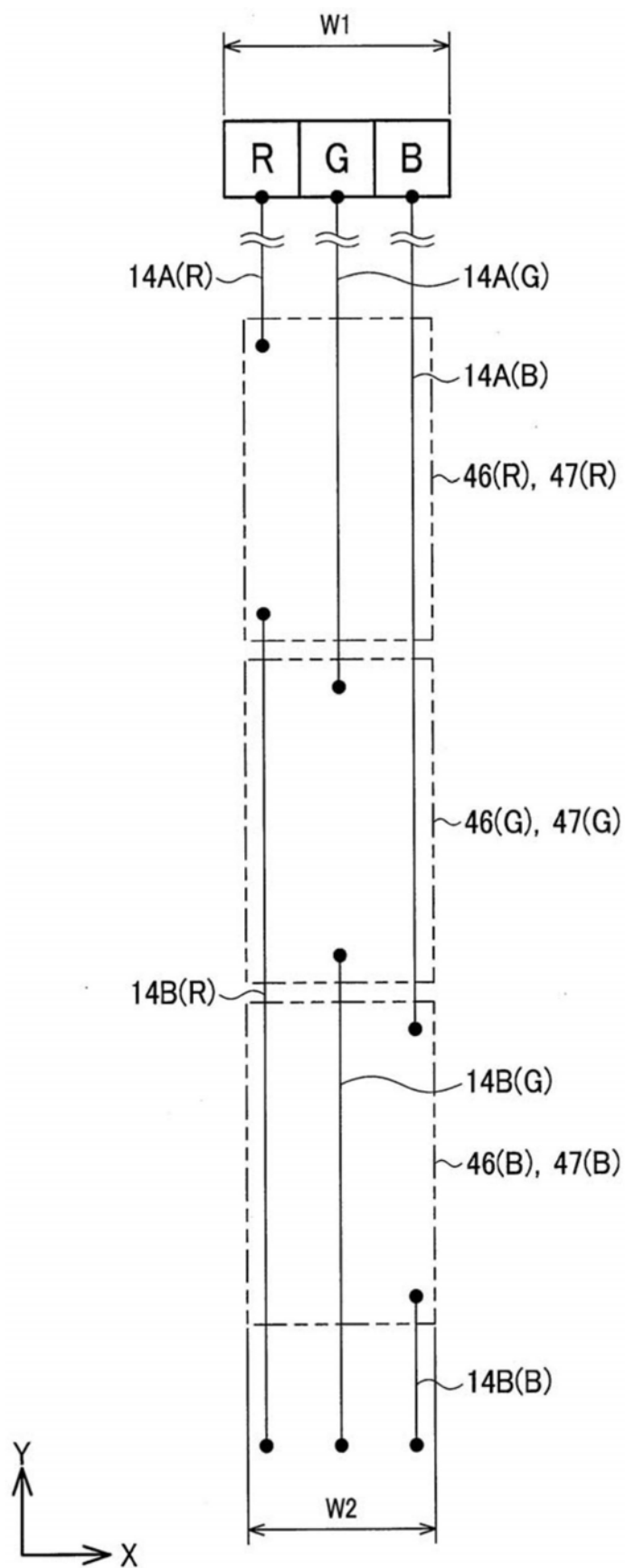


图6

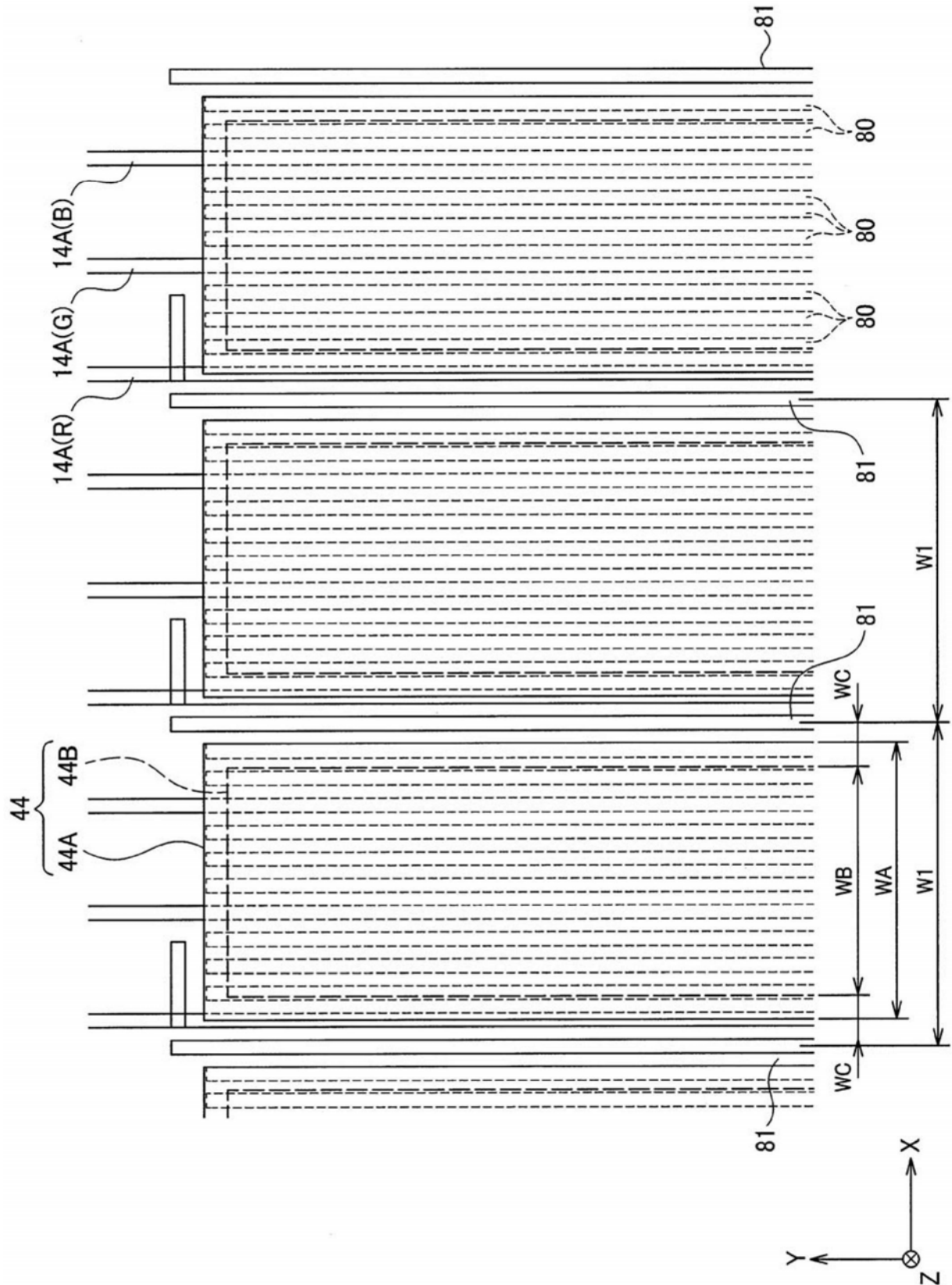


图7

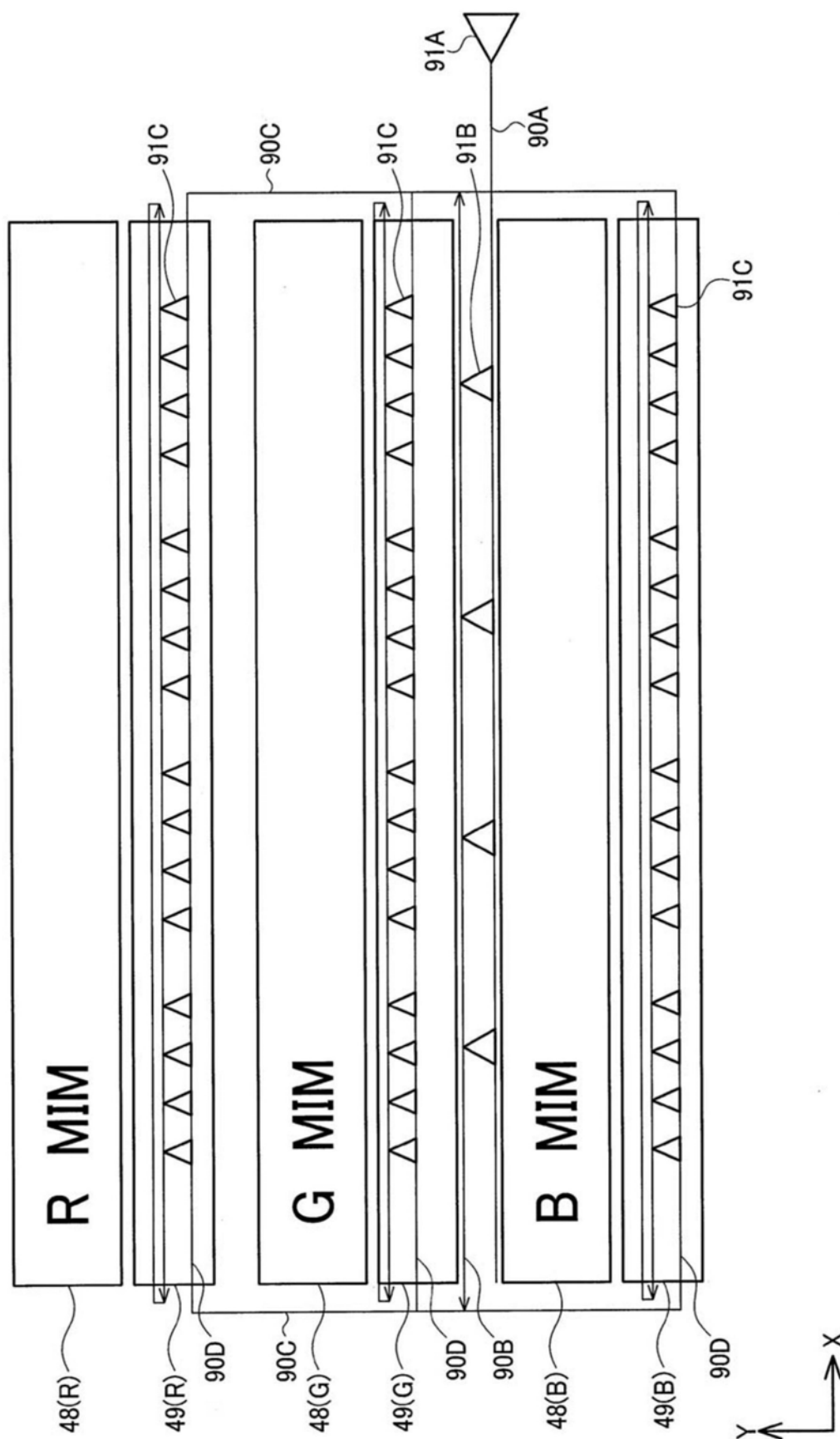


图8

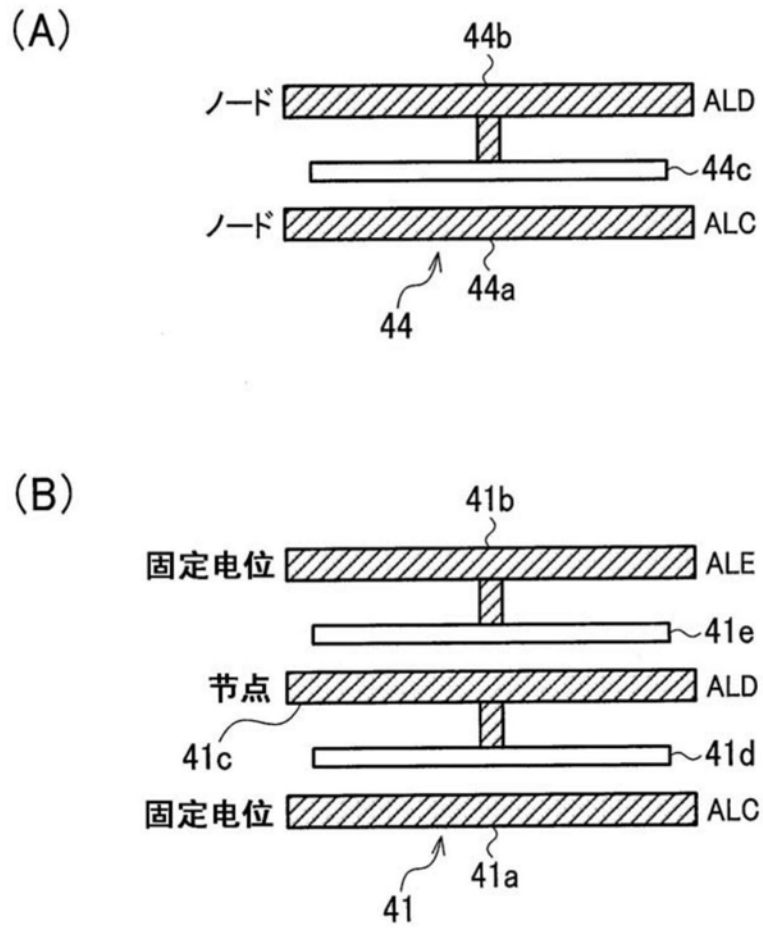


图9

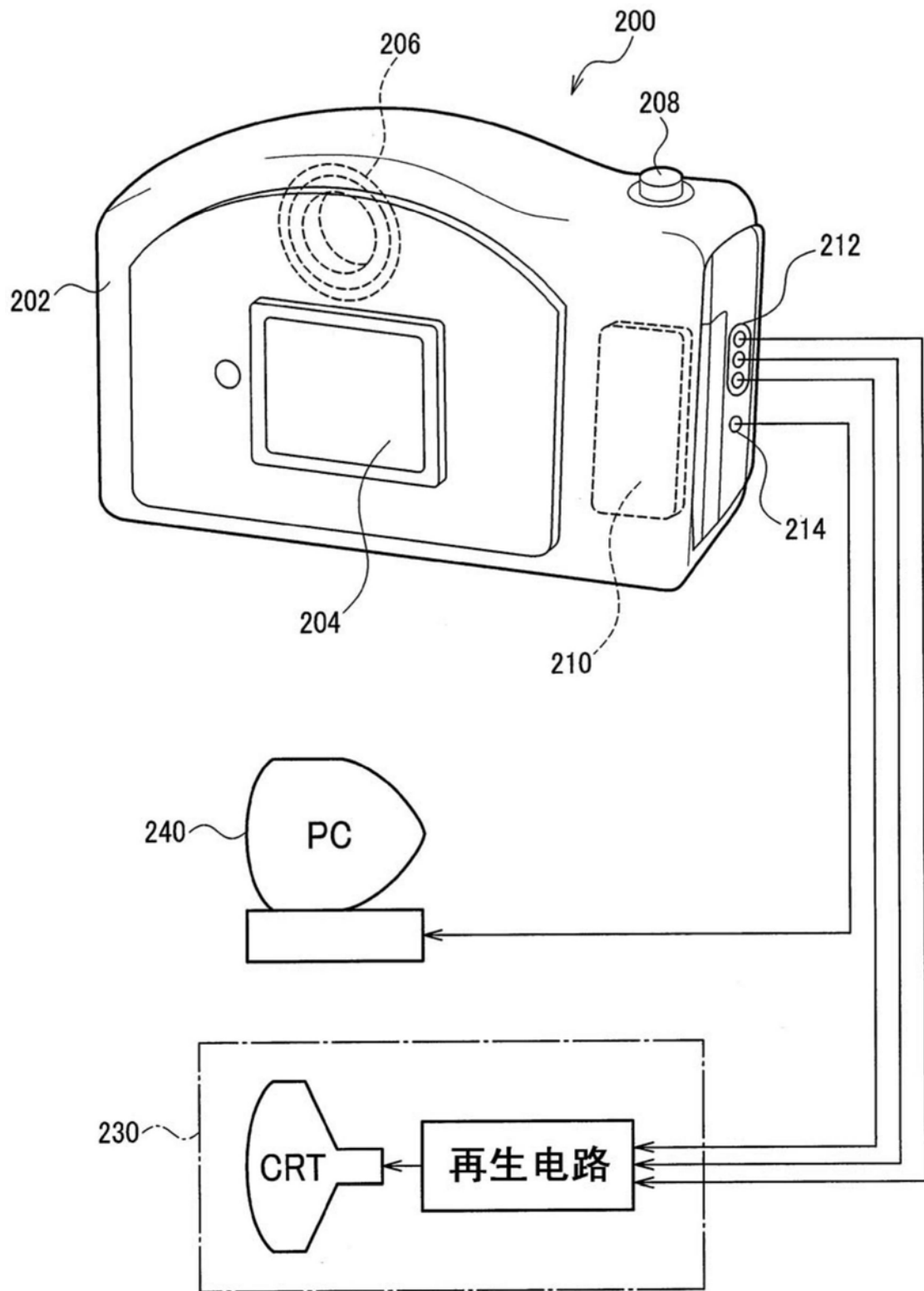


图10

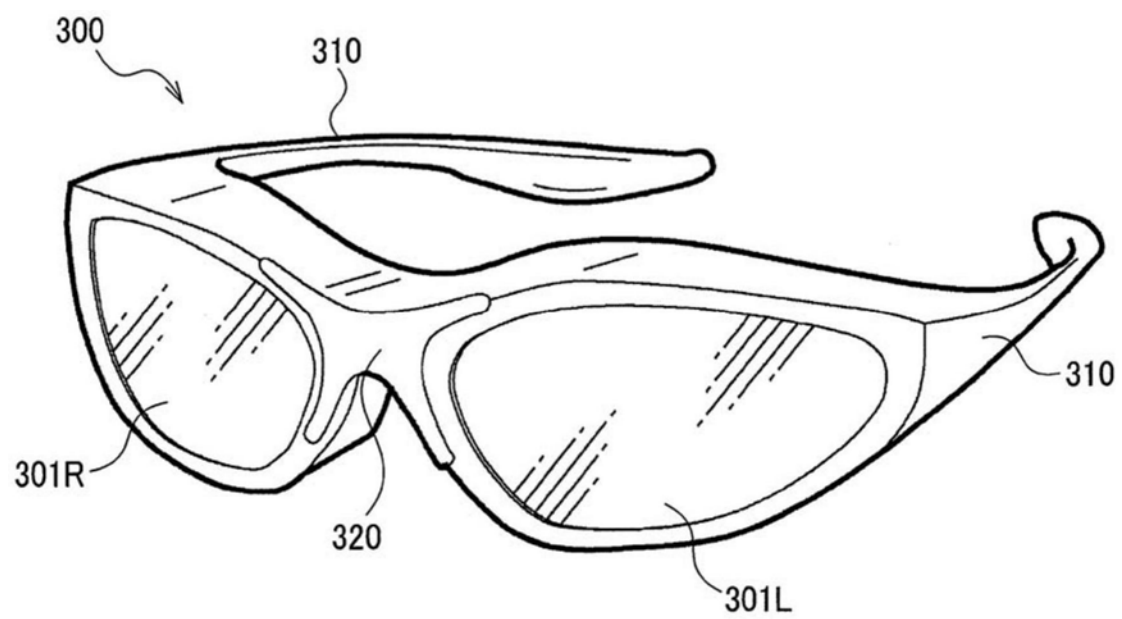


图11

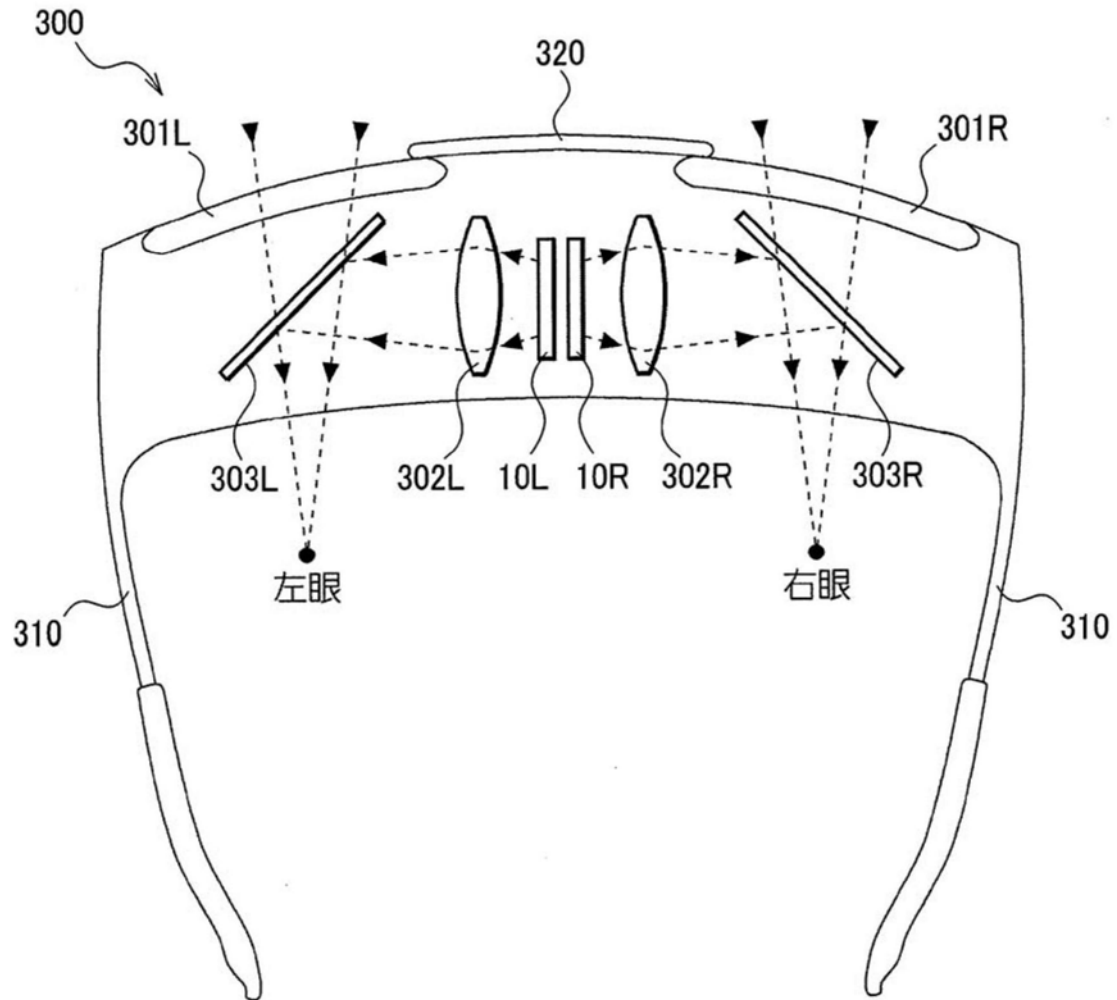


图12

专利名称(译)	显示装置及电子设备		
公开(公告)号	CN104064581B	公开(公告)日	2018-10-12
申请号	CN201410085987.1	申请日	2014-03-10
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生株式会社		
当前申请(专利权)人(译)	精工爱普生株式会社		
[标]发明人	田村刚 野村猛		
发明人	田村刚 野村猛		
IPC分类号	H01L27/32 G09G3/32		
CPC分类号	G09G3/2092 G09G3/3208 G09G2300/0861 G09G2310/0248 G09G2310/0289 G09G2310/0297 G09G2320/0209		
代理人(译)	黄威 苏萌萌		
审查员(译)	卢瑞		
优先权	2013060194 2013-03-22 JP		
其他公开文献	CN104064581A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种显示装置及电子设备。被设置在显示装置中的多个像素电路的各个像素电路具有：发光元件OLED；第一晶体管，其向发光元件供给驱动电流；第二晶体管，其对数据线与第一晶体管的栅电极之间进行导通/关断；第三晶体管，其在第一晶体管的栅电极和漏极之间进行导通/关断。显示装置具有：第一保持电容，其被插入连接于多条数据线的中途，并使第一晶体管的驱动电压进行电平移位；保持电容，其对多条数据线中的各条数据线的电位进行保持。沿着列方向Y而配置N个第一保持电容，所述第一保持电容分别具有，小于在行方向X上邻接的N个像素电路的宽度、且在一个像素电路的宽度以上的电极宽度。

