



(12) 发明专利申请

(10) 申请公布号 CN 103268749 A

(43) 申请公布日 2013. 08. 28

(21) 申请号 201210476968. 2

(22) 申请日 2012. 11. 21

(71) 申请人 上海天马微电子有限公司

地址 201201 上海市浦东新区汇庆路 889 号

(72) 发明人 钱栋

(74) 专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 黄志华

(51) Int. Cl.

G09G 3/32(2006. 01)

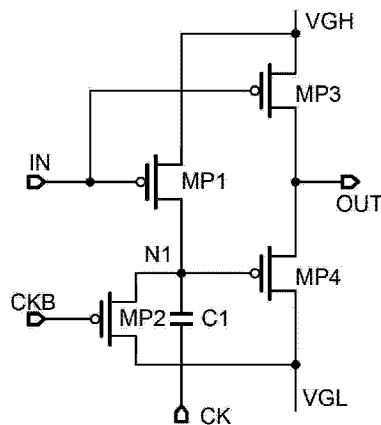
权利要求书1页 说明书5页 附图2页

(54) 发明名称

一种反相器、AMOLED 补偿电路和显示面板

(57) 摘要

本发明公开了一种反相器、AMOLED 补偿电路和显示面板,用以降低输出信号反向过程中的电路功耗,同时保证输出电位满足像素控制需求。其中,反相器包括:第一晶体管的栅极与第三晶体管的栅极连接,作为第一信号输入端;第一晶体管的源极与第三晶体管的源极连接,作为高电压信号输入端;第一晶体管的漏极与第四晶体管的栅极、第二晶体管的源极连接于第一节点;第二晶体管的栅极连接一第二时钟信号输入端,第二晶体管的漏极与第四晶体管的漏极连接,作为低电压信号输入端;第三晶体管的漏极与第四晶体管的源极连接,作为反相器的信号输出端;第一电容的一端连接于第一节点,另一端连接一第一时钟信号输入端,上述各晶体管均为 P 型薄膜晶体管。



1. 一种反相器,其特征在于,包括第一晶体管,第二晶体管,第三晶体管,第四晶体管,第一电容,其中,所述第一晶体管,第二晶体管,第三晶体管,第四晶体管均为P型薄膜晶体管TFT;以及

所述第一晶体管的栅极与所述第三晶体管的栅极连接,且所述第一晶体管的栅极与所述第三晶体管的栅极的公共端作为第一信号输入端;所述第一晶体管的源极与所述第三晶体管的源极连接,且所述第一晶体管的源极与所述第三晶体管的源极的公共端作为第二信号输入端;所述第一晶体管的漏极与所述第四晶体管的栅极、所述第二晶体管的源极连接于第一节点;

所述第二晶体管的栅极连接一第二时钟信号输入端,所述第二晶体管的漏极与所述第四晶体管的漏极连接,并且,所述第二晶体管的漏极与所述第四晶体管的漏极的公共端作为第三信号输入端;

所述第三晶体管的漏极与所述第四晶体管的源极连接,并且所述第三晶体管的漏极与所述第四晶体管的源极的公共端作为所述反相器的信号输出端;

所述第一电容的一端连接于所述第一节点,另一端连接一第一时钟信号输入端;

所述第二信号输入端输入高电压信号,所述第三信号输入端输入低电压信号。

2. 如权利要求1所述的反相器,其特征在于,还包括一第二电容,

所述第二电容的一端与第三晶体管的源极连接,另一端与第三晶体管的漏极连接。

3. 一种有源矩阵有机发光显示面板补偿电路,其特征在于,包括权利要求1或2所述的反相器。

4. 一种显示面板,其特征在于,包括权利要求3所述的有源矩阵有机发光显示面板补偿电路。

一种反相器、AMOLED 补偿电路和显示面板

技术领域

[0001] 本发明涉及 OLED 显示技术领域,尤其涉及一种反相器、AMOLED 补偿电路和显示面板。

背景技术

[0002] 近年来,在显示图像的显示装置领域,已经开发了使用电流驱动型(其发光亮度根据流过的电流的值而改变)的光学器件,例如,有机电致发光器件(OLED)作为像素的发光器件的显示装置。与液晶器件等不同,OLED 是自发光器件,在使用 OLED 的显示装置中,通过控制在 OLED 中的电流值来实现着色的分级。

[0003] 如同液晶显示器,OLED 显示装置中的驱动系统,存在无源矩阵系统和有源矩阵系统。前者在结构上简单,但是具有诸如难以实现大的和高分辨率的显示装置之类的缺点,因此,有源矩阵系统的开发是活跃的,在有源矩阵系统中,通过驱动晶体管来控制为每个像素布置的发光器件中的电流。

[0004] 目前,在有源矩阵有机发光显示面板(AMOLED, Active Matrix Organic Light Emitting Diode)设计中,尤其是大尺寸基板设计中,由于面板薄膜场效应晶体管(TFT, Thin Film Transistor)在制备工艺过程中的不均性以及不稳定性问题,造成 OLED 电流的不均匀性。为了弥补由于背板生产过程中造成的 TFT 不均性所导致阈值电压漂移(V_{th} Shift),以及长时间开启偏压造成的 TFT 稳定性下降的缺陷,需要进行补偿电路设计。现有技术使用单一 P 型晶体管(Pure PMOS)驱动电路,其输出的有效电位为低电位,但是在做节点初始化、阈值侦测以及数据输入的过程中,需要将 OLED 器件关闭,但是 Pure PMOS 因为使用单一的 PMOS,其在栅极低电压的情况下是打开,而在栅极高电压的情况下关闭,而 Pure PMOS 驱动电路,一般输出的有效电平都是低电平,所以需要 Pure PMOS 驱动电路输出的信号进行翻转以使得 OLED 器件关闭,现有技术中使用发光控制(EMIT)驱动电路实现信号翻转。

[0005] 为了实现低电位到高电位的翻转,现有技术中提出了一种反相器,其结构如图 1a 所示,包括两个 P 型 TFT,其中,第一 TFT 的栅极与输入端 IN 连接,源极与高电压信号(VGH)连接,漏极与输出端(OUT 连接),第二 TFT 的栅极和漏极与低电压信号(VGL)连接,源极与 OUT 连接。图 1b 为图 1a 所示电路的控制时序图,结合图 1b 可知,当 IN 为高电位时,第一 TFT 截止,而由于第二 TFT 为 Diode 连接方式(第二 TFT 栅极和漏极均与低电压信号 VGL 连接),因此,OUT 输出为低电位,该低电位比 VGL 高出 V_{th} ;当 IN 为低电位时,第一 TFT 和第二 TFT 均导通,因此,OUT 输出为高电位。但是上述电路中,OUT 同时与 VGH, VGL 连接,如果 TFT 的开/关是完全的,那么 OUT 只会连接到 VGH 或者 VGL,OUT 输出电压一定是以 VGH 作为高电压, VGL 作为低电压的,但是上述电路存在两个 TFT 同时导通的问题,因为分压的作用,OUT 输出电压为其两者的中间电位,也就是输出时的高低电位处于这两者中间,这将造成高低电位不够,电源持续供电,增加了功耗,同时,输出的电位不够(输入 $-5V \sim 10V$, 输出 $-4.43 \sim 5.07V$),无法有效控制像素中的 TFT,使得补偿电路无法有效的工作。

发明内容

[0006] 本发明实施例提供一种反相器、AMOLED 补偿电路和显示面板,用以降低输出信号反向过程中的电路功耗,同时保证输出电位满足像素控制需求。

[0007] 本发明实施例提供一种反相器,包括第一晶体管,第二晶体管,第三晶体管,第四晶体管,第一电容,其中,所述第一晶体管,第二晶体管,第三晶体管,第四晶体管均为 P 型薄膜晶体管 TFT ;以及

[0008] 所述第一晶体管的栅极与所述第三晶体管的栅极连接,且所述第一晶体管的栅极与所述第三晶体管的栅极的公共端作为第一信号输入端 ;所述第一晶体管的源极与所述第三晶体管的源极连接,且所述第一晶体管的源极与所述第三晶体管的源极作为第二信号输入端 ;所述第一晶体管的漏极与所述第四晶体管的栅极、所述第二晶体管的源极连接于第一节点 ;

[0009] 所述第二晶体管的栅极连接一第二时钟信号输入端,所述第二晶体管的漏极与所述第四晶体管的漏极连接,并且,所述第二晶体管的漏极与所述第四晶体管的漏极的公共端作为第三信号输入端 ;

[0010] 所述第三晶体管的漏极与所述第四晶体管的源极连接,并且所述第三晶体管的漏极与所述第四晶体管的源极的公共端作为所述反相器的信号输出端 ;

[0011] 所述第一电容的一端连接于所述第一节点,另一端连接一第一时钟信号输入端 ;

[0012] 所述第二信号输入端输入高电压信号,所述第三信号输入端输入低电压信号。

[0013] 进一步的,所述反相器还包括一第二电容,所述第二电容的一端与第三晶体管的源极连接,另一端与第三晶体管的漏极连接。

[0014] 本发明实施例提供一种有源有机电致发光显示器补偿电路,包括上述的反相器。

[0015] 本发明实施例提供一种显示面板,包括上述有源有机电致发光显示器补偿电路。

[0016] 本发明实施例提供的反相器、有源有机电致发光显示器及显示面板,反相器电路包括四个 P 型薄膜晶体管以及一个电容,其中,第一晶体管的栅极与第三晶体管的栅极连接,且其公共端作为信号输入端,第一晶体管的源极与第三晶体管的源极连接,其公共端作为高电压信号输入端,第一晶体管的漏极与第四晶体管的栅极以及第二晶体管的源极连接于第一节点,第二晶体管的栅极连接第二时钟信号输入端,漏极与第四晶体管的漏极连接,且其漏极与第四晶体管的漏极的公共端作为低电压信号输入端,第三晶体管的漏极与第四晶体管的源极连接,且其公共端作为反相器的信号输出端,第一电容的一端连接于第一节点,另一端连接第一时钟信号输入端,上述电路中,通过第一时钟控制信号和第二时钟控制信号的共同作用,使得信号输入端的信号由低电位翻转为高电位,同时可以使得信号输出端输出的信号电位仍然控制在使得显示面板中的像素能够有效工作的范围之内,且高电压信号输入端和低电压信号输入端的电流也不至于过高,从而降低整个电路的功耗。

[0017] 本发明的其它特征和优点将在随后的说明书中阐述,或者通过实施本发明而了解。本发明的目的和其他优点可通过在所写的说明书、权利要求书、以及附图中所特别指出的结构来实现和获得。

附图说明

[0018] 此处所说明的附图用来提供对本发明的进一步理解,构成本发明的一部分,本发明的示意性实施例及其说明用于解释本发明,并不构成对本发明的不当限定。在附图中:

[0019] 图 1a 为现有技术中,反相器的结构示意图;

[0020] 图 1b 为现有技术中,图 1a 所示反相器电路的时序控制示意图;

[0021] 图 2a 为本发明实施例中,第一种反相器的结构示意图;

[0022] 图 2b 为本发明实施例中,图 2a 所示反相器电路的时序控制示意图;

[0023] 图 3 为本发明实施例中,第二种反相器的结构示意图。

具体实施方式

[0024] 为了实现降低将输出信号反向过程中的电路功耗,同时保证输出电位满足像素控制需求,本发明实施例提供了一种反相器、AMOLED 补偿电路和显示面板。

[0025] 以下结合说明书附图对本发明的优选实施例进行说明,应当理解,此处所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明,并且在不冲突的情况下,本发明中的实施例及实施例中的特征可以相互组合。

[0026] 实施例一

[0027] 如图 2a 所示,为本发明实施例提供的第一种反相器的结构示意图,包括:第一晶体管 MP1,第二晶体管 MP2,第三晶体管 MP3,第四晶体管 MP4,第一电容 C1,其中:

[0028] 第一晶体管 MP1 的栅极与第三晶体管 MP3 的栅极连接,且第一晶体管 MP1 的栅极与第三晶体管 MP3 的栅极的公共端作为第一信号输入端 IN;第一晶体管 MP1 的源极与第三晶体管 MP3 的源极连接,且第一晶体管 MP1 的源极与第三晶体管 MP3 的源极作为第二信号输入端 VGH;第一晶体管 MP1 的漏极与第四晶体管 MP4 的栅极、第二晶体管 MP2 的源极连接于第一节点 N1,其中,第二信号输入端 VGH 输入高电压信号;

[0029] 第二晶体管 MP2 的栅极连接第二时钟信号输入端,第二晶体管 MP2 的漏极与第四晶体管 MP4 的漏极连接,并且,第二晶体管 MP2 的漏极与第四晶体管 MP4 的漏极的公共端作为第三信号输入端 VGL,第三信号输入端 VGL 输入低电压信号;

[0030] 第三晶体管 MP3 的漏极与第四晶体管 MP4 的源极连接,并且第三晶体管 MP3 的漏极与第四晶体管 MP4 的源极的公共端作为所述反相器的信号输出端 OUT;

[0031] 第一电容 C1 的一端连接于第一节点 N1,另一端连接第一时钟信号输入端 CK。

[0032] 如图 2b 所示,其为图 2a 所示反相器电路的时序控制示意图,其中:

[0033] 在第一时序 T1 时,第一信号输入端 IN、第一时钟信号输入端 CK 输入高电位,且第二时钟信号输入端 CKB 输入低电位,第一晶体管 MP1 和第三晶体管 MP3 关闭,第二晶体管 MP2 和第四晶体管 MP4 导通,由于第二晶体管 MP2 导通,将第一节点 N1 接到第三信号输入端 VGL,同时,由于第四晶体管 MP4 导通,而第三晶体管 MP3 截止,使得信号输出端 OUT 输出低电位;

[0034] 在第二时序 T2 时,第一信号输入端 IN、第一时钟信号输入端 CK 输入低电位,第二时钟信号输入端 CKB 输入高电位,第一晶体管 MP1 和第三晶体管 MP3 导通,第二晶体管 MP2 和第四晶体管 MP4 关闭,这时,由于第一晶体管 MP1 导通,使得第一节点 N1 接到第二信号输入端 VGH,同时,由于第三晶体管 MP3 导通,使得信号输出端 OUT 输出高电位;

[0035] 在第三时序 T3,第一信号输入端 IN、第一时钟信号输入端 CK 输入高电位,第二时

钟信号输入端 CKB 输入低电位,第一晶体管 MP1 和第三晶体管 MP3 关闭,第二晶体管 MP2 和第四晶体管 MP4 导通,这一时序内,与第一时序 T1 一样,由于第二晶体管 MP2 导通,将第一节点 N1 接到第三信号输入端 VGL,同时由于第四晶体管 MP4 导通,而第三晶体管 MP3 截止,使得信号输出端 OUT 输出低电位;

[0036] 同时,由于在 T1 ~ T3 阶段,因为第一电容 C1 两端的电位都在改变,不满足电荷守恒原理,在第三时序 T3,第一电容上下两端的电位分别充到上端为低电位,下端为高电位。

[0037] 在第四时序 T4,第一信号输入端 IN 输入高电位,第一时钟信号输入端 CK 输入低电位,且第二时钟信号输入端 CKB 输入高电位,第一晶体管 MP1 和第三晶体管 MP3 关闭,第二晶体管 MP2 关闭,第一电容上端没有信号接入,下端与第一时钟信号输入端 CK 连接,此时电容两端的信号不会同时改变而造成电荷总量的改变,所以第一电容 C1 满足电荷守恒原理,由于第一时钟信号 CK 输入低电位,使得第一电容 C1 下端电位降低,由于第一电容 C1 满足电荷守恒原理,其两端电压不突变,因此,第一电容上端电位被拉低,即第一节点 N1 电位被拉低,使得第四晶体管 MP4 导通,因此,信号输出端 OUT 输出低电位;同时,第四晶体管 MP4 导通使得信号输出端 OUT 接到 VGL,这样,信号输出端 OUT 端可以完全输出 VGL 的电压,避免了现有技术中电位达不到设定电压的异常现象。

[0038] 在后续时序中,信号输入端 IN 输入高电位,第一时钟信号 CK 与第二时钟信号 CKB 交替输入高低电位,但始终保持电容上端为低电位,信号输出端 OUT 输出为低电位。例如,在第五时序时,信号输入端 IN 输入高电位,第一时钟信号 CK 输入高电位,第二时钟信号 CKB 输入低电位,信号输出端 OUT 输出低电位,其工作原理与第一时序 T1 和第三时序 T3 时的工作原理相同,这里不再赘述;在第六时序时,信号输入端 IN 输入高电位,第一时钟信号 CK 输入低电位,第二时钟信号 CKB 输入高电位,信号输出端 OUT 输出低电位,其工作原理与第四时序 T4 的工作原理相同,这里不再赘述。之后的时序重复前述 T5、T6 时序,不再赘述。

[0039] 上述过程中,通过第一时钟信号 CK 和第二时钟信号 CKB 的共同作用,使得信号输入端 IN 的信号翻转,同时使得输出的信号电位仍然控制在 $-5V \sim 10V$ 的电压范围之内,能够保证输出电位满足像素控制需求;且高电压信号输入端 VGH 和低电压信号输入端 VGL 的电流也不至于很高,降低了电路功耗。

[0040] 实施例二

[0041] 如图 3 所示,实施例二在实施例一提供的反相器电路的基础上,增加了第二电容 C2,第二电容 C2 的一端与第三晶体管 MP3 的源极连接,另一端与第三晶体管 MP3 的漏极连接,用于在第二时序 T2 之后,抑制第一时钟信号 CK 和第二时钟信号 CKB 造成的信号输出端 OUT 输出信号抖动(ripple)的问题,使得信号输出端 OUT 输出波形尽可能的平滑。

[0042] 具体实施时,实施例一和实施例二提供的反相器可以应用于有源矩阵有机发光显示面板(AMOLED)补偿电路中,搭配普通的 PMOS 驱动电路,将输出信号反向作为 EMIT 驱动电路的驱动信号使用,能够降低电路功耗,同时保证输出电位满足像素控制需求。

[0043] 需要说明的是,上述有源矩阵有机发光显示面板(AMOLED)补偿电路可以设置于显示面板中,以弥补面板生产过程中造成的 TFT 不均匀性所导致阈值电压漂移(V_{th} Shift),以及长时间开启偏压造成的 TFT 稳定性下降的缺陷。

[0044] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例做出另外的变更和修改。所以,所附权利要求意欲解释为包括优

选实施例以及落入本发明实质范围的所有变更和修改。

[0045] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

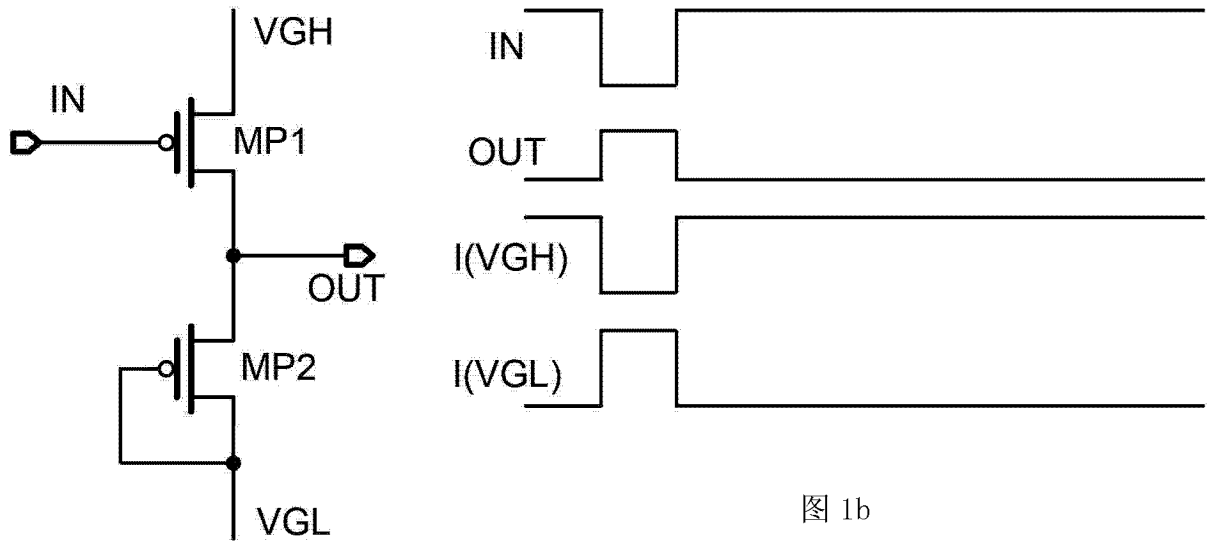


图 1a

图 1b

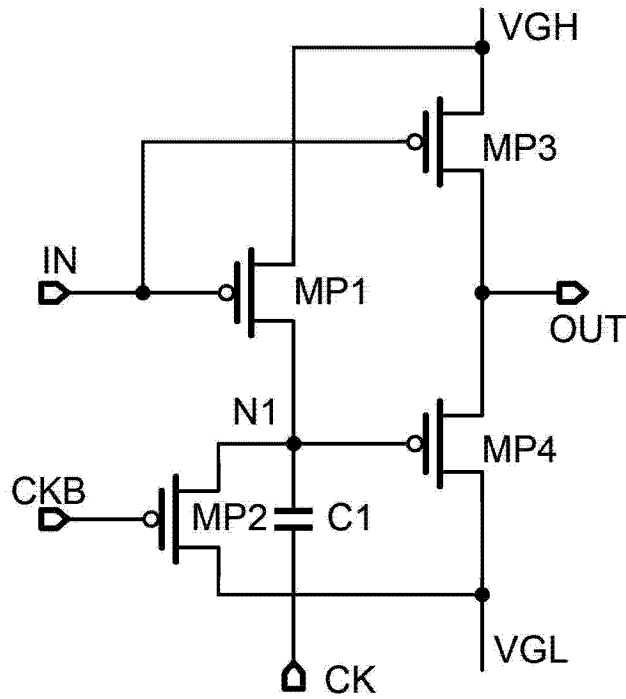


图 2a

专利名称(译)	一种反相器、AMOLED补偿电路和显示面板		
公开(公告)号	CN103268749A	公开(公告)日	2013-08-28
申请号	CN201210476968.2	申请日	2012-11-21
[标]申请(专利权)人(译)	上海天马微电子有限公司		
申请(专利权)人(译)	上海天马微电子有限公司		
当前申请(专利权)人(译)	上海天马微电子有限公司		
[标]发明人	钱栋		
发明人	钱栋		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3225 H03K3/012 H03K19/0016 H03K19/0027		
代理人(译)	黄志华		
其他公开文献	CN103268749B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种反相器、AMOLED补偿电路和显示面板，用以降低输出信号反向过程中的电路功耗，同时保证输出电位满足像素控制需求。其中，反相器包括：第一晶体管的栅极与第三晶体管的栅极连接，作为第一信号输入端；第一晶体管的源极与第三晶体管的源极连接，作为高电压信号输入端；第一晶体管的漏极与第四晶体管的栅极、第二晶体管的源极连接于第一节点；第二晶体管的栅极连接一第二时钟信号输入端，第二晶体管的漏极与第四晶体管的漏极连接，作为低电压信号输入端；第三晶体管的漏极与第四晶体管的源极连接，作为反相器的信号输出端；第一电容的一端连接于第一节点，另一端连接一第一时钟信号输入端，上述各晶体管均为P型薄膜晶体管。

