



(12) 发明专利

(10) 授权公告号 CN 102708788 B

(45) 授权公告日 2015. 01. 07

(21) 申请号 201110376530. 2

(22) 申请日 2011. 11. 23

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 梁逸南 龙春平 马占洁

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 许静 安利霞

(51) Int. Cl.

G09G 3/32 (2006. 01)

(56) 对比文件

CN 101232041 A, 2008. 07. 30, 说明书第 4 页至第 8 页.

CN 101232041 A, 2008. 07. 30, 说明书第 4 页至第 8 页.

CN 1167114 C, 2004. 09. 15, 说明书第 5 页.

CN 101232041 A, 2008. 07. 30, 说明书第 4 页至第 8 页.

CN 1977303 A, 2007. 06. 06, 全文.

US 7310077 B2, 2007. 12. 18, 说明书第 2 栏, 第 16 — 40 行, 第 4 栏第 31 行至第 6 栏第 23 行, 图 1 — 2.

CN 1871631 A, 2006. 11. 29, 全文.

审查员 魏贯军

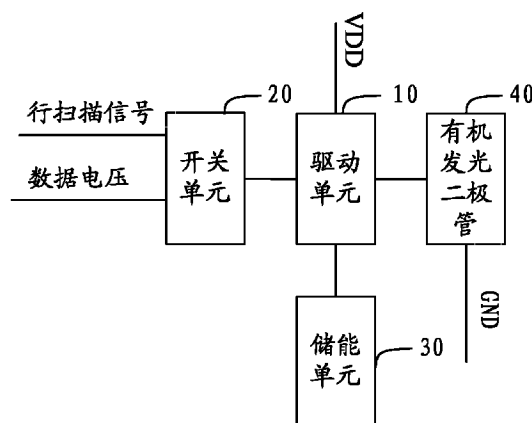
权利要求书2页 说明书10页 附图7页

(54) 发明名称

像素电路

(57) 摘要

本发明提供一种像素电路, 涉及显示器件技术领域, 为解决现有技术中像素电路难以实现高质量的显示的技术问题而发明。所述像素电路包括: 驱动单元、开关单元、储能单元以及有机发光二极管 (OLED); 所述驱动单元的第一输入端连接电源电压 (VDD), 所述驱动单元的第二输入端与所述开关单元的输出端连接, 所述驱动单元的输出端连接所述 OLED 的第一端; 所述驱动单元由多晶硅晶体管组成; 所述开关单元的第一输入端输入行扫描信号 (SCAN), 所述开关单元的第二输入端输入数据电压 (Vdata); 所述开关单元由非晶硅晶体管组成; 储能单元的两端与驱动单元连接, 用于存储电压; OLED 的第二端接地。本发明能提高像素电路的显示质量。



1. 一种像素电路,其特征在于,包括:驱动单元、开关单元、储能单元以及有机发光二极管;

所述驱动单元的第一输入端连接电源电压,所述驱动单元的第二输入端与所述开关单元的输出端连接,所述驱动单元的输出端连接所述有机发光二极管的第一端,用于输出驱动所述有机发光二极管发光的电流信号;所述驱动单元由多晶硅晶体管组成;

所述开关单元的第一输入端输入行扫描信号,所述开关单元的第二输入端输入数据电压;

所述储能单元的两端与所述驱动单元连接,用于存储电压;及

所述有机发光二极管的第二端接地;

所述驱动单元包括:多晶硅晶体管;

所述驱动单元的第一输入端为所述多晶硅晶体管的第一极,所述驱动单元的第二输入端为所述多晶硅晶体管的栅极,所述驱动单元的输出端为所述多晶硅晶体管的第二极;

所述开关单元包括:第一非晶硅晶体管、第二非晶硅晶体管、第三非晶硅晶体管;

所述开关单元的第一输入端包括第一子输入端和第二子输入端;

所述开关单元的第一子输入端为所述第一非晶硅晶体管的栅极和所述第二非晶硅晶体管的栅极,分别连接第一行扫描信号;

所述开关单元的第二子输入端为所述第三非晶硅晶体管的栅极,连接第二行扫描信号;

所述开关单元的第二输入端分别为所述第一非晶硅晶体管的第一极和所述第三非晶硅晶体管的第一极;

所述开关单元的输出端为所述第一非晶硅晶体管的第二极;

所述第三非晶硅晶体管的第二极连接所述第二非晶硅晶体管的第一极,所述第二非晶硅晶体管的第二极连接所述驱动单元的输出端。

2. 根据权利要求1所述的像素电路,其特征在于,所述开关单元包括:非晶硅晶体管;

所述开关单元的第一输入端为所述非晶硅晶体管的栅极;所述开关单元的第二输入端为所述非晶硅晶体管的第一极,所述开关单元的输出端为所述非晶硅晶体管的第二极。

3. 根据权利要求2所述的像素电路,其特征在于,

所述多晶硅晶体管的第一极为漏极,所述多晶硅晶体管的第二极为源极;或者,所述多晶硅晶体管的第二极为漏极,所述多晶硅晶体管的第一极为源极;

所述非晶硅晶体管的第二极为漏极,所述非晶硅晶体管的第一极为源极;或者,所述非晶硅晶体管的第一极为漏极,所述非晶硅晶体管的第二极为源极。

4. 根据权利要求1所述的像素电路,其特征在于,

所述第一非晶硅晶体管的第一极为漏极,所述第一非晶硅晶体管的第二极为源极;或者,所述第一非晶硅晶体管的第二极为漏极,所述第一非晶硅晶体管的第一极为源极;

所述第二非晶硅晶体管的第一极为漏极,所述第二非晶硅晶体管的第二极为源极;或者,所述第二非晶硅晶体管的第二极为漏极,所述第二非晶硅晶体管的第一极为源极;

所述第三非晶硅晶体管的第一极为漏极,所述第三非晶硅晶体管的第二极为源极;或者,所述第三非晶硅晶体管的第二极为漏极,所述第三非晶硅晶体管的第一极为源极。

5. 根据权利要求1所述的像素电路,其特征在于,所述储能单元包括以下电容的一个

或者多个的任意组合：

第一电容,所述第一电容的第一端连接电源电压,所述第一电容的第二端连接所述驱动单元的第二输入端；

第二电容,所述第二电容的第一端连接电源电压,所述第二电容的第二端连接所述驱动单元的输出端；

第三电容,所述第三电容的第一端连接所述驱动单元的第二输入端,所述第三电容的第二端连接所述驱动单元的输出端。

6. 根据权利要求 1 所述的像素电路,其特征在于,所述储能单元包括以下电容的一个或者多个的任意组合：

第一电容,所述第一电容的第一端连接所述驱动单元的第二输入端；所述第一电容的第二端连接所述第三非晶硅晶体管的第二极；

第二电容,所述第二电容的第一端连接所述电源电压；所述第二电容的第二端连接所述第三非晶硅晶体管的第二极。

7. 根据权利要求 1 所述的像素电路,其特征在于,所述多晶硅晶体管由金属诱导侧向结晶 MILC 工艺形成。

像素电路

技术领域

[0001] 本发明涉及显示器件技术领域,尤其涉及一种像素电路。

背景技术

[0002] 采用 OLED (Organic Light-Emitting Diode, 有机发光二极管) 有机电致发光显示器是一种新兴的平板显示器件,由于其制备工艺简单、成本低、响应速度快、易于实现彩色显示和大屏幕显示、功耗低、容易实现和集成电路驱动器的匹配、发光亮度高、工作温度适应范围广、体积轻薄且易于实现柔性显示等优点,具有广阔的应用前景。

[0003] 按照驱动方式的不同, OLED 可以分为无源矩阵驱动 (Passive Matrix Organic Light Emission Display, PMOLED) 和有源矩阵驱动 (Active Matrix Organic Light Emission Display, AMOLED) 两种。无源矩阵驱动虽然工艺简单,成本较低,但因存在交叉串扰、高功耗、低寿命等缺点,不能满足高分辨率大尺寸显示的需要。相比之下,有源矩阵驱动因为在面板上加入了薄膜晶体管 (Thin Film Transistor, TFT),使得像素单元在一帧时间内都能够发光,所以其所需要的驱动电流小,功耗低,寿命更长,可以满足高分辨率、多灰度的大尺寸显示的需要。

[0004] 目前, AMOLED 显示屏的驱动电路,主要有两种解决技术。一种是利用非晶硅 (a-Si, Amorphous-Silicon) TFT 技术;另一种是利用多晶硅 (p-Si, poly-Silicon) TFT 技术。

[0005] a-Si TFT 技术虽然工艺简单,成本低廉,但是其载流子的迁移率非常小 (典型值通常小于 $1\text{cm}^2/\text{Vs}$),无法提供足够的驱动电流;同时,非晶硅 TFT 只能提供 N 型器件,并且其稳定性在长期应力作用下也存在问题。而多晶硅 TFT,由于其载流子迁移率高 (典型值通常大于 $50\text{cm}^2/\text{Vs}$),响应速度快,易于实现大面积的动态视频显示。同时,高的载流子迁移率可以利用多晶硅 TFT 将外围驱动电路集成在显示背板之上,大大减少了外接引线,降低了外围驱动电路的复杂性。目前,国际上普遍采用多晶硅 TFT 进行 AMOLED 背板的研究与开发。

[0006] 多晶硅 TFT 的沟道区是通过在衬底上形成非晶硅层,对非晶硅层进行再结晶从而形成多晶硅层而制备的。再结晶的方法例如可以包括:准分子激光退火 (Excimer Laser Annealing, ELA) 方法,顺序横向晶化 (Sequential Lateral Solidification, SLS) 方法,金属诱导结晶 (Metal Induced Crystallization, MIC) 方法,或者金属诱导侧向结晶 (Metal Induced Lateral Crystallization, MILC) 方法。

[0007] 在这些方法中, MILC 技术与 ELA 以及 SLS 技术相比, TFT 器件的均匀性更好,更容易实现大尺寸 AMOLED 显示的需要,同时,利用 MILC 技术的成本也更为低廉。而且与 MIC 技术相比, MILC 技术可以有效的降低沟道区残留金属的污染。

[0008] 目前采用 MILC 技术的 AMOLED 背板的主要瓶颈在于:无法降低 TFT 的泄漏电流,为了保证每个像素点在一帧时间的正常显示,需要保证开关晶体管在关断时通过其的泄漏电流不会使存储电容上的电压值下降超过 1 个灰度级。但是,由于 MILC 法得到的多晶硅 TFT 中仍存在少量金属残留, TFT 的泄漏电流过高,制约了实现高灰度、高质量的显示。

发明内容

[0009] 本发明要解决的技术问题是提供一种像素电路,能够降低开关晶体管的泄漏电流,提高了像素电路的显示质量。

[0010] 为解决上述技术问题,本发明提供技术方案如下:

[0011] 一种像素电路,包括:驱动单元、开关单元、储能单元以及有机发光二极管;

[0012] 所述驱动单元的第一输入端连接电源电压,所述驱动单元的第二输入端与所述开关单元的输出端连接,所述驱动单元的输出端连接所述有机发光二极管的第一端,用于输出驱动所述有机发光二极管发光的电流信号;所述驱动单元由多晶硅晶体管组成;

[0013] 所述开关单元的第一输入端输入行扫描信号,所述开关单元的第二输入端输入数据电压;所述开关单元由非晶硅晶体管组成;

[0014] 所述储能单元的两端与所述驱动单元连接,用于存储电压;及

[0015] 所述有机发光二极管的第二端接地。

[0016] 所述驱动单元包括:多晶硅晶体管;

[0017] 所述驱动单元的第一输入端为所述多晶硅晶体管的第一极,所述驱动单元的第二输入端为所述多晶硅晶体管的栅极,所述驱动单元的输出端为所述多晶硅晶体管的第二极。

[0018] 所述开关单元包括:非晶硅晶体管;

[0019] 所述开关单元的第一输入端为所述非晶硅晶体管的栅极;所述开关单元的第二输入端为所述非晶硅晶体管的第一极,所述开关单元的输出端为所述非晶硅晶体管的第二极。

[0020] 所述多晶硅晶体管的第一极为漏极,所述多晶硅晶体管的第二极为源极;或者,所述多晶硅晶体管的第二极为漏极,所述多晶硅晶体管的第一极为源极;

[0021] 所述非晶硅晶体管的第二极为漏极,所述非晶硅晶体管的第一极为源极;或者,所述非晶硅晶体管的第一极为漏极,所述非晶硅晶体管的第二极为源极。

[0022] 所述开关单元包括:第一非晶硅晶体管、第二非晶硅晶体管、第三非晶硅晶体管;

[0023] 所述开关单元的第一输入端包括第一子输入端和第二子输入端;

[0024] 所述开关单元的第一子输入端为所述第一非晶硅晶体管的栅极和所述第二非晶硅晶体管的栅极,分别连接第一行扫描信号;

[0025] 所述开关单元的第二子输入端为所述第三非晶硅晶体管的栅极,连接第二行扫描信号;

[0026] 所述开关单元的第二输入端分别为所述第一非晶硅晶体管的第一极和所述第三非晶硅晶体管的第一极;

[0027] 所述开关单元的输出端为所述第一非晶硅晶体管的第二极;

[0028] 所述第三非晶硅晶体管的第二极连接所述第二非晶硅晶体管的第一极,所述第二非晶硅晶体管的第二极连接所述驱动单元的输出端。

[0029] 所述第一非晶硅晶体管的第一极为漏极,所述第一非晶硅晶体管的第二极为源极;或者,所述第一非晶硅晶体管的第二极为漏极,所述第一非晶硅晶体管的第一极为源极;

[0030] 所述第二非晶硅晶体管的第一极为漏极,所述第二非晶硅晶体管的第二极为源极;或者,所述第二非晶硅晶体管的第二极为漏极,所述第二非晶硅晶体管的第一极为源极;

[0031] 所述第三非晶硅晶体管的第一极为漏极,所述第三非晶硅晶体管的第二极为源极;或者,所述第三非晶硅晶体管的第二极为漏极,所述第三非晶硅晶体管的第一极为源极。

[0032] 所述驱动单元包括:第一多晶硅晶体管、第二多晶硅晶体管;

[0033] 所述开关单元包括:第一非晶硅晶体管、第二非晶硅晶体管;

[0034] 所述驱动单元的第一输入端为所述第二多晶硅晶体管的第一极;所述驱动单元的第二输入端为所述第二多晶硅晶体管的栅极;所述驱动单元的输出端为所述第二多晶硅晶体管的第二极;

[0035] 所述开关单元的第一输入端为所述第一非晶硅晶体管的栅极;所述开关单元的第二输入端为所述第一非晶硅晶体管的第一极;

[0036] 所述开关单元的输出端为所述第二非晶硅晶体管的第二极;

[0037] 所述第二非晶硅晶体管的第一极与所述第一非晶硅晶体管的第一极连接;所述第二非晶硅晶体管的栅极与所述第一非晶硅晶体管的栅极连接;

[0038] 所述第二多晶硅晶体管的栅极与所述第一多晶硅晶体管的栅极连接,所述第二多晶硅晶体管的第一极与所述第一多晶硅晶体管的第一极连接;

[0039] 第一非晶硅晶体管的第二极与所述第一多晶硅晶体管的第二极连接。

[0040] 所述第一多晶硅晶体管的第一极为漏极,所述第一多晶硅晶体管的第二极为源极;或者,所述第一多晶硅晶体管的第二极为漏极,所述第一多晶硅晶体管的第一极为源极;

[0041] 所述第二多晶硅晶体管的第一极为漏极,所述第二多晶硅晶体管的第二极为源极;或者,所述第二多晶硅晶体管的第二极为漏极,所述第二多晶硅晶体管的第一极为源极;

[0042] 所述第一非晶硅晶体管的第一极为漏极,所述第一非晶硅晶体管的第二极为源极;或者,所述第一非晶硅晶体管的第二极为漏极,所述第一非晶硅晶体管的第一极为源极;

[0043] 所述第二非晶硅晶体管的第一极为漏极,所述第二非晶硅晶体管的第二极为源极;或者,所述第二非晶硅晶体管的第二极为漏极,所述第二非晶硅晶体管的第一极为源极。

[0044] 所述储能单元包括以下电容的一个或者多个的任意组合:

[0045] 第一电容,所述第一电容的第一端连接电源电压,所述第一电容的第二端连接所述驱动单元的第二输入端;

[0046] 第二电容,所述第二电容的第一端连接电源电压,所述第二电容的第二端连接所述驱动单元的输出端;

[0047] 第三电容,所述第三电容的第一端连接所述驱动单元的第二输入端,所述第三电容的第二端连接所述驱动单元的输出端。

[0048] 所述储能单元包括以下电容的一个或者多个的任意组合:

[0049] 第一电容,所述第一电容的第一端连接所述驱动单元的第二输入端;所述第一电容的第二端连接所述第三非晶硅晶体管的第二极;

[0050] 第二电容,所述第二电容的第一端连接所述电源电压;所述第二电容的第二端连接所述第三非晶硅晶体管的第二极。

[0051] 所述多晶硅晶体管由金属诱导侧向结晶 MILC 工艺形成。

[0052] 本发明具有以下有益效果:

[0053] 上述方案中,像素电路包括:驱动单元、开关单元、储能单元以及有机发光二极管 OLED;所述驱动单元的第一输入端连接电源电压 VDD,所述驱动单元的第二输入端与所述开关单元的输出端连接,所述驱动单元的输出端连接所述 OLED 的第一端,用于输出驱动所述 OLED 发光的电流信号;所述开关单元的第一输入端输入行扫描信号 SCAN,所述开关单元的第二输入端输入数据电压 Vdata;所述储能单元的两端与所述驱动单元连接,用于存储电压;所述 OLED 的第二端接地。由于所述驱动单元由多晶硅晶体管组成;所述开关单元由非晶硅晶体管组成;非晶硅晶体管的泄漏电流通常小于 10^{-13}A ,从而有效地降低了开关晶体管的泄漏电流,从而提高了像素电路的显示质量。

附图说明

[0054] 图 1 为本发明所述的一种像素电路的第一实施例的连接示意图;

[0055] 图 2 为本发明所述的一种像素电路的第二实施例的连接示意图;

[0056] 图 3 为本发明所述的一种像素电路的第二实施例的时序图;

[0057] 图 4 为本发明所述的一种像素电路的第三实施例的连接示意图;

[0058] 图 5 为本发明所述的一种像素电路的第四实施例的连接示意图;

[0059] 图 6-13 为本发明所述的一种像素电路的第二实施例对应的工艺流程中的俯视图;

[0060] 图 14 为本发明所述的一种像素电路的第二实施例的对应的截面图。

具体实施方式

[0061] 为使本发明的实施例要解决的技术问题、技术方案和优点更加清楚,下面将结合附图及具体实施例进行详细描述。

[0062] 如图 1 所示,为本发明所述的一种像素电路,包括:驱动单元 10、开关单元 20、储能单元 30 以及有机发光二极管 OLED 40。

[0063] 所述驱动单元 10 的第一输入端连接电源电压 VDD,所述驱动单元 10 的第二输入端与所述开关单元 20 的输出端连接,所述驱动单元 10 的输出端连接所述 OLED 40 的第一端,用于输出驱动所述 OLED 发光的电流信号;所述驱动单元 10 由多晶硅晶体管组成。

[0064] 所述开关单元 20 的第一输入端输入行扫描信号 SCAN,所述开关单元 20 的第二输入端输入数据电压 Vdata;所述开关单元 20 由非晶硅晶体管组成。

[0065] 所述储能单元 30 的两端与所述驱动单元连接,用于存储电压。

[0066] 所述 OLED 的第二端接地 GND。

[0067] 以下描述本发明的第一实施例。

[0068] 如图 2 所示,所述驱动单元 10 包括:多晶硅晶体管 T1;

[0069] 所述驱动单元 10 的第一输入端为所述多晶硅晶体管 T1 的第一极,所述驱动单元 10 的第二输入端为所述多晶硅晶体管 T1 的栅极,所述驱动单元 10 的输出端为所述多晶硅晶体管 T1 的第二极。

[0070] 所述开关单元 20 包括非晶硅晶体管 T2。

[0071] 所述开关单元 20 的第一输入端为所述非晶硅晶体管 T2 的栅极;所述开关单元 20 的第二输入端为所述非晶硅晶体管 T2 的第一极,所述开关单元 20 的输出端为所述非晶硅晶体管 T2 的第二极。

[0072] 可选的,所述多晶硅晶体管 T1 的第一极为漏极,所述多晶硅晶体管 T1 的第二极为源极;或者,所述多晶硅晶体管 T1 的第二极为漏极,所述多晶硅晶体管 T1 的第一极为源极。

[0073] 所述非晶硅晶体管 T2 的第二极为漏极,所述非晶硅晶体管 T2 的第一极为源极;或者,所述非晶硅晶体管 T2 的第一极为漏极,所述非晶硅晶体管 T2 的第二极为源极。

[0074] 所述储能单元包括以下电容的一个或者多个的任意组合:

[0075] 第一电容 C_s ,所述第一电容 C_s 的第一端连接电源电压 VDD,所述第一电容 C_s 的第二端连接所述驱动单元的第二输入端;

[0076] 第二电容 C1(图 2 未示出),所述第二电容 C1 的第一端连接电源电压 VDD,所述第二电容 C1 的第二端连接所述驱动单元的输出端;

[0077] 第三电容 C2(图 2 未示出),所述第三电容 C2 的第一端连接所述驱动单元的第二输入端,所述第三电容 C2 的第二端连接所述驱动单元的输出端。

[0078] 在该实施例中,多晶硅晶体管 T1 作为驱动管,其作用在于提供驱动 OLED 发光的电流信号;非晶硅晶体管 T2 作为开关管,行扫描信号施加在 T2 管的栅极,以控制数据电压的流通;电容 C_s 以电压形式对数据电压进行存储。

[0079] 其中,多晶硅 TFT 管 T1 的栅极与非晶硅 TFT 管 T2 的漏极相连,多晶硅 TFT 管 T1 的源极与具有一定电位的第一电源相连,多晶硅 TFT 管 T1 的漏极与有机发光二极管 OLED 的第一电极相连;非晶硅 TFT 管 T2 的栅极与行扫描信号线 SCAN 相连,非晶硅 TFT 管 T2 的漏极与多晶硅 TFT 管 T1 的栅极相连,非晶硅 TFT 管 T2 的源极与数据信号线 DATA 相连;有机发光二极管 OLED 的第一电极与多晶硅 TFT 管 T1 的漏极相连,有机发光二极管 OLED 的第二电极接地;存储电容 C_s 的第一电极与多晶硅 TFT 管 T1 的栅极相连,存储电容 C_s 的第二电极与 VDD 相连。

[0080] 图 3 为图 2 所示的像素电路的时序图。像素电路的工作方式如下:

[0081] 在选通阶段,SCAN 信号使开关晶体管 T2 管导通,数据电压线 DATA 上的电压信号通过晶体管 T2 被施加到驱动晶体管 T1 的栅极,同时数据电压线 DATA 对存储电容 C_s 充电。在稳定阶段,受数据电压 Vdata 的控制,晶体管 T1 输出至 OLED 的电流等于:

[0082] $I_{OLED} = 1/2u_n C_{OX}(W/L)_{T1}(Vdata - V_{TH})^2$;

[0083] 式中, I_{OLED} 为晶体管 T1 输出至 OLED 的电流值; u_n 为晶体管 T1 的载流子迁移率; C_{OX} 为晶体管 T1 的栅绝缘层单位面积电容;W 为晶体管 T1 的沟道宽度;L 为晶体 T1 的管沟道长度; V_{TH} 为晶体管 T1 的阈值电压;VDD 是由外部电源给出的 5V 左右的第一电源值。

[0084] 在保持阶段,SCAN 信号使开关晶体管 T2 关断,此时,由于存储电容 C_s 的存在,使驱动晶体管 T1 的栅极信号不受 T2 关断的影响,仍然为 Vdata,从而保证在整个关断阶段,有电流能够对 OLED 进行持续驱动。

[0085] 但是,由于晶体管 T2 在关断时存在泄漏电流 I_{leakage} 。因此在保持阶段,随着电荷从晶体管 T2 的泄漏,晶体管 T2 的栅极电位逐渐降低,驱动 OLED 的电流也逐渐减小。

[0086] 栅极电位的下降值 V 可以由以下公式计算:

$$[0087] \quad V = Q/C_s = I_{\text{leakage}} * t / C_s。$$

[0088] 其中, C_s 为存储电容的电容值; Q 为由于电荷泄漏所损失的电荷量; t 为保持阶段所持续的时间。

[0089] 通常屏幕的刷新率为 60Hz, 因此 $t = 1/60s = 16.67ms$ 。为了实现高质量、高灰阶的显示,就需要保证 OLED 的亮度下降量在不高于人眼的可识别范围(通常为 10 个灰阶),需要 T2 的泄漏电流大于 $10^{-12}A$ 。本发明采用非晶硅 TFT 的泄漏电流小于 $10^{-13}A$,其关断特性好,满足了该设计要求。

[0090] 另外,本发明采用 MILC 方法制备低温多晶硅 TFT,其载流子迁移率大,作为 OLED 的驱动晶体管。本发明利用 MILC 技术,实现分区域晶化,结合了 MILC 低温多晶硅 TFT 与非晶硅 TFT 的优点,将驱动管 T1 利用 MILC 晶化技术制作成低温多晶硅 TFT,而开关管 T2 设计为为非晶硅 TFT,在保证其能够驱动 OLED 的同时,有效的降低了泄漏电流,提高了电路在保持阶段的稳定性。

[0091] 以下描述本发明的第二实施例。

[0092] 如图 4 所示,所述驱动单元 10 的第一输入端为所述多晶硅晶体管 A1 的第一极,所述驱动单元 10 的第二输入端为所述多晶硅晶体管 T1 的栅极,所述驱动单元 10 的输出端为所述多晶硅晶体管 T1 的第二极。

[0093] 所述开关单元 20 包括:第一非晶硅晶体管 A2、第二非晶硅晶体管 A3、第三非晶硅晶体管 A4;

[0094] 所述开关单元 20 的第一输入端包括第一子输入端和第二子输入端;

[0095] 所述开关单元 20 的第一子输入端为所述第一非晶硅晶体管 A2 的栅极和所述第二非晶硅晶体管 A3 的栅极,分别连接第一行扫描信号 SCAN1;

[0096] 所述开关单元 20 的第二子输入端为所述第三非晶硅晶体管 A4 的栅极,连接第二行扫描信号 SCAN2;

[0097] 所述开关单元 20 的第二输入端分别为所述第一非晶硅晶体管 A2 的第一极和所述第三非晶硅晶体管 A4 的第一极;

[0098] 所述开关单元 20 的输出端为所述第一非晶硅晶体管 A2 的第二极;

[0099] 所述第三非晶硅晶体管 A4 的第二极连接所述第二非晶硅晶体管 A3 的第一极,所述第二非晶硅晶体管 A3 的第二极连接所述驱动单元的输出端。

[0100] 所述第一非晶硅晶体管 A2 的第一极为漏极,所述第一非晶硅晶体管 A2 的第二极为源极;或者,所述第一非晶硅晶体管 A2 的第二极为漏极,所述第一非晶硅晶体管 A2 的第一极为源极;

[0101] 所述第二非晶硅晶体管 A3 的第一极为漏极,所述第二非晶硅晶体管 A3 的第二极为源极;或者,所述第二非晶硅晶体管 A3 的第二极为漏极,所述第二非晶硅晶体管 A3 的第一极为源极;

[0102] 所述第三非晶硅晶体管 A4 的第一极为漏极,所述第三非晶硅晶体管 A4 的第二极为源极;或者,所述第三非晶硅晶体管 A4 的第二极为漏极,所述第三非晶硅晶体管 A4 的第

一极为源极。

[0103] 所述储能单元包括以下电容的一个或者多个的任意组合：

[0104] 第一电容 C_s (图 4 未示出)，所述第一电容 C_s 的第一端连接电源电压 VDD，所述第一电容 C_s 的第二端连接所述驱动单元的第二输入端；

[0105] 第二电容 C_1 (图 4 未示出)，所述第二电容 C_1 的第一端连接电源电压 VDD，所述第二电容 C_1 的第二端连接所述驱动单元的输出端；

[0106] 第三电容 C_2 (图 4 未示出)，所述第三电容 C_2 的第一端连接所述驱动单元的第二输入端，所述第三电容 C_2 的第二端连接所述驱动单元的输出端。

[0107] 或者，所述储能单元包括以下电容的一个或者多个的任意组合：

[0108] 第一电容，所述第一电容 C_1 的第一端连接所述驱动单元的第二输入端；所述第一电容的第二端连接所述第三非晶硅晶体管 A4 的第二极；

[0109] 第二电容，所述第二电容 C_2 的第一端连接所述电源电压；所述第二电容的第二端连接所述第三非晶硅晶体管 A4 的第二极。

[0110] 在上述实施例中，三个 TFT A2、A3、A4 组成开关单元，可以由非晶硅 TFT 组成；TFTA1 组成驱动单元，可以由低温多晶硅 TFT 组成。

[0111] 以下描述本发明的第三实施例。

[0112] 如图 5 所示，所述驱动单元 10 包括：第一多晶硅晶体管 DR1、第二多晶硅晶体管 DR2；

[0113] 所述开关单元 20 包括：第一非晶硅晶体管 SW1、第二非晶硅晶体管 SW2；

[0114] 所述驱动单元 10 的第一输入端为所述第二多晶硅晶体管 DR2 的第一极；所述驱动单元的第二输入端为所述第二多晶硅晶体管 DR2 的栅极；所述驱动单元的输出端为所述第二多晶硅晶体管 DR2 的第二极；

[0115] 所述开关单元 20 的第一输入端为所述第一非晶硅晶体管 SW1 的栅极；所述开关单元的第二输入端为所述第一非晶硅晶体管 SW1 的第一极；

[0116] 所述开关单元 20 的输出端为所述第二非晶硅晶体管 SW2 的第二极；

[0117] 所述第二非晶硅晶体管 SW2 的第一极与所述第一非晶硅晶体管 SW1 的第一极连接；所述第二非晶硅晶体管 SW2 的栅极与所述第一非晶硅晶体管 SW1 的栅极连接；

[0118] 所述第二多晶硅晶体管 DR2 的栅极与所述第一多晶硅晶体管 DR1 的栅极连接，所述第二多晶硅晶体管 DR2 的第一极与所述第一多晶硅晶体管 DR1 的第一极连接；

[0119] 第一非晶硅晶体管 SW1 的第二极与所述第一多晶硅晶体管 DR1 的第二极连接。

[0120] 可选的，所述第一多晶硅晶体管 DR1 的第一极为漏极，所述第一多晶硅晶体管 DR1 的第二极为源极；或者，所述第一多晶硅晶体管 DR1 的第二极为漏极，所述第一多晶硅晶体管 DR1 的第一极为源极；

[0121] 所述第二多晶硅晶体管 DR2 的第一极为漏极，所述第二多晶硅晶体管 DR2 的第二极为源极；或者，所述第二多晶硅晶体管 DR2 的第二极为漏极，所述第二多晶硅晶体管 DR2 的第一极为源极；

[0122] 所述第一非晶硅晶体管 SW1 的第一极为漏极，所述第一非晶硅晶体管 SW1 的第二极为源极；或者，所述第一非晶硅晶体管 SW1 的第二极为漏极，所述第一非晶硅晶体管 SW1 的第一极为源极；

[0123] 所述第二非晶硅晶体管 SW2 的第一极为漏极,所述第二非晶硅晶体管 SW2 的第二极为源极;或者,所述第二非晶硅晶体管 SW2 的第二极为漏极,所述第二非晶硅晶体管 SW2 的第一极为源极。

[0124] 所述储能单元包括以下电容的一个或者多个的任意组合:

[0125] 第一电容 C_s (图 5 未示出),所述第一电容 C_s 的第一端连接电源电压 VDD,所述第一电容 C_s 的第二端连接所述驱动单元的第二输入端;

[0126] 第二电容 C1,所述第二电容 C1 的第一端连接电源电压 VDD,所述第二电容 C1 的第二端连接所述驱动单元的输出端;

[0127] 第三电容 C2,所述第三电容 C2 的第一端连接所述驱动单元的第二输入端,所述第三电容 C2 的第二端连接所述驱动单元的输出端。

[0128] 在上述实施例中,TFT SW1、SW2 组成开关单元,可以由非晶硅 TFT 组成;TFT DR1、DR2 为驱动单元,由低温多晶硅 TFT 组成。

[0129] 其中,本发明所述的多晶硅晶体管由金属诱导侧向结晶 MILC 工艺形成。

[0130] 上面各个实施例中,晶体管的控制极对应为 TFT 的栅极,第一电流导通极和第二电流导通极是可以互易的,即,第一电流导通极可以是源极也可以是漏极,对应地,第二电流导通极可以是漏极也可以是源极。

[0131] 本发明提出一种有机电致发光显示装置的像素电路,利用 MILC 技术可以制备具有高一致性的 TFT 晶体管,并通过像素设计有效地降低 TFT 晶体管的泄漏电流,从而提高 OLED 显示装置的图像灰度级以及画面的显示质量。本发明在保持 MILC 低温多晶硅 TFT 高均匀性以及低成本优点的基础上,通过控制晶化区域的技术手段,达到降低开关晶体管泄漏电流的技术效果,从而解决了利用 MILC 技术制备的 AMOLED 背板无法实现高灰度显示的技术问题。本发明的像素电路可以利用金属侧向诱导晶化 (MILC) 技术制备。通过控制晶化区域的技术手段,达到降低开关晶体管泄漏电流的技术效果,从而解决了利用 MILC 技术制备的 AMOLED 背板无法实现高灰度显示的技术问题。

[0132] 可以利用 MILC 技术制备本发明所述的像素电路,下面结合如图 6 至图 13 所示的单元像素电路版图,以及图 14 所示的电路截面图,对本发明所述的像素电路的制备方法进行介绍。

[0133] 图 6 至图 13 为如图 2 所示的像素电路在工艺流程中的俯视图。制造工艺包括以下步骤:

[0134] 首先,如图 6 所示,在玻璃基板上生长缓冲层 1;生长有源层(非晶硅(a-Si)薄膜);刻蚀有源层,形成由非晶硅薄膜构成的有源沟道区 2-1。

[0135] 然后,如图 7 所示,光刻并沉积诱导先驱金属层 3,在本实施中,优选 Ni 作为先驱金属;MILC 技术形成的诱导先驱金属层 3 可以是 Ni、Cu 等金属,利用金属诱导降低晶化温度。

[0136] 然后,如图 8 所示,利用 MILC 技术实现对有源区的结晶化,形成由低温多晶硅构成的有源沟道区 2-2;生长栅绝缘层;沉积第一金属层;刻蚀第一金属层与栅绝缘层,形成晶体管 T1 的栅极绝缘层、晶体管 T2 的栅极绝缘层、晶体管 T1 的栅电极 5-1、晶体管 T2 的栅电极 5-2、存储电容 C_s 的第一电极 5-3,扫描信号线 VSEL5-4;

[0137] 然后,如图 9 所示,源漏区离子注入,形成晶体管源漏区,晶体管源漏区包括:晶体管 T1 的源漏区和晶体管 T2 的源漏区;其中,晶体管 T1 的源漏区包括晶体管 T1 的源区 6-11

和晶体管 T1 的漏区 6-12 ;晶体管 T2 的源漏区包括晶体管 T2 的源区 6-21 和晶体管 T2 的漏区 6-22 ;退火以激活注入离子 ;沉积介质层 ;刻蚀形成接触孔 8 ;

[0138] 然后,如图 10 所示,沉积第二金属层 ;刻蚀源漏金属,形成 T1 晶体管的源漏电极、晶体管 T2 的源漏电极、存储电容 C_s 的第二电极 9-3、数据信号线 Vdata 9-4、电源信号线 VDD 9-5 ;T1 晶体管的源漏电极包括 :晶体管 T1 的源极电极 9-11、晶体管 T1 的漏极电极 9-12 ;晶体管 T2 的源漏电极 2 包括 :晶体管 T2 的源极电极 9-21,晶体管 T2 的漏极电极 9-22 ;

[0139] 然后,如图 11 所示,生长平坦化层,刻蚀行程过孔 11 ;

[0140] 然后,如图 12 所示,沉积透明导电电极 ITO 层,刻蚀 ITO,形成 ITO 区 12 ;

[0141] 然后,如图 13 所示,蒸镀 OLED 层 13。

[0142] 完成的像素电路的截面图如图 14 所示。

[0143] 图 14 中,缓冲层 1 可以为二氧化硅 SiO_2 、氮化硅 $SiNX$,或者由两者交叠构成的双层结构。

[0144] 晶体管的有源层包括 :由非晶硅 (a-Si) 构成的晶体管有源沟道区 2-1 和通过 MILC 晶化技术形成的低温多晶硅 (LTPS) 构成的晶体管有源沟道区 2-2。

[0145] 栅绝缘层可以为二氧化硅 SiO_2 、氮化硅 $SiNX$,或者由两者交叠构成的双层结构。栅绝缘层包括 :T1 晶体管的栅极绝缘层、T2 晶体管的栅极绝缘层、第一金属层。

[0146] 第一金属层用于形成栅极电极与 VSEL 图形以及存储电容 C_s 的第一电极,可以是 Mo 等其他金属或合金材料。第一金属层包括 :晶体管 T1 的栅电极 5-1、晶体管 T2 的栅电极 5-2、存储电容 C_s 的第一电极 5-3、扫描信号线 VSEL5-4。

[0147] 晶体管的源区与漏区 (通过离子注入形成的重参杂晶体管源漏区) 包括晶体管 T1 的源漏区、晶体管 T2 的源漏区、介质层 7、源漏接触孔 8、第二金属层。

[0148] 晶体管 T1 的源漏区包括晶体管 T1 的源区 6-11、晶体管 T1 的漏区 6-12。

[0149] 晶体管 T2 的源漏区包括晶体管 T2 的源区 6-21、晶体管 T2 的漏区 6-22。

[0150] 介质层 7 可以为二氧化硅 SiO_2 、氮化硅 $SiNX$,或者由两者交叠构成的双层结构。

[0151] 源漏接触孔 8 通过在指定区域刻蚀绝缘层,实现上下两层金属的连接。

[0152] 第二金属层用于形成源漏电极与 Vdata、VDD 图形以及存储电容 C_s 的第二电极,可以是 Mo 等其他金属或合金材料。

[0153] 第二金属层包括 T1 晶体管的源漏电极、晶体管 T2 的源漏电极 9-2、存储电容 C_s 的第二电极 9-3、数据信号线 Vdata 9-4、电源信号线 VDD9-5、平坦化层 10、平坦化层过孔 11、透明导电电极 ITO 层 12、有机发光层 13。

[0154] T1 晶体管的源漏电极包括 :晶体管 T1 的源极电极 9-11、晶体管 T1 的漏极电极 9-12。

[0155] 晶体管 T2 的源漏电极包括晶体管 T2 的源极电极 9-21、晶体管 T2 的漏极电极 9-22。

[0156] 平坦化层 10 可以为二氧化硅 SiO_2 、氮化硅 $SiNX$,或者由两者交叠构成的双层结构。

[0157] 平坦化层过孔 11 通过在指定区域刻蚀平坦化层以实现 ITO 层与第二金属层的连接。

[0158] 透明导电电极 ITO 层 12 为透明导电薄膜氧化铟锡 (Indium-Tin Oxide, ITO)。

[0159] 有机发光层 13 为多层有机薄膜组成的有机发光二极管 (Organic Light Emitting Diode, OLED)。

[0160] 本发明利用 MILC 技术实现区域晶化的技术手段, 结合低温多晶硅 TFT 与非晶硅 TFT 各自的优点, 利用 MILC 技术可以制备具有高一一致性 TFT 晶体管, 并通过像素设计有效地降低 TFT 晶体管的泄漏电流, 从而提高 OLED 显示装置图像灰度级以及画面的显示质量。

[0161] 以上所述是本发明的优选实施方式, 应当指出, 对于本技术领域的普通技术人员来说, 在不脱离本发明所述原理的前提下, 还可以作出若干改进, 这些改进也应视为本发明的保护范围。

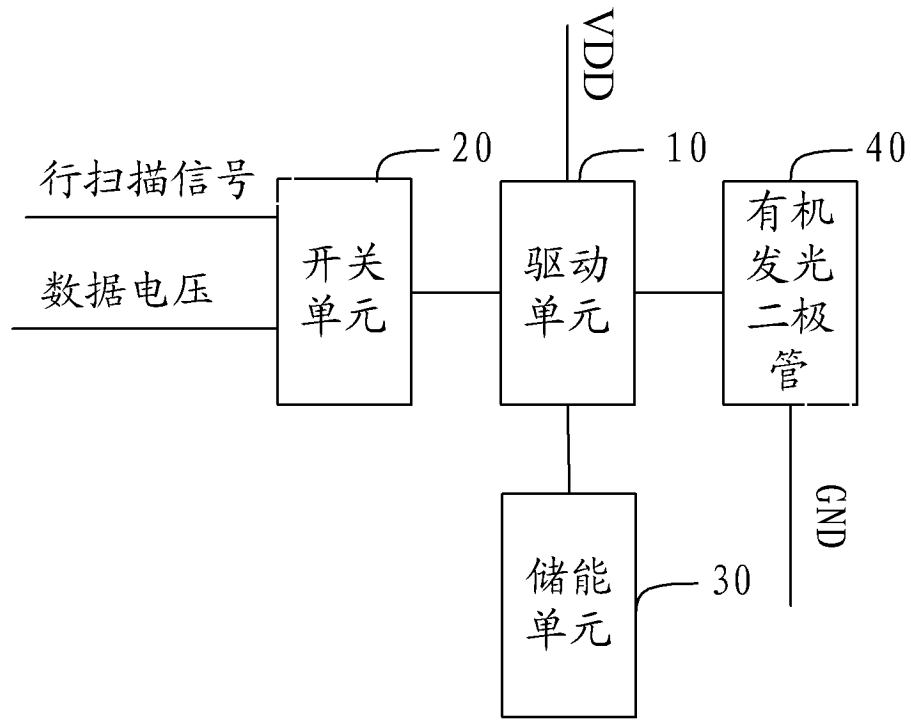


图 1

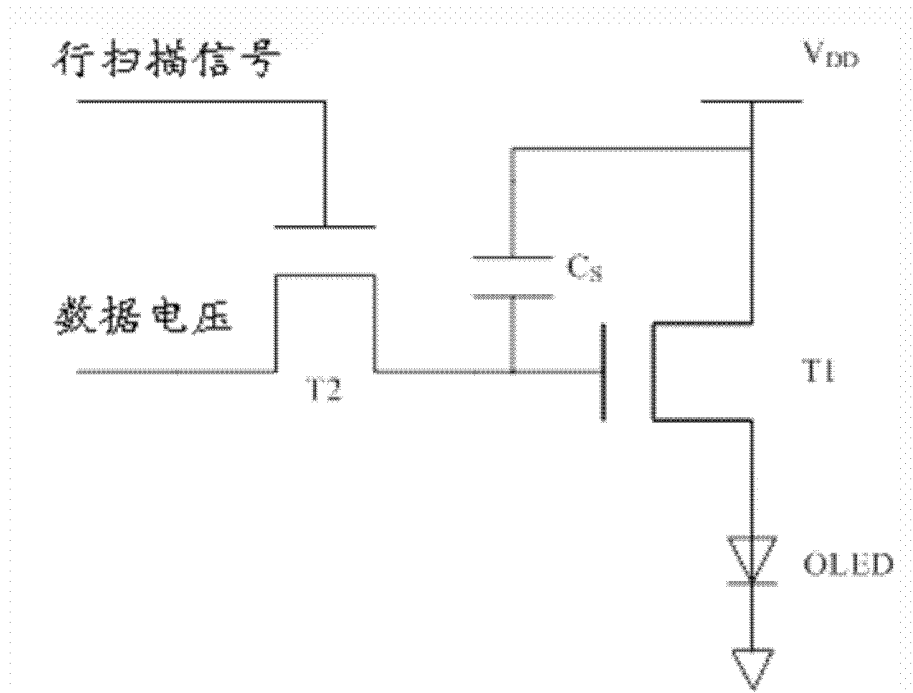


图 2

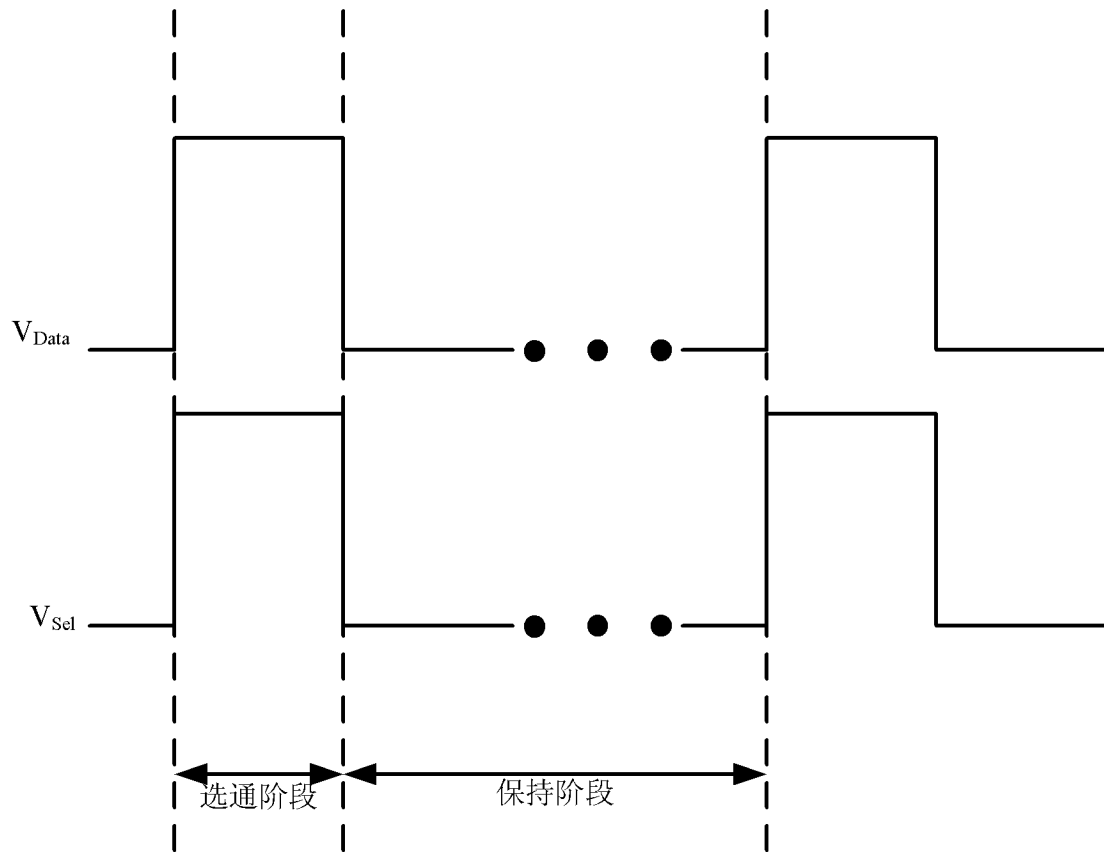


图 3

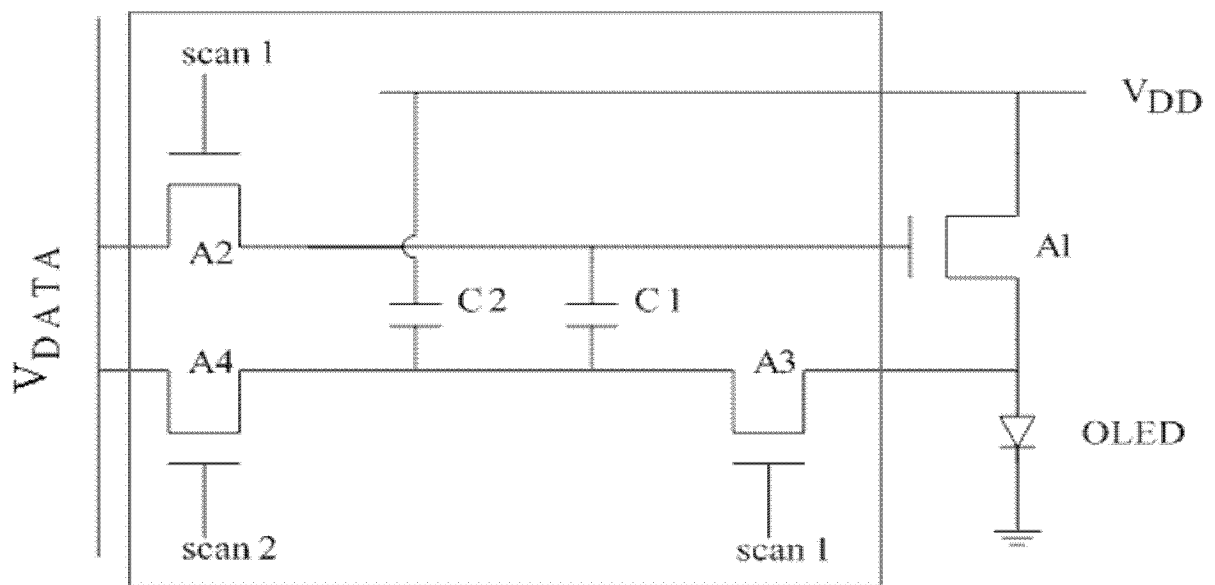


图 4

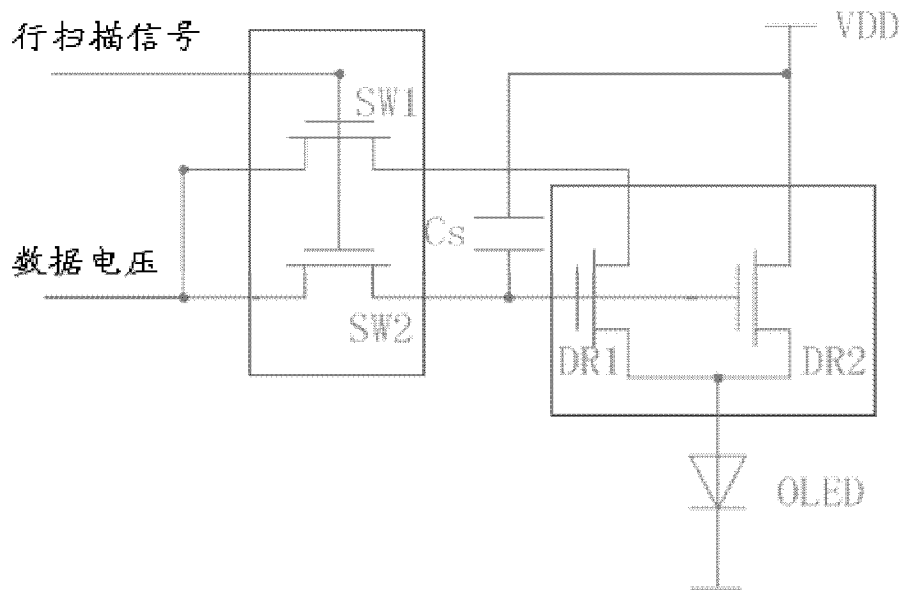


图 5

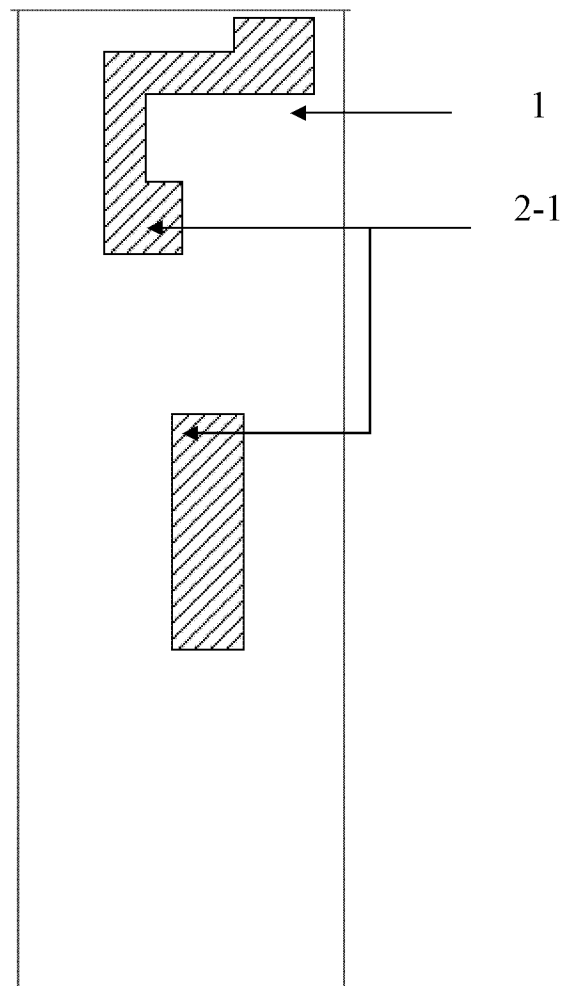


图 6

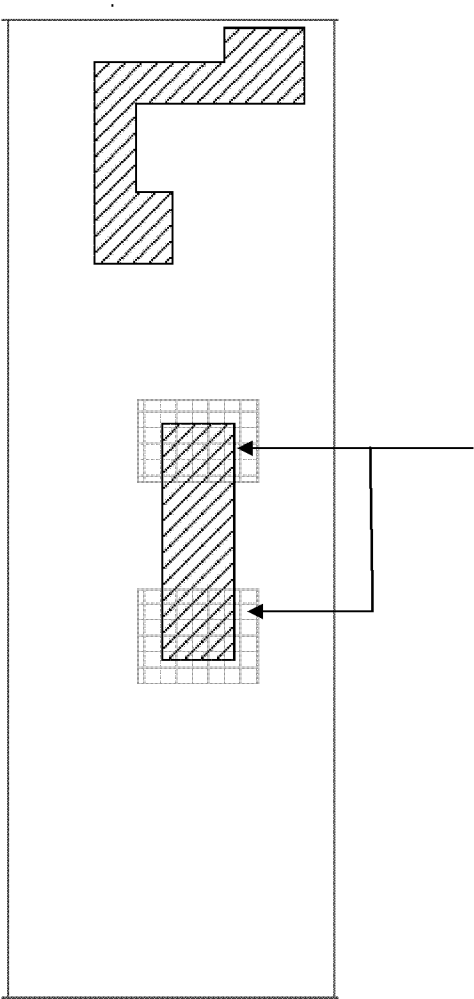


图 7

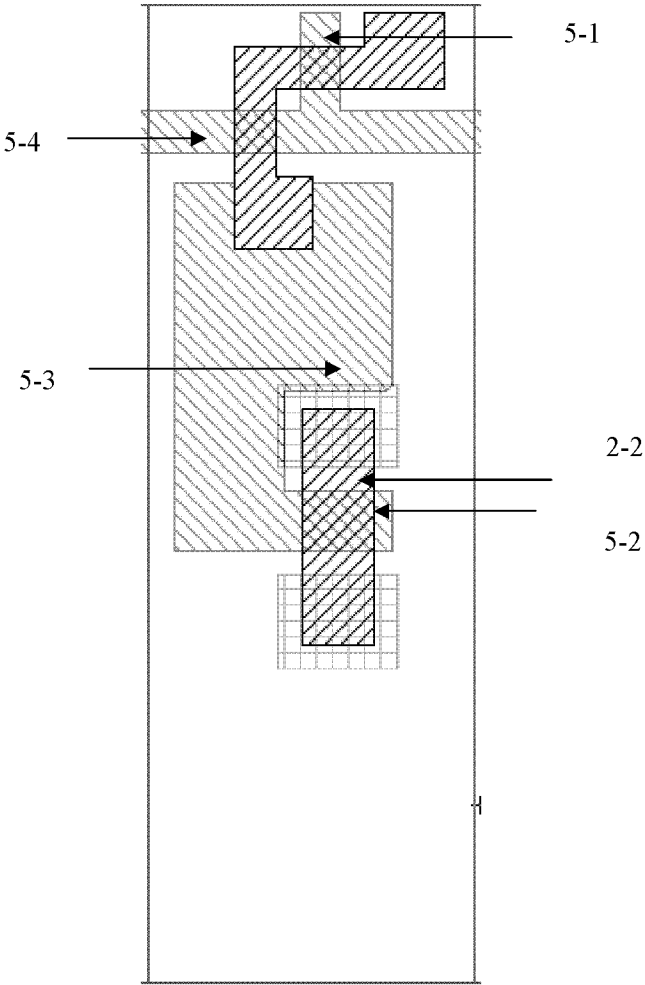


图 8

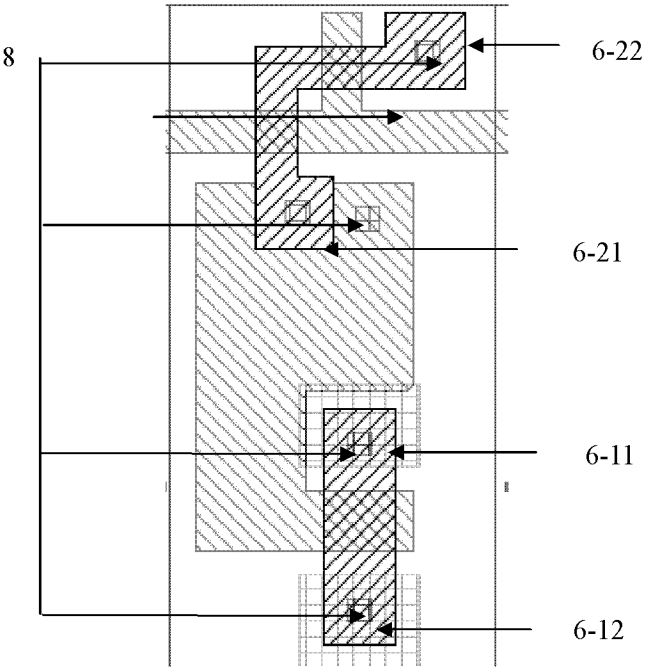


图 9

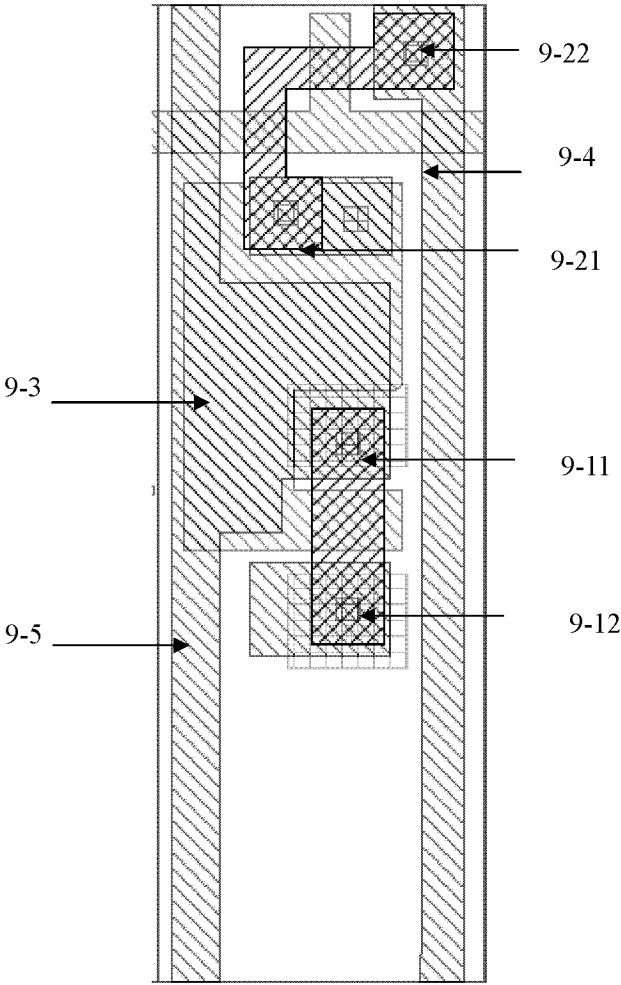


图 10

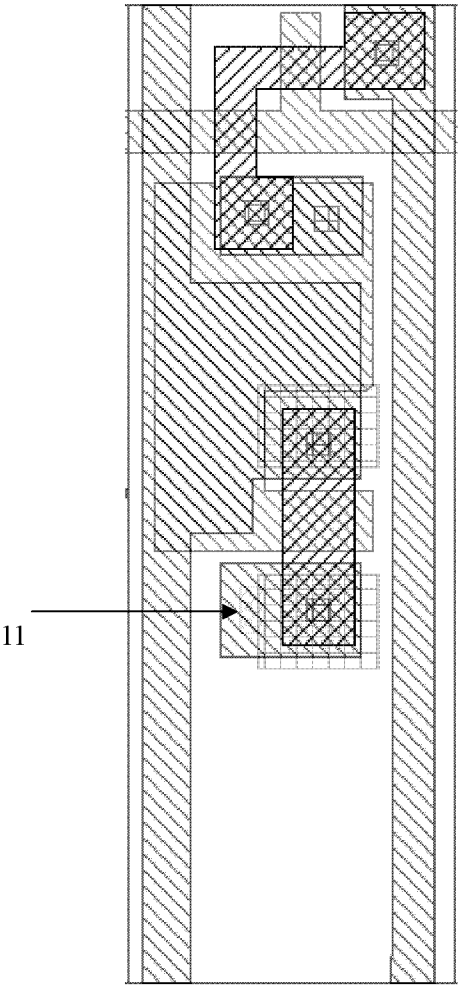


图 11

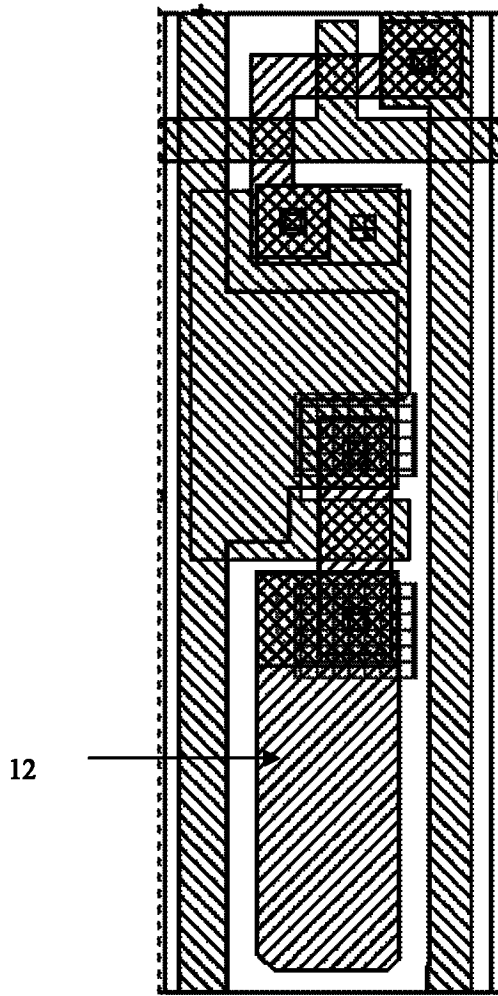


图 12

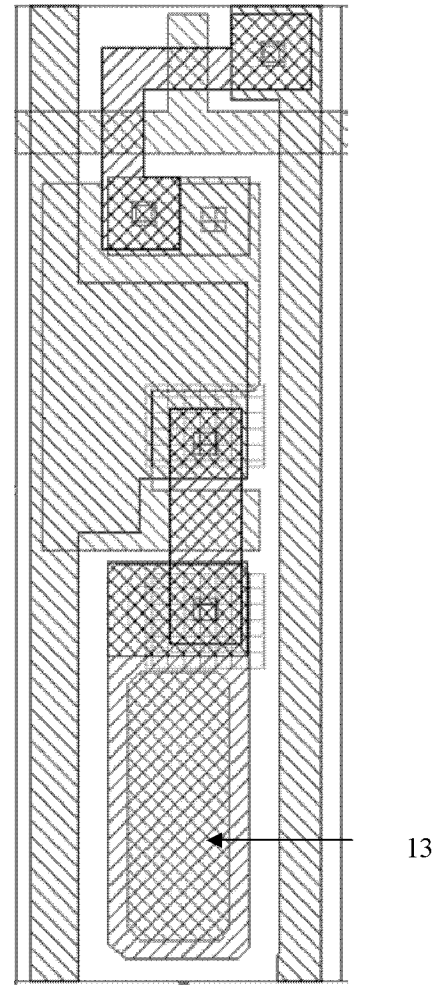


图 13

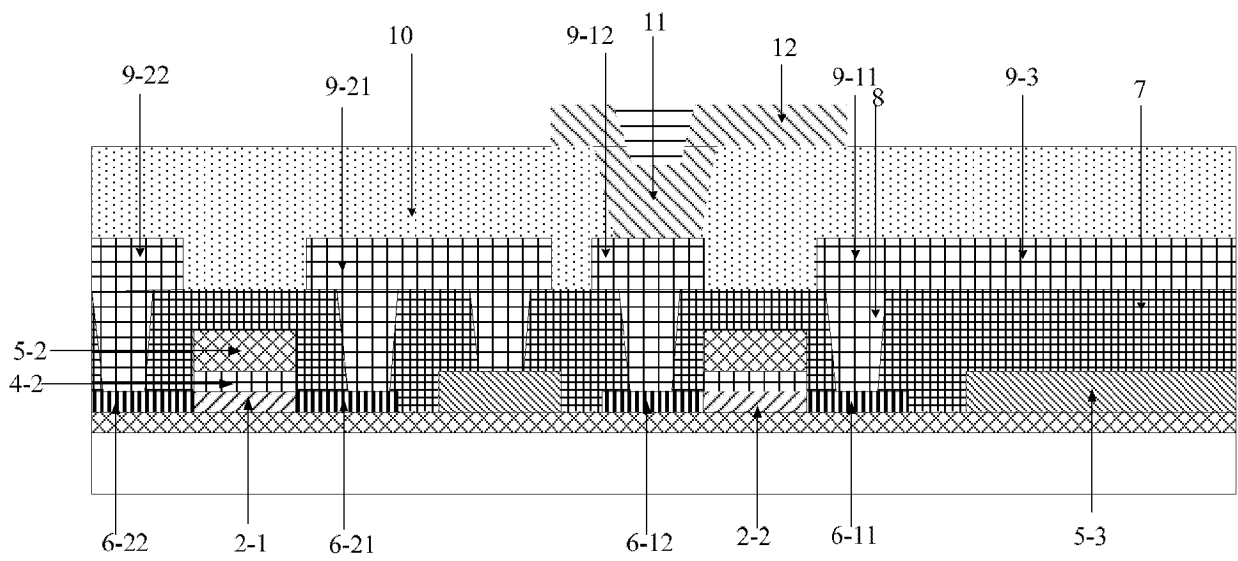


图 14

专利名称(译)	像素电路		
公开(公告)号	CN102708788B	公开(公告)日	2015-01-07
申请号	CN201110376530.2	申请日	2011-11-23
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	梁逸南 龙春平 马占洁		
发明人	梁逸南 龙春平 马占洁		
IPC分类号	G09G3/32 G09G3/3233		
代理人(译)	许静		
其他公开文献	CN102708788A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种像素电路，涉及显示器件技术领域，为解决现有技术中像素电路难以实现高质量的显示的技术问题而发明。所述像素电路包括：驱动单元、开关单元、储能单元以及有机发光二极管(OLED)；所述驱动单元的第一输入端连接电源电压(VDD)，所述驱动单元的第二输入端与所述开关单元的输出端连接，所述驱动单元的输出端连接所述OLED的第一端；所述驱动单元由多晶硅晶体管组成；所述开关单元的第一输入端输入行扫描信号(SCAN)，所述开关单元的第二输入端输入数据电压(Vdata)；所述开关单元由非晶硅晶体管组成；储能单元的两端与驱动单元连接，用于存储电压；OLED的第二端接地。本发明能提高像素电路的显示质量。

