



(12)发明专利申请

(10)申请公布号 CN 109817154 A
(43)申请公布日 2019.05.28

(21)申请号 201810928924.6
(22)申请日 2018.08.15
(30)优先权数据
10-2017-0155741 2017.11.21 KR
(71)申请人 乐金显示有限公司
地址 韩国首尔
(72)发明人 孔忠植 申美姬 姜奎兑
(74)专利代理机构 北京三友知识产权代理有限公司 11127
代理人 刘久亮
(51)Int.Cl.
G09G 3/32(2016.01)

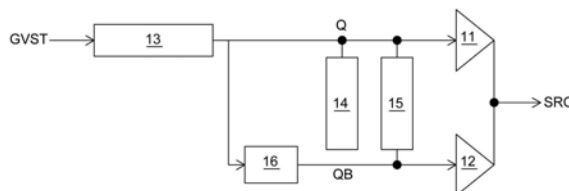
权利要求书2页 说明书12页 附图5页

(54)发明名称

选通驱动器和包括该选通驱动器的电致发光显示装置

(57)摘要

选通驱动器和包括该选通驱动器的电致发光显示装置。一种电致发光显示装置包括：子像素，其与选通线连接；以及选通驱动器，其向选通线中的至少一条供应扫描信号并包括级。所述级中的一个包括：QB节点调节单元，其通过使用第一选通时钟信号和第二选通时钟信号将QB节点和QP节点充电至导通电压；以及下拉单元，其响应于QP节点的电压而输出截止电压。QB节点调节单元包括：QP节点控制部，其将Q1节点的电压的相位反转并将Q1节点的相位反转后的电压施加到QP节点；以及QB节点控制部，其使QP节点自举。因此，通过采用包括向QB节点和QP节点提供稳定电压的QB节点调节单元的选通驱动器，能够提高选通驱动器的可靠性并且能够减小电致发光显示装置的边框。



1. 一种电致发光显示装置,该电致发光显示装置包括:
子像素,所述子像素与选通线连接;以及
选通驱动器,该选通驱动器向所述选通线中的至少一条供应扫描信号,并且包括级,
其中,所述级中的一个级包括:
QB节点调节单元,该QB节点调节单元通过使用第一选通时钟信号和第二选通时钟信号将QB节点和QP节点充电至导通电压;以及
下拉单元,该下拉单元响应于所述QP节点的电压而输出截止电压,并且
其中,所述QB节点调节单元包括:
QP节点控制部,该QP节点控制部将Q1节点的电压的相位反转并且将所述Q1节点的相位反转后的电压施加到所述QP节点;以及
QB节点控制部,该QB节点控制部使所述QP节点自举。
2. 根据权利要求1所述的电致发光显示装置,
其中,所述QP节点控制部包括:
第一晶体管,该第一晶体管连接在选通低电压线和所述QP节点之间,并且
具有与第二选通时钟信号线连接的栅极;以及
第二晶体管,该第二晶体管连接在所述第二选通时钟信号线和所述QP节点之间,并且
具有与所述Q1节点连接的栅极,并且
其中,所述QB节点控制单元包括:
第三晶体管,该第三晶体管连接在第一选通时钟信号线和所述QB节点之间,
并且具有与所述QP节点连接的栅极;以及
第一电容器,该第一电容器连接在所述QP节点和所述QB节点之间。
3. 根据权利要求1所述的电致发光显示装置,其中,所述级中的所述一个级还包括:
Q1节点控制单元,该Q1节点控制单元响应于所述QB节点的电压而将所述Q1节点放电至截止电压,并且响应于所述第二选通时钟信号而向所述Q1节点施加选通起始电压。
4. 根据权利要求3所述的电致发光显示装置,其中,所述Q1节点控制单元包括:
第四晶体管,该第四晶体管连接在被施加所述选通起始电压的选通起始电压线与所述Q1节点之间,并且具有与第二选通时钟信号线连接的栅极;以及
第五晶体管,该第五晶体管连接在所述Q1节点和选通高电压线之间,并且具有与所述QB节点连接的栅极。
5. 根据权利要求1所述的电致发光显示装置,其中,所述级中的所述一个级还包括:
上拉单元,该上拉单元响应于Q2节点的电压而输出所述导通电压。
6. 根据权利要求5所述的电致发光显示装置,其中,所述上拉单元包括第六晶体管,该第六晶体管连接在第一选通时钟信号线和扫描信号输出线之间,并且具有与所述Q2节点连接的栅极,并且
其中,所述下拉单元包括第七晶体管,该第七晶体管连接在选通高电压线和所述扫描信号输出线之间,并且具有与所述QP节点连接的栅极。
7. 根据权利要求5所述的电致发光显示装置,其中,所述级中的所述一个级还包括Q节点稳定单元,该Q节点稳定单元连接在所述Q1节点和所述Q2节点之间。
8. 根据权利要求1所述的电致发光显示装置,其中,所述级中的所述一个级还包括QB节

点稳定单元,该QB节点稳定单元响应于所述Q1节点的电压而将所述QB节点放电至所述截止电压。

9. 一种选通驱动器,该选通驱动器包括:

上拉晶体管,该上拉晶体管具有与Q2节点连接以输出导通电压的栅极;

下拉晶体管,该下拉晶体管具有与QP节点连接以输出截止电压的栅极;以及

QB节点调节单元,该QB节点调节单元在所述截止电压被施加到所述上拉晶体管的栅极的状态下向所述QP节点周期性地提供比所述导通电压大的电压并且向QB节点周期性地提供所述导通电压。

10. 根据权利要求9所述的选通驱动器,该选通驱动器还包括:

Q节点稳定单元,该Q节点稳定单元连接在所述Q2节点和Q1节点之间;

Q1节点激活器,该Q1节点激活器向所述Q1节点施加选通起始电压;以及

Q1节点放电器,该Q1节点放电器响应于所述QB节点的电压而周期性地使所述Q1节点放电。

11. 根据权利要求10所述的选通驱动器,该选通驱动器还包括:

QB节点稳定单元,该QB节点稳定单元响应于所述Q1节点的电压而使所述QB节点放电。

12. 根据权利要求10所述的选通驱动器,其中,所述QB节点调节单元包括:

第一晶体管,该第一晶体管连接在选通低电压线和所述QP节点之间,并且具有与第二选通时钟信号线连接的栅极;

第二晶体管,该第二晶体管连接在所述第二选通时钟信号线和所述QP节点之间,并且具有与所述Q1节点连接的栅极,

第三晶体管,该第三晶体管连接在第一选通时钟信号线和所述QB节点之间,并且具有与所述QP节点连接的栅极;以及

第一电容器,该第一电容器连接在所述QP节点和所述QB节点之间,

其中,所述第一选通时钟信号和所述第二选通时钟信号是反相的。

13. 根据权利要求9所述的选通驱动器,该选通驱动器还包括:

第二电容器,该第二电容器连接在所述上拉晶体管的栅极和漏极之间。

14. 根据权利要求13所述的选通驱动器,该选通驱动器还包括:

第八晶体管,该第八晶体管连接在所述Q2节点和Q1节点之间,并且具有与被施加所述导通电压的线连接的栅极,

其中,在比所述导通电压大的电压通过所述第二电容器被施加到所述Q2节点时,所述第八晶体管截止。

15. 根据权利要求10所述的选通驱动器,其中,在所述Q2节点的电压大于所述导通电压时,所述QP节点的电压和所述QB节点的电压是所述截止电压,并且所述上拉晶体管导通以输出所述导通电压。

选通驱动器和包括该选通驱动器的电致发光显示装置

技术领域

[0001] 本公开涉及性能提高的选通驱动器和包括该选通驱动器的电致发光显示装置。

背景技术

[0002] 随着信息技术演变,作为向用户提供信息的媒介的显示装置的市场正在扩大。因此,越来越多地使用诸如电致发光显示装置、液晶显示装置和量子点显示装置这样的各种类型的显示装置。

[0003] 显示装置包括含有多个子像素的显示面板、用于驱动显示面板的驱动器单元、用于向显示面板供电的电源单元等。驱动器单元包括用于向显示面板供应选通信号的选通驱动器和用于向显示面板供应数据信号的数据驱动器等。

[0004] 例如,电致发光显示装置可以通过向子像素供应选通信号、数据信号等来显示图像,使得所选择的子像素的发光元件发射光。可以基于有机材料或无机材料来实现发光元件。

[0005] 电致发光显示装置具有各种优点,因为它基于子像素中的发光元件所产生的光来显示图像。因此,有必要提高用于控制子像素的发射的像素驱动电路的精度。如果没有向子像素精确地施加电压,则会存在诸如垂直方向上的亮度不均匀和显示面板上的串扰这样的图像质量问题。

[0006] 鉴于以上,正在开发用于提高电致发光显示装置的选通驱动器的精度以向子像素精确地传输信号的技术。

发明内容

[0007] 使用一个或更多个扫描信号来驱动能够作为电致发光显示装置的最小可操作元件的显示面板。一种显示面板包括:显示区,在该显示区中作为子像素的集合的像素阵列被设置成显示图像;以及非显示区,在该非显示区中不显示图像。使用一个或更多个扫描信号来驱动子像素。用于供应扫描信号的选通驱动器能够与像素阵列一起按薄膜晶体管的方式内置于显示面板中。内置于显示面板中的此选通驱动器被称为GIP(板内选通)电路。GIP电路能够实现为移位寄存器。该移位寄存器包括多个级,并且所述多个级在接收到起始信号时产生输出。该输出能够根据时钟信号而移位。选通驱动器包括各自包括多个晶体管的级。这些级进行级联,以顺序产生输出。选通驱动器的级数能够等于选通线的数目。这些级中的每一个能够将扫描信号输出到相应的选通线。所述多个晶体管能够按薄膜晶体管的方式实现。

[0008] 这些级中的每一个都包括用于控制上拉晶体管的Q节点和用于控制下拉晶体管的QB节点。这些级中的每一个能够包括响应于起始信号和时钟信号而对Q节点进行充电并且对QB节点进行放电或反之亦然晶体管。除了第一级之外,每级的起始信号可以是来自前一级的输出信号。

[0009] 当QB节点被充电时,Q节点被放电,反之亦然。例如,当栅导通电压被施加到Q节点

时,栅截止电压被施加到QB节点。当栅截止电压被施加到Q节点时,栅导通电压被施加到QB节点。随着上拉晶体管和下拉晶体管导通或截止,能够将栅导通电压或栅截止电压提供到像素阵列。由于下拉晶体管的导通时间比截止时间长,因此必须向QB节点稳定地施加导通电压。例如,当选通驱动器的晶体管是p型晶体管时,栅导通电压是选通低电压而栅截止电压是选通高电压。当受选通信号控制的子像素中包括的晶体管是n型晶体管时,栅导通电压是选通高电压而栅截止电压是选通低电压。子像素和选通驱动器的晶体管的类型不限于此。

[0010] 选通驱动器能够按各种方式实现,并且正在进行研究以开发最佳电路配置来提高操作的可靠性。

[0011] 鉴于以上,本申请的发明人已经认识到上述问题,并且已经设计出向选通线施加精度提高的扫描信号的选通驱动器和包括该选通驱动器的电致发光显示装置。

[0012] 本公开的一个目的是提供包括用于使QB节点的电压稳定并且精确地供应电压的QB节点调节单元的选通驱动器。

[0013] 本公开的另一个目的是提供通过形成能够更精确地输出扫描信号的选通驱动器的方式而具有减小边框的电致发光显示装置。

[0014] 本公开的另一个目的是提供可靠性提高的选通驱动器和包括该选通驱动器的电致发光显示装置。

[0015] 应该注意,本公开的目的不限于上述目的,并且本领域的技术人员将根据以下描述而清楚本公开的其它目的。

[0016] 根据本公开的一方面,提供了一种电致发光显示装置,该电致发光显示装置包括:子像素,所述子像素与选通线连接;以及选通驱动器,该选通驱动器向所述选通线中的至少一条供应扫描信号,并且包括级。所述级中的一个级包括:QB节点调节单元,该QB节点调节单元通过使用第一选通时钟信号和第二选通时钟信号将QB节点和QP节点充电至导通电压;以及下拉单元,该下拉单元响应于所述QP节点的电压而输出截止电压。所述QB节点调节单元包括:QP节点控制部,该QP节点控制部将Q1节点的电压的相位反转并且将所述Q1节点的相位反转后的电压施加到所述QP节点;以及QB节点控制部,该QB节点控制部使所述QP节点自举。因此,通过采用包括向QB节点和QP节点提供稳定电压的QB节点调节单元的选通驱动器,能够提高选通驱动器的可靠性,并且能够减小电致发光显示装置的边框。

[0017] 根据本公开的另一方面,提供了一种选通驱动器,该选通驱动器包括:上拉晶体管,该上拉晶体管具有与Q2节点连接以输出导通电压的栅极;下拉晶体管,该下拉晶体管具有与QP节点连接以输出截止电压的栅极;以及QB节点调节单元,该QB节点调节单元在所述截止电压被施加到所述上拉晶体管的栅极的状态下向所述QP节点周期性地提供比所述导通电压大的电压并且向QB节点周期性地提供所述导通电压。因此,选通驱动器包括QB节点调节单元,该QB节点调节单元向QB节点和QP节点提供稳定的电压,使得能够提高选通驱动器的稳定性。

[0018] 在附图和以下描述中阐述了本说明书中描述的主题的一个或多个实施方式的细节。

[0019] 根据本公开的实施方式,选通驱动器包括QB节点调节单元,该QB节点调节单元在阈值电压没有下降的情况下向QB节点施加稳定的电压,由此提高与QB节点连接的晶体管的

可靠性。

[0020] 根据本公开的实施方式,选通驱动器包括QP节点控制部,该QP节点控制部向QP节点施加等于或大于栅导通电压的电压,使得与QP节点连接的晶体管的可靠性能提高并且其尺寸能够减小。因此,能够减小电致发光显示装置的边框。

附图说明

[0021] 根据以下结合附图进行的详细描述,将更清楚地理解本公开的以上和其它方面、特征和其它优点,在附图中:

[0022] 图1是根据本公开的实施方案的电致发光显示装置的框图;

[0023] 图2是根据本公开的实施方案的显示装置的选通驱动器的框图;

[0024] 图3是根据本公开的实施方案的级的框图;

[0025] 图4是示出了根据本公开的实施方案的QB节点调节单元的框图;

[0026] 图5是根据本公开的第一实施方案的显示装置的选通驱动器的电路图;

[0027] 图6是根据本公开的第二实施方案的显示装置的选通驱动器的电路图;以及

[0028] 图7是用于例示根据本公开的实施方案的显示装置的选通驱动器的操作的波形图。

具体实施方式

[0029] 根据下面参照附图对实施方式的描述,本公开的优点和特征以及实现它们的方法将变得清楚。然而,本公开不限于本文中公开的实施方式,而是可以按各种不同方式来实现。提供这些实施方式,使得本公开的公开内容是彻底的,并且将本公开的范围充分传达给本领域的技术人员。要注意,本公开的范围只由权利要求限定。

[0030] 在附图中给出的元件的图、尺寸、比率、角度、数目仅仅是例示性的而非限制性的。在通篇说明书中,相似的参考标号表示相似的元件。并且,在描述本公开时,可以省略对公知技术的描述,以便不会不必要地混淆本公开的主旨。要注意,说明书和权利要求中使用的术语“包括”、“具有”、“包含”不应该被解释为限于此后列出的含义,除非另外具体声明。在参照单数名词(例如,“一”、“一个”、“该”)时使用不定冠词或定冠词的情况下,这包括该名词的复数,除非另外具体声明。

[0031] 在描述这些元件时,即使没有明确声明,也将它们解释为包括误差余量。

[0032] 在描述诸如“元件A在元件B上”、“元件A在元件B上方”、“元件A在元件B下方”和“元件A在元件B旁边”这样的位置关系时,在元件A和B之间可设置另一个元件C,除非明确使用了术语“直接”或“正好”。

[0033] 在描述时间关系时,诸如“之后”、“随后”、“接下来”和“之前”这样的术语不限于“正好...之后”、“正好...随后”、“正好...接下来”和“正好...之前”等,除非另外指明。

[0034] 本公开的各种实施方式的特征可被部分或全部地组合。如本领域的技术人员将清楚理解的,技术上各种交互和操作是可能的。各种实施方式可以被单独或组合地实践。

[0035] 本文中,形成在显示面板的基板上的像素驱动电路和选通驱动器可以用n型或p型晶体管来实现。例如,晶体管可被实现为金属氧化物半导体场效应晶体管(MOSFET)。晶体管是包括栅极、源极和漏极的三电极器件。源极是用于向晶体管供应载流子的电极。在晶体管

中,载流子开始从源极流出。载流子经由漏极离开晶体管。例如,载流子在晶体管中从源极流向漏极。对于n型晶体管,载流子是电子,因此源极电压的电平低于漏极电压的电平,使得电子从源极流向漏极。在n型晶体管中,随着电子从源极流向漏极,电流从漏极流向源极。对于p型晶体管,载流子是空穴,因此源极电压的电平高于漏极电压的电平,使得空穴从源极流向漏极。在p型晶体管中,随着空穴从源极流向漏极,电流从源极流向漏极。晶体管的源极和漏极不是固定的,而是可根据所施加的电压而进行互换。因此,源极和漏极可以被称为第一电极和第二电极或者第二电极和第一电极。

[0036] 在下面的描述中,栅导通电压可以指的是用于使晶体管导通的选通信号的电压。栅截止电压可以指的是用于使晶体管截止的电压。在p型晶体管中,栅导通电压可以是选通低电压VGL,栅截止电压可以是选通高电压VGH。在n型晶体管中,栅导通电压可以是选通高电压,栅截止电压可以是选通低电压。

[0037] 下文中,将参照附图来描述根据本公开的实施方式的选通驱动器和诸如包括该选通驱动器的电致发光显示装置这样的显示装置。

[0038] 图1是根据本公开的实施方式的电致发光显示装置的框图。根据本公开的所有实施方式的电致发光显示装置的所有组件在操作上联接和配置。

[0039] 参照图1,电致发光显示装置100包括图像处理器110、定时控制器120、选通驱动器130、数据驱动器140、显示面板150和电源180。

[0040] 图像处理器110输出从外部源供应的图像数据和用于驱动各种元件的驱动信号。从图像处理器110输出的驱动信号可以包括数据使能信号、垂直同步信号、水平同步信号和时钟信号。

[0041] 定时控制器120接收从图像处理器110供应的图像数据和驱动信号。基于驱动信号,定时控制器120输出用于控制选通驱动器130的操作定时的选通定时控制信号GDC、用于控制数据驱动器140的操作定时的数据定时控制信号DDC和包含待显示在显示面板150上的图像的亮度信息的数据信号DATA。

[0042] 选通驱动器130响应于从定时控制器120供应的选通定时控制信号GDC而输出扫描信号。选通驱动器130通过选通线GL1至GLn输出选通信号。选通驱动器130可以被实现为内置于显示面板150中的板内选通(GIP)电路或集成电路(IC)。选通驱动器130可以设置在显示面板150的左侧和右侧中的每一个上,或者可以设置两侧中的一侧。另外,选通驱动器130包括多个级。例如,选通驱动器130的第一级向显示面板150的第一选通线输出第一选通信号。

[0043] 数据驱动器140响应于从定时控制器120供应的数据定时控制信号DDC而输出数据电压。数据驱动器140对从定时控制器120供应的数字数据信号DATA进行取样和锁存,以基于伽马基准电压将其转换成模拟数据信号。数据驱动器140通过数据线DL1至DLm来输出数据信号。数据驱动器140可以作为集成电路(IC)或作为膜上芯片(COF)形成在显示面板150上。

[0044] 电源180输出高电位供应电压VDD和低电位供应电压VSS。从电源180输出的高电位供应电压VDD和低电位供应电压VSS被供应到显示面板150。高电位供应电压VDD通过高电位供应线被供应到显示面板150,低电位供应电压VSS通过低电位供应线被供应到显示面板150。从电源180输出的电压可以用于选通驱动器130或数据驱动器140。

[0045] 显示面板150响应于分别从选通驱动器130和数据驱动器140供应的选通信号和数据信号以及从电源180供应的供应电压而显示图像。显示面板150包括能进行操作以显示图像的像素阵列。像素阵列包括子像素SP。

[0046] 显示面板150包括：显示区DA，在该显示区DA中设置有子像素SP；非显示区NDA，该非显示区NDA形成在显示区DA周围，在其中形成有各种信号线、焊盘等。在显示区DA中，子像素被设置成显示图像。在非显示区NDA中，设置虚设子像素或者没有设置子像素，从而不显示图像。

[0047] 显示区DA包括多个子像素SP，并且基于由子像素SP中的每一个所表示的灰度级来显示图像。子像素SP中的每一个与沿着列线延伸的数据线DL连接，并且与沿着像素线或行线延伸的选通线连接。布置在同一像素行上的子像素共享同一选通线并且被同时驱动。将与第一选通线连接的子像素SP定义为第一子像素，并且将与第n选通线连接的子像素SP定义为第n子像素。从第一子像素到第n子像素依次驱动子像素。

[0048] 子像素SP可以被布置成(但是不限于)矩阵，以形成像素阵列。除了矩阵之外，还可以按例如条形形状、菱形形状等的各种方式布置子像素SP。

[0049] 子像素SP可以包括红色子像素、绿色子像素和蓝色子像素，或者可以包括白色子像素、红色子像素、绿色子像素和蓝色子像素。子像素SP可以具有取决于发射特性的一个或多个不同发射区。

[0050] 图2是根据本公开的实施方式的选通驱动器的框图。更详细地，图2示出了根据本公开的实施方式的选通驱动器和从选通驱动器输出的信号经由其传输的像素线。

[0051] 如上所述，显示面板150包括用于基于子像素SP显示图像的显示区DA以及其中设置有信号线或驱动线而不显示图像的非显示区NDA。

[0052] 子像素SP中的每一个包括用于控制施加到发光元件的电流量的像素驱动电路。像素驱动电路可以包括用于控制电流量的驱动晶体管，使得恒定电流能够流过发光元件。发光元件在发射时间段期间发射光，并且在除了发射时间段之外的其它时间段期间不发射光。在除了发射时间段之外的其它时间段期间，将像素驱动电路初始化，将扫描信号输入到像素驱动电路，使得编程和像素驱动电路补偿时间段可以开始。

[0053] 用于驱动包括在电致发光显示面板100中的子像素SP的选通信号包括一个或多个扫描信号。例如，两个扫描信号分别通过两条扫描线施加到子像素SP。

[0054] 如图2所示，根据本公开的实施方式的选通驱动器130包括第一扫描级Scan (1) 至第n扫描级Scan (n)。这里，第k扫描级Scan (k) 被作为示例示出，其中，k是满足 $1 \leq k \leq n$ 的自然数。

[0055] 选通驱动器130包括第一选通时钟信号GCLK1、第二选通时钟信号GCLK2、选通低电压VGL、选通高电压VGH和选通起始电压GVST经过其被输入到第k扫描级Scan (k) 的线。第k扫描级Scan (k) 响应于第一选通时钟信号GCLK1和第二选通时钟信号GCLK2而将选通起始电压GVST移位，并且向第k像素线H (k) 提供扫描信号。通过这样做，选通起始电压GVST被输入到第一扫描级Scan (1)，并且第二扫描级Scan (2) 至第n扫描级Scan (n) 中的每一个接收从前一级输出的扫描信号作为起始信号。第一选通时钟信号GCLK1和第二选通时钟信号GCLK2可以在选通高电压和选通低电压之间摆动，并且可以彼此相位相反。第一选通时钟信号GCLK1和第二选通时钟信号GCLK2可以彼此相位反相，并且可以具有不同的选通时钟周期。例如，第

一选通时钟信号GCLK1的选通时钟周期可以比第二选通时钟信号GCLK2的选通时钟周期长。

[0056] 虽然示出了向选通驱动器130提供第一选通时钟信号GCLK1和第二选通时钟信号GCLK2的两相电路,但是本公开不限于此。

[0057] 图3是根据本公开的实施方式的一级的框图。如上所述,选通驱动器130包括多个级。图3是示出多个级中的一级的元件的框图。因此,根据本公开的选通驱动器的多个级中的每个级能够具有如图3所示的配置。

[0058] 参照图3,一级包括上拉单元11、下拉单元12、Q节点控制单元13、Q节点稳定单元14、QB节点稳定单元15和QB节点调节单位16。其中,可以省略Q节点稳定单元14和QB节点稳定单元15。

[0059] 上拉单元11响应于Q节点Q的电压而输出扫描信号。下拉单元12响应于Q节点Q的电压和/或QB节点QB的电压而将扫描信号保持到栅截止电压。

[0060] Q节点控制单元13是用于对Q节点Q充电或放电的元件。Q节点控制单元13使用选通起始电压GVST向Q节点Q施加栅导通电压。

[0061] QB节点调节单位16接收从Q节点控制单元13输出的信号,例如,施加到Q节点Q的信号,并且将该信号输出到QB节点QB。在Q节点控制单元13向Q节点Q输出栅导通电压的同时,向QB节点QB输出栅截止电压。另外,在Q节点控制单元13向Q节点Q输出栅截止电压的同时,向QB节点QB输出栅导通电压。QB节点调节单位16可以包括多个晶体管。例如,当QB节点调节单位16的多个晶体管是p型晶体管时,如果选通低电压通过受选通时钟信号控制并且连接在QB节点QB和选通低电压线之间的晶体管直接施加到QB节点QB,则由于晶体管的阈值电压,导致施加到QB节点QB的电压不能是选通低电压。换句话讲,与晶体管的选通低电压和阈值电压之差相等的电压被施加到QB节点QB。施加到QB节点QB的电压不能使下拉单元12稳定地导通,因此不能将栅截止电压的扫描信号稳定地施加到选通线。随后,将描述用于解决此问题的QB节点调节器16的电路图。由于在期间施加作为扫描信号的栅导通电压的帧的时间段与选通时钟信号的周期对应,并且在其它时间段期间施加栅截止电压,因此重要的是实现选通驱动器,使得QB节点QB的电压稳定地保持在栅截止电压。如果没有向扫描信号精确地施加栅截止电压,则会出现图像质量缺陷。

[0062] Q节点稳定单元14可以将Q节点Q划分为两个节点,使得能够减小施加到这些节点中的一个的电压变化对与另一节点连接的晶体管的影响。

[0063] 在扫描信号输出端子SRO输出栅导通电压的同时,QB节点稳定单元15向QB节点QB施加选通高电压VGH,使得QB节点QB稳定地保持栅截止电压。

[0064] 图4是示出了根据本公开的实施方式的QB节点调节单元的框图。更详细地,图4是图3的QB节点调节单元16的示例的框图。

[0065] 下文中,QB节点调节单元16的晶体管将被描述为p型晶体管,但是其它变型是本公开的一部分。

[0066] QB节点调节单元16包括QP节点控制部16-1和QB节点控制部16-2。QP节点控制部16-1将Q节点Q的电压的相位反转,并且将Q节点Q的相位反转后的电压输出到QP节点QP。QB节点控制部16-2连接在QP节点QP和QB节点QB之间,以用其中包括的第一电容器CQP使QP节点QP自举并且向QB节点QB输出稳定的电压。

[0067] QP节点控制部16-1包括第一晶体管T1和第二晶体管T2。第一晶体管T1包括:栅极,

该栅极与被输入到第二选通时钟信号GCLK2的第二选通时钟信号线连接；源极，该源极与选通低电压VGL连接；以及漏极，该漏极与QP节点QP连接。第二晶体管T2包括：栅极，该栅极与Q节点Q连接；源极，该源极与被输入到第二选通时钟信号GCLK2的第二选通时钟信号线连接；以及漏极，该漏极与QP节点QP连接。在Q节点Q具有栅截止电压的时间段期间，第二晶体管T2截止，并且第一晶体管T1因第二选通时钟信号GCLK2反复地导通和截止，并且向QP节点QP施加选通低电压VGL。在Q节点Q具有栅导通电压的时间段期间，第二晶体管T2导通，并且向QP节点QP施加第二选通时钟信号GCLK2的栅截止电压。换句话说讲，QP节点控制部16-1将Q节点Q的电压的相位反转，并且将Q节点Q的相位反转后的电压输出到QP节点QP。

[0068] QB节点控制部16-2包括第三晶体管T3和第一电容器CQP。第三晶体管T3包括：栅极，该栅极与QP节点QP连接；源极，该源极与被输入到第一选通时钟信号GCLK1的第一选通时钟信号线连接；以及漏极，该漏极与QB节点QB连接。另外，第一电容器CQP的第一电极和第二电极分别与QP节点QP和QB节点QB连接。当QP节点QP的电压是栅导通电压时，第三晶体管T3向QB节点QB施加第一选通时钟信号GCLK1的选通低电压。由于利用第一电容器CQP进行自举，QP节点QP的选通低电压变得低于QB节点QB的选通低电压，并且第一选通时钟信号GCLK1的选通低电压可以被稳定地施加到QB节点QB。

[0069] 图5是根据本公开的第一实施方式的选通驱动器的电路图。更详细地，图5是根据本公开的第一实施方式的包括以上参照图4描述的QB节点调节单元16的选通驱动器130的电路图。

[0070] 如上所述，选通驱动器130包括多个级，并且多个级中的每一级输出扫描信号。除了以上参照图4描述的QB节点调节单元16之外，多个级中的每一级包括Q1节点控制单元、上拉单元、下拉单元和Q节点稳定单元。参照图3中示出的框图，Q1节点控制单元可以对应于Q节点控制单元13，并且上拉单元、下拉单元和Q节点稳定单元可以分别对应于上拉单元11、下拉单元12和Q节点稳定单元14。

[0071] Q1节点控制单元包括第四晶体管T4和第五晶体管T5。

[0072] 第四晶体管T4可以被称为Q1节点激活器，并且可以具有与第二选通时钟信号线连接的栅极、与被施加选通起始电压GVST的选通起始电压线连接的源极和与Q1节点Q1连接的漏极。第四晶体管T4因第二选通时钟信号和选通起始电压GVST的栅导通电压而导通，以向Q1节点Q1施加栅导通电压。

[0073] 第五晶体管T5可以被称为Q1节点放电器，并且具有与QB节点QB连接的栅极、与Q1节点Q1连接的源极以及与被施加选通高电压VGH的选通高电压线连接的漏极。第五晶体管T5因施加到QB节点QB的选通低电压而导通，以使Q1节点Q1放电至选通高电压VGH。如果这样无法使Q1节点Q1完全放电，则第五晶体管T5提早劣化，可靠性会降低。因此，通过向QB节点QB精确地施加电压，第五晶体管T5导通，以使Q1节点Q1充分放电。QB节点调节单元使得选通低电压VGL能够被稳定地施加到QB节点QB。将参照附图将其与QB节点调节单元一起进行更详细的描述。

[0074] Q1节点控制单元通过第四晶体管T4和第五晶体管T5向Q1节点Q1施加选通起始电压GVST的选通低电压或者将其放电至选通高电压VGH。

[0075] 上拉单元包括第六晶体管T6和第二电容器CB。

[0076] 第六晶体管T6可以被称为上拉晶体管，并且包括与Q2节点Q2连接的栅极、与第一

选通时钟信号线连接的源极以及与其输出扫描信号的扫描信号输出线连接的漏极。第六晶体管T6因施加到Q2节点Q2的栅导通电压而导通,以向扫描信号输出线输出第一选通时钟信号GCLK1。

[0077] 第二电容器CB包括与Q2节点Q2联接的第一电极和与扫描信号输出线连接的第二电极。当Q2节点Q2正浮置并且选通低电压被施加到扫描信号输出线时,第二电容器CB被自举,以使第六晶体管T6稳定导通。

[0078] 因此,上拉单元可以通过第六晶体管T6和第二电容器CB将栅导通电压稳定地输出到扫描信号输出线。

[0079] 上拉单元包括第七晶体管T7。第七晶体管T7可以被称为下拉晶体管,并且包括与QP节点QP连接的栅极、与扫描信号输出线连接的源极以及与选通高电压线连接的漏极。第七晶体管T7因QP节点QP的栅导通电压而导通,以将选通高电压VGH放电至扫描信号输出端子SR0。因此,下拉单元可以通过第七晶体管T7将栅截止电压输出到扫描信号输出线。

[0080] Q节点稳定单元通过第八晶体管T8将以上参照图4描述的Q节点Q划分成Q1节点Q1和Q2节点Q2。第八晶体管T8包括与选通低电压线连接的栅极、与Q2节点Q2连接的源极和与Q1节点Q1连接的漏极。第八晶体管T8因施加到栅极的选通低电压VGL而保持导通。当用第二电容器CB使Q2节点Q2自举时,第八晶体管T8的源极和漏极之间的电流变为零。换句话讲,当Q2节点Q2被自举并且施加比导通电压高的电压时,第八晶体管T8截止,使得Q2节点Q2和Q1节点Q1之间的电连接断开。因此,即使Q2节点Q2被自举并且电压改变,它也不会影响Q1节点Q1,因此能够避免与Q1节点Q1连接的第四晶体管T4和第五晶体管T5的阈值特性偏置。

[0081] Q节点稳定单元通过第八晶体管T8将Q节点Q划分成Q1节点Q1和Q2节点Q2,使得能够减小第四晶体管T4和第五晶体管T5的偏置应力并且能够提高可靠性。

[0082] QB节点调节单元包括用虚线框指示的第一晶体管T1、第二晶体管T2、第三晶体管T3和第一电容器CQP。

[0083] 第一晶体管T1包括:栅极,该栅极与被施加第二选通时钟信号GCLK2的第二选通时钟信号线连接;源极,该源极与被施加选通低电压VGL的选通低电压线连接;以及漏极,该漏极与QP节点QP连接。第一晶体管T1响应于第二选通时钟信号GCLK2而向QP节点QP施加选通低电压VGL。

[0084] 第二晶体管T2包括与Q1节点Q1连接的栅极、与第二选通时钟信号线连接的源极以及与QP节点QP连接的漏极。第二晶体管T2因施加到Q1节点Q1的栅导通电压而导通,以向QP节点QP施加第二选通时钟信号GCLK2。

[0085] 第三晶体管T3包括:栅极,该栅极与QP节点QP连接;源极,该源极与被施加第一选通时钟信号GCLK1的第一选通时钟信号线连接;以及漏极,该漏极与QB节点QB连接。第三晶体管T3因通过第一晶体管T1或第二晶体管T2施加到QP节点的栅导通电压而导通,以向QB节点QB施加第一选通时钟信号GCLK1。

[0086] 第一电容器CQP包括与QP节点QP连接的第一电极和与QB节点QB连接的第二电极。当QP节点QP正浮置并且选通低电压被施加到QB节点QB时,第一电容器CQP被自举,以使第三晶体管T3稳定地导通。

[0087] 然后,QP节点QP被自举,使得电压变得低于选通低电压。下拉单元的第七晶体管T7与QP节点QP连接。由于第七晶体管T7是需要长时间导通的缓冲晶体管,因此它占据了级中

的电路当中的最大面积。然而,能够通过将利用第一电容器CQP被自举至比选通低电压低的电压的QP节点QP连接到第七晶体管T7来减小第七晶体管T7的大小。以这种方式,能够减小作为电致发光显示装置100的边框的非显示区。

[0088] 然后,通过稳定导通的第三晶体管T3向QB节点QB施加第一选通时钟信号GCLK1的选通低电压VGL。Q1节点控制单元的第五晶体管T5的栅极与QB节点QB连接。如上所述,阈值电压没有下降的选通低电压VGL通过第三晶体管T3施加到QB节点QB。因此,提高了第五晶体管T5的可靠性。

[0089] 图7是用于例示根据本公开的実施方式的选通驱动器的操作的波形图。更详细地,图7示出了图5的选通驱动器的操作的波形图。

[0090] 参照图5和图7,在第一时间段P1中,第一选通时钟信号GCLK1和第二选通时钟信号GCLK2在选通低电压VGL和选通高电压VGH之间摆动,并且彼此相位相反。第一选通时钟信号GCLK1和第二选通时钟信号GCLK2可以具有不同的选通时钟周期。例如,第一选通时钟信号GCLK1的选通时钟周期可以比第二选通时钟信号GCLK2的选通时钟周期长。在第一时间段P1中,由于选通起始电压GVST保持在选通高电压VGH,因此当第四晶体管T4导通时,选通高电压VGH被施加到Q1节点Q1。由于第八晶体管T8处于导通状态,因此Q2节点Q2也保持在选通高电压VGH。因此,第六晶体管T6保持截止状态。

[0091] 在第一时间段P1中,第一晶体管T1因第二选通时钟信号GCLK2周期性地导通,以向QP节点QP施加选通低电压VGL。例如,通过从选通低电压VGL减去第一晶体管T1的阈值电压 V_{th} 而得到的电压($VGL - V_{th}$)被施加到QP节点QP。随后,第三晶体管T3因施加到QP节点QP的电压而导通,以向QB节点QB施加第一选通时钟信号GCLK1的选通低电压VGL。当发生这种情况时,由于利用第一电容器CQP进行自举,导致QP节点QP的电压变得低于选通低电压VGL。QP节点QP的电压在第一时间段P1中在比选通低电压VGL的电压和与选通低电压和第一晶体管T1的阈值电压之差相等的电压之间摆动,晶体管T7导通,以输出选通高电压VGH。因此,扫描信号输出端子SRO在第一时间段P1期间保持在选通高电压VGH。要注意,只有当使用p型晶体管时,选通低电压VGL才是导通电压。独立于晶体管类型,比选通低电压VGL低的电压可以被称为比导通电压大的电压。

[0092] 在作为用于向扫描信号输出端子SRO施加选通低电压VGL的前一步骤的第二时间段P2中,施加选通起始电压GVST。第四晶体管T4因第二选通时钟信号GCLK2和选通起始电压GVST的选通低电压而导通,使得向Q1节点Q1施加选通低电压VGL。当第八晶体管T8导通时,Q1节点Q1的电压通过第八晶体管T8施加到Q2节点Q2。Q2节点Q2的选通低电压VGL使第六晶体管T6导通,使得输出第一选通时钟信号GCLK1的选通高电压VGH。

[0093] 然后,第二晶体管T2因Q1节点Q1处的选通低电压VGL而导通,并且第一晶体管T1因第二选通时钟信号GCLK2的选通低电压VGL而导通。因此,将与选通低电压VGL与第一晶体管T1和第二晶体管T2的阈值电压 V_{th} 之差相等的电压($VGL - V_{th}$)被施加到QP节点QP。第三晶体管T3因QP节点QP的电压而导通,以向QB节点QB施加第一选通时钟信号GCLK1的选通高电压VGH。第五晶体管T5因QB节点QB的选通高电压VGH而截止。第七晶体管T7因QP节点QP的电压而导通,以输出选通高电压VGH。因此,在第二时间段P2中,第六晶体管T6和第七晶体管T7导通,以输出选通高电压VGH,使得扫描信号输出端子SRO具有选通高电压VGH。

[0094] 在作为用于向扫描信号输出端子SRO施加选通低电压VGL的步骤的第三时间段P3

中,出现利用第一电容器CQP进行的自举。通过处于导通状态的第六晶体管T6被转换成选通低电压VGL的第一选通时钟信号GCLK1被施加到扫描信号输出线。同时,正浮置的Q2节点Q2的电压因利用第二电容器CB进行自举而变得低于选通低电压VGL。因此,第六晶体管T6稳定地导通,以输出选通低电压VGL。

[0095] 然后,第二选通时钟信号GCLK2变成选通高电压VGH,使得第四晶体管T4和第一晶体管T1截止。因此,第二选通时钟信号GCLK2的选通高电压VGH通过第四晶体管T4和第一晶体管T1施加到QP节点QP。第三晶体管T3因QP节点QP处的选通高电压VGH而截止,并且前一步骤的电压被保持在QB节点QB。QB节点QB的电压保持在选通高电压VGH。第七晶体管T7和第五晶体管T5分别因QP节点QP和QB节点QB处的电压而截止。因此,在第三时间段P3中,选通低电压VGL通过处于导通状态的第六晶体管T6输出,使得扫描信号输出端子SR0具有选通低电压VGL。

[0096] 图6是根据本公开的第二实施方式的选通驱动器的电路图。更详细地,图6是根据本公开的第二实施方式的包括以上参照图4描述的QB节点调节单元16的选通驱动器130的电路图。

[0097] 如上所述,选通驱动器130包括多个级,并且多个级中的每一级输出扫描信号。除了以上参照图4描述的QB节点调节单元16之外,多个级中的每一级包括Q1节点控制单元、上拉单元、下拉单元、Q节点稳定单元和QB节点稳定单元。参照图3,Q1节点控制单元可以对应于Q节点控制单元13,并且上拉单元、下拉单元、Q节点稳定单元和QB节点稳定单元可以分别对应于上拉单元11、下拉单元12、Q节点稳定单元14和QB节点稳定单元15。

[0098] 图6中示出的电路图与图5中示出的电路图基本上相同,不同之处在于,在根据本公开的第一实施方式的QB节点调节单元16中添加了第九晶体管T9。因此,将省略冗余描述。

[0099] QB节点稳定单元包括第九晶体管T9。第九晶体管T9包括与Q1节点Q1连接的栅极、与QB节点QB连接的源极和与选通高电压线连接的漏极。第九晶体管T9在Q1节点Q1处于栅导通电压时导通,以将QB节点QB放电至选通高电压VGH。

[0100] 将参照图7来描述驱动QB节点稳定单元的方法。第八晶体管T8在除了第三时间段P3之外的第一时间段P1和第二时间段P2中导通,因此Q2节点Q2的电压等于Q1节点Q1的电压。在第一时间段P1中,由于Q1节点Q1具有选通高电压VGH,因此第九晶体管T9保持截止。在第二时间段P2中,Q1节点Q1具有选通低电压VGL,因此第九晶体管T9导通,以将QB节点QB放电至选通高电压VGH。在第三时间段P3中,Q1节点Q1正浮置并且保持先前状态的电压,使得选通低电压VGL被施加到Q1节点Q1。因此,第九晶体管T9保持导通。因此,通过在第二时间段P2和第三时间段P3中使第九晶体管T9导通,QB节点QB的电压被放电至选通高电压VGH,并且第三晶体管T3截止,以使Q1节点Q1和Q2节点Q2的电压稳定。另外,通过使Q1节点Q1的电压稳定,能够抑制第五晶体管T5劣化。

[0101] 本公开的示例性实施方式还可以被如下地描述。

[0102] 根据本公开的一方面,提供了一种电致发光显示装置,该电致发光显示装置包括:子像素,所述子像素与选通线连接;以及选通驱动器,该选通驱动器向所述选通线中的至少一条供应扫描信号,并且包括级。所述级中的一个级包括:QB节点调节单元,该QB节点调节单元通过使用第一选通时钟信号和第二选通时钟信号将QB节点和QP节点充电至导通电压;以及下拉单元,该下拉单元响应于所述QP节点的电压而输出截止电压。所述QB节点调节单

元包括:QP节点控制部,该QP节点控制部将Q1节点的电压的相位反转并且将所述Q1节点的相位反转后的电压施加到所述QP节点;以及QB节点控制部,该QB节点控制部使所述QP节点自举。因此,通过采用包括向QB节点和QP节点提供稳定电压的QB节点调节单元的选通驱动器,能够提高选通驱动器的可靠性,并且能够减小电致发光显示装置的边框。

[0103] 所述QP节点控制部可以包括:第一晶体管,该第一晶体管连接在选通低电压线和QP节点之间并且具有与第二选通时钟信号线连接的栅极;以及第二晶体管,该第二晶体管连接在第二选通时钟信号线和QP节点之间并且具有与Q1节点连接的栅极。所述QB节点控制单元可以包括:第三晶体管,该第三晶体管连接在第一选通时钟信号线和QB节点之间并且具有与QP节点连接的栅极;以及第一电容器,该第一电容器连接在QP节点和QB节点之间。

[0104] 所述级中的所述一个级还可以包括Q1节点控制单元,该Q1节点控制单元响应于QB节点的电压而将Q1节点放电至截止电压,并且响应于第二选通时钟信号而向Q1节点施加选通起始电压。

[0105] 所述Q1节点控制单元可以包括:第四晶体管,该第四晶体管连接在被施加选通起始电压的选通起始电压线和Q1节点之间,并且具有与第二选通时钟信号线连接的栅极;以及第五晶体管,该第五晶体管连接在Q1节点和选通高电压线之间,并且具有与QB节点连接的栅极。

[0106] 所述级中的所述一个级还可以包括响应于Q2节点的电压而输出导通电压的上拉单元。

[0107] 所述上拉单元可以包括第六晶体管,该第六晶体管连接在第一选通时钟信号线和扫描信号输出线之间并且具有与Q2节点连接的栅极。下拉单元可以包括第七晶体管,该第七晶体管连接在选通高电压线和扫描信号输出线之间并且具有与QP节点连接的栅极。

[0108] 所述级中的所述一个级还可以包括连接在Q1节点和Q2节点之间的Q节点稳定单元。

[0109] 所述级中的所述一个级还可以包括QB节点稳定单元,该QB节点稳定单元响应于Q1节点的电压而将QB节点放电至截止电压。

[0110] 根据本公开的另一方面,提供了一种选通驱动器,该选通驱动器包括:上拉晶体管,该上拉晶体管具有与Q2节点连接以输出导通电压的栅极;下拉晶体管,该下拉晶体管具有与QP节点连接以输出截止电压的栅极;以及QB节点调节单元,该QB节点调节单元在所述截止电压被施加到所述上拉晶体管的栅极的状态下向所述QP节点周期性地提供比所述导通电压大的电压并且向QB节点周期性地提供所述导通电压。因此,选通驱动器包括QB节点调节单元,该QB节点调节单元向QB节点和QP节点提供稳定的电压,使得能够提高选通驱动器的稳定性。

[0111] 所述选通驱动器还可以包括:Q节点稳定单元,该Q节点稳定单元连接在Q2节点和Q1节点之间;Q1节点激活器,该Q1节点激活器向Q1节点施加选通起始电压;以及Q1节点放电器,该Q1节点放电器响应于QB节点的电压而周期性地使Q1节点放电。

[0112] 所述选通驱动器还可以包括QB节点稳定单元,该QB节点稳定单元响应于Q1节点的电压而使QB节点放电。

[0113] 所述QB节点调节单元可以包括:第一晶体管,该第一晶体管连接在选通低电压线和QP节点之间并且具有与第二选通时钟信号线连接的栅极;第二晶体管,该第二晶体管连

接在第二选通时钟信号线和QP节点之间并且具有与Q1节点连接的栅极；第三晶体管，该第三晶体管连接在第一选通时钟信号线和QB节点之间并且具有与QP节点连接的栅极；以及第一电容器，该第一电容器连接在QP节点和QB节点之间。第一选通时钟信号和第二选通时钟信号可以是反相的。

[0114] 所述选通驱动器还可以包括连接在上拉晶体管的栅极和漏极之间的第二电容器。

[0115] 所述选通驱动器还可以包括第八晶体管，该第八晶体管连接在Q2节点和Q1节点之间并且具有与被施加导通电压的线连接的栅极。在比导通电压大的电压通过第二电容器施加到Q2节点时，第八晶体管会截止。

[0116] 在所述Q2节点的电压大于所述导通电压时，所述QP节点的电压和QB节点的电压可以是截止电压，并且所述上拉晶体管会导通，以输出所述导通电压。

[0117] 至此，已经参照附图详细地描述了本公开的实施方式。然而，本公开不限于实施方式，并且可以在不脱离本公开的技术思路的情况下对其进行修改和变化。因此，本文中描述的实施方式仅仅是例示性的，而不旨在限制本公开的范围。本公开的技术思路不受实施方式的限制。因此，应该理解，上述实施方式不是限制性的，而是在所有方面都是例示性的。本公开所寻求的保护范围由所附的权利要求限定并且其所有等同物被理解为在本公开的真实范围内。

[0118] 相关申请的交叉引用

[0119] 本申请要求于2017年11月21日在韩国知识产权局提交的韩国专利申请No.10-2017-0155741的优先权，该韩国专利申请的公开内容以引用方式并入本文中。

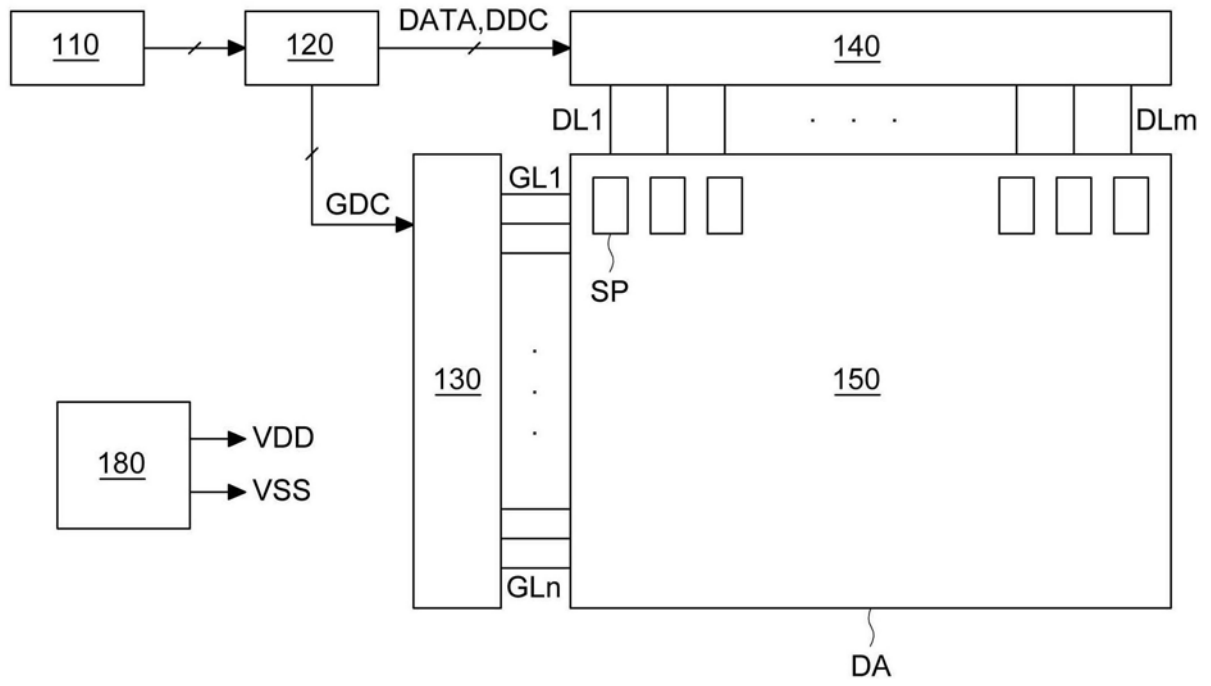


图1

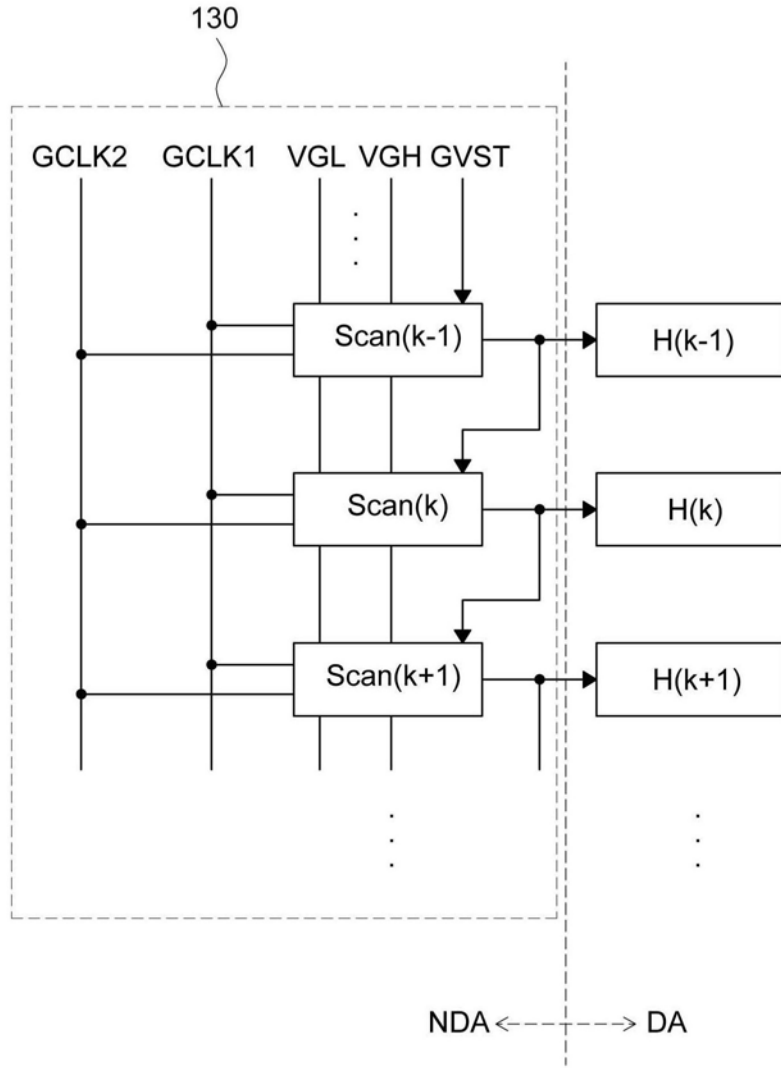


图2

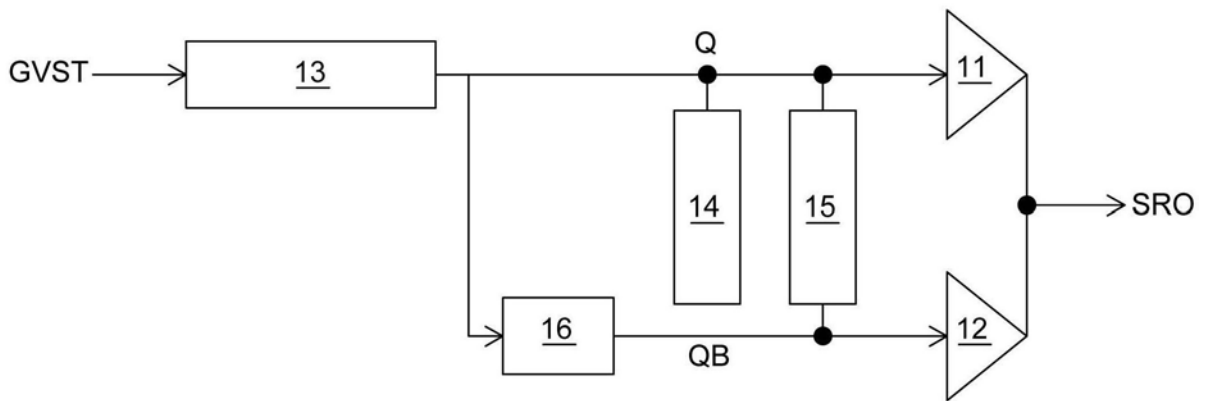


图3

16

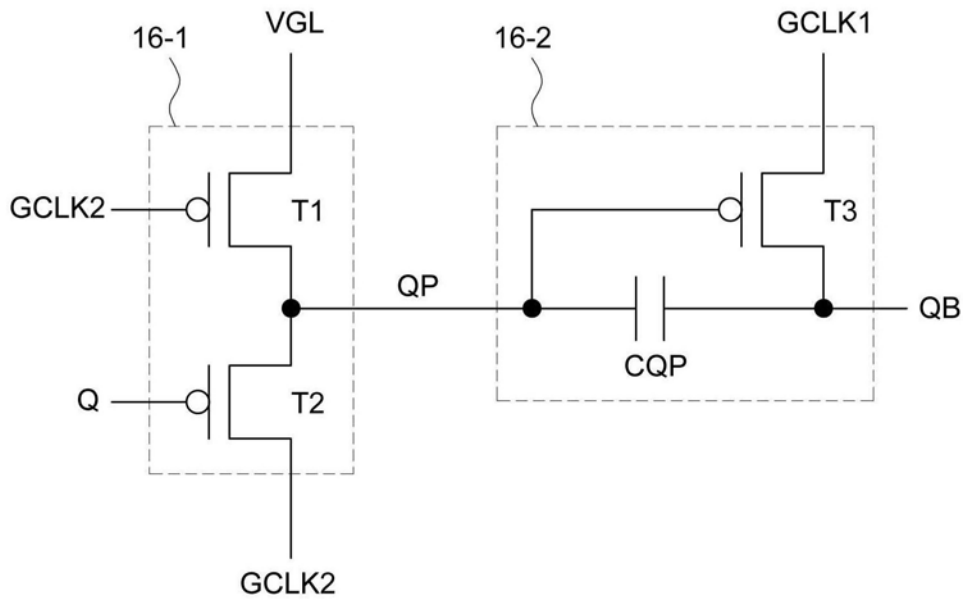


图4

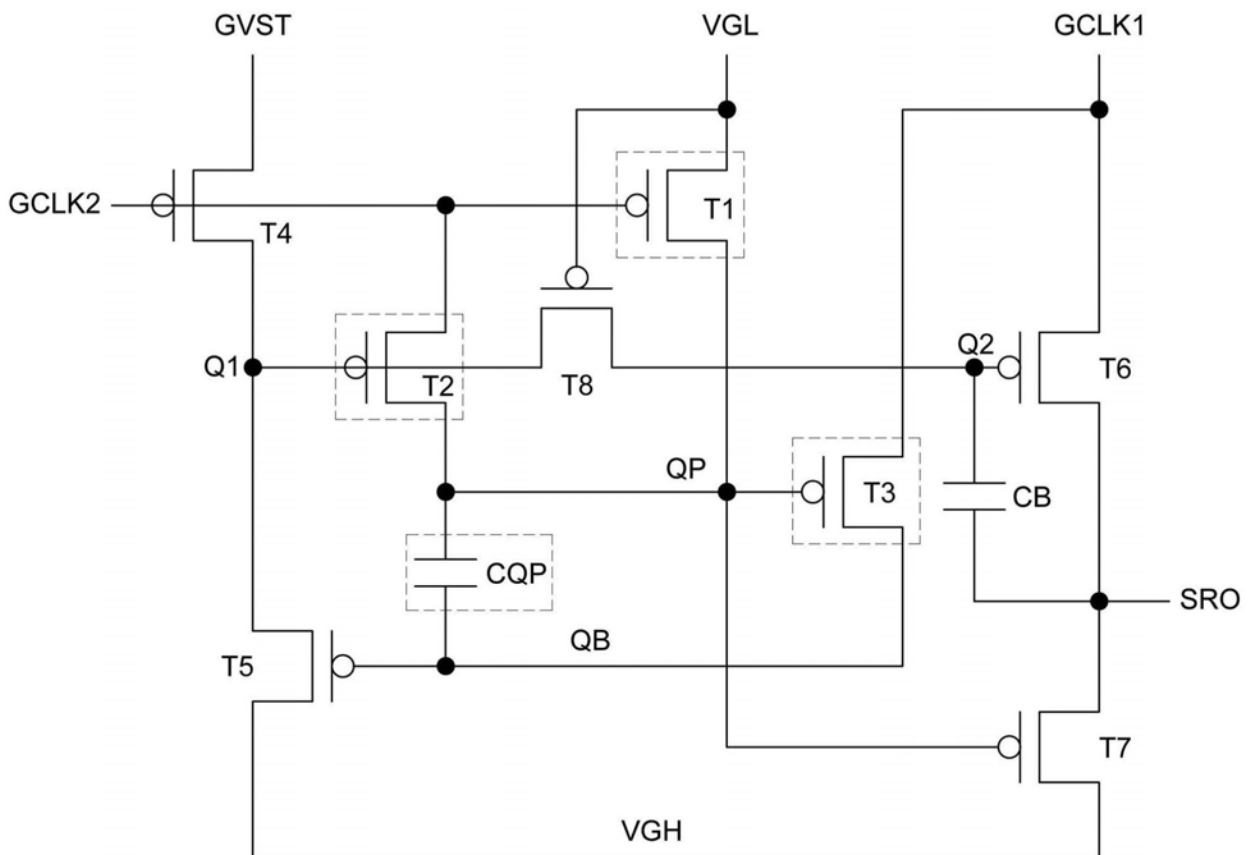


图5

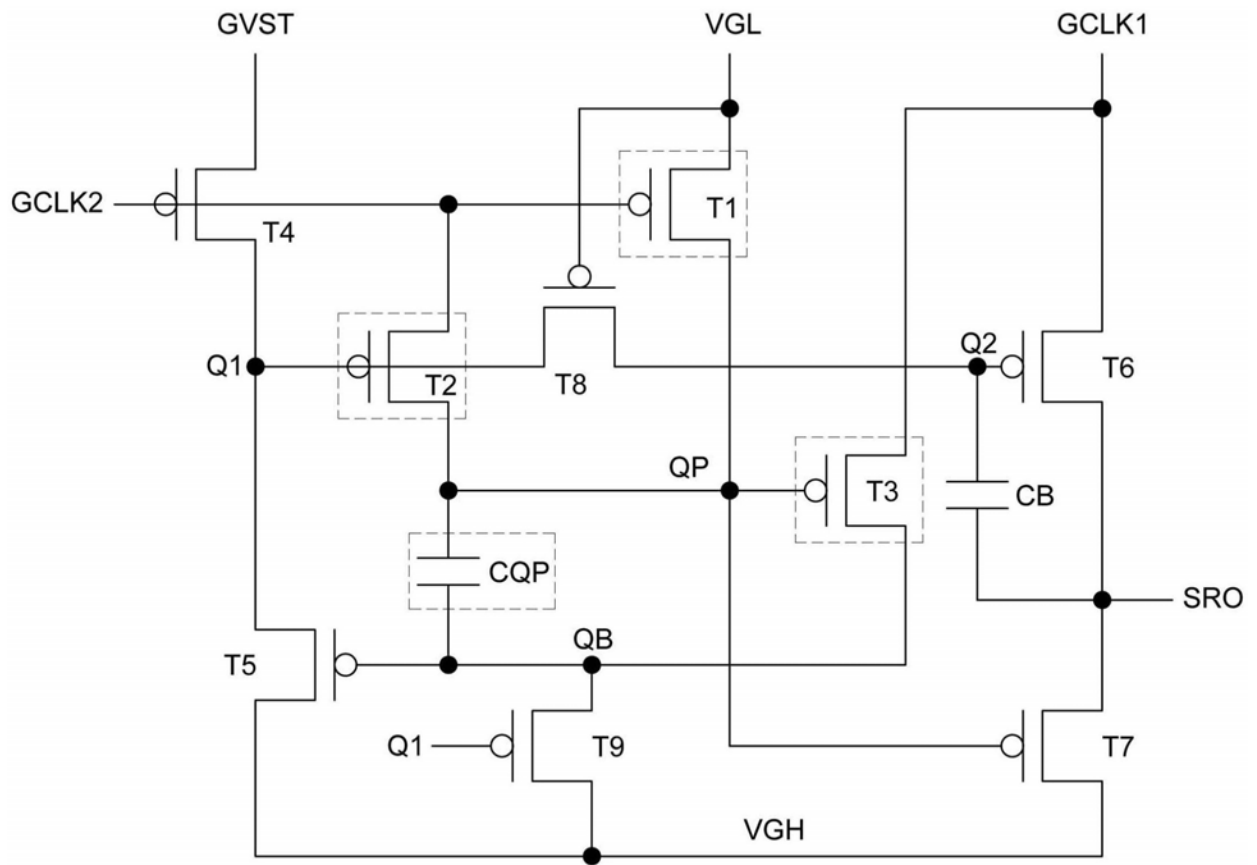


图6

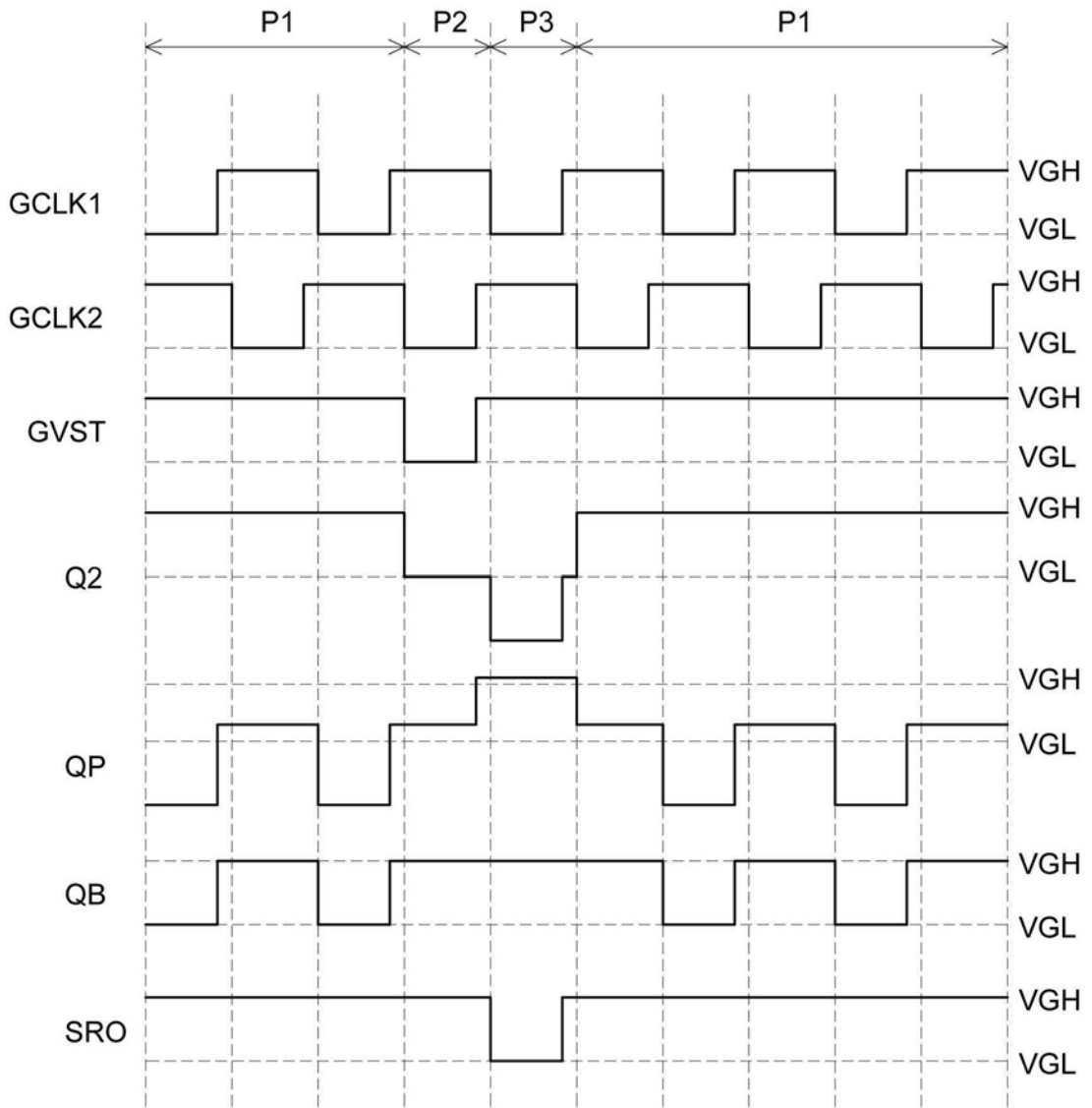


图7

专利名称(译)	选通驱动器和包括该选通驱动器的电致发光显示装置		
公开(公告)号	CN109817154A	公开(公告)日	2019-05-28
申请号	CN201810928924.6	申请日	2018-08-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	孔忠植 申美姬 姜奎兑		
发明人	孔忠植 申美姬 姜奎兑		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3266 G09G2300/0408 G09G2310/0267 G09G2310/0286 G09G2310/08 G09G2320/0209 G09G2320/0233 G09G3/30		
代理人(译)	刘久亮		
优先权	1020170155741 2017-11-21 KR		
外部链接	Espacenet SIPO		

摘要(译)

选通驱动器和包括该选通驱动器的电致发光显示装置。一种电致发光显示装置包括：子像素，其与选通线连接；以及选通驱动器，其向选通线中的至少一条供应扫描信号并包括级。所述级中的一个包括：QB节点调节单元，其通过使用第一选通时钟信号和第二选通时钟信号将QB节点和QP节点充电至导通电压；以及下拉单元，其响应于QP节点的电压而输出截止电压。QB节点调节单元包括：QP节点控制部，其将Q1节点的电压的相位反转并将Q1节点的相位反转后的电压施加到QP节点；以及QB节点控制部，其使QP节点自举。因此，通过采用包括向QB节点和QP节点提供稳定电压的QB节点调节单元的选通驱动器，能够提高选通驱动器的可靠性并且能够减小电致发光显示装置的边框。

