



(12)发明专利申请

(10)申请公布号 CN 108538248 A

(43)申请公布日 2018.09.14

(21)申请号 201810375273.2

(22)申请日 2018.04.24

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 羊振中 彭宽军 高雪岭

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 郭润湘

(51)Int.Cl.

G09G 3/3225(2016.01)

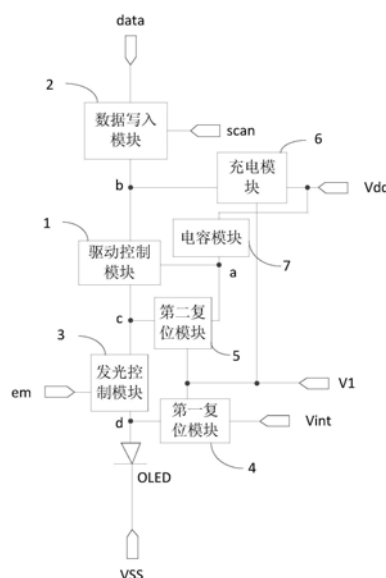
权利要求书2页 说明书9页 附图4页

(54)发明名称

一种像素电路、驱动方法、显示面板及显示装置

(57)摘要

本发明公开了一种像素电路、驱动方法、显示面板及显示装置,像素电路中包括:驱动控制模块、数据写入模块、发光控制模块、第一复位模块、第二复位模块、充电模块、电容模块和发光器件;通过上述各模块的配合工作该像素电路可以重置驱动控制模块内的电荷,以对短期残像进行改善,并且也可以使驱动控制模块驱动发光器件发光的驱动电流与数据信号的电压有关,与驱动控制模块的阈值电压无关,能避免驱动控制模块的阈值电压对发光器件的影响,即在使用相同的数据信号加载到不同的像素单元时,能够得到亮度相同的图像,提高了显示装置显示区域图像亮度的均匀性。



1. 一种像素电路,其特征在于,包括:驱动控制模块、数据写入模块、发光控制模块、第一复位模块、第二复位模块、充电模块、电容模块和发光器件;

所述驱动控制模块的控制端与第一节点相连,所述驱动控制模块的第一端与第二节点相连,所述驱动控制模块的第二端与第三节点相连;所述驱动控制模块用于在所述第一节点的电位控制下将所述第二节点的电位提供给所述第三节点;

所述数据写入模块的控制端与扫描信号端相连,所述数据写入模块的第一端与数据信号端相连,所述数据写入模块的第二端与所述第二节点相连;所述数据写入模块用于在所述扫描信号端的控制下将所述数据信号端的信号提供给所述第二节点;

所述发光控制模块的控制端与发光控制信号端相连,所述发光控制模块的第一端与所述第三节点相连,所述发光控制模块的第二端与第四节点相连;所述发光控制模块用于在所述发光控制信号端的控制下使所述第三节点与所述第四节点导通;

所述第一复位模块的控制端与第一信号控制端相连,所述第一复位模块的第一端与复位信号端相连,所述第一复位模块的第二端与所述第四节点相连;所述第一复位模块用于在所述第一信号控制端的控制下将所述复位信号端的信号提供给所述第四节点;

所述第二复位模块的控制端与所述第一信号控制端相连,所述第二复位模块的第一端与所述第三节点相连,所述第二复位模块的第二端与所述第一节点相连;所述第二复位模块用于在所述第一信号控制端的控制下将所述第三节点的信号提供给所述第一节点;

所述充电模块的控制端与所述第一信号控制端相连,所述充电模块的第一端与第一电压信号端相连,所述充电模块的第二端与所述第二节点相连;所述充电模块用于在所述第一信号控制端的控制下将所述第一电压信号端的信号提供给所述第二节点;

所述电容模块的第一端与所述第一节点相连,所述电容模块的第二端与所述第一电压信号端相连,所述电容模块用于使所述第一节点和所述第一电压信号端之间的电压差保持稳定;

所述发光器件的阳极与所述第四节点相连,所述发光器件的阴极与第二电压信号端相连。

2. 如权利要求1所述的像素电路,其特征在于,所述驱动控制模块包括:驱动晶体管;

所述驱动晶体管的栅极与第一节点相连,所述驱动晶体管的第一极与第二节点相连,所述驱动晶体管的第二极与第三节点相连。

3. 如权利要求1所述的像素电路,其特征在于,所述数据写入模块包括:第三晶体管;

所述第三晶体管的栅极与扫描信号端相连,所述第三晶体管的第一极与数据信号端相连,所述第三晶体管的第二极与所述第二节点相连。

4. 如权利要求1所述的像素电路,其特征在于,所述发光控制模块包括:第五晶体管;

所述第五晶体管的栅极与所述发光控制信号端相连,所述第五晶体管的第一极与所述第三节点相连,所述第五晶体管的第二极与第四节点相连。

5. 如权利要求1所述的像素电路,其特征在于,所述第一复位模块包括:第四晶体管;

所述第四晶体管的栅极与所述第一信号控制端相连,所述第四晶体管的第一极与复位信号端相连,所述第四晶体管的第二极与所述第四节点相连。

6. 如权利要求1所述的像素电路,其特征在于,所述第二复位模块包括:第一晶体管;

所述第一晶体管的栅极与所述第一信号控制端相连,所述第一晶体管的第一极与所述

第三节点相连,所述第一晶体管的第二极与所述第一节点相连。

7.如权利要求1所述的像素电路,其特征在于,所述充电模块包括:第二晶体管;

所述第二晶体管的栅极与所述第一信号控制端相连,所述第二晶体管的第一极与第一电压信号端相连,所述第二晶体管的第二极与所述第二节点相连。

8.如权利要求1所述的像素电路,其特征在于,所述电容模块包括:第一电容;

所述第一电容的第一端与所述第一节点相连,所述第一电容的第二端与所述第一电压信号端相连。

9.如权利要求1所述的像素电路,其特征在于,所述充电模块包括:第二晶体管;所述第二晶体管的栅极与所述第一信号控制端相连,所述第二晶体管的第一极与第一电压信号端相连,所述第二晶体管的第二极与所述第二节点相连;

所述第一复位模块包括:第四晶体管;所述第四晶体管的栅极与所述第一信号控制端相连,所述第四晶体管的第一极与复位信号端相连,所述第四晶体管的第二极与所述第四节点相连;

所述第二复位模块包括:第一晶体管;所述第一晶体管的栅极与所述第一信号控制端相连,所述第一晶体管的第一极与所述第三节点相连,所述第一晶体管的第二极与所述第一节点相连;

其中,所述第二晶体管为N型晶体管,所述第一晶体管和所述第四晶体管为P型晶体管;或,

所述第二晶体管为P型晶体管,所述第一晶体管和所述第四晶体管为N型晶体管。

10.如权利要求2-8任一项所述的像素电路,其特征在于,除所述第二晶体管外,所有晶体管均为P型晶体管。

11.一种如权利要求1-10任一项所述的像素电路的驱动方法,其特征在于,包括:

复位阶段,所述第一复位模块在所述第一信号控制端的控制下将所述复位信号端的信号提供给所述第四节点,所述发光控制模块在所述发光控制信号端的控制下将所述第四节点的电位提供给所述第三节点,所述第二复位模块在所述第一信号控制端的控制下将所述第三节点的电位提供给所述第一节点;

充电阶段,所述充电模块在所述第一信号控制端的控制下将所述第一电压信号端的信号提供给所述第二节点;

数据写入阶段,所述数据写入模块在所述扫描信号端的控制下将所述数据信号端的信号提供给所述第二节点,所述驱动控制模块在所述第一节点的电位和所述第二节点的电位共同作用下对驱动晶体管进行阈值补偿,所述第二复位模块在所述第一信号控制端的控制下使所述第三节点与所述第一节点导通;

发光阶段,所述充电模块在所述第一信号控制端的控制下将所述第一电压信号端的信号提供给所述第二节点,所述驱动控制模块在所述第一节点的电位的控制下为所述发光器件提供驱动电压,所述发光控制模块在所述发光控制信号端的控制下将所述第三节点的电位提供给所述第四节点以驱动所述发光器件发光。

12.一种有机发光显示面板,包括呈矩阵排列的多个像素电路,其特征在于,所述像素电路为如权利1-10任一项所述的像素电路。

13.一种显示装置,其特征在于,包括如权利要求12所述的有机发光显示面板。

一种像素电路、驱动方法、显示面板及显示装置

技术领域

[0001] 本发明涉及有机电致发光技术领域,尤其涉及一种像素电路、驱动方法、显示面板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)是当今显示器研究领域的热点之一,与液晶显示器(Liquid Crystal Display,LCD)相比,OLED具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点,目前,在手机、PDA、数码相机等显示领域OLED显示屏已经开始取代传统的LCD显示屏。其中,像素电路设计是OLED显示器核心技术内容,具有重要的研究意义。

[0003] 与LCD利用稳定的电压控制亮度不同,OLED属于电流驱动,需要稳定的电流来控制发光。由于工艺制程和器件老化等原因,会使像素电路的驱动晶体管的阈值电压 V_{th} 存在不均匀性,这样就导致了流过不同OLED像素的电流发生变化使得显示亮度不均。

[0004] 进一步地,由于驱动晶体管存在磁滞效应,会使像素存在短期残像的现象,该现象的存在会进一步使显示亮度不均,从而影响整个图像的显示效果。

发明内容

[0005] 有鉴于此,本发明实施例提供了一种像素电路、驱动方法、显示面板及显示装置,用以提高显示装置显示区域图像亮度的均匀性。

[0006] 因此,本发明实施例提供了一种像素电路,包括:驱动控制模块、数据写入模块、发光控制模块、第一复位模块、第二复位模块、充电模块、电容模块和发光器件;

[0007] 所述驱动控制模块的控制端与第一节点相连,所述驱动控制模块的第一端与第二节点相连,所述驱动控制模块的第二端与第三节点相连;所述驱动控制模块用于在所述第一节点的电位控制下将所述第二节点的电位提供给所述第三节点;

[0008] 所述数据写入模块的控制端与扫描信号端相连,所述数据写入模块的第一端与数据信号端相连,所述数据写入模块的第二端与所述第二节点相连;所述数据写入模块用于在所述扫描信号端的控制下将所述数据信号端的信号提供给所述第二节点;

[0009] 所述发光控制模块的控制端与发光控制信号端相连,所述发光控制模块的第一端与所述第三节点相连,所述发光控制模块的第二端与第四节点相连;所述发光控制模块用于在所述发光控制信号端的控制下使所述第三节点与所述第四节点导通;

[0010] 所述第一复位模块的控制端与第一信号控制端相连,所述第一复位模块的第一端与复位信号端相连,所述第一复位模块的第二端与所述第四节点相连;所述第一复位模块用于在所述第一信号控制端的控制下将所述复位信号端的信号提供给所述第四节点;

[0011] 所述第二复位模块的控制端与所述第一信号控制端相连,所述第二复位模块的第一端与所述第三节点相连,所述第二复位模块的第二端与所述第一节点相连;所述第二复位模块用于在所述第一信号控制端的控制下将所述第三节点的信号提供给所述第一节点;

[0012] 所述充电模块的控制端与所述第一信号控制端相连,所述充电模块的第一端与第一电压信号端相连,所述充电模块的第二端与所述第二节点相连;所述充电模块用于在所述第一信号控制端的控制下将所述第一电压信号端的信号提供给所述第二节点;

[0013] 所述电容模块的第一端与所述第一节点相连,所述电容模块的第二端与所述第一电压信号端相连,所述电容模块用于使所述第一节点和所述第一电压信号端之间的电压差保持稳定;

[0014] 所述发光器件的阳极与所述第四节点相连,所述发光器件的阴极与第二电压信号端相连。

[0015] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述驱动控制模块包括:驱动晶体管;

[0016] 所述驱动晶体管的栅极与第一节点相连,所述驱动晶体管的第一极与第二节点相连,所述驱动晶体管的第二极与第三节点相连。

[0017] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述数据写入模块包括:第三晶体管;

[0018] 所述第三晶体管的栅极与扫描信号端相连,所述第三晶体管的第一极与数据信号端相连,所述第三晶体管的第二极与所述第二节点相连。

[0019] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述发光控制模块包括:第五晶体管;

[0020] 所述第五晶体管的栅极与所述发光控制信号端相连,所述第五晶体管的第一极与所述第三节点相连,所述第五晶体管的第二极与第四节点相连。

[0021] 较佳地,在本发明实施例提供的上述像素电路中,所述第一复位模块包括:第四晶体管;

[0022] 所述第四晶体管的栅极与所述第一信号控制端相连,所述第四晶体管的第一极与复位信号端相连,所述第四晶体管的第二极与所述第四节点相连。

[0023] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述第二复位模块包括:第一晶体管;

[0024] 所述第一晶体管的栅极与所述第一信号控制端相连,所述第一晶体管的第一极与所述第三节点相连,所述第一晶体管的第二极与所述第一节点相连。

[0025] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述充电模块包括:第二晶体管;

[0026] 所述第二晶体管的栅极与所述第一信号控制端相连,所述第二晶体管的第一极与第一电压信号端相连,所述第二晶体管的第二极与所述第二节点相连。

[0027] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述电容模块包括:第一电容;

[0028] 所述第一电容的第一端与所述第一节点相连,所述第一电容的第二端与所述第一电压信号端相连。

[0029] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述充电模块包括:第二晶体管;所述第二晶体管的栅极与所述第一信号控制端相连,所述第二晶体管的第一极与第一电压信号端相连,所述第二晶体管的第二极与所述第二节点相连;

[0030] 所述第一复位模块包括：第四晶体管；所述第四晶体管的栅极与所述第一信号控制端相连，所述第四晶体管的第一极与复位信号端相连，所述第四晶体管的第二极与所述第四节点相连；

[0031] 所述第二复位模块包括：第一晶体管；所述第一晶体管的栅极与所述第一信号控制端相连，所述第一晶体管的第一极与所述第三节点相连，所述第一晶体管的第二极与所述第一节点相连；

[0032] 其中，所述第二晶体管为N型晶体管，所述第一晶体管和所述第四晶体管为P型晶体管；或，

[0033] 所述第二晶体管为P型晶体管，所述第一晶体管和所述第四晶体管为N型晶体管。

[0034] 在一种可能的实施方式中，在本发明实施例提供的上述像素电路中，除所述第二晶体管外，所有晶体管均为P型晶体管。

[0035] 相应地，本发明实施例还提供了一种上述任一种像素电路的驱动方法，包括：

[0036] 复位阶段，所述第一复位模块在所述第一信号控制端的控制下将所述复位信号端的信号提供给所述第四节点，所述发光控制模块在所述发光控制信号端的控制下将所述第四节点的电位提供给所述第三节点，所述第二复位模块在所述第一信号控制端的控制下将所述第三节点的电位提供给所述第一节点；

[0037] 充电阶段，所述充电模块在所述第一信号控制端的控制下将所述第一电压信号端的信号提供给所述第二节点；

[0038] 数据写入阶段，所述数据写入模块在所述扫描信号端的控制下将所述数据信号端的信号提供给所述第二节点，所述驱动控制模块在所述第一节点的电位和所述第二节点的电位共同作用下对驱动晶体管进行阈值补偿，所述第二复位模块在所述第一信号控制端的控制下使所述第三节点与所述第一节点导通；

[0039] 发光阶段，所述充电模块在所述第一信号控制端的控制下将所述第一电压信号端的信号提供给所述第二节点，所述驱动控制模块在所述第一节点的电位的控制下为所述发光器件提供驱动电压，所述发光控制模块在所述发光控制信号端的控制下将所述第三节点的电位提供给所述第四节点以驱动所述发光器件发光。

[0040] 相应地，本发明实施例还提供了一种有机发光显示面板，包括呈矩阵排列的多个像素电路，所述像素电路本发明实施例提供的上述任一种像素电路。

[0041] 相应地，本发明实施例还提供了一种显示装置，包括本发明实施例提供的上述任一种有机发光显示面板。

[0042] 本发明实施例提供的上述像素电路、驱动方法、显示面板及显示装置，像素电路中包括：驱动控制模块、数据写入模块、发光控制模块、第一复位模块、第二复位模块、充电模块、电容模块和发光器件；通过上述各模块的配合工作该像素电路可以重置驱动控制模块内的电荷，以对短期残像进行改善，并且也可以使驱动控制模块驱动发光器件发光的驱动电流与数据信号的电压有关，与驱动控制模块的阈值电压无关，能避免驱动控制模块的阈值电压对发光器件的影响，即在使用相同的数据信号加载到不同的像素单元时，能够得到亮度相同的图像，提高了显示装置显示区域图像亮度的均匀性。

附图说明

- [0043] 图1为本发明实施例提供的像素电路的结构示意图；
- [0044] 图2为本发明实施例提供的像素电路的具体结构示意图；
- [0045] 图3为图2所示的像素电路的电路时序示意图；
- [0046] 图4为本发明实施例提供的像素电路的驱动方法的流程示意图。

具体实施方式

[0047] 下面结合附图,对本发明实施例提供的像素电路、驱动方法、显示面板及显示装置的具体实施方式进行详细地说明。

[0048] 本发明实施例提供一种像素电路,如图1所示,包括:驱动控制模块1、数据写入模块2、发光控制模块3、第一复位模块4、第二复位模块5、充电模块6、电容模块7和发光器件OLED;

[0049] 驱动控制模块1的控制端与第一节点a相连,驱动控制模块1的第一端与第二节点b相连,驱动控制模块1的第二端与第三节点c相连;驱动控制模块1用于在第一节点a的电位控制下将第二节点b的电位提供给第三节点c;

[0050] 数据写入模块2的控制端与扫描信号端scan相连,数据写入模块2的第一端与数据信号端data相连,数据写入模块2的第二端与第二节点b相连;数据写入模块2用于在扫描信号端scan的控制下将数据信号端data的信号提供给第二节点b;

[0051] 发光控制模块3的控制端与发光控制信号端em相连,发光控制模块3的第一端与第三节点c相连,发光控制模块3的第二端与第四节点d相连;发光控制模块3用于在发光控制信号端em的控制下使第三节点c与第四节点d导通;

[0052] 第一复位模块4的控制端与第一信号控制端V1相连,第一复位模块4的第一端与复位信号端Vint相连,第一复位模块4的第二端与第四节点d相连;第一复位模块4用于在第一信号控制端V1的控制下将复位信号端Vint的信号提供给第四节点d;

[0053] 第二复位模块5的控制端与第一信号控制端V1相连,第二复位模块5的第一端与第三节点c相连,第二复位模块5的第二端与第一节点a相连;第二复位模块5用于在第一信号控制端V1的控制下将第三节点c的信号提供给第一节点a;

[0054] 充电模块6的控制端与第一信号控制端V1相连,充电模块6的第一端与第一电压信号端Vdd相连,充电模块6的第二端与第二节点b相连;充电模块6用于在第一信号控制端V1的控制下将第一电压信号端Vdd的信号提供给第二节点b;

[0055] 电容模块7的第一端与第一节点a相连,电容模块7的第二端与第一电压信号端Vdd相连,电容模块7用于使第一节点a和第一电压信号端Vdd之间的电压差保持稳定;

[0056] 发光器件OLED的阳极与第四节点d相连,发光器件OLED的阴极与第二电压信号端VSS相连。

[0057] 本发明实施例提供的上述像素电路包括:驱动控制模块、数据写入模块、发光控制模块、第一复位模块、第二复位模块、充电模块、电容模块和发光器件;通过上述各模块的配合工作该像素电路可以重置驱动控制模块内的电荷,以对短期残像进行改善,并且也可以使驱动控制模块驱动发光器件发光的驱动电流与数据信号的电压有关,与驱动控制模块的阈值电压无关,能避免驱动控制模块的阈值电压对发光器件的影响,即在使用相同的数据信号加载到不同的像素单元时,能够得到亮度相同的图像,提高了显示装置显示区域图像

亮度的均匀性。

[0058] 下面结合具体实施例,对本发明进行详细说明。需要说明的是,本实施例中是为了更好的解释本发明,但不限制本发明。

[0059] 较佳地,在本发明实施例提供的上述像素电路中,如图2所示,驱动控制模块1包括:驱动晶体管DT1;

[0060] 驱动晶体管DT1的栅极与第一节点a相连,驱动晶体管DT1的第一极与第二节点b相连,驱动晶体管DT1的第二极与第三节点c相连。

[0061] 在具体实施时,本发明实施例提供的上述像素电路中,驱动晶体管DT1为P型晶体管。

[0062] 较佳地,在本发明实施例提供的上述像素电路中,如图2所示,数据写入模块2包括:第三晶体管T3;

[0063] 第三晶体管T3的栅极与扫描信号端scan相连,第三晶体管T3的第一极与数据信号端data相连,第三晶体管T3的第二极与第二节点b相连。

[0064] 进一步地,在具体实施时,如图2所示,第三晶体管T3可以为N型晶体管(在图中未示出),此时,当扫描信号端scan的信号为高电平时第三晶体管T3处于导通状态,当扫描信号端scan的信号为低电平时第三晶体管T3处于截止状态;第三晶体管T3也可以为P型晶体管,此时,当扫描信号端scan的信号为低电平时第三晶体管T3处于导通状态,当扫描信号端scan的信号为高电平时第三晶体管T3处于截止状态;在此不作限定。

[0065] 具体地,本发明实施例提供的上述像素电路,当第三晶体管在扫描信号端的控制下处于导通状态时,数据信号端发出的数据信号就通过导通的第三晶体管传输给第二节点,从而实现对第二节点的电压进行重置。

[0066] 以上仅是举例说明像素电路中数据写入模块的具体结构,在具体实施时,数据写入模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0067] 较佳地,在本发明实施例提供的上述像素电路中,如图2所示,发光控制模块3包括:第五晶体管T5;

[0068] 第五晶体管T5的栅极与发光控制信号端em相连,第五晶体管T5的第一极与第三节点c相连,第五晶体管T5的第二极与第四节点d相连。

[0069] 进一步地,在具体实施时,如图2所示,第五晶体管T5可以为N型晶体管(在图中未示出),此时,当发光控制信号端em发出的信号为高电平时第五晶体管T5处于导通状态,当发光控制信号端em发出的信号为低电平时第五晶体管T5处于截止状态;第五晶体管T5也可以为P型晶体管,此时,当发光控制信号端em发出的信号为低电平时第五晶体管T5处于导通状态,当发光控制信号端em发出的信号为高电平时第五晶体管T5处于截止状态;在此不作限定。

[0070] 具体地,本发明实施例提供的上述像素电路,当第五晶体管在发光控制信号端的控制下处于导通状态时,第三节点和第四节点导通。

[0071] 以上仅是举例说明像素电路中发光控制模块的具体结构,在具体实施时,发光控制模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0072] 较佳地,在本发明实施例提供的上述像素电路中,如图2所示,第一复位模块4包括:第四晶体管T4;

[0073] 第四晶体管T4的栅极与第一信号控制端V1相连,第四晶体管T4的第一极与复位信号端Vint相连,第四晶体管T4的第二极与第四节点d相连。

[0074] 进一步地,在具体实施时,如图2所示,第四晶体管T4可以为N型晶体管(在图中未示出),此时,当第一信号控制端V1发出的信号为高电平时第四晶体管T4处于导通状态,当第一信号控制端V1发出的信号为低电平时第四晶体管T4处于截止状态;第四晶体管T4也可以为P型晶体管,此时,当第一信号控制端V1发出的信号为低电平时第四晶体管T4处于导通状态,当第一信号控制端V1发出的信号为高电平时第四晶体管T4处于截止状态;在此不作限定。

[0075] 具体地,本发明实施例提供的上述像素电路,当第四晶体管在第一信号控制端的控制下处于导通状态时,将复位信号端的信号提供给第四节点。

[0076] 以上仅是举例说明像素电路中第一复位模块的具体结构,在具体实施时,第一复位模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0077] 可选地,在本发明实施例提供的上述像素电路中,如图2所示,第二复位模块5包括:第一晶体管T1;

[0078] 第一晶体管T1的栅极与第一信号控制端V1相连,第一晶体管T1的第一极与第三节点c相连,第一晶体管T1的第二极与第一节点a相连。

[0079] 进一步地,在具体实施时,如图2所示,第一晶体管可以为N型晶体管(在图中未示出),此时,当第一信号控制端V1发出的信号为高电平时第一晶体管T1处于导通状态,当第一信号控制端V1发出的信号为低电平时第一晶体管T1处于截止状态;第一晶体管T1也可以为P型晶体管,此时,当第一信号控制端V1发出的信号为低电平时第一晶体管T1处于导通状态,当第一信号控制端V1发出的信号为高电平时第一晶体管T1处于截止状态;在此不作限定。

[0080] 具体地,本发明实施例提供的上述像素电路,当第一晶体管在第一信号控制端的控制下处于导通状态时,将第三节点的信号提供给第一节点。

[0081] 以上仅是举例说明像素电路中第二复位模块的具体结构,在具体实施时,第二复位模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0082] 可选地,在本发明实施例提供的上述像素电路中,如图2所示,充电模块6包括:第二晶体管T2;

[0083] 第二晶体管T2的栅极与第一信号控制端V1相连,第二晶体管T2的第一极与第一电压信号端Vdd相连,第二晶体管T2的第二极与第二节点b相连。

[0084] 进一步地,在具体实施时,如图2所示,第二晶体管T2可以为N型晶体管,此时,当第一电压信号端Vdd发出的信号为高电平时第二晶体管T2处于导通状态,当第一电压信号端Vdd发出的信号为低电平时第二晶体管T2处于截止状态;第二晶体管T2也可以为P型晶体管(在图中未示出),此时,当第一电压信号端Vdd发出的信号为低电平时第二晶体管T2处于导通状态,当第一电压信号端Vdd发出的信号为高电平时第二晶体管T2处于截止状态;在此不

作限定。

[0085] 具体地,本发明实施例提供的上述像素电路,当第二晶体管在第一电压信号端的控制下处于导通状态时,将第一电压信号端的信号提供给第二节点。

[0086] 以上仅是举例说明像素电路中充电模块的具体结构,在具体实施时,充电模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0087] 可选地,在本发明实施例提供的上述像素电路中,如图2所示,电容模块7包括:第一电容C1;

[0088] 第一电容C1的第一端与第一节点a相连,第一电容C1的第二端与第一电压信号端Vdd相连。

[0089] 在具体实施时,在本发明实施例提供的上述像素电路中,所述第二晶体管为N型晶体管,所述第一晶体管和所述第四晶体管为P型晶体管;或,

[0090] 所述第二晶体管为P型晶体管,所述第一晶体管和所述第四晶体管为N型晶体管。

[0091] 在具体实施时,将第二晶体管与第一晶体管和第四晶体管设置不同类型可以使第二晶体管、第一晶体管和第四晶体管通过同一信号端进行控制,以减少控制信号端的个数,简化电路结构。

[0092] 在具体实施时,在本发明实施例提供的上述像素电路中,除第二晶体管外,所有晶体管均为P型晶体管。

[0093] 最佳地,本发明实施例提供的上述像素电路中提到的除第二晶体管以外的所有晶体管可以全部采用P型晶体管设计,或者,除第二晶体管以外的所有晶体管可以全部采用N型晶体管设计,这样可以简化像素电路的制作工艺流程。

[0094] 需要说明的是本发明上述实施例中是以驱动晶体管为P型晶体管为例进行说明的,对于驱动晶体管DT1为N型晶体管且采用相同设计原理的情况也属于本发明保护的范围。

[0095] 在具体实施时,驱动晶体管和晶体管可以是薄膜晶体管(TFT, Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS, Metal Oxide Semiconductor),在此不做限定。在具体实施中,这些晶体管的第一极和第二极根据晶体管类型以及输入信号的不同,其功能可以互换,在此不做具体区分。

[0096] 下面分别以图2所示的像素电路为例对本发明实施例提供的像素电路的工作过程作以描述。且下述描述中以1表示高电平信号,0表示低电平信号。

[0097] 在图2所示的像素电路中,驱动晶体管DT1和除第二晶体管T2以外的所有晶体管均为P型晶体管,各P型晶体管在低电平作用下导通,在高电平作用下截止;第二晶体管T2为N型晶体管,N型晶体管在高电平作用下导通,在低电平作用下截止;对应的输入时序图如图3所示。具体地,选取如图3所示的输入时序图中的t1、t2、t3和t4四个阶段。

[0098] 在t1阶段, $V_1=0$, $V_{em}=0$, $V_{scan}=1$, $V_{data}=0$ 。

[0099] 由于第一信号控制端V1的信号为低电平,第一晶体管T1和第四晶体管T4导通,由于发光控制信号端em的信号也为低电平,第五晶体管T5也导通,因此,复位信号端Vint的信号通过导通的第四晶体管T4、第五晶体管T5和第一晶体管T1提供给第一节点a,使驱动晶体管DT1导通,此时由于第三晶体管T3和第二晶体管T2均处于截止状态,因此第二节点b处于

悬空状态,从而第二节点b的电压会通过导通的驱动晶体管DT1、第五晶体管T5和第四晶体管T4进行放电,直到第二节点b处的电压为 $V_{int}-V_{th}$ 时,驱动晶体管DT1关闭。

[0100] 在t2阶段, $V_1=1, V_{em}=1, V_{scan}=1, V_{data}=0$ 。

[0101] 由于第一信号控制端V1的信号为高电平,第二晶体管T2导通,将第一电压信号端Vdd的信号提供给第二节点b,此时驱动晶体管DT1处于开启状态($V_{gs}=V_{int}-V_{dd}$),因此,驱动晶体管DT1由开启状态进行数据写入与阈值补偿,同时由于驱动晶体管DT1由关闭状态到开启状态的改变,可以重置驱动晶体管DT1内的电荷,可以使驱动晶体管的I-V特性曲线(电流-电压特性曲线)不受上一帧状态的影响,从而改善因磁滞效应产生的短期残像问题。

[0102] 在t3阶段, $V_1=0, V_{em}=1, V_{scan}=0, V_{data}=1$ 。

[0103] 由于扫描信号端scan的电压为低电平,第三晶体管T3导通,将数据信号端data的信号提供给第二节点b,即写入数据信号Vdata,又由于第一信号控制端V1为低电平,第一晶体管T1导通,第一节点a被充电到 $V_{data}+V_{th}$,即抓取到驱动晶体管DT1的阈值电压 V_{th} 。

[0104] 需要注意的是,数据信号端所提供的数据信号可以为高电平信号或低电平信号之间的任意电压信号,上述实施例中仅以数据信号为高电平信号时为有效的数据信号为例进行说明,但对数据信号的电压并不作具体限定。

[0105] 在t4阶段, $V_1=1, V_{em}=0, V_{scan}=1, V_{data}=0$ 。

[0106] 由于第一信号控制端V1为高电平信号,第二晶体管T2导通将第一电压信号端Vdd的电压提供给第二节点b,又由于发光控制信号端em的信号为低电平,第五晶体管T5导通,此时流过发光器件OLED的电流为:

$$[0107] \quad I_{oled}=k(V_{gs}-V_{th})^2$$

$$[0108] \quad =k(V_{data}+V_{th}-V_{dd}-V_{th})^2$$

$$[0109] \quad =k(V_{data}-V_{dd})^2$$

[0110] 其中, I_{oled} 为流过驱动晶体管DT1的电流,k为结构系数, V_{data} 为数据信号端data提供的数据信号, V_{th} 为驱动晶体管DT1的阈值电压, V_{gs} 是驱动晶体管DT1栅极和源极之间的电压差,Vdd为第一电压信号端的电压。

[0111] 由上述可知,流过发光器件的电流与数据信号和第一电压信号端的信号有关,与驱动晶体管的阈值电压 V_{th} 无关,能避免驱动晶体管的阈值电压对发光器件的影响,即在使用相同的数据信号加载到不同的像素单元时,能够得到亮度相同的图像,提高了显示装置显示区域图像亮度的均匀性。

[0112] 基于同一发明构思,本发明实施例还提供了一种上述任一种像素电路的驱动方法,如图4所示,包括:

[0113] S501、复位阶段,第一复位模块在第一信号控制端的控制下将复位信号端的信号提供给第四节点,发光控制模块在发光控制信号端的控制下将第四节点的电位提供给第三节点,第二复位模块在第一信号控制端的控制下将第三节点的电位提供给第一节点;

[0114] S502、充电阶段,充电模块在第一信号控制端的控制下将第一电压信号端的信号提供给第二节点;

[0115] S503、数据写入阶段,数据写入模块在扫描信号端的控制下将数据信号端的信号提供给第二节点,驱动控制模块在第一节点的电位和第二节点的电位共同作用下对驱动晶体管进行阈值补偿,第二复位模块在第一信号控制端的控制下使第三节点与第一节点导

通；

[0116] S504、发光阶段，充电模块在第一信号控制端的控制下将第一电压信号端的信号提供给第二节点，驱动控制模块在第一节点的电位的控制下为发光器件提供驱动电压，发光控制模块在发光控制信号端的控制下将第三节点的电位提供给第四节点以驱动发光器件发光。

[0117] 像素电路的驱动方法的时序如图3所示，t1阶段为复位阶段、t2阶段为充电阶段、t3阶段为数据写入阶段和t4阶段为发光阶段，具体工作原理参见对上述描述像素电路结构时对图3进行的说明，在此不再详述。

[0118] 基于同一发明构思，本发明实施例还提供了一种有机发光显示面板，包括呈矩阵排列的多个像素电路，该像素电路为本发明实施例提供的上述任一种像素电路。由于该有机发光显示面板解决问题的原理与前述一种像素电路相似，因此该有机发光显示面板中的像素电路的实施可以参见前述实例中像素电路的实施，重复之处不再赘述。

[0119] 基于同一发明构思，本发明实施例还提供了一种显示装置，包括本发明实施例提供的上述有机发光显示面板。该显示装置可以是显示器、手机、电视、笔记本电脑、电子纸、数码相框、导航仪、一体机等，对于显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本发明的限制。

[0120] 本发明实施例提供的上述像素电路、驱动方法、显示面板及显示装置，像素电路中包括：驱动控制模块、数据写入模块、发光控制模块、第一复位模块、第二复位模块、充电模块、电容模块和发光器件；通过上述各模块的配合工作该像素电路可以重置驱动控制模块内的电荷，以对短期残像进行改善，并且也可以使驱动控制模块驱动发光器件发光的驱动电流与数据信号的电压有关，与驱动控制模块的阈值电压无关，能避免驱动控制模块的阈值电压对发光器件的影响，即在使用相同的数据信号加载到不同的像素单元时，能够得到亮度相同的图像，提高了显示装置显示区域图像亮度的均匀性。

[0121] 显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

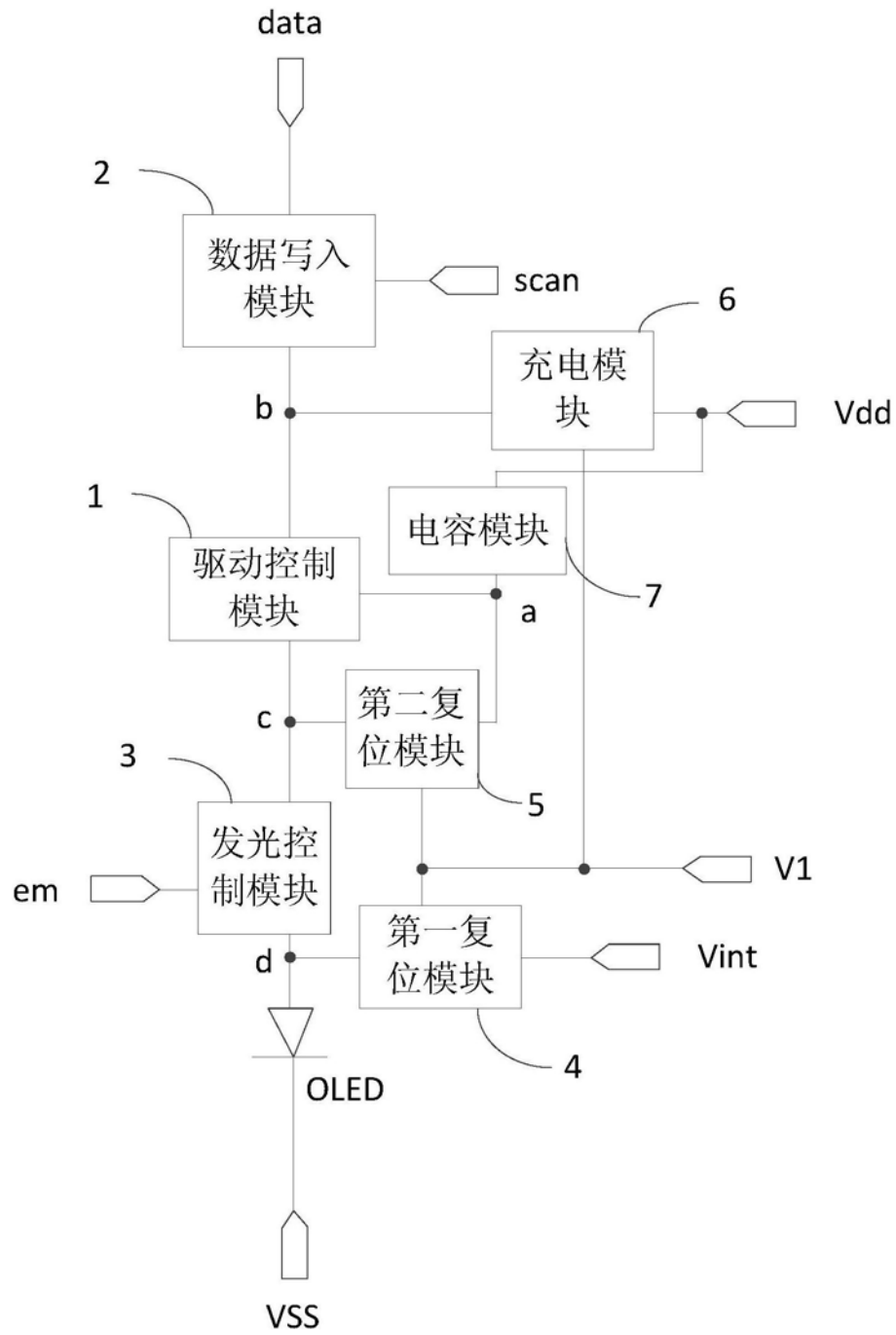


图1

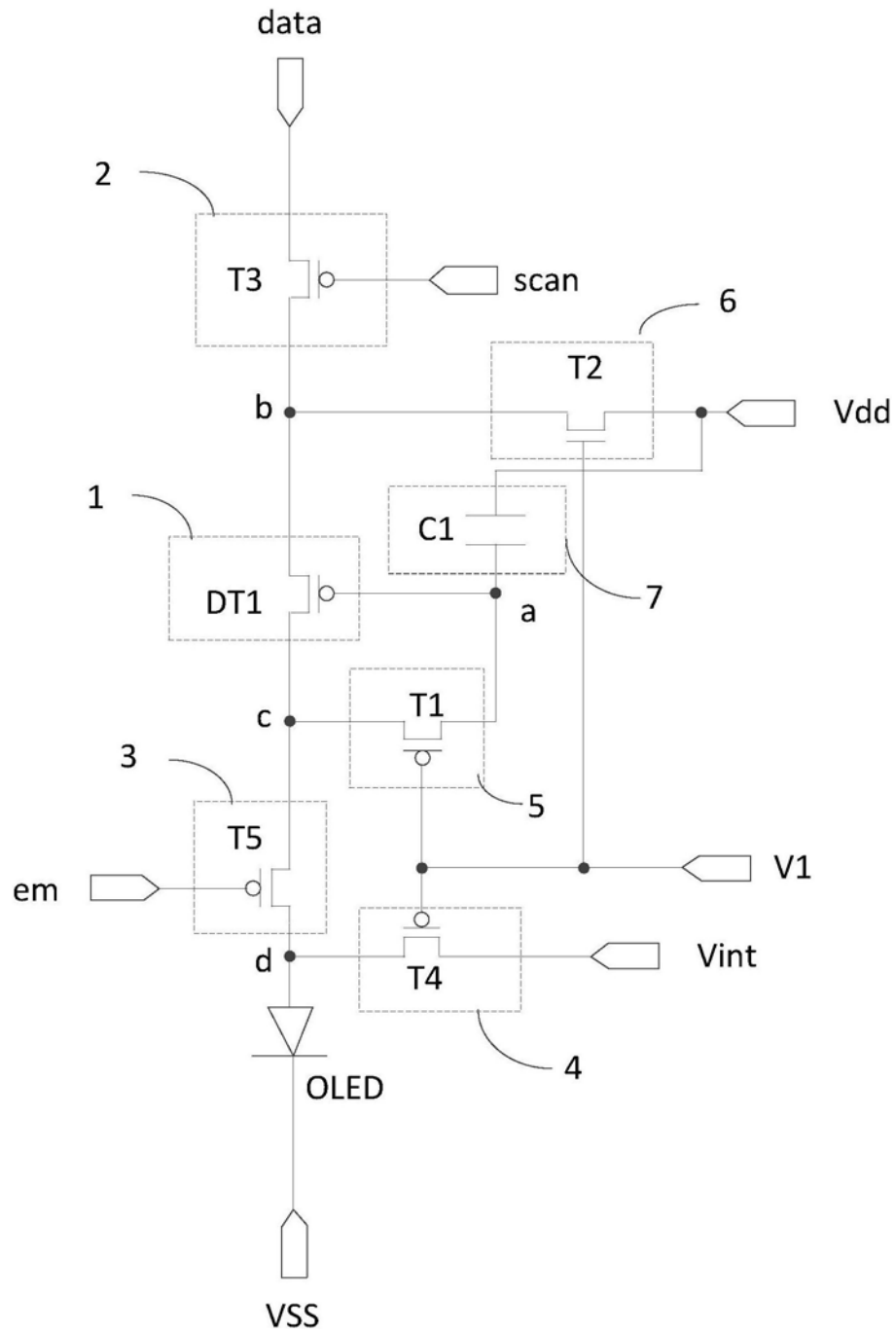


图2

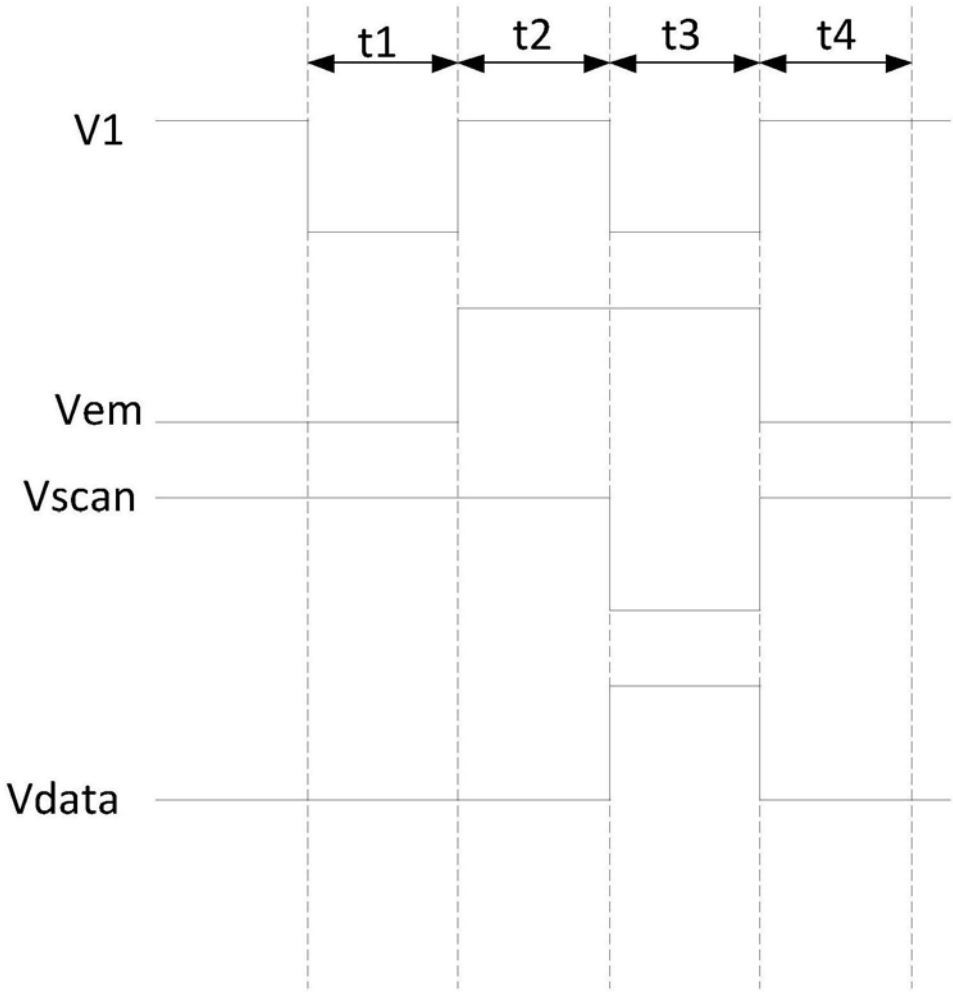


图3

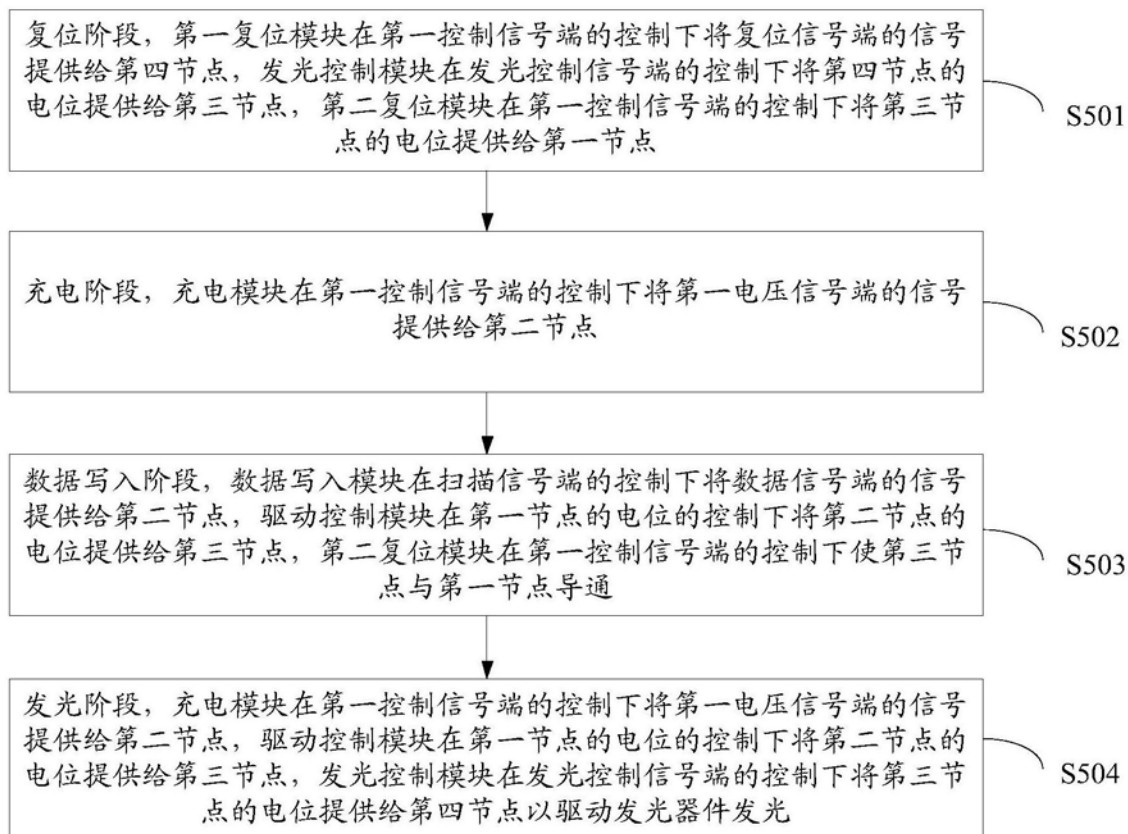


图4

专利名称(译)	一种像素电路、驱动方法、显示面板及显示装置		
公开(公告)号	CN108538248A	公开(公告)日	2018-09-14
申请号	CN201810375273.2	申请日	2018-04-24
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	羊振中 彭宽军 高雪岭		
发明人	羊振中 彭宽军 高雪岭		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225 G09G2320/0233 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/0238 G09G3/3258 G09G3/3266 G09G3/3291 G09G2300/0426 G09G2300/0439		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路、驱动方法、显示面板及显示装置，像素电路包括：驱动控制模块、数据写入模块、发光控制模块、第一复位模块、第二复位模块、充电模块、电容模块和发光器件；通过上述各模块的配合工作该像素电路可以重置驱动控制模块内的电荷，以对短期残像进行改善，并且也可以使驱动控制模块驱动发光器件发光的驱动电流与数据信号的电压有关，与驱动控制模块的阈值电压无关，能避免驱动控制模块的阈值电压对发光器件的影响，即在使用相同的数据信号加载到不同的像素单元时，能够得到亮度相同的图像，提高了显示装置显示区域图像亮度的均匀性。

