



(12)发明专利

(10)授权公告号 CN 106654025 B

(45)授权公告日 2019.04.26

(21)申请号 201610838215.X

(22)申请日 2016.09.21

(65)同一申请的已公布的文献号
申请公布号 CN 106654025 A

(43)申请公布日 2017.05.10

(73)专利权人 昆山工研院新型平板显示技术中
心有限公司

地址 215300 江苏省苏州市昆山市昆山高
新区晨丰路188号

(72)发明人 葛泳 朱涛 刘玉成 于锋 唐静
袁春芳

(74)专利代理机构 北京国昊天诚知识产权代理
有限公司 11315

代理人 许志勇

(51)Int.Cl.

H01L 51/50(2006.01)

H01L 51/52(2006.01)

H01L 51/56(2006.01)

H01L 27/32(2006.01)

(56)对比文件

CN 102598346 A,2012.07.18,全文.

CN 102598346 A,2012.07.18,全文.

CN 101419776 A,2009.04.29,全文.

CN 104701351 A,2015.06.10,全文.

CN 104143608 A,2014.11.12,全文.

US 2012/0056204 A1,2012.03.08,全文.

审查员 孙宁宁

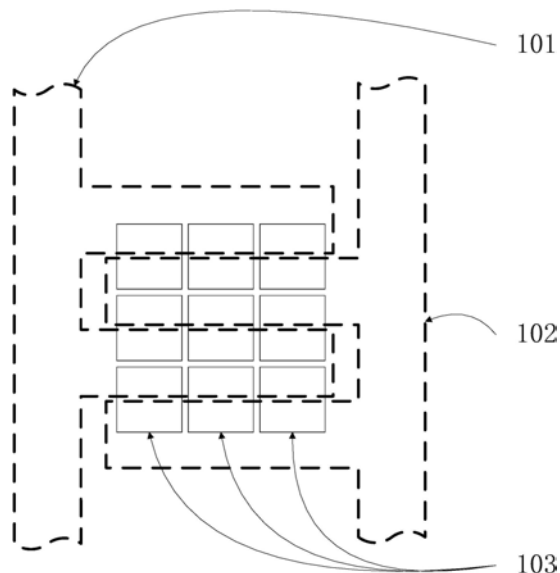
权利要求书2页 说明书6页 附图4页

(54)发明名称

一种OLED屏幕及制造方法以及显示控制方
法

(57)摘要

本申请提供一种OLED屏幕及制造方法以及
显示控制方法,其中,包含若干像素点、第一阴极
以及第二阴极,并且,针对每一个像素点,该第一
阴极和第二阴极分别覆盖连接于该像素点的一
部分,即,该像素点上分别覆盖连接该第一阴极
以及该第二阴极。而对于像素点,只有该像素点
中的空穴接收电子时,该像素点才会发光,并且
该像素点中覆盖连接该第一阴极的部分仅可从
该第一阴极获得电子,该像素点中覆盖连接该第
二阴极的部分仅可从该第二阴极获得电子,所以
可以通过该第一阴极以及该第二阴极使得该像
素点可以部分发光,提高了屏幕的PPI,并且避免
了现有技术中在提高屏幕PPI所导致的屏幕功能
被阉割、生产成本提高、显示效果不佳等问题。



1. 一种OLED屏幕,其特征在于,包括:若干像素点(103)、第一阴极(101)以及第二阴极(102),其中:

针对每一个像素点(103),该像素点(103)与所述第一阴极(101)以及所述第二阴极(102)连接;

所述第一阴极(101)的每条电极依次分别覆盖连接于相邻两行像素的每个像素点(103)的一部分,所述第二阴极(102)的每条电极依次分别覆盖连接于相邻两行像素的每个像素点(103)的另一部分;

所述第一阴极(101)与所述第二阴极(102)之间不连通。

2. 如权利要求1所述的OLED屏幕,其特征在于,所述OLED屏幕还包括:基底(106)、薄膜晶体管TFT电路(105)、阳极(104)、以及封装层(107),其中:

所述基底(106)用于承载所述TFT电路(105)、阳极(104)、若干像素点(103)、第一阴极(101)、第二阴极(102)以及封装层(107);

所述TFT电路(105)用于驱动所述阳极(104)使所述像素点(103)内产生空穴;

所述第一阴极(101)和所述第二阴极(102)用于向所述像素点(103)传输电子;

当所述像素点(103)中的空穴接收到电子时,所述像素点(103)发光;

所述封装层(107),用于将所述薄膜晶体管TFT电路(105)、阳极(104)、若干像素点(103)、第一阴极(101)以及第二阴极(102)封装在所述基底(106)上。

3. 如权利要求1所述的OLED屏幕,其特征在于,针对每一个像素点(103),所述第一阴极(101)在该像素点(103)上覆盖连接的面积和所述第二阴极(102)在该像素点(103)上覆盖连接的面积相同。

4. 如权利要求1所述的OLED屏幕,其特征在于,所述第一阴极(101)和所述第二阴极(102)之间具有预设的间隔。

5. 一种如权利要求1~4任一所述OLED屏幕的制造方法,其特征在于,包括:

在基底(106)上预制薄膜晶体管TFT电路(105)、阳极(104)以及各像素点(103);

在各像素点上设置阴极掩膜;

在所述阴极掩膜上铺设阴极层;

去除所述阴极掩膜,以使得所述各像素点(103)上覆盖连接第一阴极(101)和第二阴极(102);

使用封装层(107)将覆盖连接有所述第一阴极(101)和第二阴极(102)的各像素点(103)封装在所述基底(106)上。

6. 如权利要求5所述的方法,其特征在于,在各像素点上设置阴极掩膜,具体包括:

将所述阴极掩膜设置在各像素点(103)上,使得针对每一个像素点(103),该像素点(103)被所述阴极掩膜分隔为两个区域,以使得所述第一阴极(101)覆盖连接在所述两个区域中的一个,所述第二阴极(102)覆盖连接在所述两个区域中的另一个。

7. 一种如权利要求1~4任一所述的OLED屏幕的显示控制方法,其特征在于,包括:

根据所述OLED屏幕的刷新频率,确定单位时间内第一阴极(101)以及第二阴极(102)的通电频率;

根据所述通电频率使所述第一阴极(101)以及所述第二阴极(102)通电,以使得所述第一阴极(101)与所述第二阴极(102)交替通电,及以使得所述第一阴极(101)覆盖连接的所

述像素点(103)与所述第二阴极(102)覆盖连接的所述像素点(103)交替发光。

一种OLED屏幕及制造方法以及显示控制方法

技术领域

[0001] 本申请涉及半导体领域,尤其涉及一种OLED屏幕及制造方法以及显示控制方法。

背景技术

[0002] 有机发光二极管(Organic Light-Emitting Diode,OLED),由于具有可主动发光、体积小、视角范围大、响应速度快、宽色域、工作温度范围广等特点而受到屏幕生产厂商的喜爱,并且越来越多的屏幕生产厂商也开始采用基于OLED的显示方式来生产屏幕(即,OLED屏幕)。

[0003] 由于屏幕的分辨率越高,屏幕的显示效果就越好,所以人们对屏幕分辨率的要求也越高。而随着技术的进步,现在传统OLED屏幕的像素密度(Pixels Per Inch,PPI)已经可以轻松达到300PPI左右,而这已经无法满足人们对于高分辨率屏幕的需求。

[0004] 于是,在现有技术中,人们开始采用以下四种方法来提高屏幕的PPI。

[0005] 第一种,通过减少单个像素点(即,红色发光点、绿色发光点和蓝色发光点)中的薄膜晶体管(Thin Film Transistor,TFT)数量,以减少每个像素点的大小,从而使单位面积上的像素点增加;

[0006] 第二种,提高各器件以及电路的制造工艺,尽量使各器件以及电路更加精细,(如,将电路走线宽度从5微米降为3微米)从而使各像素点的大小减小;

[0007] 第三种,将像素点中的金属绝缘层半导体结构(Metal-Insulator-Semiconductor,MIS)电容替换为体积更小的金属绝缘层金属结构(Metal-Insulator-Metal,MIM)电容;

[0008] 第四种,通过改变像素点中子像素点的排列方式(如,Pentile排列方式)从而实现更高的屏幕PPI。

[0009] 但是,第一种方法可能导致复杂功能难以实现(如,在保证像素点亮度和工作时间的同时降低功耗),第二种以及第三种方法则会大幅增加生产成本,第四种方法又会造成屏幕显示的图像边缘不平整(如,Pentile排列方式对于曲线的显示效果不佳)。

[0010] 可见,在现有技术中对于OLED屏幕的PPI的提高方法,存在功能阉割、成本提高、显示效果不佳等问题。

发明内容

[0011] 本申请实施例提供一种OLED屏幕及制造方法以及显示控制方法,用以解决现有技术中对于OLED屏幕的PPI的提高方法,存在功能阉割、成本提高、显示效果不佳等问题。

[0012] 本申请实施例采用下述技术方案:

[0013] 本申请实施例提供的一种OLED屏幕,包括:若干像素点、第一阴极以及第二阴极,其中:

[0014] 针对每一个像素点,该像素点与所述第一阴极以及所述第二阴极连接;

[0015] 所述第一阴极的每条电极依次分别覆盖连接于相邻两行像素的每个像素点的一

部分,所述第二阴极的每条电极依次分别覆盖连接于相邻两行像素的每个像素点的另一部分;

[0016] 所述第一阴极(101)与所述第二阴极(102)之间不连通。

[0017] 所述OLED屏幕还包括:基底、薄膜晶体管TFT电路、阳极、以及封装层,其中:

[0018] 所述基底用于承载所述TFT电路、阳极、若干像素点、第一阴极、第二阴极以及封装层;

[0019] 所述TFT电路用于驱动所述阳极使所述像素点内产生空穴;

[0020] 所述第一阴极和所述第二阴极用于向所述像素点传输电子;

[0021] 当所述像素点中的空穴接收到电子时,所述像素点发光;

[0022] 所述封装层,用于将所述薄膜晶体管TFT电路、阳极、若干像素点、第一阴极以及第二阴极封装在所述基底上。

[0023] 针对每一个像素点,所述第一阴极在该像素点上覆盖连接的面积和所述第二阴极在该像素点上覆盖连接的面积相同。

[0024] 所述第一阴极和所述第二阴极之间具有预设的间隔。

[0025] 一种如上任一项所述的OLED屏幕的制造方法,包括:

[0026] 在基底上预制薄膜晶体管TFT电路、阳极以及各像素点;

[0027] 在各像素点上设置阴极掩膜;

[0028] 在所述阴极掩膜上铺设阴极层;

[0029] 去除所述阴极掩膜,以使得所述各像素点上覆盖连接第一阴极和第二阴极;

[0030] 使用封装层将覆盖连接有所述第一阴极和第二阴极的各像素点封装在所述基底上。

[0031] 一种如上任一项所述的OLED屏幕的显示控制方法,包括:

[0032] 根据所述OLED屏幕的刷新频率,确定单位时间内第一阴极以及第二阴极的通电频率,以使得根据所述通电频率所述第一阴极以及所述第二阴极通电或者断电;

[0033] 其中,所述第一阴极与所述第二阴极交替通电,以使得所述第一阴极覆盖连接的所述像素点与所述第二阴极覆盖连接的所述像素点交替发光。

[0034] 本申请实施例采用的上述至少一个技术方案能够达到以下有益效果:

[0035] 该OLED屏幕中包含若干像素点、第一阴极以及第二阴极,并且,针对每一个像素点,该第一阴极和第二阴极分别覆盖连接于该像素点的一部分,即,该像素点上分别覆盖连接该第一阴极以及该第二阴极。而由于对于该像素点,只有该像素点中的空穴接收电子时,该像素点才会发光,并且该像素点中覆盖连接有该第一阴极的部分仅可从该第一阴极获得电子,该像素点中覆盖连接有该第二阴极的部分仅可从该第二阴极获得电子,所以可以通过该第一阴极以及该第二阴极使得该像素点可以部分发光,即使得该屏幕的每一个可控制的发光区域的面积进一步缩小,实际上提高了屏幕的PPI,并且避免了现有技术中在提高屏幕PPI所导致的屏幕功能被阉割、生产成本提高、显示效果不佳等问题。

附图说明

[0036] 此处所说明的附图用来提供对本申请的进一步理解,构成本申请的一部分,本申请的示意性实施例及其说明用于解释本申请,并不构成对本申请的不当限定。在附图中:

- [0037] 图1为本申请实施例提供的OLED屏幕的像素结构示意图；
- [0038] 图2为本申请实施例提供的OLED屏幕中单个像素点的结构示意图；
- [0039] 图3为本申请实施例提供的一种OLED屏幕的制造过程；
- [0040] 图4为本申请实施例提供的OLED屏幕的截面结构示意图。

具体实施方式

[0041] 为使本申请的目的、技术方案和优点更加清楚，下面将结合本申请具体实施例及相应的附图对本申请技术方案进行清楚、完整地描述。显然，所描述的实施例仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0042] 图1为本申请实施例提供的OLED屏幕的像素结构示意图，包括：

[0043] 若干像素点103、第一阴极101以及第二阴极102，由于对于每一像素点103来说，该像素点103的发光条件之一是接收到阴极传输的电子，其中，针对每一个像素点103，该像素点103与该第一阴极101以及该第二阴极102相连，并且该第一阴极101覆盖连接与该像素点103的一部分，该第二阴极102覆盖连接于该像素点103的一部分。

[0044] 并且，由于仅有上述结构并不能构成本申请所述的OLED屏幕，所以该OLED屏幕还可包括：基底106、薄膜晶体管TFT电路105、阳极104、以及封装层107，则，本申请实施例提供的OLED屏幕中单个像素点的结构示意图可如图2所示，其中，当该像素点103中的空穴接收到电子时，该像素点103中空穴与电子接触的部分发光。

[0045] 具体的，由于当该像素点103中产生空穴并接收到电子时，该像素点103才会发光，而该像素点103中空穴的产生后需要在该像素点103中形成电流，所以当与该像素点连接的该阳极104和该第一阴极101通电（即，在该阳极104和该第一阴极101之间形成电流产生电压）时，该像素点103覆盖连接有该第一阴极101的部分会接收电子，该像素点103连接该阳极104的一部分产生空穴（需要说明的是，只有与该第一阴极101相对的该阳极104的部分会产生空穴），而该像素点103内产生的空穴以及接收的电子在电压的驱动下相向运动，直至空穴接收到电子发光，从而使得该像素点103覆盖连接有该第一阴极101的部分发光。同理，当与该像素点连接的该阳极104和该第二阴极102导通电流时，该像素点103覆盖连接有该第二阴极102的部分发光。

[0046] 进一步的，针对每一个像素点103，假设与该像素点103连接的该阳极104在TFT电路105的驱动下是通电状态，则此时该像素点103是否发光以及哪一部分发光，就取决于与该像素点覆盖连接的该第一阴极101以及该第二阴极102是否通电。于是，可通过控制该第一阴极101以及该第二阴极102是否通电，控制该像素点103的覆盖连接有该第一阴极101以及该第二阴极102的部分发光或者不发光，从而使得该像素点103的实际可控发光部分的面积大小由现有技术中的该像素点103的全部面积变成该像素点103的部分面积，即，该OLED屏幕单位面积内每一个可控制的发光部分的面积减小，可以认为每一个像素点103都变为两个像素点103，也就使得该OLED屏幕的PPI得到了大幅提高。

[0047] 另外，在该OLED屏幕中的该基底106用于承载该TFT电路105、该阳极104、各像素点103、该第一阴极101、该第二阴极102以及该封装层107，该TFT电路105用于驱动该阳极104，以使得通过该阳极104使该像素点103内产生空穴，该封装层107，用于将该TFT电路105、该

阳极104、各像素点103、该第一阴极101以及该第二阴极102封装在该基底106上。

[0048] 需要说明的是,与现有技术一致,针对每一个像素点103,该像素点103有对应于一个阳极104,即,每一个像素点103都有一个阳极104。并且,在本申请中所述的该TFT电路105与现有技术一致可包括若干行扫描线、若干列驱动线、各TFT和各电容,由于该基底106、该TFT电路105以及该阳极104的结构与现有技术一致,所以本申请对此结构不再赘述。

[0049] 进一步的,针对每一个像素点103,由于该像素点103的发光部分可通过该第一阴极101以及该第二阴极102来控制,并且,该第一阴极101覆盖连接于该像素点103的部分的面积有多大,通过该第一阴极101可控制该像素点103的发光部分的面积就有多大,所以在该像素点103上该第一阴极101在该像素点103上覆盖连接的面积和该第二阴极102在该像素点103上覆盖连接的面积可以相同。如图1所示,通过图1可见,针对每一个像素点103,该第一阴极101所覆盖连接该像素点103的面积与该第二阴极102覆盖连接该像素点103的面积相同。

[0050] 参图1、图2和图4可知,第一阴极101的每条电极依次分别覆盖连接于相邻两行像素的每个像素点的一部分,第二阴极102的每条电极依次分别覆盖连接于相邻两行像素的每个像素点的另一部分。

[0051] 更进一步的,由于该第一阴极101和该第二阴极102可相互独立的通电或者断电,以控制覆盖连接于各像素点103的部分是否发光,所以该第一阴极101与该第二阴极102之间不连通,并且,该第一阴极101可与该第二阴极102具有预设的间隔(如,3微米)。

[0052] 由于该第一阴极101和该第二阴极102是覆盖连接在该像素点103上的,所以当该第一阴极101与该第二阴极102之间具有预设的间隔时,该像素点103的一部分(即,该第一阴极101和该第二阴极102之间间隔的部分)就无法接收到电子而缺少发光条件,于是,在技术可能的情况下该第一阴极101与该第二阴极102之间的间隔可尽量缩小,如,1微米或者500纳米或者更小,当然具体该间隔设置为多少,本申请并不做具体限定。

[0053] 另外,在现有技术中,由于OLED屏幕在显示信息时需要以预设的刷新频率更新屏幕中的电信号以显示需要的画面(如,通过TFT电路105中包含的各行扫描线,以预设时序为各行扫描线依次循环通电,以控制各像素点103中该阳极104的电流),所以在本申请中,也可以根据该OLED屏幕预设的刷新频率,确定该第一阴极101和该第二阴极102的通电频率。其中,由于若该第一阴极101和该第二阴极102若同时通电或者断电,则该第一阴极101的作用与该第二阴极102的作用就毫无区别了,所以该第一阴极101与该第二阴极102可交替通电或者断电,即,当该第一阴极101通电时,该第二阴极102断电,反之亦然。

[0054] 并且,该第一阴极101以及该第二阴极102的通电频率可不低于该OLED屏幕预设的刷新频率,例如,当该OLED屏幕的刷新频率为60Hz时,则该第一阴极以及该第二阴极102的通电频率亦可为60Hz,则此时,假设以一个像素点103为例,若在单位时间内该像素点103的阳极一直处于通电状态,则此时,若该第一阴极101以及该第二阴极102的通电频率为60Hz,则该像素点103在该单位时间内,覆盖连接有该第一阴极101的部分以60Hz的频率发光或不发光,并且当覆盖连接有该第一阴极101的部分发光时,该像素点103覆盖连接有该第二阴极102的部分不发光,当覆盖连接有该第一阴极101的部分不发光时,该像素点103覆盖连接有该第二阴极102的部分发光。

[0055] 通过如图1和图2所示的OLED屏幕,可见由于在该OLED屏幕的各像素点103上覆盖

连接有该第一阴极101以及该第二阴极102,所以使得在对各像素点103中可控制发光的部分的面积进一步缩小,也就是说可以更精细的控制该OLED屏幕中更小的区域进行显示,从而提高了OLED屏幕的PPI,并且,由于图1和图2所示的OLED屏幕即无需减少TFT电路中的TFT数量,也无需要提高制造工艺或者更换电容,亦无需改变像素点103在该OLED屏幕中的排列方式,所以有效地避免了现有技术中提高OLED屏幕的PPI的方法所导致的功能阉割、成本提高、显示效果不佳等问题。

[0056] 需要说明的是,在本申请中所述的像素点103根据OLED屏幕的色彩显示方式不同而不同,如,该像素点103可以全部是发射白光的像素点103,色彩显示有另外的色彩层控制,或者该像素点103可以发射红色、蓝色或者绿色光的像素点103,具体的,该像素点103采用何种材料,发射何种频率的光(即,发射何种颜色的光),本申请并不做具体限定。

[0057] 进一步需要说明的是,由于只有有源OLED屏幕才需要通过TFT电路控制单个像素点103中的该阳极104以控制该像素点103的发光,所以在本申请中所述的OLED屏幕具体可为有源OLED屏幕。

[0058] 基于图1所示的一种OLED屏幕,本申请实施例还提供一种OLED屏幕的制造方法,如图3所示。

[0059] 图3为本申请实施例提供的一种OLED屏幕的制造过程,具体包括:

[0060] S101:在基底106上预制TFT电路105、阳极104以及各像素点103。

[0061] 在本申请实施例中,与现有技术相同,该OLED屏幕在制造过程中也需要多道工序逐层制造出该OLED屏幕的各结构,如,需要先在地上制造TFT电路105,之后再制造与TFT电路105相连的阳极104,等等,而本申请实施例提供的OLED屏幕制造过程中该TFT电路105、阳极104以及各像素点103的制造过程与现有技术并无差异,于是不再赘述该TFT电路105、阳极104以及各像素点103的制造过程,即,在本申请中该OLED屏幕的基底106上已经预先制造了该TFT电路105、阳极104以及各像素点103。

[0062] 另外需要说明的是,由于该基底106、TFT电路105、阳极104以及各像素点103制造过程与现有技术一致,所以该基底106、TFT电路105、阳极104以及各像素点103是采用何种材料制造、制造成何种形状以及如何制造本申请对并不做具体限定。

[0063] S102:在各像素点上设置阴极掩膜。

[0064] 在本申请实施例中,当在基底106上预制包括TFT电路105、阳极104以及各像素点103在内的各层结构后,还需要对应的铺设阴极层,以便通过该阴极层使各像素点103可以接收电子,当该接收到的电子通过与空穴在该像素点103中结合时发光,即,该像素点103发光。

[0065] 进一步的,由于在本申请中所述的OLED屏幕中包含第一阴极101以及第二阴极102,所以在铺设该阴极层之前,还需要在各像素点103之上设置阴极掩膜,使得通过该阴极掩膜将各像素点103分隔为两个区域,以便后续步骤可以是该第一阴极101以及第二阴极102可覆盖连接与各像素点103中的两个不同区域。

[0066] S103:在所述阴极掩膜上铺设阴极层。

[0067] 在本申请实施例中,当在各像素点103上设置阴极掩膜后,便可在设置有阴极掩膜的各像素点103上继续铺设阴极层。其中该阴极层可以根据需要进行铺设,如采用化学气相沉积法(Chemical Vapor Deposition,CVD)在各像素点103上沉积一层阴极层。

[0068] 需要说明的是,该阴极层采用何种材料本申请并不做具体限定,可根据实际OLED屏幕的制造时的需求而确定。

[0069] S104:去除所述阴极掩膜,以使得所述各像素点103上覆盖连接第一阴极101和第二阴极102。

[0070] 在本申请实施例中,当铺设好该阴极层之后,便可去除设置在各像素点103上的该阴极掩膜,以使得各像素点103上覆盖连接该第一阴极101以及该第二阴极102。

[0071] 其中,该阴极掩膜的形状决定了该第一阴极101以及该第二阴极102覆盖连接在各像素点103上的面积以及形状。

[0072] S105:使用封装层107将覆盖连接有所述第一阴极101和第二阴极102的各像素点封装在所述基底106上。

[0073] 在本申请实施例中,当去除阴极掩膜后,该OLED屏幕中实现显示功能的部分便已经制造完毕,则后续为了增加该OLED屏幕的使用寿命,以及保护该OLED屏幕,还可使用封装层将该覆盖连接有所述第一阴极101和第二阴极102的各像素点封装在该基底106上,以使得该OLED屏幕形成如图4的结构。

[0074] 图4为本申请实施例提供的OLED屏幕的截面结构示意图,其中可见,在该基底106以及该封装层107之间,封装有该TFT电路105、该阳极104、各像素点103、该第一阴极101以及该第二阴极102。

[0075] 以上所述仅为本申请的实施例而已,并不用于限制本申请。对于本领域技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原理之内所作的任何修改、等同替换、改进等,均应包含在本申请的权利要求范围之内。

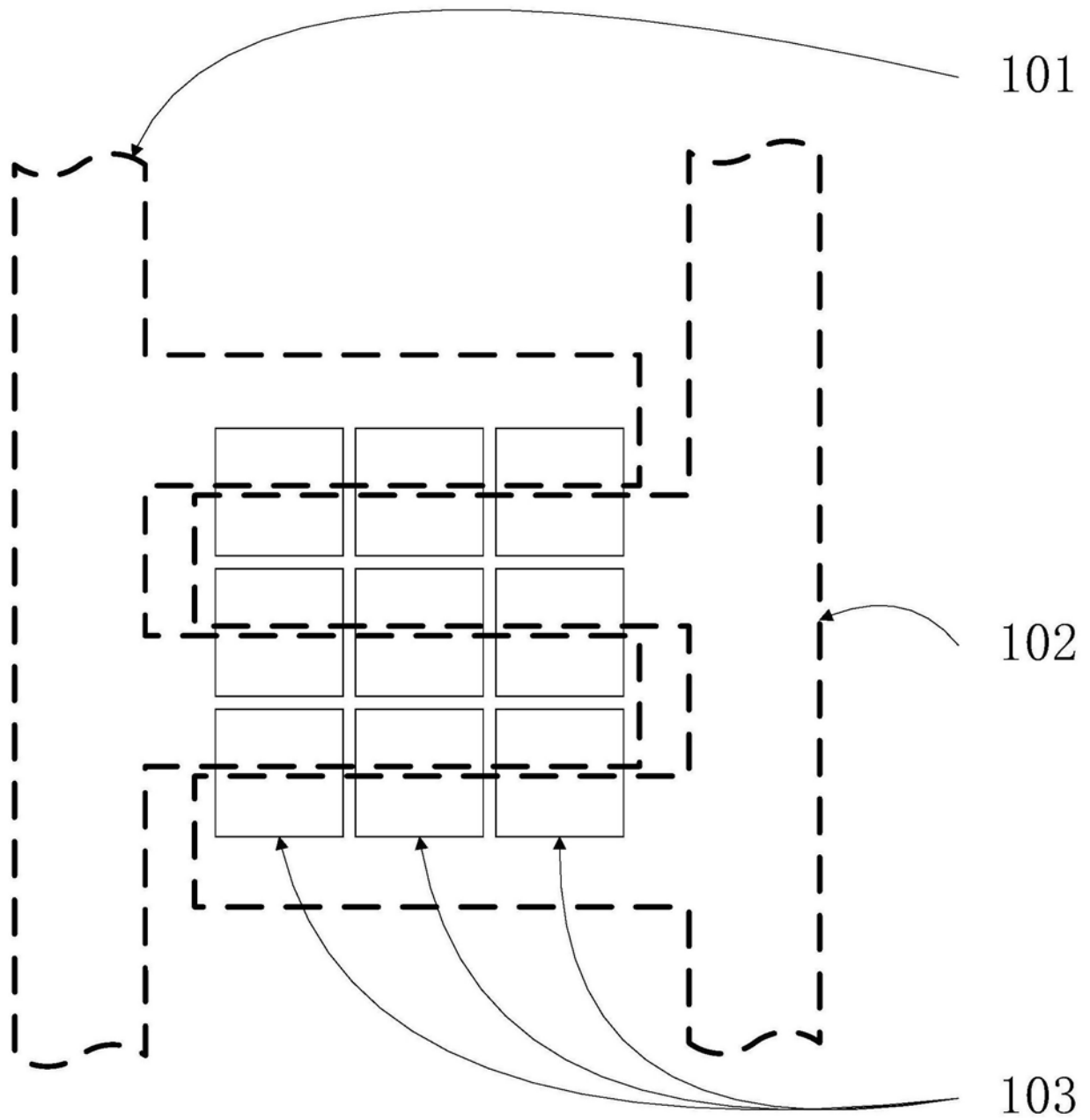


图1

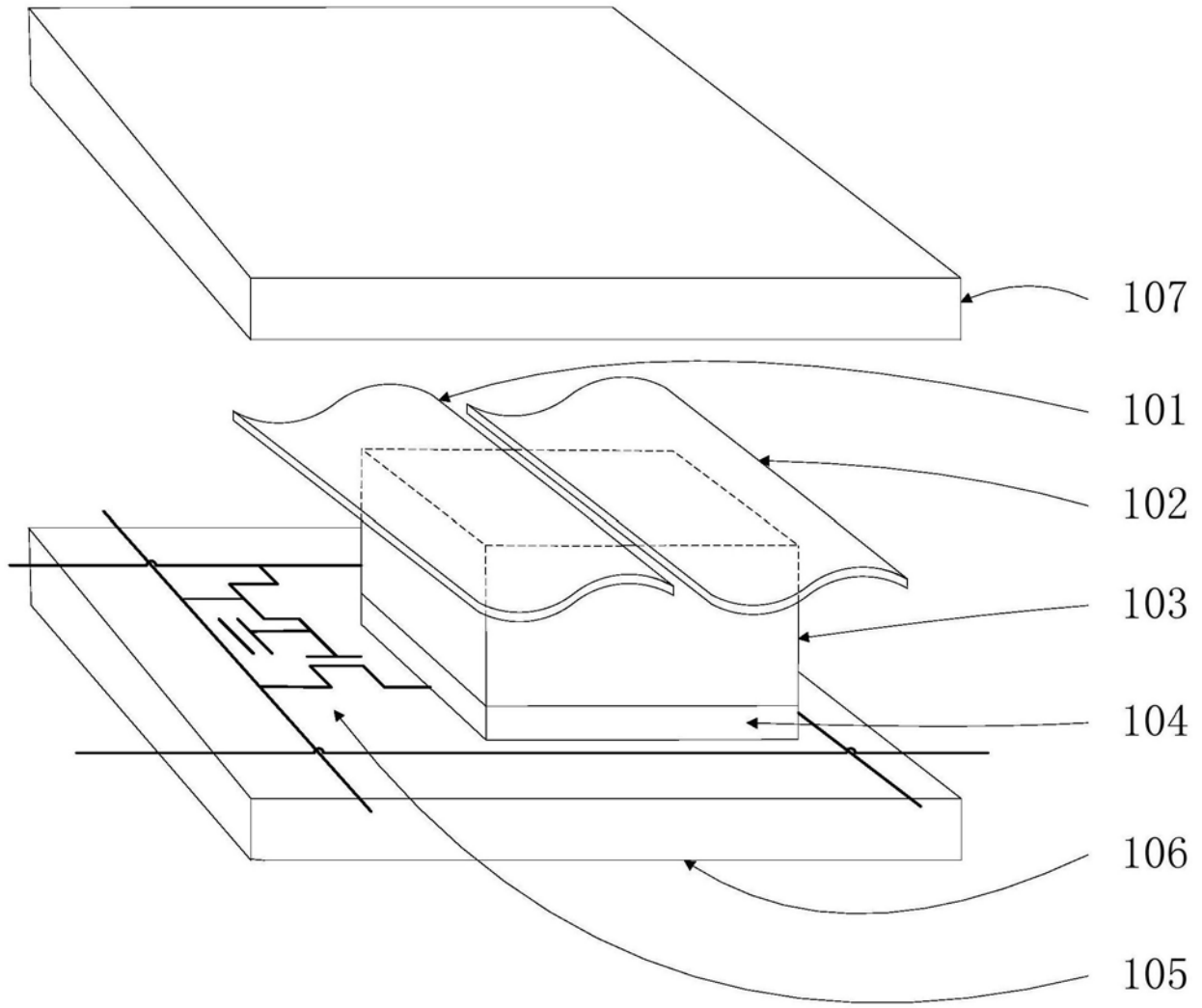


图2

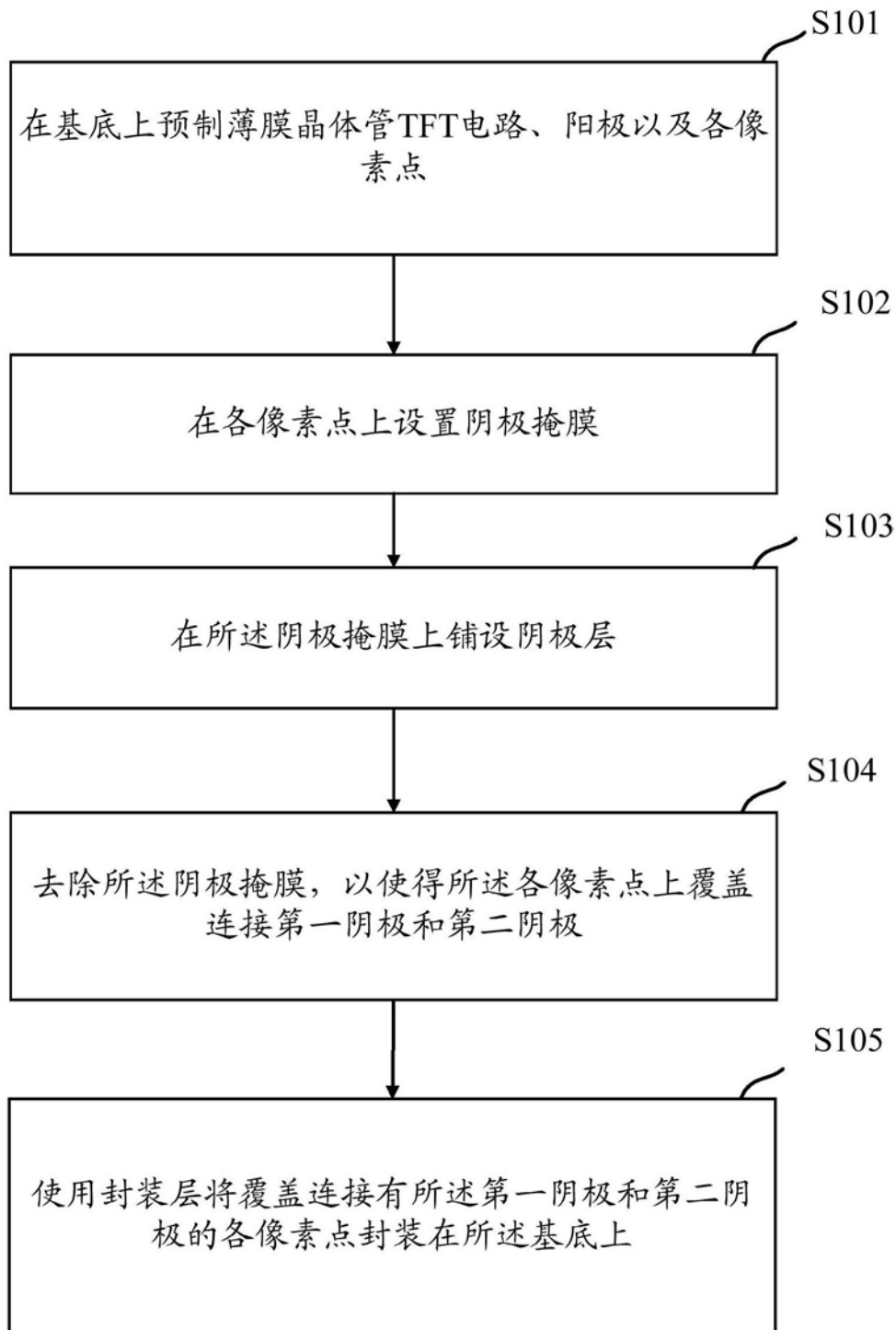


图3

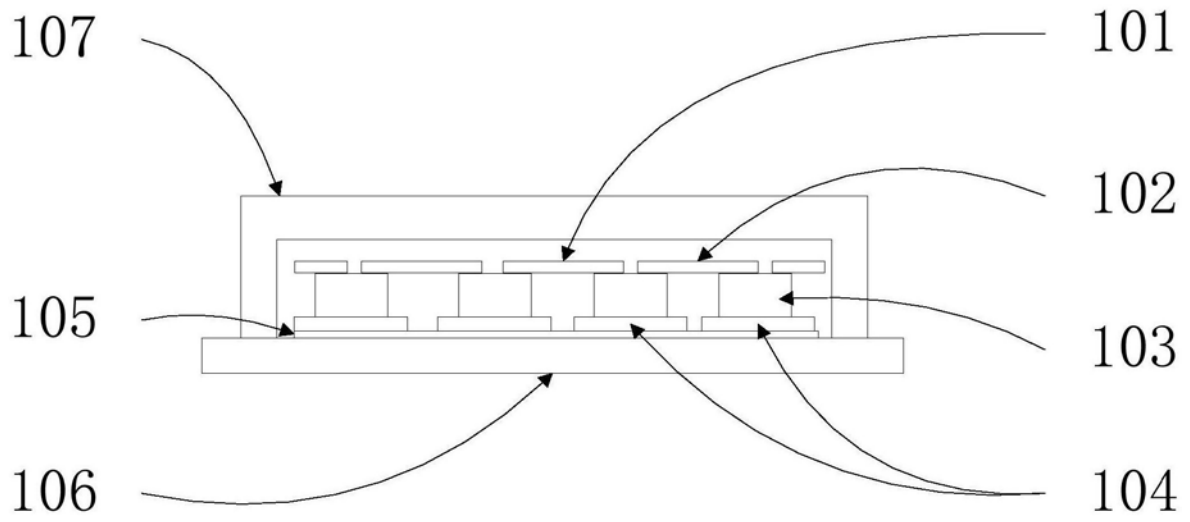


图4

专利名称(译)	一种OLED屏幕及制造方法以及显示控制方法		
公开(公告)号	CN106654025B	公开(公告)日	2019-04-26
申请号	CN201610838215.X	申请日	2016-09-21
[标]申请(专利权)人(译)	昆山工研院新型平板显示技术中心有限公司		
申请(专利权)人(译)	昆山工研院新型平板显示技术中心有限公司		
当前申请(专利权)人(译)	昆山工研院新型平板显示技术中心有限公司		
[标]发明人	葛泳 朱涛 刘玉成 于锋 唐静 袁春芳		
发明人	葛泳 朱涛 刘玉成 于锋 唐静 袁春芳		
IPC分类号	H01L51/50 H01L51/52 H01L51/56 H01L27/32		
CPC分类号	H01L27/32 H01L51/50 H01L51/5203 H01L51/5237 H01L51/56		
代理人(译)	许志勇		
审查员(译)	孙宁宁		
其他公开文献	CN106654025A		
外部链接	Espacenet SIPO		

摘要(译)

本申请提供一种OLED屏幕及制造方法以及显示控制方法，其中，包含若干像素点、第一阴极以及第二阴极，并且，针对每一个像素点，该第一阴极和第二阴极分别覆盖连接于该像素点的一部分，即，该像素点上分别覆盖连接该第一阴极以及该第二阴极。而对于像素点，只有该像素点中的空穴接收电子时，该像素点才会发光，并且该像素点中覆盖连接该第一阴极的部分仅可从该第一阴极获得电子，该像素点中覆盖连接该第二阴极的部分仅可从该第二阴极获得电子，所以可以通过该第一阴极以及该第二阴极使得该像素点可以部分发光，提高了屏幕的PPI，并且避免了现有技术中在提高屏幕PPI所导致的屏幕功能被阉割、生产成本提高、显示效果不佳等问题。

