



(12) 发明专利申请

(10) 申请公布号 CN 104700781 A

(43) 申请公布日 2015. 06. 10

(21) 申请号 201510152814. 1

(22) 申请日 2015. 04. 01

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

申请人 北京京东方显示技术有限公司

(72) 发明人 张旭 孙志华 汪建明 马伟超

李承珉 张洪林 张志豪

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 李相雨 于东

(51) Int. Cl.

G09G 3/32(2006. 01)

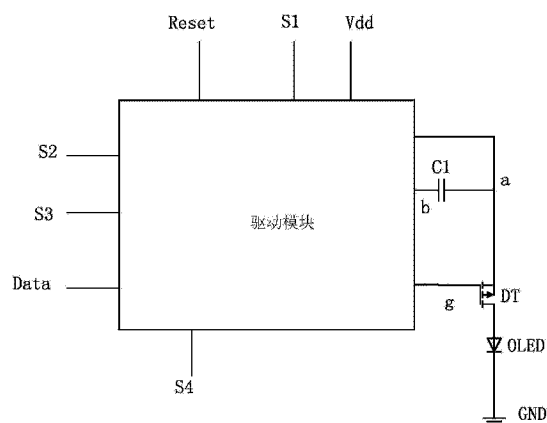
权利要求书2页 说明书6页 附图4页

(54) 发明名称

像素电路及其驱动方法、显示装置

(57) 摘要

本发明提供了一种像素电路及其驱动方法、显示装置,该像素电包括驱动晶体管和第一储能元件;所述驱动晶体管的源极与所述第一储能元件的第一端相连;所述像素电路还包括驱动模块,并具有复位电压输入端、数据电压输入端、工作电压输入端以及多个控制信号输入端。本发明提供的像素电路,能够使得流经电致发光单元的驱动电流不受对应的驱动模块的开启阈值的影响,能够彻底解决由于驱动晶体管的开启阈值漂移导致显示亮度不均的问题。



1. 一种像素电路,其特征在于,包括驱动晶体管、第一储能元件和驱动模块,并具有复位电压输入端、数据电压输入端、工作电压输入端以及多个控制信号输入端;其中,

所述驱动晶体管的源极与所述第一储能元件的第一端相连;

所述驱动模块与所述第一储能元件的第一端、第一储能元件的第二端、所述驱动晶体管的栅极、所述复位电压输入端、所述数据电压输入端以及所述工作电压输入端相连,并连接多个控制信号输入端;所述驱动模块具有第一节点,在所述第一节点以及所述第一储能元件的第二端均悬空时,所述第一节点与所述第一储能元件的第一端之间的电压差保持不变;

所述驱动模块适于在所接入的第一控制信号输入端输入有效电平时,将所述工作电压输入端与所述第一储能元件的第一端导通;在所接入的第二控制信号输入端输入有效电平时将所述第一节点与所述复位电压输入端导通;在所接入的第三控制信号输入端输入有效电平时,将数据电压输入端与驱动晶体管的栅极以及第一储能元件的第二端导通;在所接入的第四控制信号输入端输入有效电平时将所述第一节点与所述驱动晶体管的栅极导通。

2. 如权利要求 1 所述的像素电路,其特征在于,所述驱动模块包括五个开关晶体管和一个第二储能元件;

第一开关晶体管连接在所述工作电压输入端与所述第一储能元件的第一端之间,栅极连接第一控制信号输入端;

第二开关晶体管连接在所述复位电压输入端与所述第一节点之间,栅极连接第二控制信号输入端;

第三开关晶体管连接在所述数据电压输入端与驱动晶体管的栅极之间;第五开关晶体管连接在所述第一储能元件的第二端与所述驱动晶体管的栅极之间;

第四开关晶体管连接在所述第一节点与所述驱动晶体管的栅极之间,所述第四开关晶体管的栅极连接所述第四控制信号输入端;

所述第二储能元件的第一端与所述第一储能元件的第二端相连,所述第二储能元件的第二端与所述第一节点相连。

3. 如权利要求 2 所述的像素电路,其特征在于,所述第三开关晶体管和所述第五开关晶体管的栅极均连接所述第三控制信号输入端,并具有相同的有效电平。

4. 如权利要求 3 所述的像素电路,其特征在于,各个开关晶体管均为 P 型晶体管。

5. 如权利要求 3 所述的像素电路,其特征在于,所述第四开关晶体管的有效电平与所述第三开关晶体管和所述第五开关晶体管的有效电平相反,所述第四控制信号输入端与所述第三控制信号输入端为同一输入端。

6. 如权利要求 5 所述的像素电路,其特征在于,所述第一开关晶体管和所述第四开关晶体管均为 P 型晶体管;所述第二开关晶体管、所述第三开关晶体管和所述第五开关晶体管均为 N 型晶体管。

7. 如权利要求 2-6 任一项所述的像素电路,其特征在于,所述第一储能元件和/或所述第二储能元件为电容。

8. 如权利要求 1 所述的像素电路,其特征在于,所述驱动晶体管为 P 型晶体管。

9. 一种用于驱动如权利要求 1-8 任一项所述的像素电路的方法,其特征在于,包括复位阶段、补偿阶段和发光阶段;

在复位阶段,在所述第一控制信号输入端、所述第二控制信号输入端和所述第三控制信号输入端均输入对应的有效电平;在所述第四控制信号输入端输入对应的无效电平;

在补偿阶段,在所述第三控制信号输入端输入对应的有效电平;在所述第一控制信号输入端、所述第二控制信号输入端和所述第四控制信号输入端输入对应的无效电平;

在发光阶段,在所述第一控制信号输入端和所述第四控制信号输入端输入对应的有效电平;在所述第二控制信号输入端和所述第三控制信号输入端输入对应的无效电平。

10. 一种显示装置,其特征在于,包括如权利要求 1-8 任一项所述的像素电路。

像素电路及其驱动方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素电路及其驱动方法、显示装置。

背景技术

[0002] 有机发光二极管 (Organic Light Emitting Diode, OLED) 是当今平板显示器研究领域的热点之一,作为一种电流型发光器件,因其所具有的自发光、快速响应、宽视角和可制作在柔性衬底上等特点而越来越多地被应用于高性能显示领域当中。目前,在手机、PDA、数码相机等显示领域 OLED 已经开始取代传统的液晶显示屏 (LCD, Liquid Crystal Display)。像素驱动电路设计是 OLED 显示器核心技术内容,具有重要的研究意义。与 TFT (Thin Film Transistor, 薄膜场效应晶体管)-LCD 利用稳定的电压控制亮度不同, OLED 属于电流驱动,需要稳定的电流来控制发光。由于工艺制程和器件老化等原因,在原始的 2T1C 驱动电路 (包括两个薄膜场效应晶体管和一个电容) 中,各像素点的驱动 TFT 的阈值电压存在不均匀性,这样就导致了流过每个像素点 OLED 的电流发生变化使得显示亮度不均,从而影响整个图像的显示效果。

发明内容

[0003] 本发明的一个目的提供一种像素电路,以避免因阈值漂移导致的显示亮度不均。

[0004] 第一方面,本发明提供了一种像素电路,包括驱动晶体管、第一储能元件和驱动模块,并具有复位电压输入端、数据电压输入端、工作电压输入端以及多个控制信号输入端;其中,

[0005] 所述驱动晶体管的源极与所述第一储能元件的第一端相连;

[0006] 所述驱动模块与所述第一储能元件的第一端、第一储能元件的第二端、所述驱动晶体管的栅极、所述复位电压输入端、所述数据电压输入端以及所述工作电压输入端相连,并连接多个控制信号输入端;所述驱动模块具有第一节点,在所述第一节点以及所述第一储能元件的第二端均悬空时,所述第一节点与所述第一储能元件的第一端之间的电压差保持不变;

[0007] 所述驱动模块适于在所接入的第一控制信号输入端输入有效电平时,将所述工作电压输入端与所述第一储能元件的第一端导通;在所接入的第二控制信号输入端输入有效电平时将所述第一节点与所述复位电压输入端导通;在所接入的第三控制信号输入端输入有效电平时,将数据电压输入端与驱动晶体管的栅极以及第一储能元件的第二端导通;在所接入的第四控制信号输入端输入有效电平时将所述第一节点与所述驱动晶体管的栅极导通。

[0008] 进一步的,所述驱动模块包括五个开关晶体管和一个第二储能元件;

[0009] 第一开关晶体管连接在所述工作电压输入端与所述第一储能元件的第一端之间,栅极连接第一控制信号输入端;

[0010] 第二开关晶体管连接在所述复位电压输入端与所述第一节点之间,栅极连接第二

控制信号输入端；

[0011] 第三开关晶体管连接在所述数据电压输入端与驱动晶体管的栅极之间；第五开关晶体管连接在所述第一储能元件的第二端与所述驱动晶体管的栅极之间；

[0012] 第四开关晶体管连接在所述第一节点与所述驱动晶体管的栅极之间，所述四开关晶体管的栅极连接所述第四控制信号输入端；

[0013] 所述第二储能元件的第一端与所述第一储能元件的第二端相连，所述第二储能元件的第二端与所述第一节点相连。

[0014] 进一步的，所述第三开关晶体管和所述第五开关晶体管的栅极均连接所述第三控制信号输入端，并具有相同的有效电平。

[0015] 进一步的，各个开关晶体管均为 P 型晶体管。

[0016] 进一步的，所述第四开关晶体管的有效电平与所述第三开关晶体管和所述第五开关晶体管的有效电平相反，所述第四控制信号输入端与所述第三控制信号输入端为同一输入端。

[0017] 进一步的，所述第一开关晶体管、所述第四开关晶体管均为 P 型晶体管；所述第二开关晶体管、所述第三开关晶体管和所述第五开关晶体管均为 N 型晶体管。

[0018] 进一步的，所述第一储能元件和 / 或所述第二储能元件为电容。

[0019] 进一步的，所述驱动晶体管为 P 型晶体管。

[0020] 第二方面，本发明还提供了一种用于驱动上述任一项所述的像素电路的方法，包括复位阶段、补偿阶段和发光阶段；

[0021] 在复位阶段，在所述第一控制信号输入端和所述第二控制信号输入端、所述第三控制信号输入端均输入对应的有效电平；在所述第四控制信号输入端输入对应的无效电平；

[0022] 在补偿阶段，在所述第三控制信号输入端输入对应的有效电平；在所述第一控制信号输入端、所述第二控制信号输入端和所述第四控制信号输入端输入对应的无效电平；

[0023] 在发光阶段，在所述第一控制信号输入端和所述第四控制信号输入端输入对应的有效电平；在所述第二控制信号输入端和所述第三控制信号输入端输入对应的无效电平。

[0024] 第三方面，本发明还提供了一种显示装置，包括上述任一项所述的像素电路。

[0025] 本发明提供的像素电路，能够使得流经电致发光单元的驱动电流不受对应的驱动模块的开启阈值的影响，能够彻底解决由于驱动晶体管的开启阈值漂移导致显示亮度不均的问题。

附图说明

[0026] 图 1 为本发明一实施例提供的一种像素电路的结构示意图；

[0027] 图 2 为图 1 中实施例的驱动模块的电路示意图；

[0028] 图 3 为本发明一实施例提供的像素电路的电路结构图；

[0029] 图 4 为驱动图 3 中的像素电路的方法的控制信号的时序图；

[0030] 图 5a- 图 5c 为图 3 中的像素电路在不同时序下的电流流向和节点电压值的示意图。

具体实施方式

[0031] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整的描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他的实施例,都属于本发明保护的范围。

[0032] 本发明一实施例提供了一种像素电路,如图 1 所示,该像素电路可以包括:驱动晶体管 DT、第一储能元件 C1 和电致发光元件 OLED 和驱动模块;并具有复位电压输入端 Reset、数据电压输入端 Data、工作电压输入端 Vdd 以及四个控制信号输入端 S1、S2、S3、S4;优选的,驱动晶体管是 P 型的。其中,

[0033] 驱动晶体管 DT 的源极与第一储能元件 C1 的第一端 a 端相连;

[0034] 驱动模块与第一储能元件 C1 的第一端 a 端、第一储能元件 C1 的第二端 b 端、驱动晶体管 DT 的栅极 g、复位电压输入端 Reset、数据电压输入端 Data 以及工作电压输入端 Vdd 相连,并连接四个控制信号输入端 S1、S2、S3、S4,所述驱动模块内部具有第一节点(图中未示出),在所述第一节点以及所述第一储能元件 C1 的第二端 b 端均悬空时,所述第一节点与所述第一储能元件 C1 的第一端 a 端之间的电压差保持不变;

[0035] 所述驱动模块适于在所接入的第一控制信号输入端 S1 输入有效电平时,将所述工作电压输入端 Vdd 与所述第一储能元件 C1 的第一端 a 端导通;在所接入的第二控制信号输入端 S2 输入有效电平时将所述第一节点与所述复位电压输入端 Reset 导通;在所接入的第三控制信号输入端 S3 输入有效电平时,将数据电压输入端 Data 与驱动晶体管 DT 的栅极以及第一储能元件 C1 的第二端 b 端导通;在所接入的第四控制信号输入端 S4 输入有效电平时将所述第一节点与所述驱动晶体管的栅极导通。

[0036] 本发明提供的像素电路,能够使得驱动模块的控制端的电压包含驱动模块的开启阈值的分量,这样在显示过程中,所包含的开启阈值分量与驱动模块的开启阈值抵消,进而能够使得流经电致发光单元的驱动电流不受对应的驱动模块的开启阈值的影响,能够彻底解决由于驱动晶体管的开启阈值漂移导致显示亮度不均的问题。

[0037] 这里的有效电平应理解为能够使驱动模块开启相应功能的电平。比如对于第一控制信号输入端 S1,其对应的有效电平应理解为能够使工作电压输入端与所述第一储能元件的第一端导通的电平;相应的,第二控制信号输入端 S2 对应的有效电平应理解为能够将所述第一节点与所述复位电压输入端导通的电平,以此类推。并且对于不同的控制信号输入端,其对应的有效电平可能不一样。

[0038] 在具体实施时,如图 2 所示,该驱动模块可以具体包括:

[0039] 五个开关晶体管 T1、T2、T3、T4、T5 和一个第二储能元件 C2,第一开关晶体管 T1 的源极连接工作电压输入端 Vdd、漏极连接第一储能元件 C1 的第一端 a 端,栅极连接第一控制信号输入端 S1;第二开关晶体管 T2 的漏极连接复位电压输入端 Reset,源极连接与第一节点(图中表示为 N1)之间,栅极连接第二控制信号输入端 S2;

[0040] 第三开关晶体管 T3 的源极连接数据电压输入端 Data、漏极连接驱动晶体管 DT 的栅极 g;第五开关晶体管 T5 的源极连接第一储能元件 C1 的第二端 b 端,漏极连接驱动晶体管 DT 的栅极 g;第三开关晶体管 T3 和第五开关晶体管 T5 的栅极均连接第三控制信号输入端 S3,并具有相同的有效电平;

[0041] 第四开关晶体管 T4 的漏极连接第一节点 N1、源极连接驱动晶体管 DT 的栅极 g, 第四开关晶体管 T4 的栅极连接第四控制信号输入端 S4;

[0042] 第二储能元件 C2 的第一端与第一储能元件的第二端 b 端相连, 第二端连接第一节点 N1。

[0043] 由于第三开关晶体管 T3 和第五开关晶体管 T5 的栅极连接同一个控制信号输入端, 则可以通过同一条信号线控制第三开关晶体管 T3 和第五开关晶体管 T5 的开启和关断, 这样也能够减少信号线的使用。不难理解的是, 在实际应用中, 第三开关晶体管 T3 和第五开关晶体管 T5 也可以连接不同的控制信号线, 相应的, 第三开关晶体管 T3 和第五开关晶体管 T5 的有效电平也无需一致。

[0044] 在具体实施时, 这里的所述第四开关晶体管 T4 的有效电平可以与所述第三开关晶体管 T3 和所述第五开关晶体管 T5 的有效电平相反, 所述第四控制信号输入端 S4 与所述第三控制信号输入端 S3 为同一输入端。即如果第三开关晶体管 T3 和所述第五开关晶体管 T5 为 P 型晶体管, 则第四开关晶体管 T4 为 N 型晶体管。通过这种方式, 能够减少所使用的信号线的数量。减少像素电路所占用的面积。

[0045] 进一步的, 所述第一开关晶体管 T1 和所述第四开关晶体管 T4 均为 P 型晶体管; 所述第二开关晶体管 T2、所述第三开关晶体管 T3 和所述第五开关晶体管 T5 均为 N 型晶体管。这样做的好处是, 用于对驱动所述像素电路的各个信号的有效电平 (脉冲电平) 均为高电平。由于用于输出高电平的脉冲信号的移位寄存器的结构相对于输出低电平的脉冲信号的移位寄存器的结构简单的多, 本发明实施例提供的像素电路能够降低驱动电路设计的复杂度。

[0046] 或者, 在具体实施时, 上述的各个开关晶体管也可以均为 P 型晶体管, 这样做的好处是能够采用同一的工艺制作, 降低了制作相应显示装置的复杂度。

[0047] 这里的复位电压输入端 Reset 具体可以为接地端。

[0048] 在具体实施时, 这里的第一储能元件 C1 和 / 或第二储能元件 C2 可以均为电容。当然实际应用中, 根据设计需要也可以采用其他具有储能功能的元件。

[0049] 在图 1 中, 电致发光元件 OLED 的阳极连接所述驱动晶体管的漏极, 阴极连接接地端 GND。当然实际应用中, 阴极也可能连接其他低电压输入端, 比如 VSS 等。

[0050] 另一方面, 本发明还提供了一种像素电路的驱动方法, 可用于驱动上述任一项所述的像素电路, 该方法包括复位阶段、补偿阶段和发光阶段:

[0051] 在复位阶段, 在所述第一控制信号输入端、所述第二控制信号输入端和所述第三控制信号输入端均输入对应的有效电平; 在所述第四控制信号输入端输入对应的无效电平;

[0052] 在补偿阶段, 在所述第三控制信号输入端输入对应的有效电平; 在所述第一控制信号输入端、所述第二控制信号输入端和所述第四控制信号输入端输入对应的无效电平;

[0053] 在发光阶段, 在所述第一控制信号输入端和所述第四控制信号输入端输入对应的有效电平; 在所述第二控制信号输入端和所述第三控制信号输入端输入对应的无效电平。

[0054] 通过本发明提供的驱动方法, 可以使得流经电致发光单元的驱动电流不受对应的驱动模块的开启阈值的影响, 彻底解决了由于驱动模块的开启阈值漂移导致显示亮度不均的问题。

[0055] 下面结合一种具体的电路结构对本发明实施例提供的一种像素电路的驱动方法和工作原理进行说明,如图3所示为一种可能的像素电路的电路示意图,包括T1-T5共五个开关晶体管、一个P型驱动晶体管DT、一个电致发光元件OLED、电容C1和电容C2,其中开关晶体管T1、T2、T3、T4和T5构成驱动模块,其中开关晶体管T1和T4均为P型晶体管,开启电平为低电平;开关晶体管T2、T3和T5均为N型晶体管,开启电平为高电平;该像素电路还具有复位电压输入端Reset,工作电压输入端Vdd,数据电压输入端Data,接地端GND和控制信号输入端S1、S2、S3;其中,开关晶体管T1的源极连接工作电压输入端Vdd,漏极连接电容C1的第一端a端,栅极连接控制信号输入端S1;开关晶体管T2的源极连接第一节点N1点,漏极连接接地端GND,栅极连接控制信号输入端S1;开关晶体管T3、T4和T5的栅极均连接第三控制信号输入端S3;开关晶体管T3的源极连接数据电压输入端Data,漏极连接驱动晶体管DT的栅极g;开关晶体管T4的源极连接第一节点N1,漏极连接驱动晶体管DT的栅极g;开关晶体管T5的源极连接驱动晶体管DT的栅极g,漏极连接电容C1的第二端b端;电容C2的第一端连接电容C2的第二端b端,第二端连接第一节点N1,OLED的阳极连接驱动晶体管DT的漏极,阴极连接接地端GND。

[0056] 图4为用于对图3的像素电路进行驱动的驱动方法中关键信号的时序图,具体包括:

[0057] 复位阶段D1,在控制信号输入端S1施加低电平,控制信号输入端S2和S3施加高电平,在数据电压输入端Data上施加数据电压Vdata。此时,开关晶体管T1、T2、T3和T5打开,晶体管T4关断。此时电流流向可以参考图5a,电容C1的a端电压置为Vdd,b点电压被置为Vdata,N1点电压被置为0,电容C2两端的电压仍为Vdata,压差为0,电容C1的第一端a端的电压为Vdd。

[0058] 补偿阶段D2,在控制信号输入端S1和S3施加高电平,控制信号输入端S2施加低电平。开关晶体管T3和T5打开,开关晶体管T1、T2和T4关断。如图5b所示,此时电容C1的第二端b端的电压仍为Vdata(D点电压也为Vdata,电容C1第一端a端的电压开始下降,电容C1通过驱动晶体管DT开始放电,最终a端的电压下降为 $Vdata+|V_{th}|$ (其中, V_{th} 为驱动晶体管T6的阈值电压),电容C2两端电压仍为Vdata,因此电容C1、C2串联总电压即N1节点与电容C1第一端a端之间的电压差为 $Vdata+|V_{th}|$ 。

[0059] 发光阶段D3,在控制信号输入端S1、S2和S3均施加低电平。此时开关晶体管T1和T4打开,开关晶体管T2、T3和T5关断。此时电容C1的第一端a端的电压为Vdd,N1节点的电压发生跳变,跳变为 $Vdd-(Vdata+|V_{th}|)$ 。由于N1节点与驱动晶体管DT的栅极g连通,驱动晶体管DT的栅极g电压也为 $Vdd-(Vdata+|V_{th}|)$ 。

[0060] 此时,流过OLED的电流为:

$$\begin{aligned}
 I_{OLED} &= \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \\
 [0061] \quad &= \frac{1}{2} \mu C_{ox} \frac{W}{L} (-V_{data} - |V_{th}| + |V_{th}|)^2 \\
 &= \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{data})^2
 \end{aligned}$$

[0062] 从公式中可以看出,流经OLED的电流只受驱动晶体管载流子迁移率 μ 、栅氧化层

储能元件的电容 C_{ox} 、器件本身尺寸（宽度 W 、长度 L ）等自身因素的影响。电流大小通过数据电压 V_{data} 进行控制，与驱动管阈值电压 V_{th} 和电源电压 V_{dd} 的无关。这样就彻底解决了驱动晶体管 DT 由于工艺制程及长时间的操作造成开启阈值 V_{th} 漂移的问题，消除其对 I_{OLED} 的影响，保证电致发光元件 $OLED$ 的正常工作。

[0063] 本发明还提供了一种显示装置，包括上述任一项所述的像素电路。

[0064] 这里的显示装置可以为：电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相机框、导航仪等任何具有显示功能的产品或部件。

[0065] 以上所述，仅为本发明的具体实施方式，但是，本发明的保护范围不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到的变化或替代，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

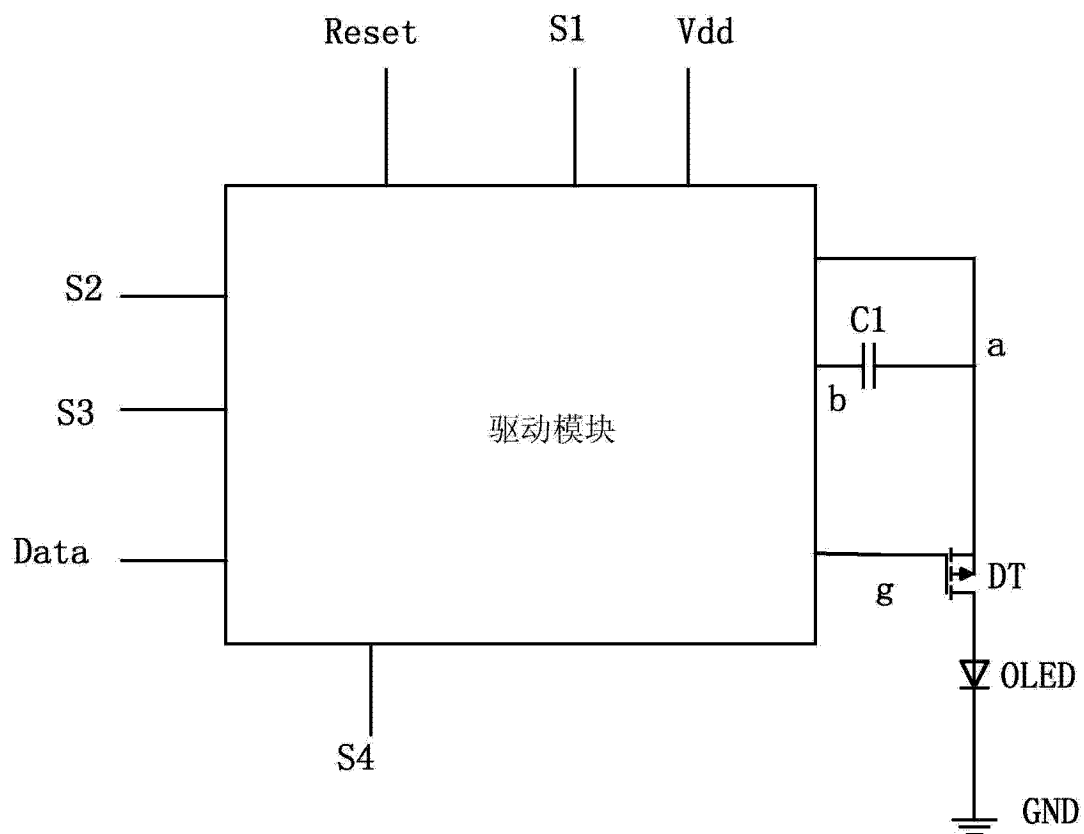


图 1

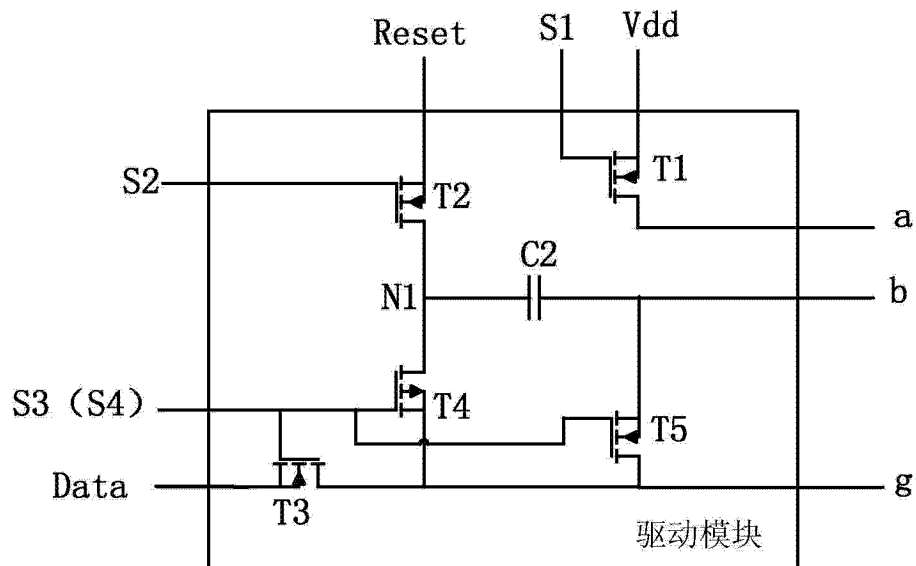


图 2

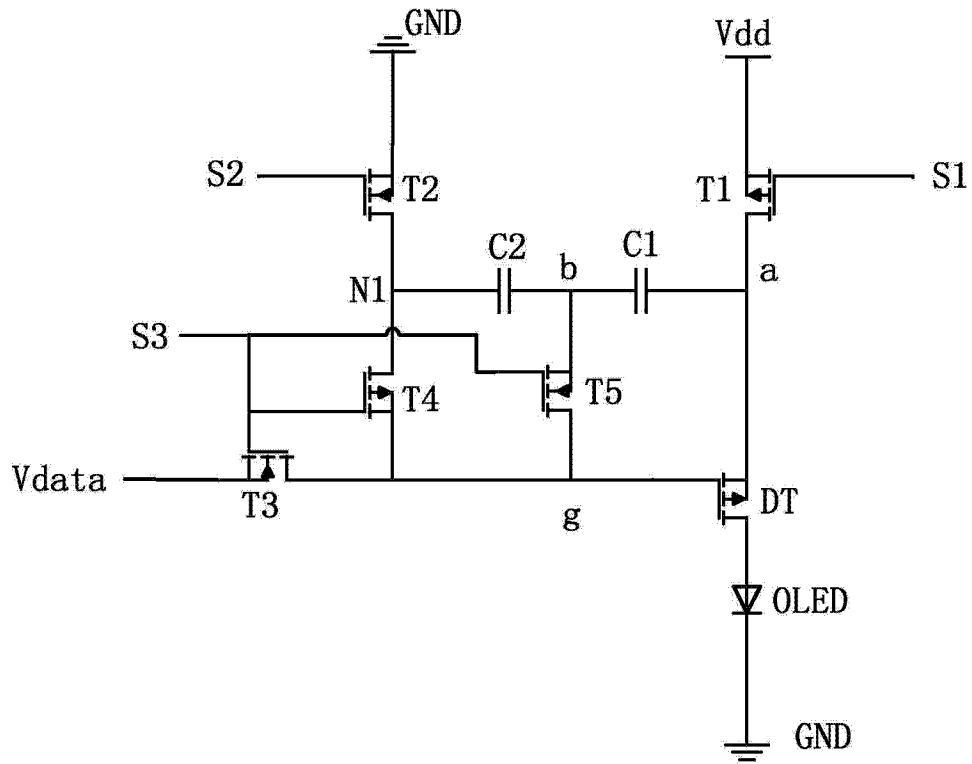


图 3

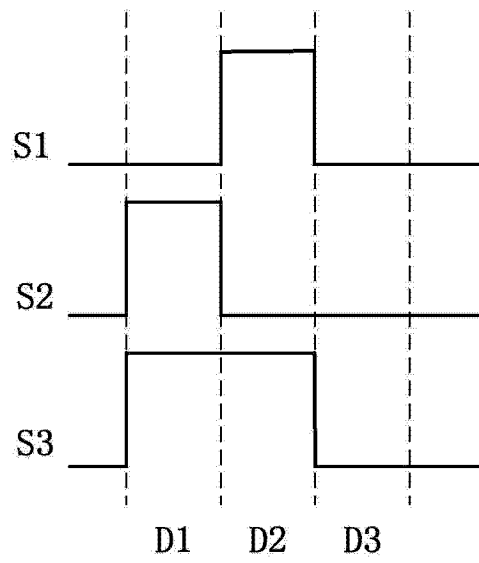


图 4

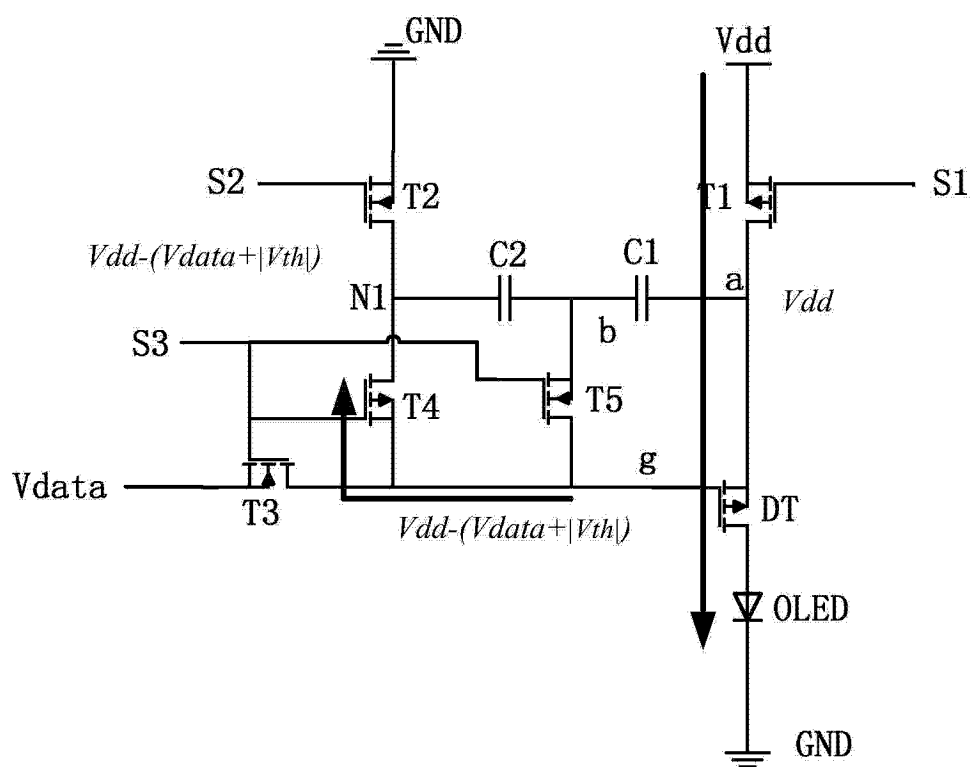


图 5c

专利名称(译)	像素电路及其驱动方法、显示装置		
公开(公告)号	CN104700781A	公开(公告)日	2015-06-10
申请号	CN201510152814.1	申请日	2015-04-01
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
[标]发明人	张旭 孙志华 汪建明 马伟超 李承珉 张洪林 张志豪		
发明人	张旭 孙志华 汪建明 马伟超 李承珉 张洪林 张志豪		
IPC分类号	G09G3/32 G09G3/3208		
CPC分类号	G09G3/3258 G09G3/3233 G09G2300/0439 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/08 G09G2320/0223 G09G2320/043		
代理人(译)	李相雨 于东		
其他公开文献	CN104700781B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种像素电路及其驱动方法、显示装置，该像素电包括驱动晶体管和第一储能元件；所述驱动晶体管的源极与所述第一储能元件的第一端相连；所述像素电路还包括驱动模块，并具有复位电压输入端、数据电压输入端、工作电压输入端以及多个控制信号输入端。本发明提供的像素电路，能够使得流经电致发光单元的驱动电流不受对应的驱动模块的开启阈值的影响，能够彻底解决由于驱动晶体管的开启阈值漂移导致显示亮度不均的问题。

