



(12)发明专利申请

(10)申请公布号 CN 108550346 A

(43)申请公布日 2018.09.18

(21)申请号 201810387705.1

(22)申请日 2018.04.26

(30)优先权数据

107107486 2018.03.06 TW

(71)申请人 友达光电股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行二路1号

(72)发明人 郑贤薰 洪嘉泽 张玮轩

(74)专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 许志影

(51)Int.Cl.

G09G 3/3225(2016.01)

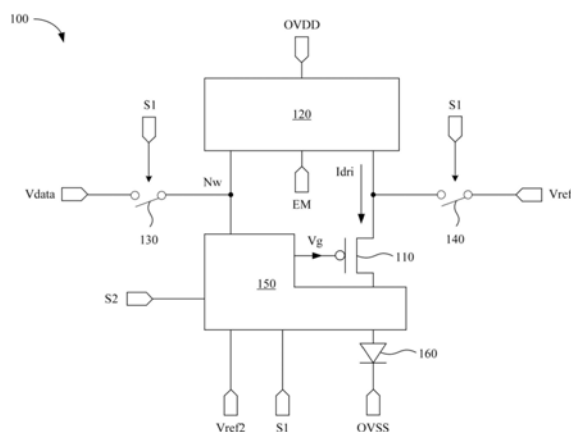
权利要求书3页 说明书9页 附图10页

(54)发明名称

像素电路

(57)摘要

本发明公开了一种像素电路,包含驱动晶体管、发光控制电路、第一开关、第二开关、补偿电路和有机发光二极管。驱动晶体管具有一第一端、一第二端与一控制端。发光控制电路耦接驱动晶体管的第一端,用于接收一系统高电压。第一开关具有一第一端、一第二端与一控制端,其中控制端用于接收一第一控制信号,第一端用于接收一数据电压,第二端耦接于发光控制电路。第二开关具有一第一端、一第二端与一控制端,其中控制端用于接收第一控制信号,第一端用于接收一第一参考电压,第二端耦接于驱动晶体管的第一端。补偿电路耦接于发光控制电路、驱动晶体的控制端和第二端,且用于接收一第二控制信号和一第二参考电压。有机发光二极管耦接于驱动晶体管。



1. 一种像素电路,其特征在于,包含:

一驱动晶体管,具有一第一端、一第二端与一控制端;

一第一发光开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收一发光控制信号,该第一端用于接收一系统高电压,该第二端耦接于一写入节点;

一第二发光开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该发光控制信号,该第一端用于接收该系统高电压,该第二端耦接于该驱动晶体管的该第一端;

一第一开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收一第一控制信号,该第一端用于接收一数据电压,该第二端耦接于该写入节点;

一第二开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端用于接收一第一参考电压,该第二端耦接于该驱动晶体管的该第一端;

一第一补偿开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端耦接于该驱动晶体管的该第二端,该第二端耦接于该驱动晶体管的该控制端;

一第二补偿开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收一第二控制信号,该第一端耦接于该驱动晶体管的该控制端,该第二端用于接收一第二参考电压;

一储存电容,具有一第一端与一第二端,其中该第一端耦接于该写入节点,该第二端耦接于该驱动晶体管的该控制端;以及

一有机发光二极管,耦接于该驱动晶体管。

2. 一种像素电路,其特征在于,包含:

一驱动晶体管,具有一第一端、一第二端与一控制端;

一第一发光开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收一发光控制信号,该第一端用于接收一系统高电压,该第二端耦接于一写入节点;

一第二发光开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该发光控制信号,该第一端用于接收该系统高电压,该第二端耦接于该驱动晶体管的该第一端;

一第一开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收一第一控制信号,该第一端用于接收一数据电压,该第二端耦接于该写入节点;

一第二开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端用于接收一第一参考电压,该第二端耦接于该驱动晶体管的该第一端;

一第一补偿开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端耦接于该驱动晶体管的该第二端,该第二端耦接于该驱动晶体管的该控制端;

一第二补偿开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收一第二控制信号,该第一端耦接于该驱动晶体管的该第二端,该第二端用于接收一第二参考电压;

一储存电容,具有一第一端和一第二端,其中该第一端耦接于该写入节点,该第二端耦接于该驱动晶体管的该控制端;以及

一有机发光二极管,耦接于该驱动晶体管。

3. 一种像素电路,其特征在于,包含:

一驱动晶体管,具有一第一端、一第二端与一控制端;

一发光控制电路,耦接该驱动晶体管的该第一端,用于接收一系统高电压;

一第一开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收一第一控制信号,该第一端用于接收一数据电压,该第二端耦接于该发光控制电路;

一第二开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端用于接收一第一参考电压,该第二端耦接于该驱动晶体管的该第一端;

一补偿电路,耦接于该发光控制电路、该驱动晶体管的该控制端和该驱动晶体管的该第二端,且用于接收一第二控制信号和一第二参考电压;以及

一有机发光二极管,耦接于该驱动晶体管。

4.如权利要求3的像素电路,其特征在于,于一重置阶段,该第一控制信号和该第二控制信号处于一预设低电压。

5.如权利要求3的像素电路,其特征在于,于一补偿阶段,该第一控制信号处于一预设低电压且该第二控制信号处于一预设高电压。

6.如权利要求3的像素电路,其特征在于,于一发光阶段,该第一控制信号和该第二控制信号处于一预设高电压。

7.如权利要求3的像素电路,其特征在于,该发光控制电路包含:

一第一发光开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收一发光控制信号,该第一端用于接收该系统高电压,该第二端耦接于该第一开关的该第二端;以及

一第二发光开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该发光控制信号,该第一端用于接收该系统高电压,该第二端耦接于该驱动晶体管的该第一端。

8.如权利要求3的像素电路,其特征在于,该发光控制电路包含:

一第一发光开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端用于接收该系统高电压,该第二端耦接于该第一开关的该第二端;以及

一第二发光开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端用于接收该系统高电压,该第二端耦接于该驱动晶体管的该第一端。

9.如权利要求3的像素电路,其特征在于,该补偿电路包含:

一第一补偿开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端耦接于该驱动晶体管的该第二端,该第二端耦接于该驱动晶体管的该控制端;

一第二补偿开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该第二控制信号,该第一端耦接于该驱动晶体管的该控制端,该第二端用于接收一第二参考电压;以及

一储存电容,具有一第一端与一第二端,其中该第一端耦接于该第一开关的该第二端,该第二端耦接于该驱动晶体管的该控制端。

10.如权利要求3的像素电路,其特征在于,该补偿电路包含:

一第一补偿开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端耦接于该驱动晶体管的该第二端,该第二端耦接于该驱动晶体管的该控制端;

一第二补偿开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该第二控制信号,该第一端耦接于该驱动晶体管的该第二端,该第二端用于接收该第二参考电压;以及

一储存电容,具有一第一端与一第二端,其中该第一端耦接于该第一开关的该第二端,该第二端耦接于该驱动晶体管的该控制端。

11. 一种像素电路,其特征在于,包含:

一驱动晶体管,具有一第一端、一第二端与一控制端;

一发光控制电路,耦接该驱动晶体管的该第一端,用于接收一系统高电压;

一第一开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收一第一控制信号,该第一端用于接收一数据电压,该第二端耦接于该发光控制电路;

一第二开关,具有一第一端、一第二端与一控制端,该第一端用于接收一第一参考电压,该第二端耦接于该驱动晶体管的该第一端;

一补偿电路,耦接于该发光控制电路、该驱动晶体管的该控制端和该驱动晶体管的该第二端,且用于接收一第二控制信号和一第二参考电压;以及

一有机发光二极管,耦接于该驱动晶体管;

其中,该第二开关的该控制端用于接收一第三控制信号。

12. 如权利要求11的像素电路,其特征在于,于一重置阶段,该第一控制信号和该第二控制信号处于一预设低电压,且该第三控制信号处于一预设高电压。

13. 如权利要求11的像素电路,其特征在于,于一补偿阶段,该第一控制信号和该第三控制信号处于一预设低电压,且该第二控制信号处于一预设高电压。

14. 如权利要求11的像素电路,其特征在于,于一发光阶段,该第一控制信号、该第二控制信号和该第三控制信号处于一预设高电压。

像素电路

技术领域

[0001] 本发明有关一种像素电路,尤指一种能补偿临界电压和电源电压变异的有机发光二极管像素电路。

背景技术

[0002] 相较于传统的液晶显示器,有机发光二极管(organic light-emitting diode)显示器具有自发光、广视角、高对比度、低功率消耗以及高反应速率等众多优点。

[0003] 有机发光二极管像素电路通常具有一个驱动晶体管,用于提供有机发光二极管发光所需的驱动电流。然而,若驱动晶体管属于低温多晶硅薄膜晶体管(low temperature poly-silicon thin-film transistor),驱动晶体管经常会因为制程而产生变异。例如,使用准分子激光退火(Excimer-Laser Annealing,ELA)法制作低温多晶硅薄膜晶体管时,会因激光功率不一致而导致不同像素间的驱动晶体管的临界电压(threshold voltage)不尽相同。此外,若驱动晶体管属于非晶硅薄膜晶体管(amorphous silicon thin-film transistor),经过长时间使用后,驱动晶体管会因为材质老化而导致临界电压上升。基于上述各种相关原因,在接收相同数据电压的情况下,位于不同像素的驱动晶体管所提供有机发光二极管的驱动电流就会有所差异,进而使得有机发光二极管显示器的发光亮度不均匀。

[0004] 另外,传统的有机发光二极管显示器会发生电源电压下降的情形,且不同位置的电源电压下降的程度也会不同。因此,电源电压的不一致亦为导致有机发光二极管显示器的发光亮度不均匀的因素之一。

发明内容

[0005] 像素电路包含驱动晶体管、第一发光开关、第二发光开关、第一开关、第二开关、第一补偿开关、第二补偿开关、储存电容和有机发光二极管。该驱动晶体管具有一第一端、一第二端与一控制端。该第一发光开关具有一第一端、一第二端与一控制端,其中该控制端用于接收一发光控制信号,该第一端用于接收一系统高电压,该第二端耦接于一写入节点。该第二发光开关具有一第一端、一第二端与一控制端,其中该控制端用于接收该发光控制信号,该第一端用于接收该系统高电压,该第二端耦接于该驱动晶体管的该第一端。该第一开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收一第一控制信号,该第一端用于接收一数据电压,该第二端耦接于该写入节点。该第二开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端用于接收一第一参考电压,该第二端耦接于该驱动晶体管的该第一端。该第一补偿开关具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端耦接于该驱动晶体管的该第二端,该第二端耦接于该驱动晶体管的该控制端。该第二补偿开关,具有一第一端、一第二端与一控制端,其中该控制端用于接收该第二控制信号,该第一端耦接于该驱动晶体管的该控制端,该第二端用于接收一第二参考电压。该储存电容具有一第一端与一第二端,其中

该第一端耦接于该写入节点,该第二端耦接于该驱动晶体管的该控制端。该有机发光二极管耦接于该驱动晶体管。

[0006] 像素电路包含驱动晶体管、第一发光开关、第二发光开关、第一开关、第二开关、第一补偿开关、第二补偿开关、储存电容和有机发光二极管。该驱动晶体管具有一第一端、一第二端与一控制端。该第一发光开关具有一第一端、一第二端与一控制端,其中该控制端用于接收一发光控制信号,该第一端用于接收一系统高电压,该第二端耦接于一写入节点。该第二发光开关具有一第一端、一第二端与一控制端,其中该控制端用于接收该发光控制信号,该第一端用于接收该系统高电压,该第二端耦接于该驱动晶体管的该第一端。该第一开关具有一第一端、一第二端与一控制端,其中该控制端用于接收一第一控制信号,该第一端用于接收一数据电压,该第二端耦接于该写入节点。该第二开关具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端用于接收一第一参考电压,该第二端耦接于该驱动晶体管的该第一端。该第一补偿开关具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端耦接于该驱动晶体管的该第二端,该第二端耦接于该驱动晶体管的该控制端。该第二补偿开关具有一第一端、一第二端与一控制端,其中该控制端用于接收该第二控制信号,该第一端耦接于该驱动晶体管的该第二端,该第二端用于接收一第二参考电压。该储存电容具有一第一端和一第二端,其中该第一端耦接于该写入节点,该第二端耦接于该驱动晶体管的该控制端。该有机发光二极管耦接于该驱动晶体管。

[0007] 像素电路包含驱动晶体管、发光控制电路、第一开关、第二开关、补偿电路和有机发光二极管。该驱动晶体管具有一第一端、一第二端与一控制端。该发光控制电路耦接该驱动晶体管的该第一端,用于接收一系统高电压。该第一开关具有一第一端、一第二端与一控制端,其中该控制端用于接收一第一控制信号,该第一端用于接收一数据电压,该第二端耦接于该发光控制电路。该第二开关具有一第一端、一第二端与一控制端,其中该控制端用于接收该第一控制信号,该第一端用于接收一第一参考电压,该第二端耦接于该驱动晶体管的该第一端。该补偿电路耦接于该发光控制电路、该驱动晶体管的该控制端和该驱动晶体管的该第二端,且用于接收一第二控制信号和一第二参考电压。该有机发光二极管耦接于该驱动晶体管。

[0008] 像素电路包含驱动晶体管、发光控制电路、第一开关、第二开关、补偿电路和有机发光二极管。该驱动晶体管具有一第一端、一第二端与一控制端。该发光控制电路耦接该驱动晶体管的该第一端,用于接收一系统高电压。该第一开关具有一第一端、一第二端与一控制端,其中该控制端用于接收一第一控制信号,该第一端用于接收一数据电压,该第二端耦接于该发光控制电路。该第二开关具有一第一端、一第二端与一控制端,其中该第一端用于接收一第一参考电压,该第二端耦接于该驱动晶体管的该第一端。该补偿电路耦接于该发光控制电路、该驱动晶体管的该控制端和该驱动晶体管的该第二端,且用于接收一第二控制信号和一第二参考电压。该有机发光二极管耦接于该驱动晶体管。其中该第二开关的该控制端用于接收一第三控制信号。

附图说明

[0009] 为让揭示文件的上述和其他目的、特征、优点与实施例能更明显易懂,所附图式的

说明如下：

- [0010] 图1为根据本发明一实施例的像素电路简化后的功能方块图。
- [0011] 图2为根据图1的像素电路的一实施例简化后的电路示意图。
- [0012] 图3为根据图2的像素电路的一运作实施例简化后的时序变化图。
- [0013] 图4为图1的像素电路于重置阶段的等效电路图。
- [0014] 图5为图1的像素电路于补偿阶段的等效电路图。
- [0015] 图6为图1的像素电路于发光阶段的等效电路图。
- [0016] 图7为根据本发明另一实施例的像素电路简化后的功能方块图。
- [0017] 图8为根据本发明又一实施例的像素电路简化后的功能方块图。
- [0018] 图9为根据图8的像素电路的一运作实施例简化后的时序变化图。
- [0019] 图10为根据本发明再一实施例的像素电路简化后的功能方块图。其中,附图标记:
- [0020] 100、700、800、1000:像素电路
- [0021] 110:驱动晶体管
- [0022] 120、820:发光控制电路
- [0023] 130:第一开关
- [0024] 140:第二开关
- [0025] 150、750:补偿电路
- [0026] 160:有机发光二极管
- [0027] 222、822:第一发光开关
- [0028] 224、824:第二发光开关
- [0029] 252、752:第一补偿开关
- [0030] 254、754:第二补偿开关
- [0031] 256、756:储存电容
- [0032] Idri:驱动电流
- [0033] Nw:写入节点
- [0034] EM:发光控制信号
- [0035] OVDD:系统高电压
- [0036] OVSS:系统低电压
- [0037] S1:第一控制信号
- [0038] S2:第二控制信号
- [0039] Vdata:数据电压
- [0040] Vg:栅极信号
- [0041] Vref1:第一参考电压
- [0042] Vref2:第二参考电压
- [0043] Vth:临界电压
- [0044] VL:预设低电压
- [0045] VH:预设高电压
- [0046] T1:重置阶段
- [0047] T2:补偿阶段

[0048] T3:发光阶段

具体实施方式

[0049] 以下将配合相关图式来说明本发明的实施例。在图式中,相同的标号表示相同或类似的元件或方法流程。

[0050] 图1为根据本发明一实施例的像素电路100简化后的功能方块图。像素电路100包含驱动晶体管110、发光控制电路120、第一开关130、第二开关140、补偿电路150和有机发光二极管160。像素电路100用于依据接收到的数据电压Vdata来控制有机发光二极管160的发光亮度。

[0051] 于本实施例中,驱动晶体管110具有一第一端、一第二端与一控制端,其中第一端耦接于发光控制电路120,控制端和第二端则耦接于补偿电路150。第一开关130具有第一端、第二端与控制端,其中第一端用于接收数据电压Vdata,第二端耦接于写入节点Nw,控制端则用于接收第一控制信号S1。第二开关140具有第一端、第二端与控制端,其中第一端用于接收第一参考电压Vref1,第二端耦接于驱动晶体管110的第一端,控制端则用于接收第一控制信号S1。有机发光二极管160的阳极端耦接于补偿电路150,阴极端则用于接收系统低电压OVSS。

[0052] 于图1中,发光控制电路120用于接收系统高电压OVDD,并用于依据发光控制信号EM提供系统高电压OVDD至驱动晶体管110的第一端和写入节点Nw。补偿电路150用于接收第二参考电压Vref2,并用于依据第一控制信号S1、第二控制信号S2、第一参考电压Vref1、第二参考电压Vref2以及数据电压Vdata,提供栅极信号Vg至驱动晶体管110的控制端。

[0053] 于本实施例中,当发光控制电路120提供系统高电压OVDD至驱动晶体管110的第一端时,驱动晶体管110会依据栅极信号Vg和系统高电压OVDD产生驱动电流Idri。此时,有机发光二极管160的阳极端会通过补偿电路150接收驱动电流Idri,进而产生特定的发光亮度。

[0054] 实作上,驱动晶体管110可以用各种合适的P型晶体管来实现。例如,P型的低温多晶硅薄膜晶体管。

[0055] 于图1的实施例中,补偿电路150会依据驱动晶体管110的临界电压Vth和系统高电压OVDD的变化,适应性地调整栅极信号Vg的电压电平。因此,即使不同像素间驱动晶体管110的临界电压Vth因制程因素而产生变异,或是系统高电压OVDD发生扰动或下降,像素电路100的驱动电流Idri和数据电压Vdata之间仍会维持相同的对应关系,进而使有机发光二极管160的发光亮度和数据电压Vdata之间维持相同的对应关系。

[0056] 以下将配合图2和图3进一步说明像素电路100的运作方式。请参照图2,发光控制电路120包含第一发光开关222和第二发光开关224。第一发光开关222具有第一端、第二端与控制端,其中控制端用于接收发光控制信号EM,第一端用于接收系统高电压OVDD,第二端则耦接于写入节点Nw。第二发光开关224具有第一端、第二端与控制端,其中控制端用于接收发光控制信号EM,第一端用于接收系统高电压OVDD,第二端则耦接于驱动晶体管110的第一端。

[0057] 补偿电路150包含第一补偿开关252、第二补偿开关254和储存电容256。第一补偿开关252具有第一端、第二端与控制端,其中控制端用于接收第一控制信号S1,第一端耦接

于驱动晶体管110的第二端,第二端则耦接于驱动晶体管110的控制端。第二补偿开关254具有第一端、第二端与控制端,其中控制端用于接收第二控制信号S2,第一端耦接于驱动晶体管110的控制端,第二端则用于接收第二参考电压Vref2。储存电容256具有第一端和第二端,其中第一端耦接于写入节点Nw,第二端耦接于驱动晶体管110的控制端。

[0058] 实作上,第一开关130、第二开关140、第一发光开关222、第二发光开关224、第一补偿开关252和第二补偿开关254可以用各种合适的P型晶体管来实现。例如,P型的低温多晶硅薄膜晶体管。

[0059] 图3为根据图2的像素电路100的一运作实施例简化后的时序变化图。请同时参照图2和图3,像素电路100的一个运作周期依序包含重置阶段T1、补偿阶段T2和发光阶段T3。

[0060] 在重置阶段T1中,第一控制信号S1和第二控制信号S2处于预设低电压VL,发光控制信号EM则处于预设高电压VH。因此,第一开关130、第二开关140、第一补偿开关252和第二补偿开关254处于导通状态,第一发光开关222和第二发光开关224则处于关断状态。

[0061] 请参考图4所示的像素电路100于重置阶段T1的等效电路图。数据电压Vdata会通过第一开关130传递至写入节点Nw,第一参考电压Vref1会通过第二开关140传递至驱动晶体管110的第一端。第二参考电压Vref2则会通过第二补偿开关254传递至储存电容256的第二端,使得补偿电路150提供的栅极信号Vg的电压电平近似于第二参考电压Vref2。

[0062] 于本实施例中,系统低电压OVSS大于第一参考电压Vref1,第一参考电压Vref1又大于第二参考电压Vref2。详细来说,第一参考电压Vref1可设定为小于系统低电压OVSS与有机发光二极管160的一导通电压的总和。第二参考电压Vref2可设定为小于第一参考电压Vref1和驱动晶体管110的临界电压Vth的绝对值的差值。因此,于重置阶段T1中,驱动晶体管110会处于导通状态,而有机发光二极管160则处于关断状态。

[0063] 如此一来,于重置阶段T1中,像素电路100不但可以重置驱动晶体管的第一端、第二端和控制端的电压电平,还可以避免有机发光二极管160误发光。

[0064] 于补偿阶段T2中,第一控制信号S1处于预设低电压VL,第二控制信号S2和发光控制信号EM处于预设高电压VH。因此,第一开关130、第二开关140和第一补偿开关252处于导通状态,第一发光开关222、第二发光开关224和第二补偿开关254则处于关断状态。

[0065] 请参考图5所示的像素电路100于补偿阶段T2的等效电路图。由于第一开关130导通,写入节点Nw会维持于数据电压Vdata。第一参考电压Vref1则会经由第二开关140、驱动晶体管110和第一补偿开关252传递至储存电容256的第二端。因此,补偿电路150提供的栅极信号Vg的电压电平会由近似于第二参考电压Vref2逐渐上升,直到栅极信号Vg的电压电平趋近于第一参考电压Vref1和驱动晶体管110的临界电压Vth的绝对值的差值,而使驱动晶体管110切换至关断状态。

[0066] 换言之,于补偿阶段T2结束时,栅极信号Vg的电压电平可由下列《公式1》表示:

[0067] $V_g = V_{ref1} - |V_{th}|$ 《公式1》

[0068] 在本实施例中,第一参考电压Vref1小于系统低电压OVSS和有机发光二极管160的导通电压的总和。因此,在整个补偿阶段中,驱动晶体管110的第二端(亦即,有机发光二极管160的阳极端)的电压,皆会小于系统低电压OVSS和有机发光二极管160的导通电压的总和,使得有机发光二极管160维持于关断状态以避免误发光。

[0069] 另外,由上述《公式1》可知,于每次的补偿阶段结束时,有机发光二极管160的阳极

端皆会被重置为不受不同数据电压Vdata影响的固定电压(亦即,第一参考电压Vref1和临界电压Vth的绝对值的差值)。

[0070] 于发光阶段T3中,第一控制信号S1和第二控制信号S2处于预设高电压VH,发光控制信号EM处于预设低电压VL。因此,第一开关130、第二开关140、第一补偿开关252和第二补偿开关254处于关断状态,第一发光开关222和第二发光开关224则处于导通状态。

[0071] 请参考图6所示的像素电路100于发光阶段T3的等效电路图。系统高电压OVDD会经由第一发光开关222传递至写入节点Nw,使得写入节点Nw的电压由数据电压Vdata变化为系统高电压OVDD。因此,写入节点Nw的电压变化量 ΔV_{nw} 可由下列的《公式2》表示:

$$[0072] \quad \Delta V_{nw} = OVDD - Vdata \quad \text{《公式2》}$$

[0073] 由于驱动晶体管110的控制端处于浮接(floating)状态,所以写入节点Nw的电压变化量 ΔV_{nw} 会藉由储存电容256的电容耦合效应(capacity coupling effect)传递至驱动晶体管110的控制端。

[0074] 亦即,于发光阶段T3中,栅极信号Vg的电压变化量 ΔV_g ,会近似且正相关于写入节点Nw的电压变化量 ΔV_{nw} 。因此,栅极信号Vg的电压电平可由下列的《公式3》表示:

$$[0075] \quad Vg = Vref1 - |Vth| + \Delta Vg$$

$$[0076] \quad = Vref1 - |Vth| + \Delta V_{nw}$$

$$[0077] \quad = Vref1 - |Vth| + OVDD - Vdata \quad \text{《公式3》}$$

[0078] 另外,系统高电压OVDD还会经由第二发光开关224传递至驱动晶体管110的第一端,使得驱动晶体管110运作于饱和区。因此,驱动晶体管110会依据驱动晶体管110的第一端和控制端的电压差产生驱动电流Idri,且驱动电流Idri可由下列的《公式4》表示:

$$[0079] \quad \begin{aligned} Idri &= \frac{1}{2} k (OVDD - Vg - |Vth|)^2 \\ &= \frac{1}{2} k (OVDD - Vref1 + |Vth| - OVDD + Vdata - |Vth|)^2 \\ &= \frac{1}{2} k (Vdata - Vref1)^2 \end{aligned} \quad \text{《公式4》}$$

[0080] 在《公式4》中,k表示驱动晶体管110的载子迁移率(carrier mobility)、栅极氧化层的单位电容大小以及栅极宽长比三者的乘积。

[0081] 由上述的《公式3》和《公式4》可知,在数据电压Vdata相同的情况下,驱动电流Idri的值与驱动晶体管110的临界电压Vth以及系统高电压OVDD无关。因此,像素电路100能够有效地消除因临界电压变异或电源电压下降所造成的有机发光二极管面板亮度不均匀的问题。

[0082] 另外,于发光阶段T3,当驱动晶体管110的控制端处于浮接状态时,若系统高电压OVDD有电压扰动的情况,其电压变化量会藉由储存电容256的电容耦合效应传递至驱动晶体管110的控制端,使得栅极信号Vg的电压变化量正相关于系统高电压OVDD的电压变化量。因此,驱动晶体管110的第一端和控制端的电压差仍会维持于固定值,使得驱动电流Idri的大小维持不变,进而在发光阶段T3中维持有机发光二极管的发光亮度的稳定性。

[0083] 综合上述,即使每个像素电路的驱动晶体管110彼此的临界电压Vth不相同,或者

受到电源电压扰动或下降的影响,每个像素电路彼此的驱动电流 I_{dri} 和数据电压 V_{data} 的对应关系仍会保持一致。

[0084] 图7为根据本发明一实施例的像素电路700简化后的功能方块图。像素电路700相似于像素电路100,差异在于像素电路700以补偿电路750取代像素电路100的补偿电路150。补偿电路750包含第一补偿开关752、第二补偿开关754、和储存电容756。

[0085] 于本实施例中,第一补偿开关752具有第一端、第二端与控制端,其中控制端用于接收第一控制信号 $S1$,第一端耦接于驱动晶体管110的第二端,第二端则耦接于驱动晶体管110的该控制端。第二补偿开关754具有第一端、第二端与控制端,其中控制端用于接收第二控制信号 $S2$,第一端耦接于驱动晶体管110的第二端,第二端则用于接收第二参考电压 V_{ref2} 。储存电容756具有第一端和第二端,其中第一端耦接于第一开关130的第二端,第二端则耦接于驱动晶体管110的控制端。

[0086] 实作上,第一补偿开关752和第二补偿开关754可以用各种合适的P型晶体管来实现。例如,P型的低温多晶硅薄膜晶体管。图7中的其他开关亦可以用各种合适的P型晶体管来实现。

[0087] 于重置阶段 $T1$,第二参考电压 V_{ref2} 会通过第一补偿开关752和第二补偿开关754传递至储存电容756的第二端,使得补偿电路750提供电压电平近似于第二参考电压 V_{ref2} 的栅极信号 V_g 至驱动晶体管110的控制端。

[0088] 于补偿阶段 $T2$,第一补偿开关752处于导通状态且第二补偿开关754处于关断状态。因此,栅极信号 V_g 的电压电平如上述《公式1》所示,会由近似于第二参考电压 V_{ref2} 上升至第一参考电压 V_{ref1} 和临界电压 V_{th} 的绝对值的差值。

[0089] 于发光阶段 $T3$,第一补偿开关752和第二补偿开关754皆处于关断状态。因此,栅极信号 V_g 的电压电平如上述《公式3》所示。并且,驱动晶体管110会产生如上述《公式4》所示的驱动电流 I_{dri} 。

[0090] 像素电路700的许多功能电路的结构、运作方式以及优点,相似于像素电路100,为简洁起见,在此不重复赘述。

[0091] 图8为根据本发明一实施例的像素电路800简化后的功能方块图。像素电路800相似于像素电路100,差异在于像素电路800以发光控制电路820取代像素电路100的发光控制电路120。发光控制电路820包含第一发光开关822和第二发光开关824。

[0092] 于本实施例中,第一发光开关822具有第一端、第二端与控制端,其中控制端用于接收第一控制信号 $S1$,第一端用于接收系统高电压 $OVDD$,第二端耦接于第一开关130的第二端。第二发光开关824具有第一端、第二端与控制端,其中控制端用于接收第一控制信号 $S1$,第一端用于接收系统高电压 $OVDD$,第二端耦接于驱动晶体管110的第一端。

[0093] 实作上,第一发光开关822和第二发光开关824可以用各种合适的N型晶体管来实现。例如,N型的低温多晶硅薄膜晶体管。图8中的其他开关则可以用各种合适的P型晶体管来实现。

[0094] 图9为依据像素电路800的一运作实施例简化后的时序变化图。以下将配合图8和图9来进一步说明像素电路800的运作方式。于重置阶段 $T1$ 和补偿阶段 $T2$ 中,第一控制信号 $S1$ 处于预设低电压 V_L ,使得第一发光开关822和第二发光开关824处于关断状态。因此,于重置阶段 $T1$ 和补偿阶段 $T2$ 中,系统高电压 $OVDD$ 不会传递至写入节点 N_w 和驱动晶体管110的第

一端。

[0095] 于发光阶段T3中,第一控制信号S1处于预设高电压VH,使得第一发光开关822和第二发光开关824处于导通状态。因此,系统高电压OVDD会传递至写入节点Nw和驱动晶体管110的第一端,使得驱动晶体管110产生如上述《公式4》所示的驱动电流Idri。

[0096] 相较于像素电路100,像素电路800无需使用发光控制信号EM,所以具有较简单的电路架构和较小的电路面积。像素电路800的许多功能方块的电路结构、运作方式以及优点,相似于像素电路100,为简洁起见,在此不重复赘述。

[0097] 图10为根据本发明一实施例的像素电路1000简化后的功能方块图。像素电路1000相似于像素电路800,差异在于像素电路1000以补偿电路750取代像素电路800的补偿电路150。

[0098] 像素电路1000的许多功能方块的电路结构、运作方式以及优点,相似于像素电路800,为简洁起见,在此不重复赘述。

[0099] 由上述《公式4》可知,即使驱动晶体管110存在临界电压Vth变异且系统高电压OVDD因导线内阻而下降,像素电路100、700、800和1000仍可以维持驱动电流Idri和数据电压Vdata的对应关系不变,进而维持有机发光二极管160的发光亮度和数据电压Vdata的对应关系不变。

[0100] 另外,同样由上述《公式4》可知,于每一次进入发光阶段T3前,有机发光二极管160的阳极端皆会被重置至不会受不同数据电压Vdata影响的固定电压(亦即,第一参考电压Vref1和临界电压Vth的绝对值的差值)。而在发光阶段T3时,系统高电压OVDD的任何扰动皆可藉由储存电容256和756的电容耦合效应传递至驱动晶体管110的栅极端,以固定驱动晶体管110的第一端与控制端的电压差值,并稳定有机发光二极管160的发光亮度。

[0101] 在某些实施例中,像素电路100、700、800或1000的第二开关140的控制端可改为接收第三控制信号(未绘示于图中),而不是接收第一控制信号S1。第三控制信号于重置阶段T1和发光阶段T3处于预设高电压VH,且于补偿阶段T2处于预设低电压VL。因此,第二开关140于重置阶段T1和发光阶段T3处于关断状态,且于补偿阶段T2处于导通状态。

[0102] 第二开关140的控制端改为接收第三控制信号的像素电路100、700、800和1000的运作方式,分别相似于前述第二开关140的控制端接收第一控制信号S1的像素电路100、700、800和1000的运作方式。

[0103] 亦即,在像素电路100、700、800或1000的第二开关140的控制端改为接收第三控制信号的该某些实施例中,于重置阶段T1,补偿电路150和750提供的栅极信号Vg的电压电平等于第二参考电压Vref2,而不是近似于第二参考电压Vref2。于补偿阶段T2,补偿电路150和750提供的栅极信号Vg的电压电平如上述《公式1》所示,会由第二参考电压Vref2上升至趋近于第一参考电压Vref1和临界电压Vth的绝对值的差值。于发光阶段T3,补偿电路150和750提供的栅极信号Vg的电压电平如上述《公式3》所示,且栅极信号Vg的电压变化量会正相关于写入节点Nw的电压变化量。

[0104] 值得一提的是,由于第二开关140于重置阶段T1处于关闭状态,所以电流不会由第二开关140的第一端流至第二补偿开关254或754的第二端。因此,将第二开关140的控制端改为接收第三控制信号的该某些实施例,可以进一步节省功率消耗。

[0105] 在另外一些实施例中,除了可将像素电路100和700的第二开关的控制端改为接收

第三控制信号,还可将第一开关以及第一补偿开关和改为以N型晶体管实现,并将第一开关以及第一补偿开关和的控制端改为接收发光控制信号EM。

[0106] 如此一来,除了可防止电流于重置阶段T1由第二开关140的第一端流至第二补偿开关254或754的第二端,还可进一步省略第一控制信号S1,以缩小电路面积。

[0107] 在又一些实施例中,可以将像素电路100和700的第一开关、第二开关以及第一补偿开关和改为以N型晶体管实现,并将第一开关、第二开关以及第一补偿开关和的控制端改为接收发光控制信号EM。如此一来,可以省略第一控制信号S1,以缩小电路面积。

[0108] 在说明书及申请专利范围中使用了某些词汇来指称特定的元件。然而,所属技术领域中具有通常知识者应可理解,同样的元件可能会用不同的名词来称呼。说明书及申请专利范围并不以名称的差异做为区分元件的方式,而是以元件在功能上的差异来做为区分的基准。在说明书及申请专利范围所提及的「包含」为开放式的用语,故应解释成“包含但不限于”。另外,“耦接”在此包含任何直接及间接的连接手段。因此,若文中描述第一元件耦接于第二元件,则代表第一元件可通过电性连接或无线传输、光学传输等信号连接方式而直接地连接于第二元件,或者通过其他元件或连接手段间接地电性或信号连接至该第二元件。

[0109] 以上仅为本发明的较佳实施例,凡依本发明请求项所做的均等变化与修饰,皆应属本发明的涵盖范围。

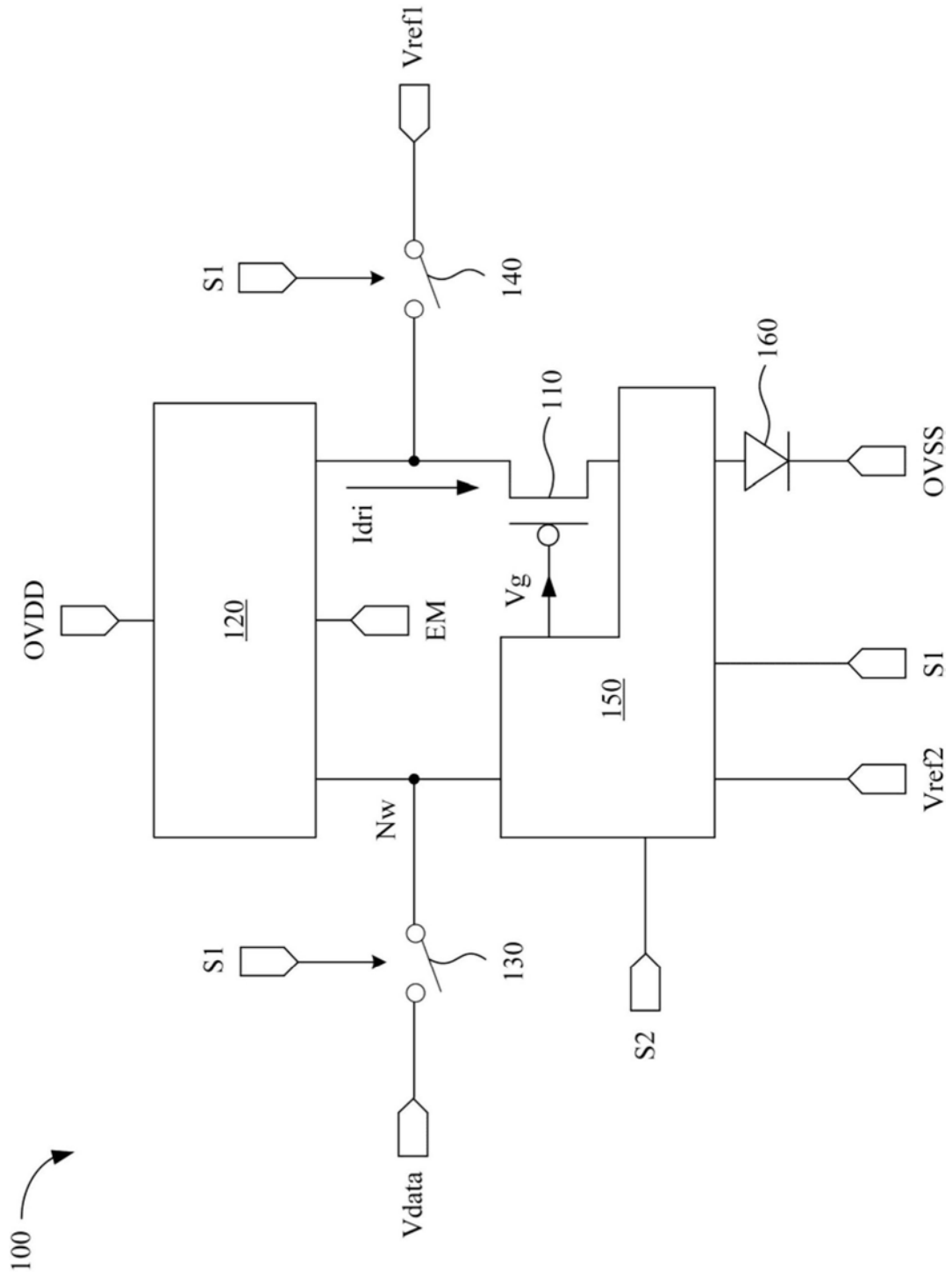


图1

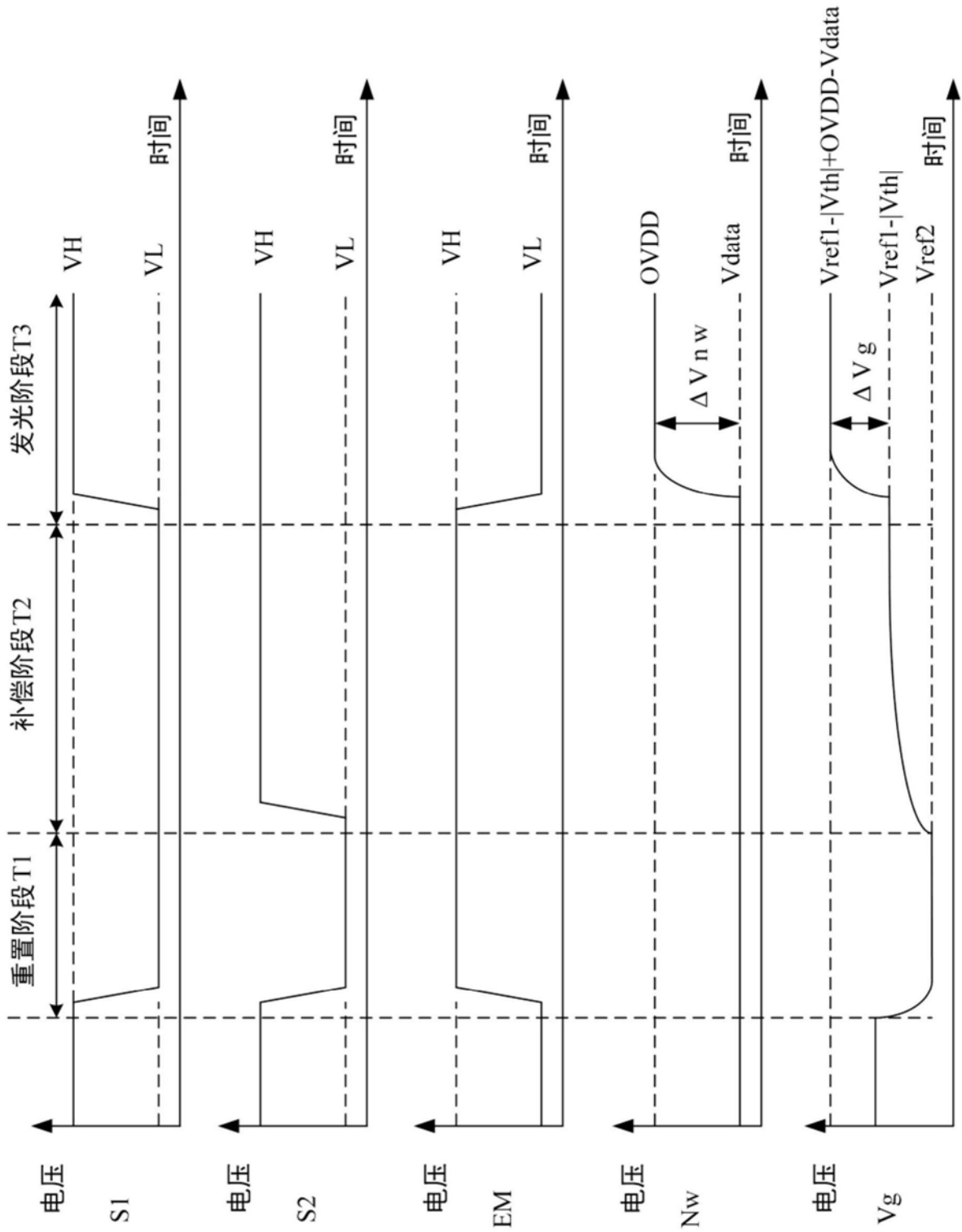


图3

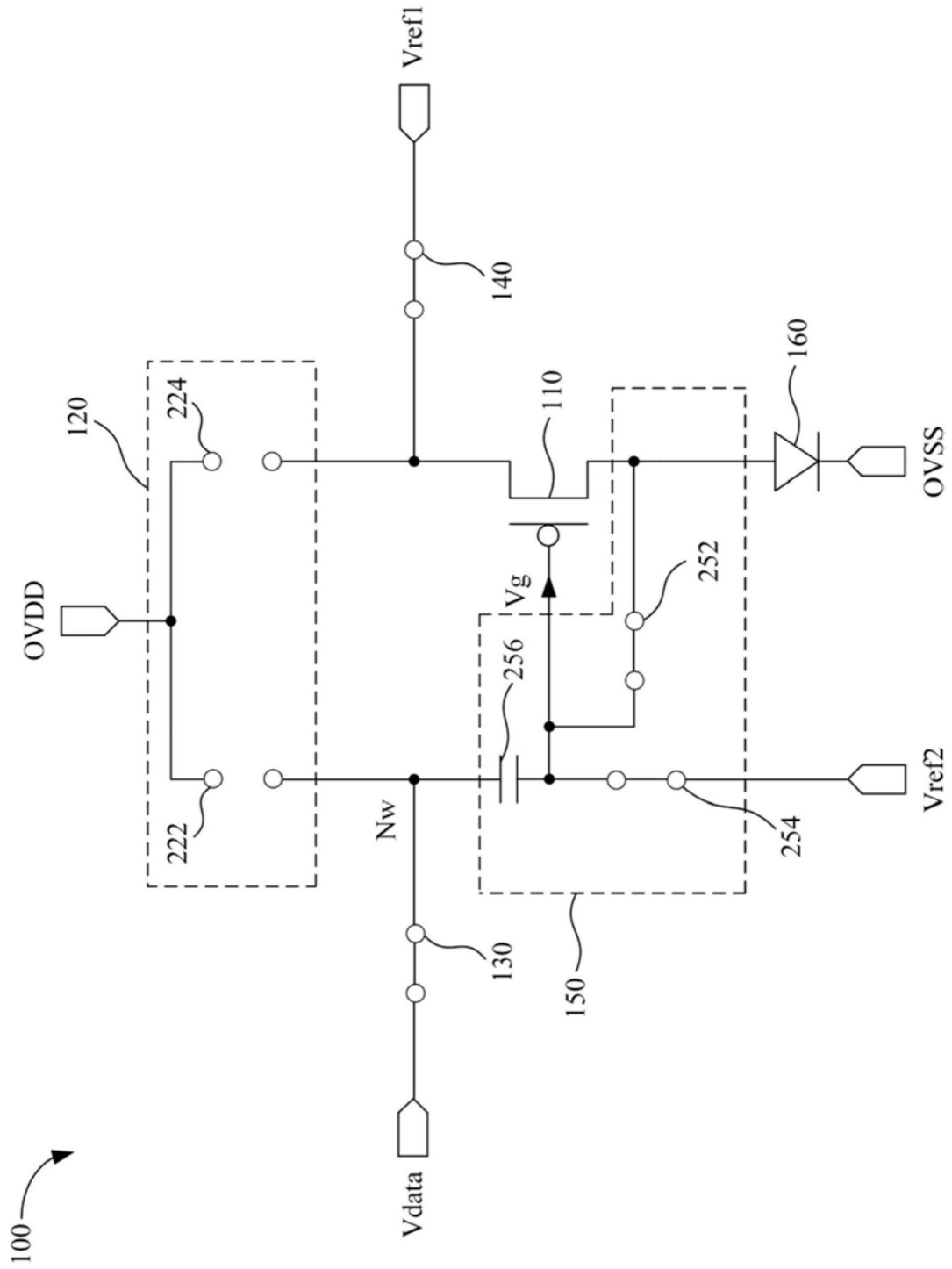


图4

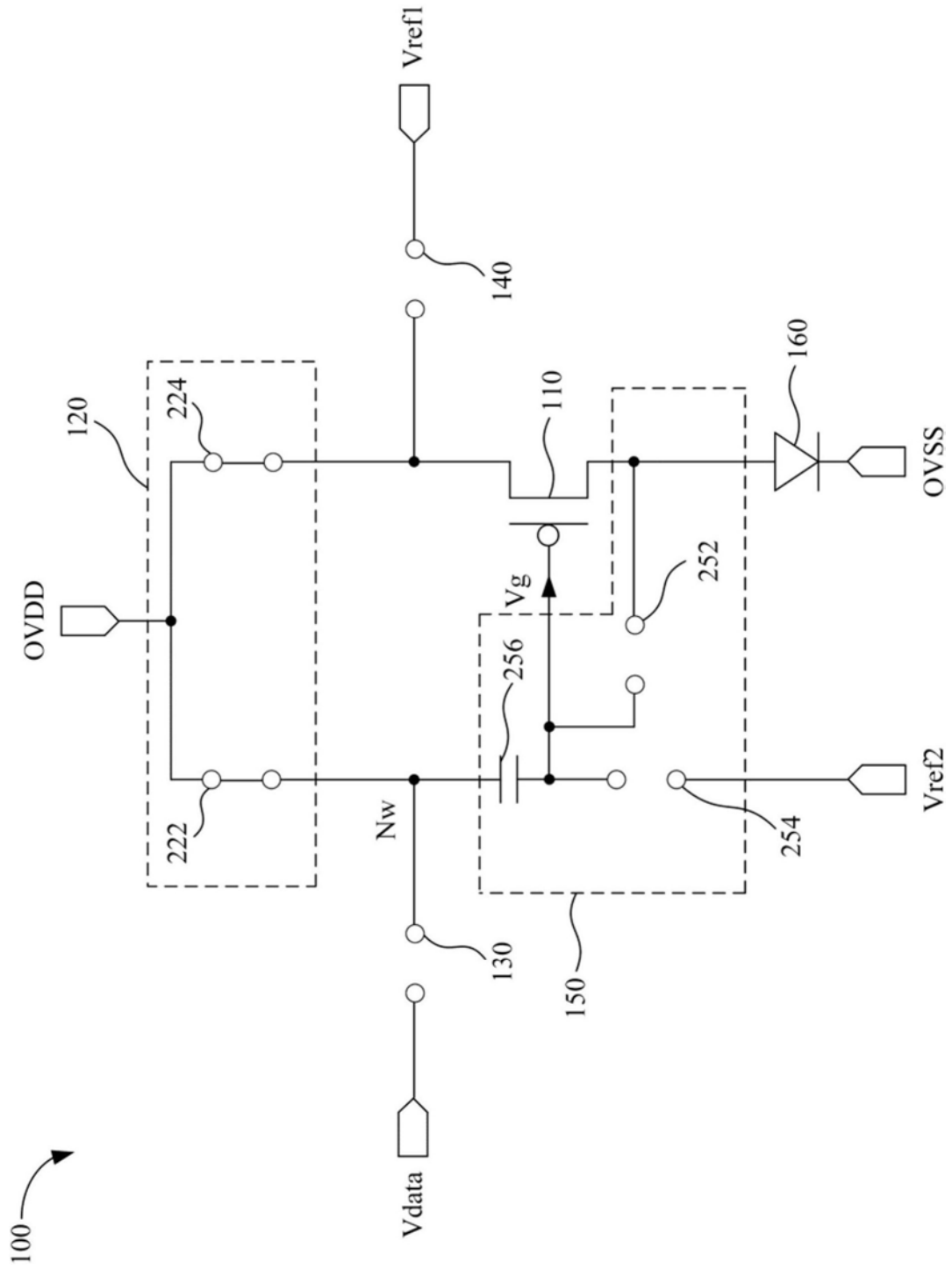


图6

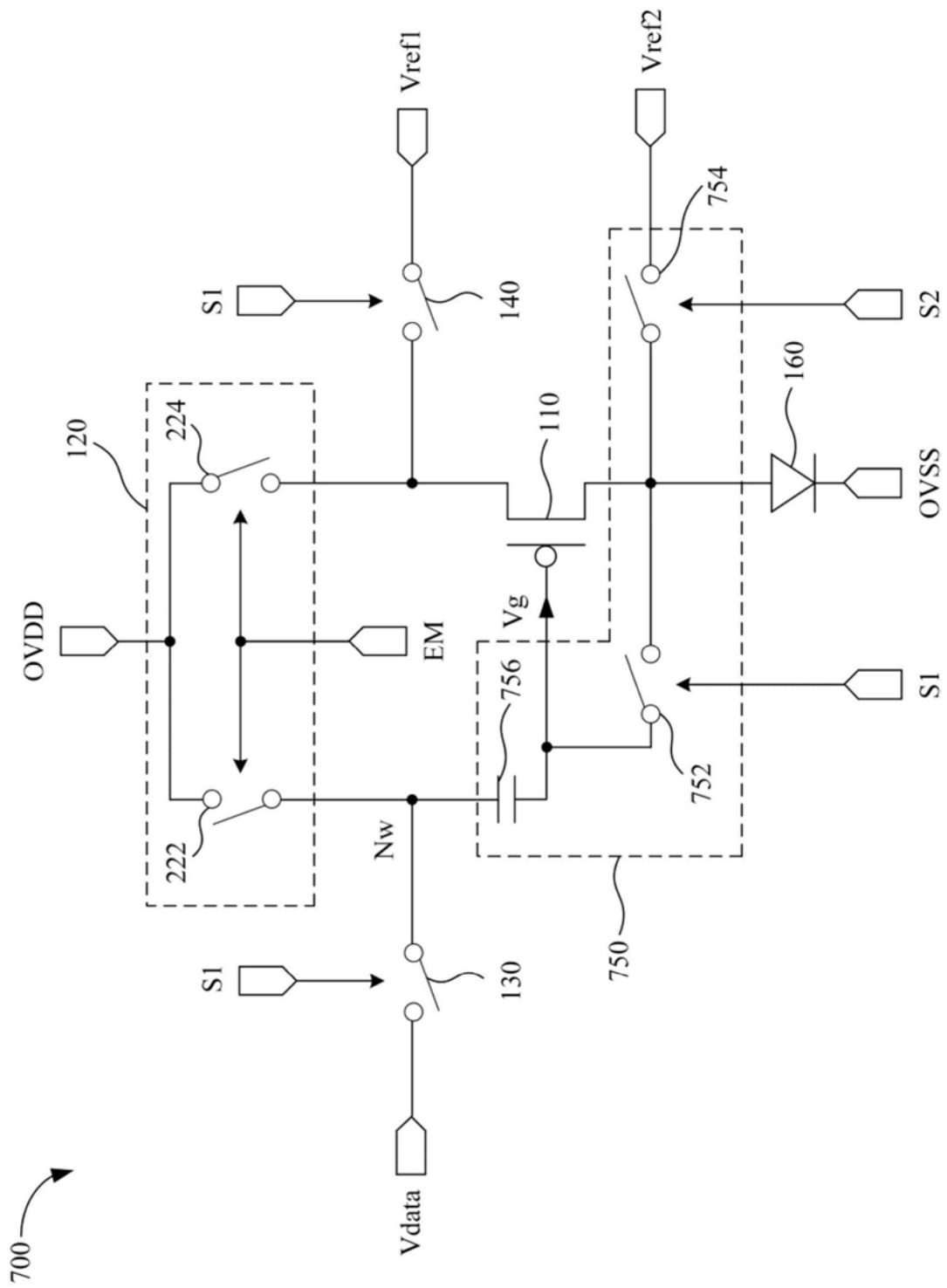


图7

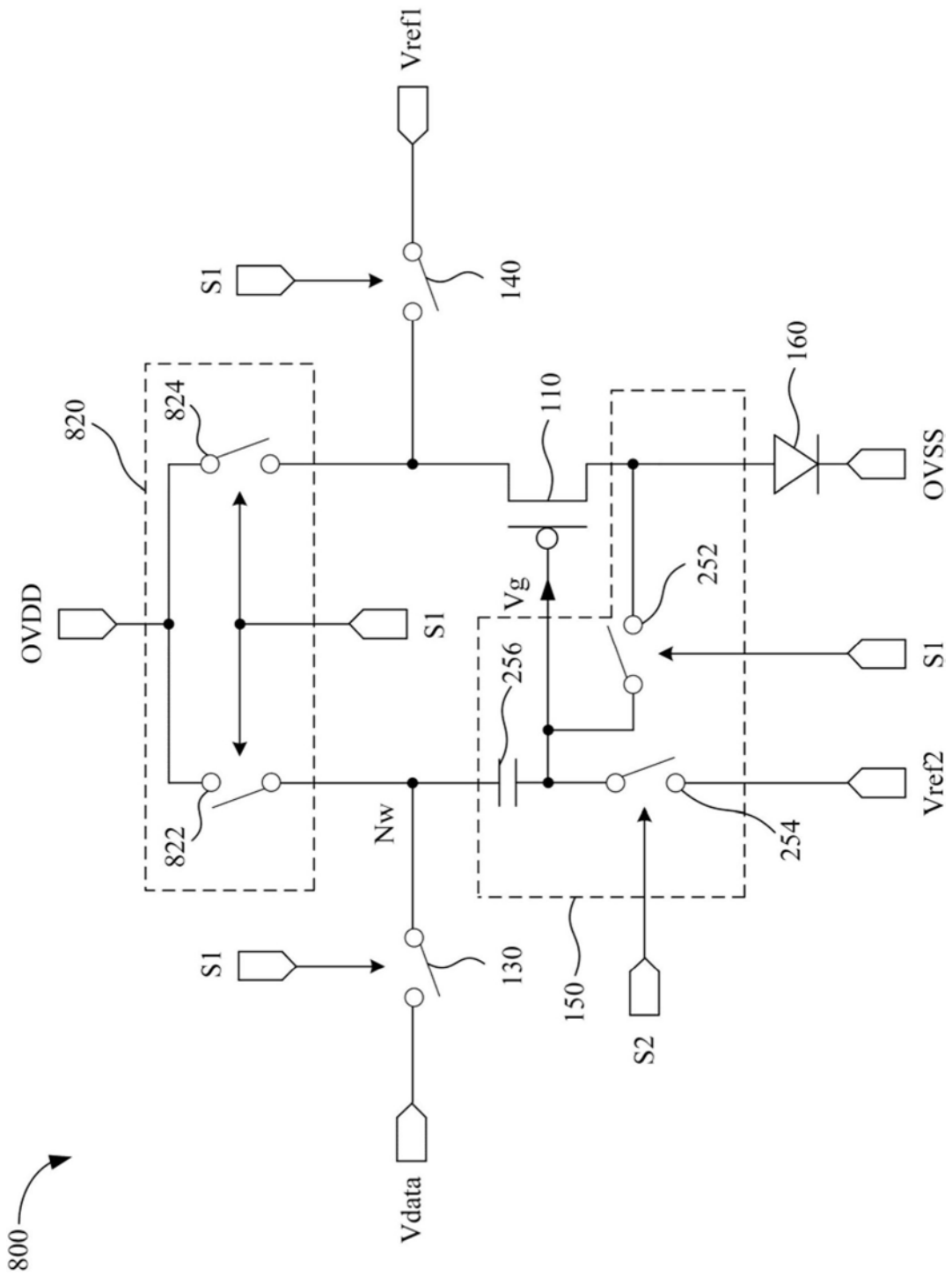


图8

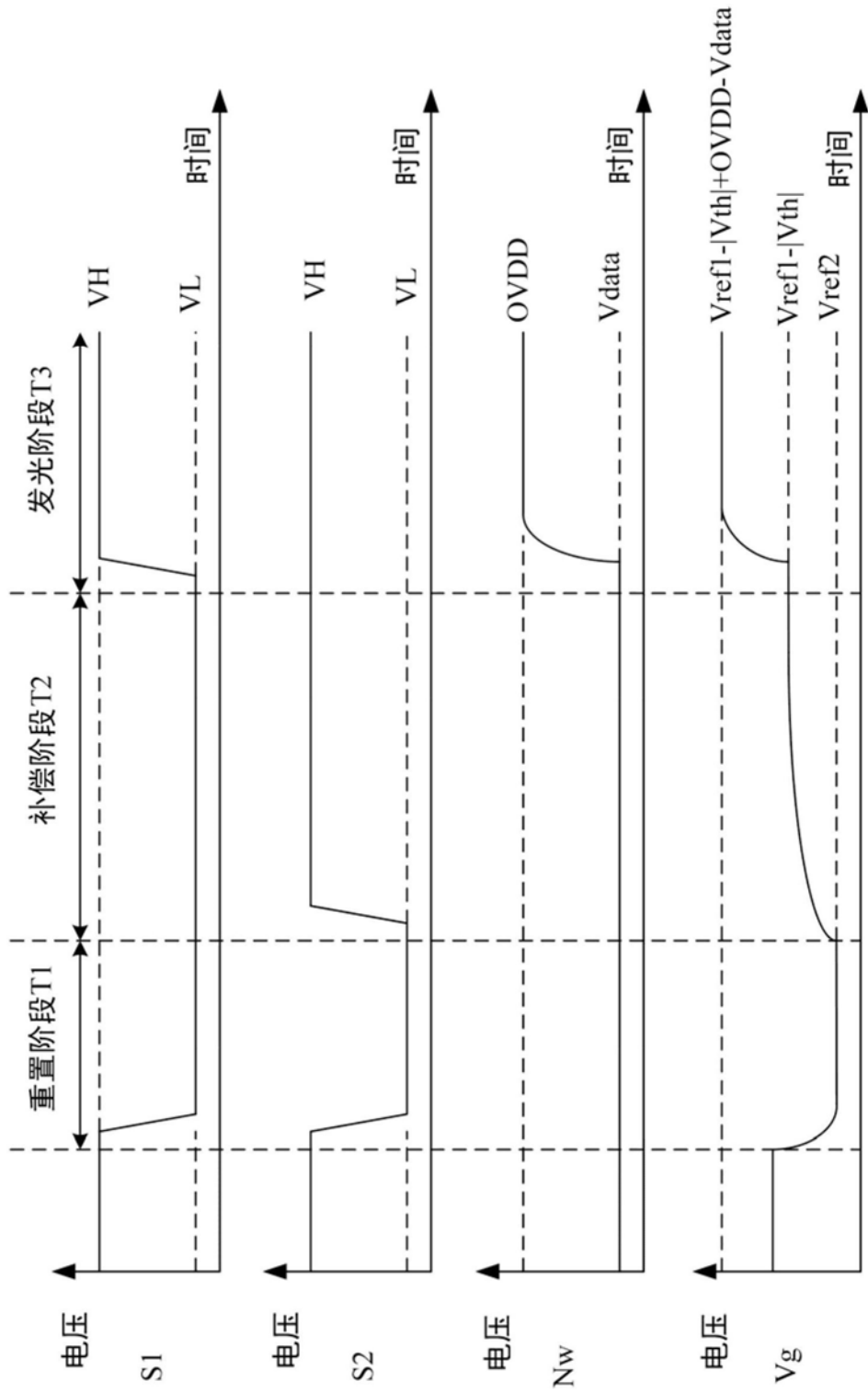


图9

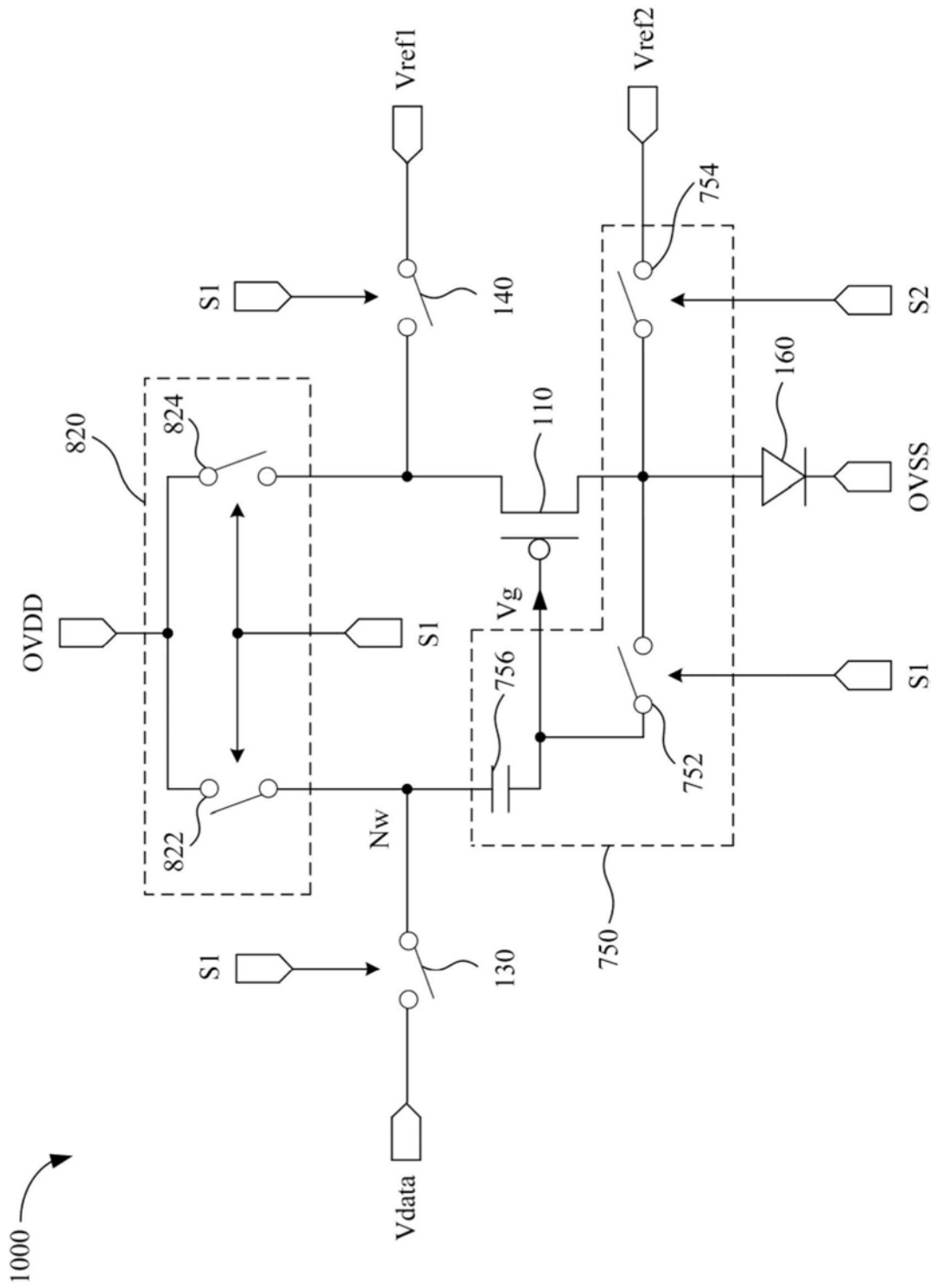


图10

专利名称(译)	像素电路		
公开(公告)号	CN108550346A	公开(公告)日	2018-09-18
申请号	CN201810387705.1	申请日	2018-04-26
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	郑贺薰 洪嘉泽 张玮轩		
发明人	郑贺薰 洪嘉泽 张玮轩		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225		
优先权	107107486 2018-03-06 TW		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路，包含驱动晶体管、发光控制电路、第一开关、第二开关、补偿电路和有机发光二极管。驱动晶体管具有一第一端、一第二端与一控制端。发光控制电路耦接驱动晶体管的第一端，用于接收一系统高电压。第一开关具有一第一端、一第二端与一控制端，其中控制端用于接收一第一控制信号，第一端用于接收一数据电压，第二端耦接于发光控制电路。第二开关具有一第一端、一第二端与一控制端，其中控制端用于接收第一控制信号，第一端用于接收一第一参考电压，第二端耦接于驱动晶体管的第一端。补偿电路耦接于发光控制电路、驱动晶体管的控制端和第二端，且用于接收一第二控制信号和一第二参考电压。有机发光二极管耦接于驱动晶体管。

