



(12) 发明专利申请

(10) 申请公布号 CN 103137069 A

(43) 申请公布日 2013.06.05

(21) 申请号 201310017534.0

(22) 申请日 2013.01.17

(30) 优先权数据

101143485 2012.11.21 TW

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行二路1号

(72) 发明人 郑士嵩

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 田景宜

(51) Int. Cl.

G09G 3/32 (2006.01)

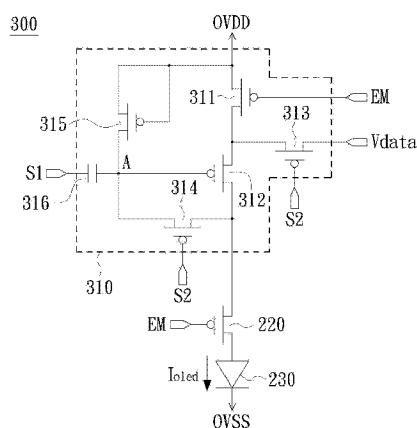
权利要求书3页 说明书7页 附图8页

(54) 发明名称

像素电路

(57) 摘要

本发明公开了一种像素电路,包括有机发光二极管、补偿单元以及开关晶体管。有机发光二极管具有阳极端与阴极端,有机发光二极管的阴极端电性连接至第一电压源。补偿单元电性连接至第二电压源,并用以接收控制信号、第一扫描信号与第二扫描信号,第一扫描信号与第二扫描信号的脉冲致能期间皆在控制信号的脉冲致能期间内,而第一扫描信号的脉冲致能期间在第二扫描信号的脉冲致能期间之前。开关晶体管具有第一端、第二端以及栅极端,开关晶体管的二端电性连接于补偿单元与有机发光二极管的阳极端之间,并依据控制信号导通开关晶体管。



1. 一种像素电路,其特征在于,包括:

一有机发光二极管,具有一阳极端与一阴极端,该有机发光二极管的该阴极端电性连接至一第一电压源;

一补偿单元,电性连接至一第二电压源,并用以接收一控制信号、一第一扫描信号与一第二扫描信号,该第一扫描信号与该第二扫描信号的脉冲致能期间皆在该控制信号的脉冲致能期间内,而该第一扫描信号的脉冲致能期间在该第二扫描信号的脉冲致能期间之前;以及

一开关晶体管,该开关晶体管具有一第一端、一第二端以及一栅极端,该开关晶体管的二端电性连接于该补偿单元与该有机发光二极管的该阳极端之间,并依据该控制信号导通该开关晶体管,其中该第一电压源与该第二电压源皆为固定电压,且该第一电压源的位准小于该第二电压源的位准。

2. 如权利要求 1 所述的像素电路,其特征在于,该补偿单元包括有:

一第一晶体管,该第一晶体管具有一第一端、一第二端以及一栅极端,该第一晶体管的该第一端电性连接至该第二电压源,而该第一晶体管的该栅极端则用以接收该控制信号;

一第二晶体管,该第二晶体管具有一第一端、一第二端以及一栅极端,该第二晶体管的该第一端电性连接至该第一晶体管的该第二端,该第二晶体管的该第二端电性连接至该开关晶体管的该第一端;

一第三晶体管,该第三晶体管具有一第一端、一第二端以及一栅极端,该第三晶体管的该第一端用以接收一数据电压,该第三晶体管的该第二端电性连接至该第二晶体管的该第一端,而该第三晶体管的该栅极端则用以接收该第二扫描信号;

一第四晶体管,该第四晶体管具有一第一端、一第二端以及一栅极端,该第四晶体管的该第一端电性连接至该第二晶体管的该第二端,该第四晶体管的该第二端电性连接至该第二晶体管的该栅极端,而该第四晶体管的该栅极端则用以接收该第二扫描信号;

一第五晶体管,该第五晶体管具有一第一端、一第二端以及一栅极端,该第五晶体管的该第一端与该栅极端皆电性连接至该第二电压源,该第五晶体管的该第二端电性连接至该第二晶体管的该栅极端;以及

一第一电容,该第一电容的其中一端用以接收该第一扫描信号,而另一端则电性连接至该第二晶体管的该栅极端。

3. 如权利要求 2 所述的像素电路,其特征在于,该第一晶体管、该第二晶体管、该第三晶体管、该第四晶体管、该第五晶体管与该开关晶体管皆为 P 型晶体管。

4. 如权利要求 2 所述的像素电路,其特征在于,该补偿单元更包括有一第二电容,该第二电容电性连接于该第四晶体管的该第二端与该栅极端之间。

5. 如权利要求 1 所述的像素电路,其特征在于,在一第一阶段期间中,该控制信号、该第一扫描信号与该第二扫描信号皆呈现高位准状态,在一第二阶段期间中,该第一扫描信号与该第二扫描信号皆呈现低位准状态,而该控制信号则呈现高位准状态,在一第三阶段期间中,该第一扫描信号与该第二扫描信号皆呈现低位准状态,而该控制信号则呈现高位准状态。

6. 如权利要求 1 所述的像素电路,其特征在于,该补偿单元包括有:

一第一晶体管,该第一晶体管具有一第一端、一第二端以及一栅极端,该第一晶体管的

该第一端电性连接至该第二电压源,而该第一晶体管的该栅极端则用以接收该控制信号;

一第二晶体管,该第二晶体管具有一第一端、一第二端以及一栅极端,该第二晶体管的该第一端电性连接至该第一晶体管的该第二端,该第二晶体管的该第二端电性连接至该开关晶体管的该第一端;

一第三晶体管,该第三晶体管具有一第一端、一第二端以及一栅极端,该第三晶体管的该第一端用以接收一数据电压,该第三晶体管的该第二端电性连接至该第二晶体管的该第一端,而该第三晶体管的该栅极端则用以接收该第二扫描信号;

一第四晶体管,该第四晶体管具有一第一端、一第二端以及一栅极端,该第四晶体管的该第一端电性连接至该第二晶体管的该第二端,该第四晶体管的该第二端电性连接至该第二晶体管的该栅极端,而该第四晶体管的该栅极端则用以接收该第二扫描信号;

一第五晶体管,该第五晶体管具有一第一端、一第二端以及一栅极端,该第五晶体管的该第一端与该栅极端皆电性连接至一第三电压源,该第五晶体管的该第二端电性连接至该第二晶体管的该栅极端,其中该第三电压源为固定电压,且该第三电压源的位准大于或等于该第二电压源的位准;

一第一电容,该第一电容的其中一端用以接收该第一扫描信号,而该第一电容的另一端则电性连接至该第二晶体管的该栅极端;以及

一第二电容,电性连接于该第二电压源或该第三电压源以及该第一电容之间。

7. 一种像素电路,其特征在于,包括:

一有机发光二极管,具有一阳极端与一阴极端,该有机发光二极管的该阳极端电性连接至一第一电压源;

一补偿单元,电性连接至一第二电压源,并用以接收一控制信号、一第一扫描信号与一第二扫描信号,该第一扫描信号与该第二扫描信号的脉冲致能期间皆在该控制信号的脉冲致能期间内,而该第一扫描信号的脉冲致能期间在该第二扫描信号的脉冲致能期间之前;以及

一开关晶体管,该开关晶体管具有一第一端、一第二端以及一栅极端,该开关晶体管的二端电性连接于该补偿单元与该有机发光二极管的该阴极端之间,并依据该控制信号导通该开关晶体管,其中该第一电压源与该第二电压源皆为固定电压,且该第一电压源的位准大于该第二电压源的位准。

8. 如权利要求 7 所述的像素电路,其特征在于,该补偿单元包括有:

一第一晶体管,该第一晶体管具有一第一端、一第二端以及一栅极端,该第一晶体管的该第一端电性连接至该第二电压源,而该第一晶体管的该栅极端则用以接收该控制信号;

一第二晶体管,该第二晶体管具有一第一端、一第二端以及一栅极端,该第二晶体管的该第一端电性连接至该第一晶体管的该第二端,该第二晶体管的该第二端电性连接至该开关晶体管的该第一端;

一第三晶体管,该第三晶体管具有一第一端、一第二端以及一栅极端,该第三晶体管的该第一端用以接收一数据电压,该第三晶体管的该第二端电性连接至该第二晶体管的该第一端,而该第三晶体管的该栅极端则用以接收该第二扫描信号;

一第四晶体管,该第四晶体管具有一第一端、一第二端以及一栅极端,该第四晶体管的该第一端电性连接至该第二晶体管的该第二端,该第四晶体管的该第二端电性连接至该第

二晶体管的该栅极端,而该第四晶体管的该栅极端则用以接收该第二扫描信号;

一第五晶体管,该第五晶体管具有一第一端、一第二端以及一栅极端,该第五晶体管的该第一端与该栅极端皆电性连接至该第二电压源,该第五晶体管的该第二端电性连接至该第二晶体管的该栅极端;以及

一第一电容,该第一电容的其中一端用以接收该第一扫描信号,而该第一电容的另一端则电性连接至该第二晶体管的该栅极端。

9. 如权利要求 8 所述的像素电路,其特征在于,该第一晶体管、该第二晶体管、该第三晶体管、该第四晶体管、该第五晶体管与该开关晶体管皆为 N 型晶体管。

10. 如权利要求 7 所述的像素电路,其特征在于,在一第一阶段期间中,该控制信号、该第一扫描信号与该第二扫描信号皆呈现低位准状态,在一第二阶段期间中,该第一扫描信号与该第二扫描信号皆呈现高位准状态,而该控制信号则呈现低位准状态,在一第三阶段期间中,该第一扫描信号与该第二扫描信号皆呈现高位准状态,而该控制信号则呈现低位准状态。

11. 一种像素电路,其特征在于,包括:

一有机发光二极管,具有一阳极端与一阴极端,该有机发光二极管的该阴极端电性连接至一第一电压源;

一开关晶体管,该开关晶体管具有一第一端、一第二端以及一栅极端,该开关晶体管的该第二端电性连接至该有机发光二极管的该阳极端,该开关晶体管的该栅极端则用以接收一控制信号,并依据该控制信号导通该开关晶体管;

一第一晶体管,该第一晶体管具有一第一端、一第二端以及一栅极端,其中该第一晶体管的该第一端电性连接至一第二电压源,而该第一晶体管的该栅极端则用以接收该控制信号;

一第二晶体管,该第二晶体管具有一第一端、一第二端以及一栅极端,其中该第二晶体管的该第一端电性连接至该第一晶体管的该第二端,该第二晶体管的该第二端电性连接至该开关晶体管的该第一端;

一第三晶体管,该第三晶体管具有一第一端、一第二端以及一栅极端,其中该第三晶体管的该第一端用以接收一数据电压,该第三晶体管的该第二端电性连接至该第二晶体管的该第一端,而该第三晶体管的该栅极端则用以接收一第二扫描信号;

一第四晶体管,该第四晶体管具有一第一端、一第二端以及一栅极端,其中该第四晶体管的该第一端电性连接至该第二晶体管的该第二端,该第四晶体管的该第二端电性连接至该第二晶体管的该栅极端,而该第四晶体管的该栅极端则用以接收该第二扫描信号;

一第五晶体管,该第五晶体管具有一第一端、一第二端以及一栅极端,该第五晶体管的该第一端与该第五晶体管的该栅极端皆电性连接至该第二电压源,该第五晶体管的该第二端电性连接至该第二晶体管的该栅极端;以及

一第一电容,该第一电容的其中一端用以接收一第一扫描信号,而该第一电容的另一端则电性连接至该第二晶体管的该栅极端。

12. 如权利要求 11 所述的像素电路,其特征在于,更包括有一第二电容,该第二电容电性连接于该第四晶体管的该第二端与该栅极端之间。

像素电路

技术领域

[0001] 本发明是有关于一种有机发光二极管显示的技术领域,且特别是有关于一种有机发光二极管显示器的像素电路。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode, OLED)显示器的像素电路一般以二个晶体管及一个电容(2T1C)来控制有机发光二极管的亮度表现。请参照图 1,其为传统像素电路的示意图。此种像素电路 100 包括有驱动晶体管 102、开关晶体管 104、电容 106 以及有机发光二极管 110。驱动晶体管 102 的第一端电性连接至电压源 OVDD。开关晶体管 104 的栅极端因电性连接关系而接收扫描信号 SCAN,开关晶体管 104 的第一端因电性连接关系而接收数据电压 Vdata,而第二端则电性连接至驱动晶体管 102 的栅极端。电容 106 的两端跨接于驱动晶体管 102 的栅极端与第一端之间。有机发光二极管 110 的阳极端电性连接至驱动晶体管 102 的第二端,而阴极端则电性连接至另一电压源 OVSS。前述像素结构系根据驱动晶体管 102 的第一端与栅极端的电位差 V_{sg} (即电容跨压)产生像素电流 I_{oled} 驱动有机发光二极管 110 发亮,此时流过有机发光二极管 110 的像素电流即为 $I_{oled}=K*(V_{sg}-|V_{TH}|)^2$ 。其中,K 为常数, V_{sg} 的大小相关于电压源 OVDD 及数据电压 Vdata 的大小, V_{TH} 为驱动晶体管 102 的临界电压。

[0003] 由于制程的影响,每一个像素的驱动晶体管 102 的临界电压 V_{TH} 均不相同,导致有机发光二极管显示器内部像素与像素之间会有像素电流 I_{oled} 差异,使得流过每一个有机发光二极管 OLED 的电流不同其所产生的亮度就会不同,因而造成面板显示不均匀的问题。

发明内容

[0004] 本发明提出一种像素电路,包括有机发光二极管、补偿单元以及开关晶体管。有机发光二极管具有阳极端与阴极端,有机发光二极管的阴极端电性连接至第一电压源。补偿单元电性连接至第二电压源,并用以接收控制信号、第一扫描信号与第二扫描信号,其中第一扫描信号与第二扫描信号的脉冲致能期间皆在控制信号的脉冲致能期间内,而第一扫描信号的脉冲致能期间在第二扫描信号的脉冲致能期间之前。开关晶体管具有第一端、第二端以及栅极端,开关晶体管的二端电性连接于补偿单元与有机发光二极管的阳极端之间,并依据控制信号导通开关晶体管,其中第一电压源与第二电压源皆为固定电压,且第一电压源的位准小于第二电压源的位准。

[0005] 本发明另提出一种像素电路,其包括有机发光二极管、补偿单元以及开关晶体管。有机发光二极管具有阳极端与阴极端,有机发光二极管的阳极端电性连接至第一电压源。补偿单元电性连接至第二电压源,并用以接收控制信号、第一扫描信号与第二扫描信号,其中第一扫描信号与第二扫描信号的脉冲致能期间皆在控制信号的脉冲致能期间内,而第一扫描信号的脉冲致能期间在第二扫描信号的脉冲致能期间之前。开关晶体管具有第一端、第二端以及栅极端,开关晶体管的二端电性连接于补偿单元与有机发光二极管的阴极端之

间,并依据控制信号导通开关晶体管,其中第一电压源与第二电压源皆为固定电压,且第一电压源的位准大于第二电压源的位准。

[0006] 本发明再提出一种像素电路,包括有机发光二极管、开关晶体管、第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管以及第一电容。其中,有机发光二极管具有阳极端与阴极端,有机发光二极管的阴极端电性连接至第一电压源。开关晶体管具有第一端、第二端以及栅极端,开关晶体管的第二端电性连接至有机发光二极管的阳极端,开关晶体管的栅极端则用以接收控制信号,并依据控制信号导通开关晶体管。第一晶体管具有第一端、第二端以及栅极端,其中第一晶体管的第一端电性连接至第二电压源,而第一晶体管的栅极端则用以接收控制信号。第二晶体管具有第一端、第二端以及栅极端,其中第二晶体管的第一端电性连接至第一晶体管的第二端,第二晶体管的第二端电性连接至开关晶体管的第一端。第三晶体管具有第一端、第二端以及栅极端,其中第三晶体管的第一端用以接收数据电压,第三晶体管的第二端电性连接至第二晶体管的第一端,而第三晶体管的栅极端则用以接收第二扫描信号。第四晶体管具有第一端、第二端以及栅极端,其中第四晶体管的第一端电性连接至第二晶体管的第二端,第四晶体管的第二端电性连接至第二晶体管的栅极端,而第四晶体管的栅极端则用以接收第二扫描信号。第五晶体管具有第一端、第二端以及栅极端,第五晶体管的第一端与第五晶体管的栅极端皆电性连接至第二电压源,第五晶体管的第二端电性连接至第二晶体管的栅极端。第一电容,第一电容的其中一端用以接收第一扫描信号,而第一电容的另一端则电性连接至第二晶体管的栅极端。

[0007] 为让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举较佳实施例,并配合附图,作详细说明如下。

附图说明

[0008] 图 1 为传统像素电路的示意图。

[0009] 图 2 为依照本发明一实施例的像素电路的示意图。

[0010] 图 3 为依照本发明一实施例的补偿单元内部的示意图。

[0011] 图 4 系绘示图 3 所示像素电路的部分信号的时序图。

[0012] 图 5 为依照本发明一实施例的像素电路内部的另一补偿单元的示意图。

[0013] 图 6 为依照本发明一实施例的像素电路内部的再一补偿单元的示意图。

[0014] 图 7 为依照本发明另一实施例的像素电路的示意图。

[0015] 图 8 为依照本发明另一实施例的补偿单元内部的示意图。

[0016] 图 9 系绘示图 8 所示像素电路的部分信号的时序图。

[0017] 其中,附图标记:

[0018] 100、200、300、500、600、700、800:像素电路

[0019] 102:驱动晶体管

[0020] 104:开关晶体管

[0021] 220、720:开关晶体管

[0022] 106、316、517、617、816:电容

[0023] 110、230、730:有机发光二极管

[0024] OVDD、OVSS、Vref:电压源

- [0025] SCAN :扫描信号
[0026] Vdata :数据电压
[0027] Ioled :像素电流
[0028] 210、310、510、610、710、810 :补偿单元
[0029] EM :控制信号
[0030] S1 :第一扫描信号 S2 :第二扫描信号
[0031] 311、811 :第一晶体管 312、812 :第二晶体管
[0032] 313、813 :第三晶体管
[0033] 314、814 :第四晶体管
[0034] 315、615、815 :第五晶体管
[0035] VA :节点 A 的电位
[0036] T1~T5 :时间

具体实施方式

[0037] 图 2 为依照本发明一实施例的像素电路的示意图。此像素电路 200 包括有补偿单元 210、开关晶体管 220 以及有机发光二极管 230。其中,有机发光二极管 230 具有阳极端与阴极端,有机发光二极管 230 的阴极端电性连接至电压源 0VSS。补偿单元 210 电性连接至另一电压源 0VDD,并因电性连接关系而接收控制信号 EM、第一扫描信号 S1 以及第二扫描信号 S2,其中第一扫描信号 S1 与第二扫描信号 S2 的脉冲致能期间皆在控制信号 EM 的脉冲致能期间内,而第一扫描信号 S1 的脉冲致能期间在第二扫描信号 S2 的脉冲致能期间之前(详后述)。开关晶体管 220 具有第一端、第二端以及栅极端,开关晶体管 220 的两端电性连接于补偿单元 210 与有机发光二极管 230 的阳极端之间,并依据控制信号 EM 导通开关晶体管 220。上述电压源 0VSS 与 0VDD 皆为固定电压,且电压源 0VSS 的位准小于电压源 0VDD 的位准,电压源 0VSS 例如是 -4.4 伏特,而电压源 0VDD 例如是 +4.6 伏特。

[0038] 详细来说,请参照图 3,其为补偿单元内部的示意图。在图 3 中,标示与图 2 中的标示相同者表示为相同的物件、电压源或信号。图 3 所示的补偿单元 310 包括有第一晶体管 311、第二晶体管 312(以下所称的第二晶体管即为驱动晶体管)、第三晶体管 313、第四晶体管 314、第五晶体管 315 以及电容 316,其中第一晶体管至第五晶体管 311~315 皆具有第一端、第二端以及栅极端。第一晶体管 311 的第一端电性连接至电压源 0VDD,而第一晶体管 311 的栅极端则因电性连接关系而接收控制信号 EM。第二晶体管 312 的第一端电性连接至第一晶体管 311 的第二端,而第二晶体管 312 的第二端电性连接至开关晶体管 220 的第一端。第三晶体管 313 的第一端因电性连接关系而接收数据电压 Vdata,而第三晶体管 313 的第二端电性连接至第二晶体管 312 的第一端,而第三晶体管 313 的栅极端则因电性连接关系而接收第二扫描信号 S2。第四晶体管 314 的第一端电性连接至第二晶体管 312 的第二端,而第四晶体管 314 的第二端电性连接至第二晶体管 312 的栅极端,而第四晶体管 314 的栅极端则因电性连接关系而接收第二扫描信号 S2。第五晶体管 315 的第一端与栅极端皆电性连接至电压源 0VDD,而第四晶体管 314 的第二端则电性连接至第二晶体管 312 的栅极端。电容 316 的一端因电性连接关系而接收第一扫描信号 S1,而电容 316 的另一端则电性连接至第二晶体管 312 的栅极端。

[0039] 在本实施例中,第一晶体管 311、第二晶体管 312、第三晶体管 313、第四晶体管 314、第五晶体管 315 与开关晶体管 220 可以都是 PMOS 晶体管。以下就以 PMOS 晶体管为例,来叙述图 3 中的第一扫描信号 S1、第二扫描信号 S2 与控制信号 EM 的时序。

[0040] 图 4 系绘示图 3 所示像素电路的部分信号的时序图。在图 4 中,标示与图 3 中的标示相同者表示为相同的信号,而标示 VA 即为图 3 所示的节点 A 的电位。从图 4 可得知,在时间 T1~T5 期间中,第一扫描信号 S1 与第二扫描信号 S2 的脉冲致能期间皆在控制信号 EM 的脉冲致能期间内,而第一扫描信号 S1 的脉冲致能期间在第二扫描信号 S2 的脉冲致能期间之前。其中,在时间 T1 与时间 T5 中,控制信号 EM 的上升缘与第一扫描信号 S1 的上升缘的间隔时间用来缓冲第一扫描信号 S1 由低位准拉升至高位准所需的时间,而控制信号 EM 的下降缘与第二扫描信号 S2 的上升缘的间隔时间则用来缓冲第二扫描信号 S2 由低位准拉升至高位准所需的时间,如此一来,即可确保第一扫描信号 S1 与第二扫描信号 S2 的脉冲致能期间皆在控制信号 EM 的脉冲致能期间之内。

[0041] 虽然,在本实施例中,第一扫描信号 S1 的下降缘与第二扫描信号 S2 的下降缘皆有互为重迭的关系,但是在一些实施例中,第一扫描信号 S1 的下降缘与第二扫描信号 S2 的下降缘也可以非互为重迭关系。也就是说,在第一扫描信号 S1 由高位准转态为低位准之后,第二扫描信号 S2 才开始由高位准转态为低位准状态。因此,第一扫描信号 S1 的下降缘与第二扫描信号 S2 的下降缘的重迭与否,仅要第一扫描信号 S1 与第二扫描信号 S2 的脉冲致能期间皆在控制信号 EM 的脉冲致能期间之内,能够使像素电路正常运作,皆可实现本发明。而以上所列举出的信号实施样态,仅是作为举例之用,本发明并不依此而限。

[0042] 下面将结合图 3 及图 4 来详细描述像素电路 300 的驱动过程,而本发明的像素电路 300 的驱动过程主要包括有重置操作阶段、写入和补偿操作阶段以及发光操作阶段,分别落在时间 T2、时间 T3 以及时间 T5 期间中。

[0043] 具体而言,像素电路 300 在重置操作阶段 T2 期间中,控制信号 EM、第一扫描信号 S1 与第二扫描信号 S2 皆呈现高位准状态,使得第五晶体管 315 为导通状态,而第一晶体管 311、第二晶体管 312、第三晶体管 313、第四晶体管 314 与开关晶体管 220 都处于关闭状态。此时,电压源 OVDD 便透过导通的第五晶体管 315 提供至电容 316 使得节点 A 的电位 VA 为 $OVDD + |V_{TH}|$ 。

[0044] 接着在写入和补偿操作阶段 T3 期间中,第一扫描信号 S1 与第二扫描信号 S2 皆呈现低位准状态,而控制信号 EM 则呈现高位准状态,使得第三晶体管 313 与第四晶体管 314 都为导通状态,而第一晶体管 311、第五晶体管 315 与开关晶体管 220 都处于关闭状态。此时,由于节点 A 的电位会比第二晶体管 312 的第一端的电位来得高,因此第二晶体管 312 亦会处于关闭状态。而原本储存在电容 316 中的电荷会随时间逐渐被释放掉,然后当节点 A 的电位 VA 下降到比 $V_{data} - |V_{TH}|$ 还低的电位时,第二晶体管 312 便会被导通。

[0045] 此时,在第二晶体管 312、第三晶体管 313 与第四晶体管 314 都为导通状态,且第一晶体管 311、第五晶体管 315 与开关晶体管 220 都处于关闭状态时,数据电压 V_{data} 的值便透过导通的第三晶体管 313 与第四晶体管 314 提供至电容 316 使得节点 A 的电位 VA 维持在 $V_{data} - |V_{TH}|$ 的位准。

[0046] 最后在发光操作阶段 T5 期间中,第一扫描信号 S1 与控制信号 EM 皆呈现低位准状态,而第二扫描信号 S2 则呈现高位准状态,使得第一晶体管 311、第二晶体管 312 与开关晶

晶体管 220 都为导通状态,而第三晶体管 313、第四晶体管 314 与第五晶体管 315 都处于关闭状态。如此一来,第二晶体管 312(即驱动晶体管)便能根据此时其第一端与其栅极端上的电位差 V_{sg} 产生像素电流 I_{oled} 驱动有机发光二极管 230 发亮。

[0047] 承上述,流过有机发光二极管 230 的像素电流 $I_{oled} = K * (V_{sg} - |V_{TH}|)^2$ 。此时,第二晶体管 312 的第一端与栅极端上的电位差 V_{sg} 分别为电压源 OVDD 与节点 A 的电位 $V_{data} - |V_{TH}|$,故流过有机发光二极管 230 的像素电流即为 $I_{oled} = K * \{[OVDD - (V_{data} - |V_{TH}|)] - |V_{TH}|\}^2$

[0048] $= K * (OVDD - V_{data})^2$ 。由此可以得知,于发光操作阶段 T5 期间中,流过有机发光二极管 230 的像素电流 I_{oled} 仅与电压源 OVDD 和数据电压 V_{data} 有关,而与第二晶体管 312(即驱动晶体管)的临界电压 V_{TH} 完全无关。如此一来,有机发光二极管的制程对驱动晶体管的临界电压的影响而造成的面板显示不均匀的问题可以得到有效改善,从而使得有机发光二极管显示器于显示画面时能够对临界电压作补偿,且在长时间使用下仍能保持较佳的显示品质。

[0049] 此外,在一些实施例中,本发明的像素电路内部的补偿单元还可作些许改良,以图 5 与图 6 来分别说明之。图 5 为依照本发明的像素电路内部的另一补偿单元的示意图。在图 5 中,标示与图 3 中的标示相同者表示为相同的物件、电压源或信号。图 5 所示的像素电路 500 的补偿单元 510 与图 3 所示的像素电路 300 的补偿单元 310 的不同之处,在于此像素电路 500 内部的补偿单元 510 还包含电容 517,其电性连接于第四晶体管 314 的第二端与栅极端之间。

[0050] 而图 6 则为依照本发明的再一像素电路内部的补偿单元的示意图。在图 6 中,标示与图 3 中的标示相同者表示为相同的物件、电压源或信号。图 6 所示的像素电路 600 的补偿单元 610 与图 3 所示的像素电路 300 的补偿单元 310 的不同之处,在于此像素电路 600 内部的补偿单元 610 还包含电容 617,电容 617 的第一端可电性连接至电压源 OVDD 或电压源 V_{ref} ,而电容 617 的第二端则电性连接至电容 316 的其中一端。此外,补偿单元 610 内部的第五晶体管 615,第五晶体管 615 的第一端与栅极端皆可电性连接至电压源 V_{ref} ,而第五晶体管 615 的第二端则电性连接至第二晶体管 312 的栅极端。在本实施例中,电压源 OVSS、OVDD 与 V_{ref} 皆为固定电压,而电压源 OVSS 的位准小于电压源 OVDD 的位准,且电压源 V_{ref} 的位准大于或等于电压源 OVDD 的位准。上述的电压源 OVSS 例如是 -4.4 伏特,电压源 OVDD 例如是 +4.6 伏特,而电压源 V_{ref} 例如是大于或等于 +4.6 伏特。以上这两种像素电路 500 与 600 的驱动过程,本领域具有通常知识者可以从图 4 所描述的时序内容来推之,因此不再加以赘述。

[0051] 图 7 为依照本发明另一实施例的像素电路的示意图。此像素电路 700 包括补偿单元 710、开关晶体管 720 以及有机发光二极管 730。其中,有机发光二极管 730 具有阳极端与阴极端,有机发光二极管 730 的阳极端电性连接至电压源 OVDD。补偿单元 710 电性连接至另一电压源 OVSS,并因电性连接关系而接收控制信号 EM、第一扫描信号 S1 以及第二扫描信号 S2,其中第一扫描信号 S1 与第二扫描信号 S2 的脉冲致能期间皆在控制信号 EM 的脉冲致能期间内,而第一扫描信号 S1 的脉冲致能期间在第二扫描信号 S2 的脉冲致能期间之前(后详述)。开关晶体管 720 具有第一端、第二端以及栅极端,开关晶体管 720 的两端电性连接于补偿单元 710 与有机发光二极管 730 的阴极端之间,并依据控制信号 EM 导通开关晶

晶体管 720。上述电压源 OVDD 与 OVSS 皆为固定电压,且电压源 OVDD 的位准大于电压源 OVSS 的位准,电压源 OVDD 例如是 +4.6 伏特,而电压源 OVSS 例如是 -4.4 伏特。

[0052] 详细来说,请参照图 8,其为补偿单元内部的示意图。在图 8 中,标示与图 7 中的标示相同者表示为相同的物件、电压源或信号。图 8 所示的补偿单元 810 包括有第一晶体管 811、第二晶体管 812(即驱动晶体管)、第三晶体管 813、第四晶体管 814、第五晶体管 815 以及电容 816,其中第一晶体管至第五晶体管 811 ~ 815 皆具有第一端、第二端以及栅极端。第一晶体管 811 的第一端电性连接至第二电压源 OVSS,而第一晶体管 811 的栅极端则因电性连接关系而接收控制信号 EM。第二晶体管 812 的第一端电性连接至第一晶体管 811 的第二端,而第二晶体管 812 的第二端电性连接至开关晶体管 720 的第一端。第三晶体管 813 的第一端因电性连接关系而接收数据电压 Vdata,而第三晶体管 813 的第二端电性连接至第二晶体管 812 的第一端,而第三晶体管 813 的栅极端则因电性连接关系而接收第二扫描信号 S2。第四晶体管 814 的第一端电性连接至第二晶体管 812 的第二端,而第四晶体管 814 的第二端电性连接至第二晶体管 812 的栅极端,而第四晶体管 814 的栅极端则因电性连接关系而接收第二扫描信号 S2。第五晶体管 815 的第一端与栅极端皆电性连接至电压源 OVSS,而第五晶体管 815 的第二端电性连接至第二晶体管 812 的栅极端。电容 816 的一端因电性连接关系而接收第一扫描信号 S1,而电容 816 的另一端则电性连接至第二晶体管 812 的栅极端。

[0053] 在本实施例中,第一晶体管 811、第二晶体管 812、第三晶体管 813、第四晶体管 814、第五晶体管 815 与开关晶体管 720 皆采用 NMOS 晶体管来实现。以下就以 NMOS 晶体管为例,来叙述图 8 中的第一扫描信号 S1、第二扫描信号 S2 与控制信号 EM 的时序。

[0054] 图 9 系绘示图 8 所示像素电路的部分信号的时序图。在图 9 中,标示与图 8 中的标示相同者表示为相同的信号,而标示 VA 即为图 8 所示的节点 A 的电位。从图 9 可得知,在时间 T1~T5 期间中,第一扫描信号 S1 与第二扫描信号 S2 的脉冲致能期间皆在控制信号 EM 的脉冲致能期间内,而第一扫描信号 S1 的脉冲致能期间在第二扫描信号 S2 的脉冲致能期间之前。其中,在时间 T1 与时间 T5 中,控制信号 EM 的下降缘与第一扫描信号 S1 的下降缘的间隔时间用来缓冲第一扫描信号 S1 由高位准降为低位准所需的时间,而控制信号 EM 的上升缘与第二扫描信号 S2 的下降缘的间隔时间则用来缓冲第二扫描信号 S2 由高位准降为低位准所需的时间,如此一来,即可确保第一扫描信号 S1 与第二扫描信号 S2 的脉冲致能期间皆在控制信号 EM 的脉冲致能期间之内。

[0055] 虽然,在本实施例中,第一扫描信号 S1 的上升缘与第二扫描信号 S2 的上升缘皆有互为重迭的关系,但是在一些实施例中,第一扫描信号 S1 的上升缘与第二扫描信号 S2 的上升缘也可以非互为重迭关系。也就是说,在第一扫描信号 S1 由低位准转态为高位准之后,第二扫描信号 S2 才开始由低位准转态为高位准状态。因此,第一扫描信号 S1 的上升缘与第二扫描信号 S2 的上升缘的重迭与否,仅要第一扫描信号 S1 与第二扫描信号 S2 的脉冲致能期间皆在控制信号 EM 的脉冲致能期间之内,能够使像素电路正常运作,皆可实现本发明。而以上所列举出的信号实施样态,仅是作为举例之用,本发明并不依此为限。

[0056] 请再参照图 9,本领域的普通技术人员可以从前述实施例的像素电路 300 所描述的时序内容,而按照图 9 所绘示的第一扫描信号 S1、第二扫描信号 S2 与控制信号 EM 的时序来推得图 8 的像素电路 800 的驱动过程,因此就不再加以赘述。

[0057] 综上所述,本发明解决前述问题的主要方式,乃是藉由对像素电路结构进行设计,可使得流过有机发光二极管的像素电流的大小关于电压源和数据电压,而与驱动晶体管的临界电压完全无关。因此,本发明实施例提出的像素电路可有效改善面板显示不均匀的问题,以提供高质量的显示画面,进而达成本发明的目的。

[0058] 虽然本发明已以较佳实施例公开如上,但其并非用以限定本发明,任何本领域的技术人员,在不脱离本发明的精神和范围内,当可作些许的更动与修改,因此本发明的保护范围当视后附的权利要求保护范围所界定者为准。

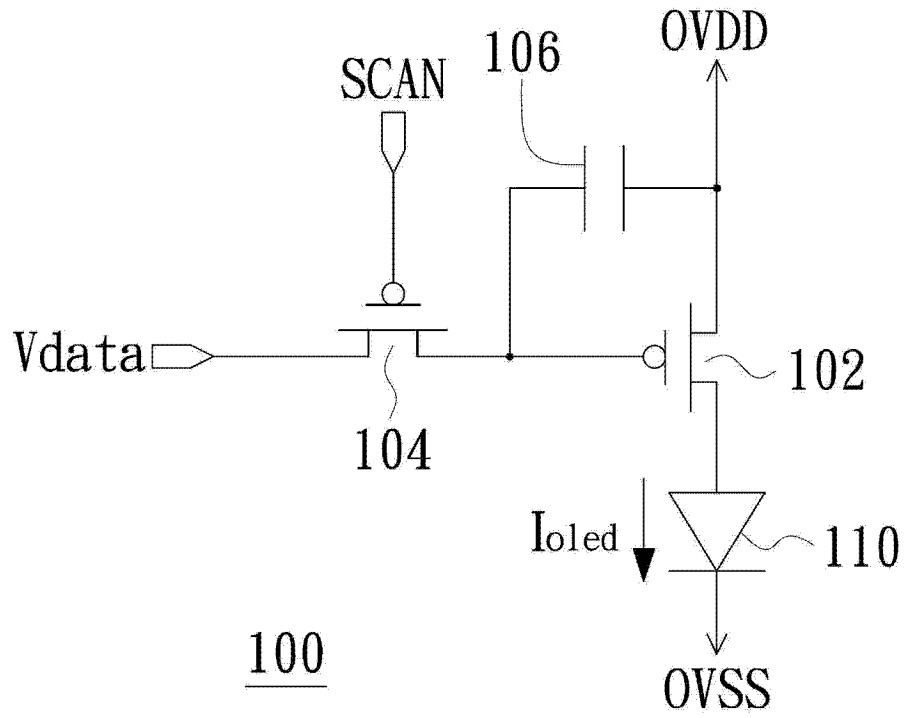


图 1

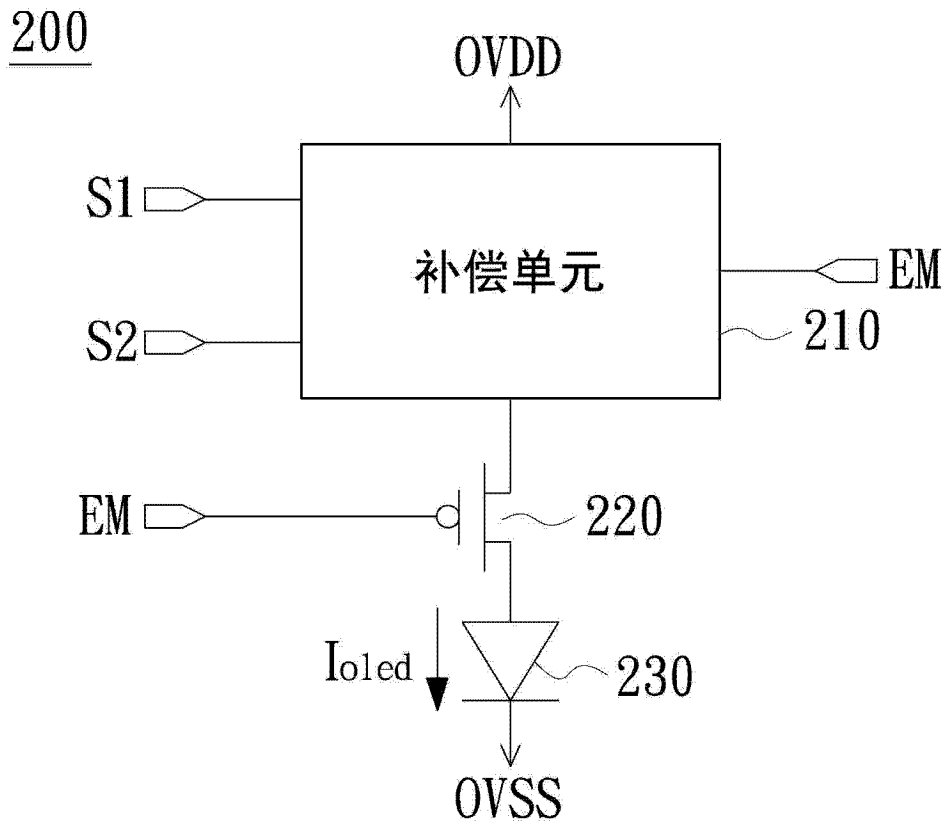


图 2

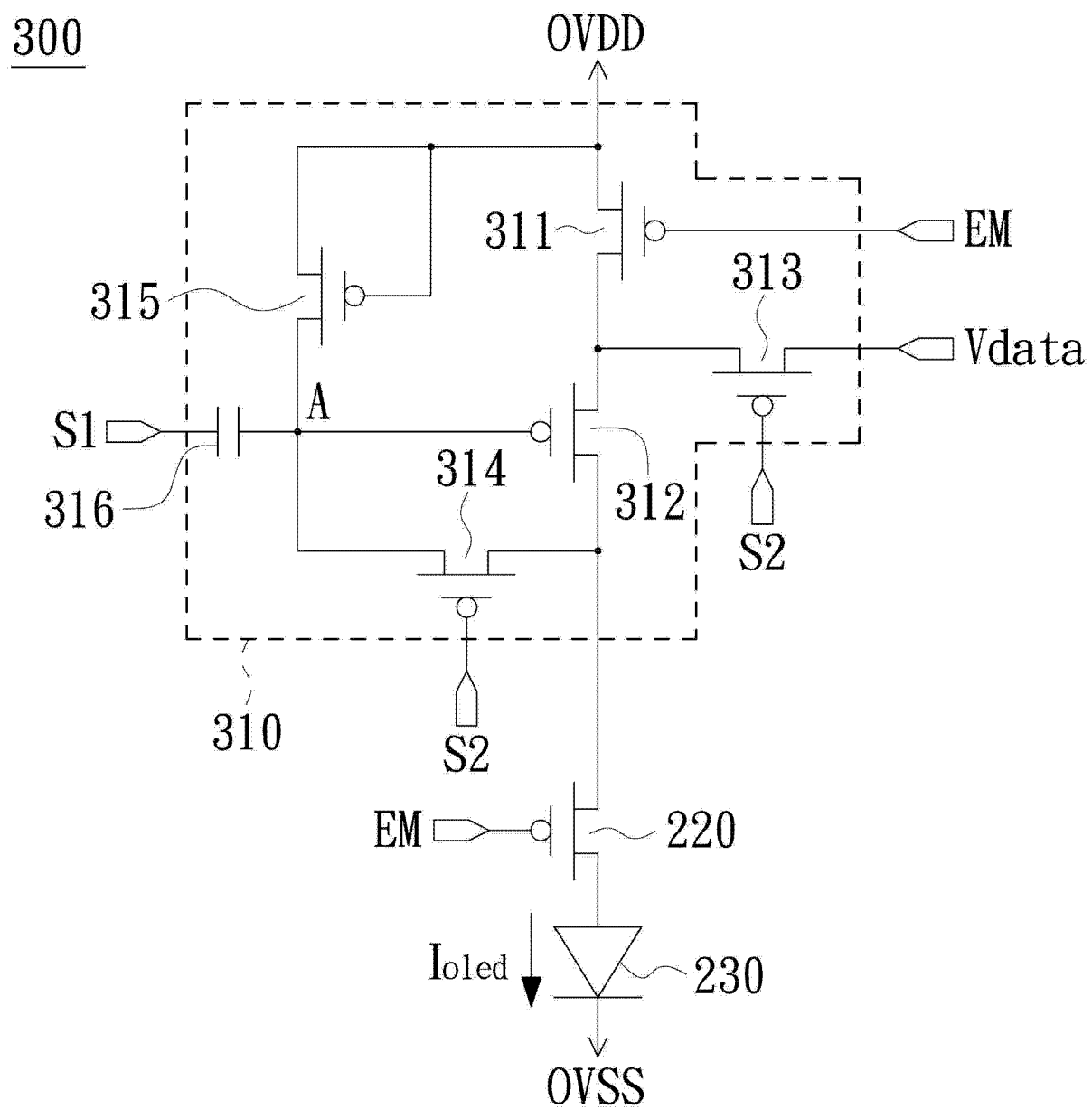


图 3

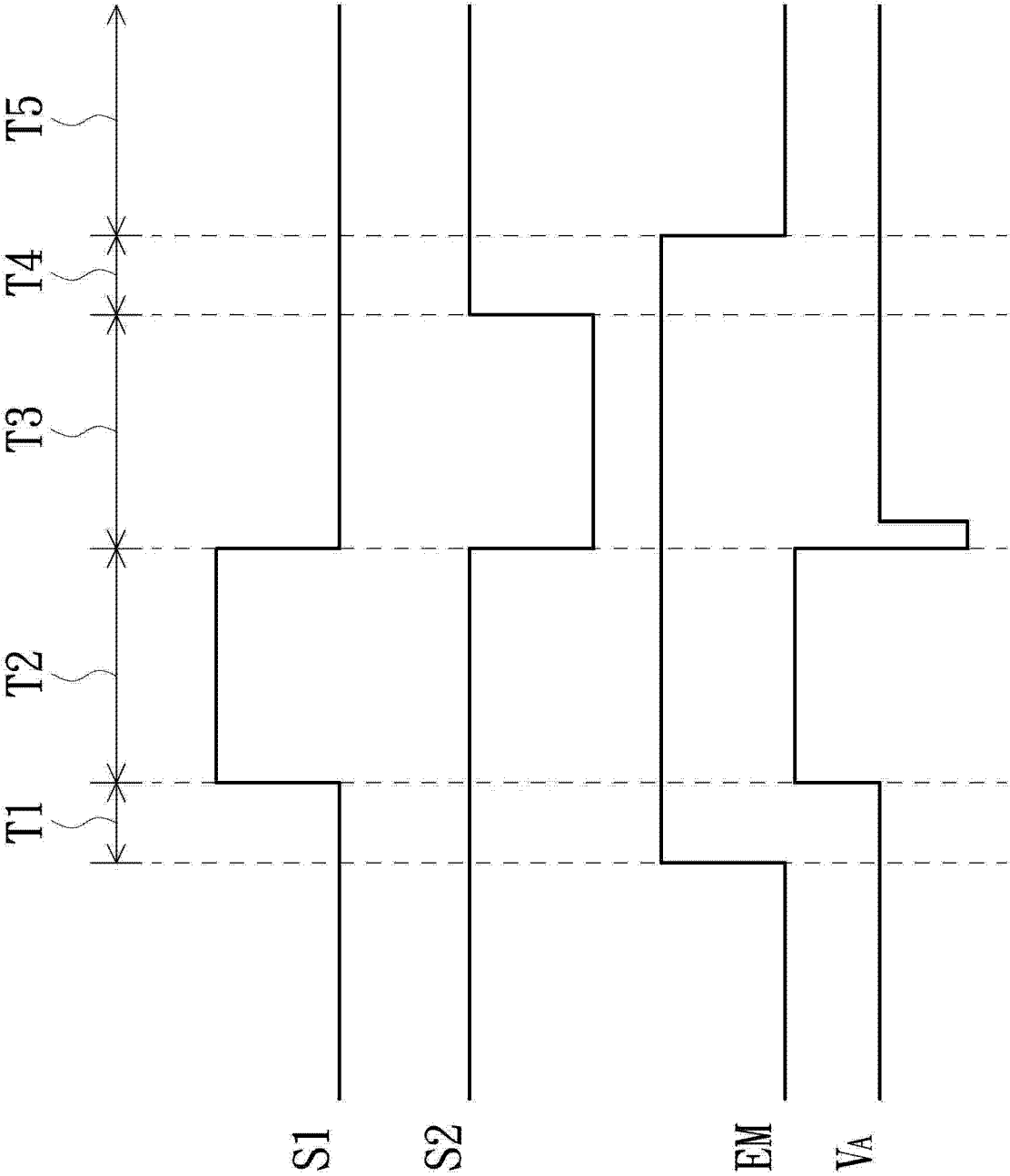


图 4

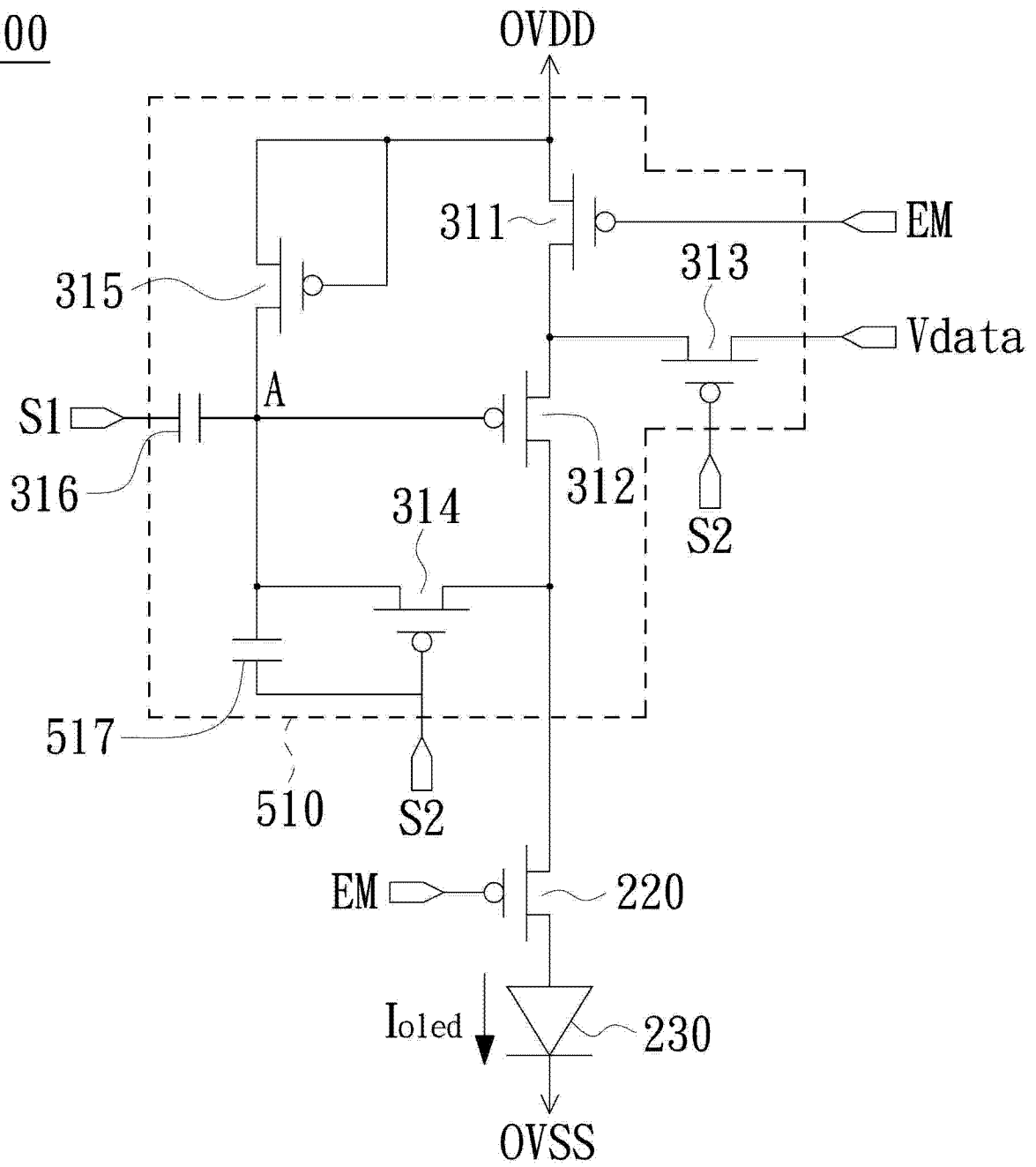
500

图 5

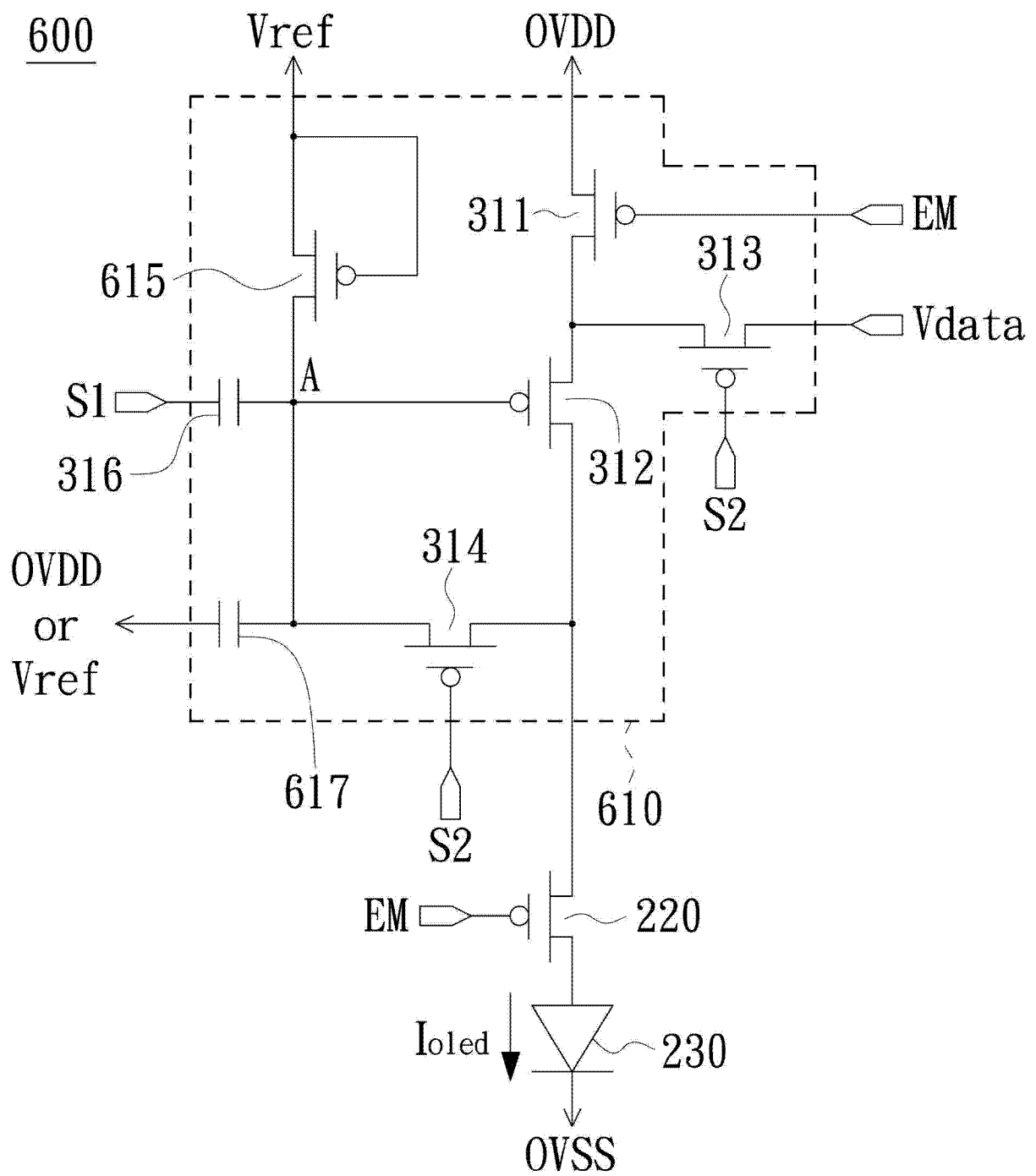


图 6

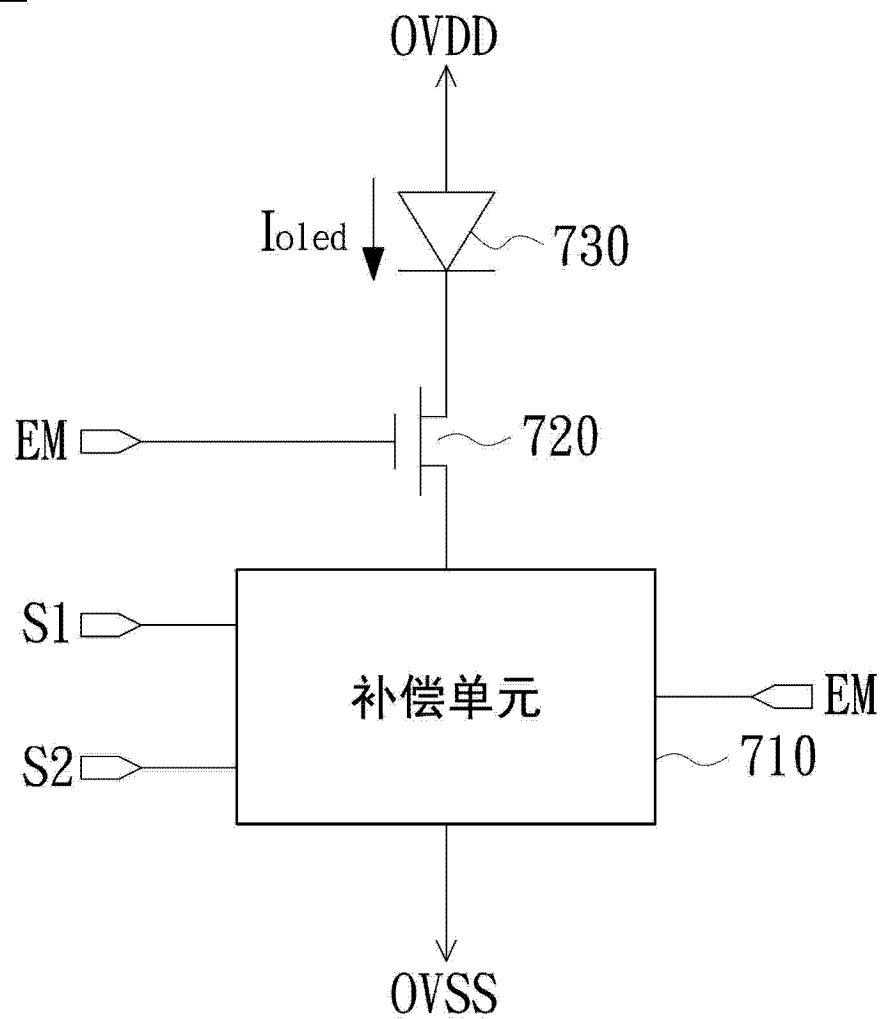
700

图 7

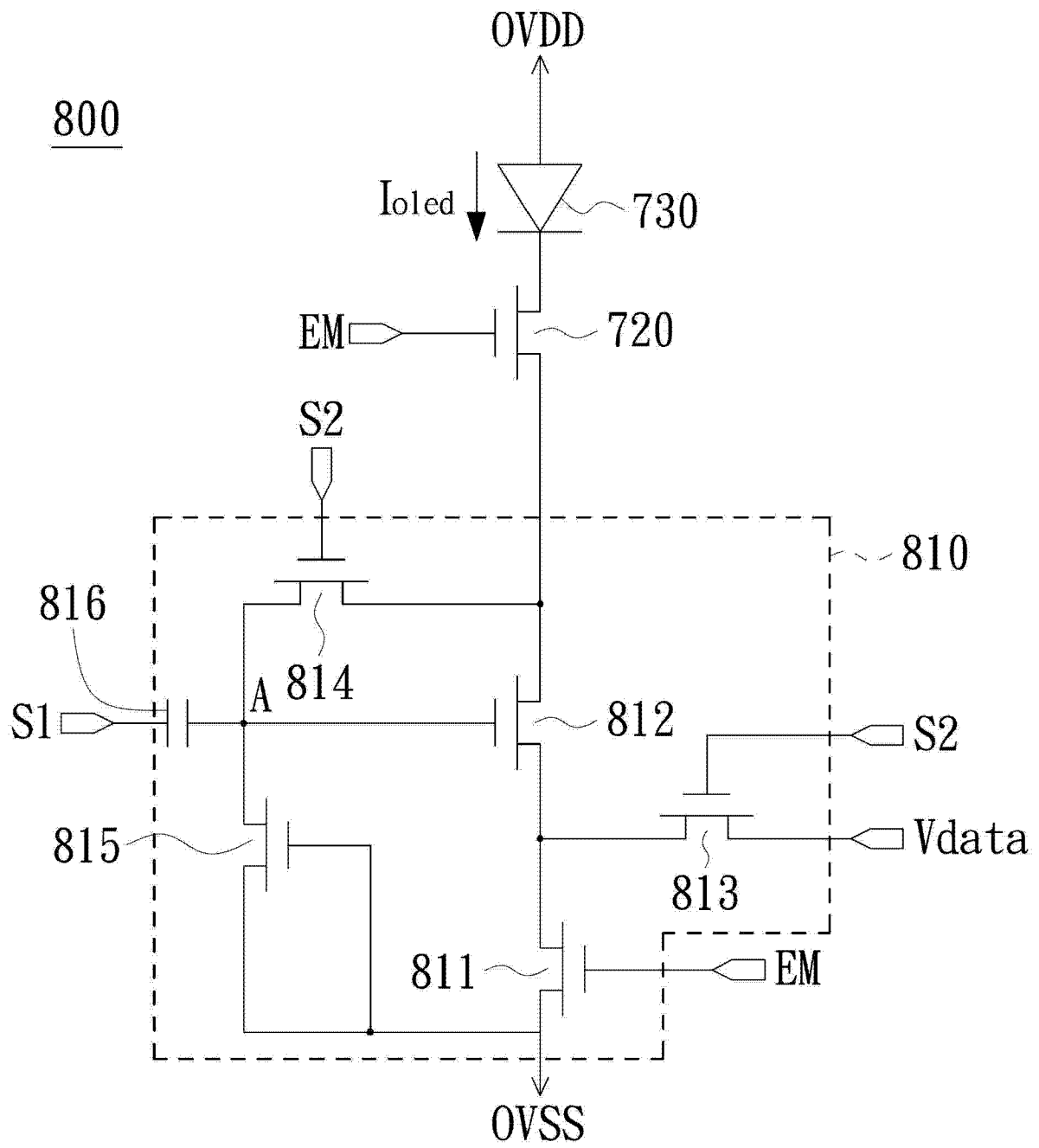


图 8

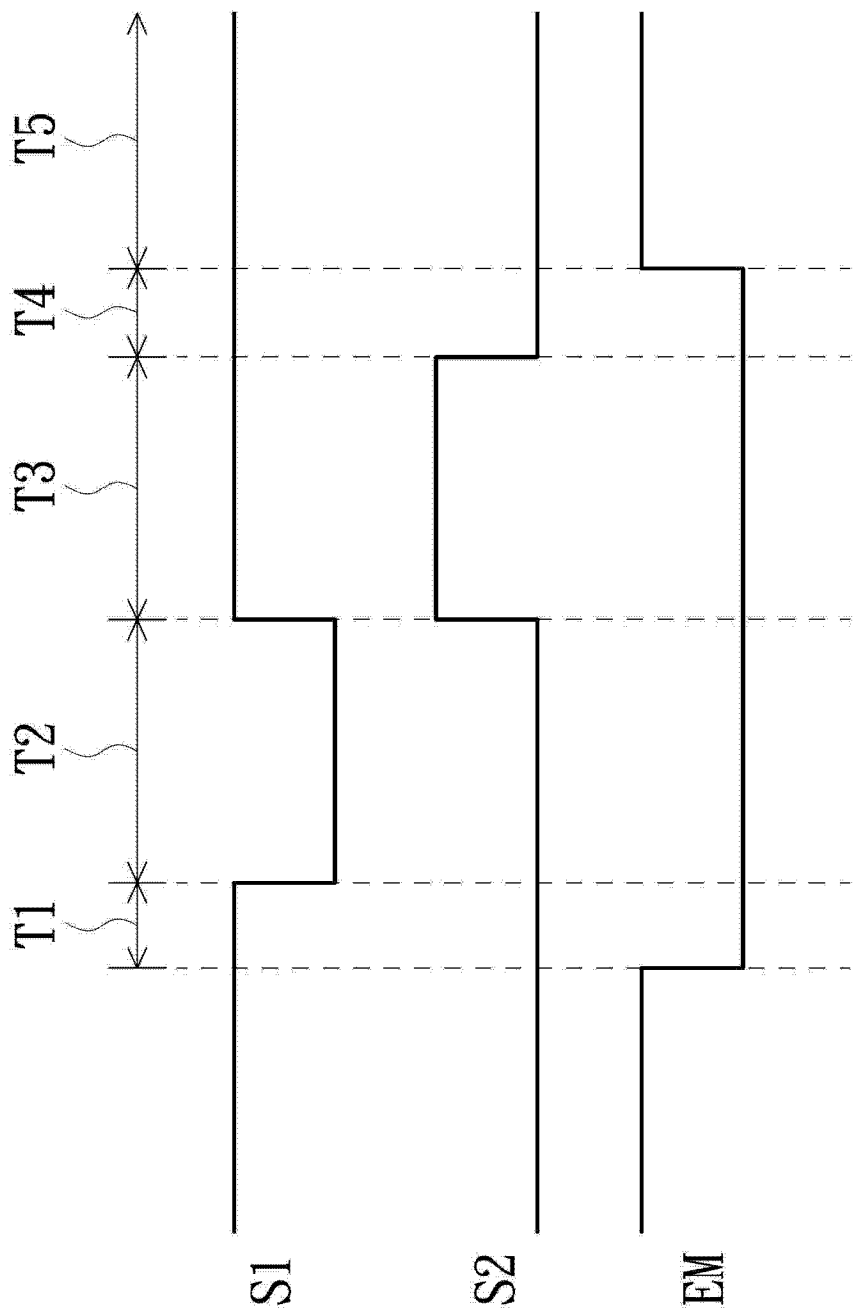


图 9

专利名称(译)	像素电路		
公开(公告)号	CN103137069A	公开(公告)日	2013-06-05
申请号	CN201310017534.0	申请日	2013-01-17
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	郑士嵩		
发明人	郑士嵩		
IPC分类号	G09G3/32 G09G3/3208		
优先权	101143485 2012-11-21 TW		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路，包括有机发光二极管、补偿单元以及开关晶体管。有机发光二极管具有阳极端与阴极端，有机发光二极管的阴极端电性连接至第一电压源。补偿单元电性连接至第二电压源，并用以接收控制信号、第一扫描信号与第二扫描信号，第一扫描信号与第二扫描信号的脉冲致能期间皆在控制信号的脉冲致能期间内，而第一扫描信号的脉冲致能期间在第二扫描信号的脉冲致能期间之前。开关晶体管具有第一端、第二端以及栅极端，开关晶体管的二端电性连接于补偿单元与有机发光二极管的阳极端之间，并依据控制信号导通开关晶体管。

