



(12)发明专利申请

(10)申请公布号 CN 110070834 A

(43)申请公布日 2019. 07. 30

(21)申请号 201910067791.2

(22)申请日 2019.01.24

(30)优先权数据

10-2018-0008775 2018.01.24 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道

(72)发明人 朴宗元 李承珪 金炫雄

(74)专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 姜香丹 康泉

(51)Int.Cl.

G09G 3/3233(2016.01)

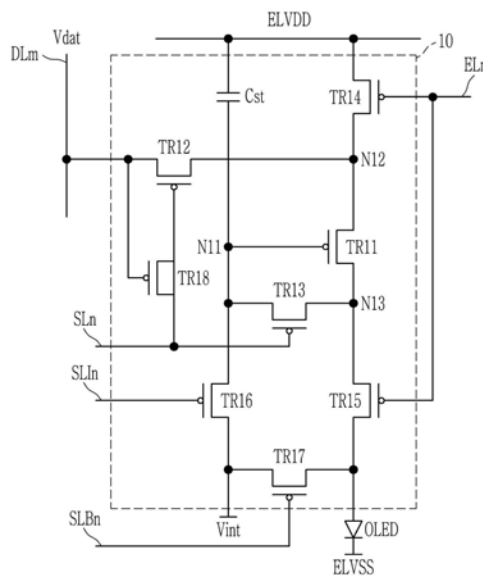
权利要求书2页 说明书15页 附图17页

(54)发明名称

显示设备及其驱动方法

(57)摘要

本发明涉及一种显示设备及其驱动方法。该显示设备包括:有机发光二极管(OLED);像素电路,被配置为对从第一电源电压流到OLED的电流进行控制;以及栅极线和数据线,连接到像素电路,该像素电路包括:辅助晶体管,包括电连接到数据线的栅电极以及连接到栅极线的第一电极和第二电极,辅助晶体管的第一电极和第二电极彼此电连接。



1. 一种显示设备,包括:
有机发光二极管;
像素电路,被配置为对从第一电源电压流到所述有机发光二极管的电流进行控制;
以及
栅极线和数据线,连接到所述像素电路,
所述像素电路包括:
辅助晶体管,包括电连接到所述数据线的栅电极以及连接到所述栅极线的第一电极和第二电极,所述辅助晶体管的所述第一电极和所述第二电极彼此电连接。
2. 根据权利要求1所述的显示设备,其中,所述辅助晶体管包括:
第一辅助晶体管,包括直接连接到所述数据线的栅电极。
3. 根据权利要求1所述的显示设备,其中,所述像素电路进一步包括:
驱动晶体管,被配置为对从所述第一电源电压流到所述有机发光二极管的所述电流进行控制,
其中,所述辅助晶体管包括第二辅助晶体管,所述第二辅助晶体管包括被施加有补偿后数据电压的栅电极,并且
其中,所述补偿后数据电压是指被提供给所述数据线的的数据电压,所述数据电压由所述驱动晶体管的阈值电压补偿。
4. 根据权利要求3所述的显示设备,其中,所述辅助晶体管进一步包括:
第一辅助晶体管,包括直接连接到所述数据线的栅电极。
5. 根据权利要求1所述的显示设备,其中,所述像素电路进一步包括:
驱动晶体管,被配置为对从所述第一电源电压流到所述有机发光二极管的所述电流进行控制;以及
开关晶体管,被配置为将由所述数据线提供的的数据电压传输到所述驱动晶体管,所述开关晶体管包括电连接到所述驱动晶体管的源电极的漏电极,
其中,所述辅助晶体管包括第三辅助晶体管,所述第三辅助晶体管包括连接在所述开关晶体管的所述漏电极与所述驱动晶体管的所述源电极之间的栅电极。
6. 根据权利要求5所述的显示设备,其中,所述辅助晶体管进一步包括:
第一辅助晶体管,包括直接连接到所述数据线的栅电极。
7. 根据权利要求5所述的显示设备,其中,所述辅助晶体管进一步包括:
第二辅助晶体管,包括被施加有补偿后数据电压的栅电极,并且
其中,所述补偿后数据电压是指由所述数据线提供的所述数据电压,所述数据电压由所述驱动晶体管的阈值电压补偿。
8. 根据权利要求7所述的显示设备,其中,所述辅助晶体管进一步包括:
第一辅助晶体管,包括直接连接到所述数据线的栅电极。
9. 一种显示设备,包括:
像素;以及
栅极线和数据线,连接到所述像素,
其中,所述像素包括:
驱动晶体管,包括连接到第一节点的栅电极、连接到第二节点的第一电极、以及连接到

第三节点的第二电极；

开关晶体管，包括连接到所述栅极线的栅电极、连接到所述数据线的的第一电极、以及连接到所述第二节点的第二电极；

补偿晶体管，包括连接到所述栅极线的栅电极、连接到所述第三节点的第一电极、以及连接到所述第一节点的第二电极；

辅助晶体管，包括连接到所述数据线的栅电极、连接到所述栅极线的第一电极、以及连接到所述栅极线的第二电极；以及

有机发光二极管，连接到所述第三节点。

10. 根据权利要求9所述的显示设备，其中，所述辅助晶体管包括：

第一辅助晶体管，包括直接接收被施加到所述数据线的的数据电压的栅电极。

11. 根据权利要求9所述的显示设备，其中，所述辅助晶体管包括：

第二辅助晶体管，包括连接到所述第三节点的栅电极。

12. 根据权利要求11所述的显示设备，其中，所述辅助晶体管进一步包括：

第一辅助晶体管，包括直接接收被施加到所述数据线的的数据电压的栅电极。

13. 根据权利要求9所述的显示设备，其中，所述辅助晶体管包括：

第三辅助晶体管，包括连接到所述第二节点的栅电极。

14. 根据权利要求13所述的显示设备，其中，所述辅助晶体管进一步包括：

第一辅助晶体管，包括直接接收被施加到所述数据线的的数据电压的栅电极。

15. 根据权利要求13所述的显示设备，其中，所述辅助晶体管进一步包括：

第二辅助晶体管，包括连接到所述第三节点的栅电极。

16. 根据权利要求15所述的显示设备，其中，所述辅助晶体管进一步包括：

第一辅助晶体管，被配置为包括直接接收被施加到所述数据线的的数据电压的栅电极。

17. 一种显示设备的驱动方法，所述显示设备包括：驱动晶体管，被配置为对从第一电源电压流到有机发光二极管的电流进行控制；开关晶体管，被配置为响应于从栅极线施加到所述开关晶体管的栅电极的栅极信号而将被施加到数据线的的数据电压传输到所述驱动晶体管；补偿晶体管，被配置为响应于被施加到所述补偿晶体管的栅电极的所述栅极信号而以二极管接法连接所述驱动晶体管；以及辅助晶体管，包括连接到所述数据线的栅电极以及连接到所述栅极线的第一电极和第二电极，所述驱动方法包括：

通过施加具有栅极导通电压的所述栅极信号而将所述开关晶体管和所述补偿晶体管导通；以及

通过将具有所述栅极导通电压的所述栅极信号施加到所述辅助晶体管的所述栅电极，来抵消所述开关晶体管和所述补偿晶体管的沟道电容。

18. 根据权利要求17所述的显示设备的驱动方法，其中，

施加到所述数据线的所述数据电压被直接施加到所述辅助晶体管的所述栅电极。

19. 根据权利要求17所述的显示设备的驱动方法，其中，

被补偿了所述驱动晶体管的阈值电压的数据电压被施加到所述辅助晶体管的所述栅电极。

20. 根据权利要求17所述的显示设备的驱动方法，其中，

所述数据电压通过所述开关晶体管被施加到所述辅助晶体管的所述栅电极。

显示设备及其驱动方法

技术领域

[0001] 本发明的示例性实施例/实施方式通常涉及一种显示设备及其驱动方法，并且更具体而言，涉及一种可以防止或减少串扰的显示设备及其驱动方法。

背景技术

[0002] 显示设备包括用于显示图像的多个像素、以及连接到多个像素的多条栅极线和多条数据线。显示设备顺序地将栅极信号施加到多条栅极线，并将与栅极信号对应的数据电压施加到多条数据线。

[0003] 多个像素可以包括多个晶体管，其中多个晶体管具有沟道电容。通过将栅极导通电压施加到栅电极来导通每个晶体管的时间可能会由于沟道电容而被延迟。特别地，当响应于栅极信号而导通以传输数据电压的开关晶体管的沟道电容增加时，开关晶体管被导通的时间可能会被延迟，使得数据电压可能会未被充分地输入到像素。当数据电压未被充分地输入到像素时，像素可能不会发射具有期望亮度的光，并且与数据电压被正常输入的像素相比，产生了亮度差。这可能会导致串扰，该串扰在屏幕上显示可见的亮度差。

[0004] 在该背景技术部分中公开的上述信息仅用于理解本发明构思的背景，并且因此，它可能会包含不构成现有技术的信息。

发明内容

[0005] 本发明的实施例致力于提供一种可以防止或减少串扰的显示设备及其驱动方法。

[0006] 根据一个或多个示例性实施例，一种显示设备包括：有机发光二极管(OLED)；像素电路，被配置为对从第一电源电压流到OLED的电流进行控制；以及栅极线和数据线，连接到像素电路，该像素电路包括：辅助晶体管，包括电连接到数据线的栅电极以及连接到栅极线的第一电极和第二电极，该辅助晶体管的第一电极和第二电极彼此电连接。

[0007] 辅助晶体管可以包括：第一辅助晶体管，包括直接连接到数据线的栅电极。

[0008] 像素电路还可以包括：驱动晶体管，被配置为对从第一电源电压流到OLED的电流进行控制，其中，该辅助晶体管可以包括第二辅助晶体管，该第二辅助晶体管包括被施加有补偿后数据电压的栅电极，并且其中该补偿后数据电压可以是指被提供给数据线的数据电压，该数据电压由驱动晶体管的阈值电压补偿。

[0009] 辅助晶体管还可以包括：第一辅助晶体管，包括直接连接到数据线的栅电极。

[0010] 像素电路还可以包括：驱动晶体管，被配置为对从第一电源电压流到OLED的电流进行控制；开关晶体管，被配置为将由数据线提供的数据电压传输到驱动晶体管，该开关晶体管包括电连接到驱动晶体管的源电极的漏电极，其中，该辅助晶体管可以包括第三辅助晶体管，该第三辅助晶体管包括连接在开关晶体管的漏电极与驱动晶体管的源电极之间的栅电极。

[0011] 辅助晶体管还可以包括：第一辅助晶体管，包括直接连接到数据线的栅电极。

[0012] 辅助晶体管还可以包括第二辅助晶体管，该第二辅助晶体管包括被施加有补偿后

数据电压的栅电极,并且其中该补偿后数据电压可以是指由数据线提供的数据电压,该数据电压由驱动晶体管的阈值电压补偿。

[0013] 辅助晶体管还可以包括:第一辅助晶体管,包括直接连接到数据线的栅电极。

[0014] 根据一个或多个示例性实施例,一种显示设备包括:像素;以及栅极线和数据线,连接到像素,其中,该像素可以包括:驱动晶体管,包括连接到第一节点的栅电极、连接到第二节点的第一电极、以及连接到第三节点的第二电极;开关晶体管,包括连接到栅极线的栅电极、连接到数据线的第二电极、以及连接到第二节点的第二电极;补偿晶体管,包括连接到栅极线的栅电极、连接到第三节点的第一电极、以及连接到第一节点的第二电极;辅助晶体管,包括连接到数据线的栅电极、连接到栅极线的第一电极、以及连接到栅极线的第二电极;以及有机发光二极管(OLED),连接到第三节点。

[0015] 辅助晶体管可以包括:第一辅助晶体管,包括直接接收被施加到数据线的数据电压的栅电极。

[0016] 辅助晶体管可以包括:第二辅助晶体管,包括连接到第三节点的栅电极。

[0017] 辅助晶体管还可以包括:第一辅助晶体管,包括直接接收被施加到数据线的数据电压的栅电极。

[0018] 辅助晶体管可以包括:第三辅助晶体管,包括连接到第二节点的栅电极。

[0019] 辅助晶体管还可以包括:第一辅助晶体管,包括直接接收被施加到数据线的数据电压的栅电极。

[0020] 辅助晶体管还可以包括:第二辅助晶体管,包括连接到第三节点的栅电极。

[0021] 辅助晶体管还可以包括:第一辅助晶体管,被配置为包括直接接收被施加到数据线的数据电压的栅电极。

[0022] 根据一个或多个示例性实施例,一种显示设备的驱动方法,该显示设备包括:驱动晶体管,被配置为对从第一电源电压流到有机发光二极管(OLED)的电流进行控制;开关晶体管,被配置为响应于从栅极线施加到开关晶体管的栅电极的栅极信号而将被施加到数据线的数据电压传输到驱动晶体管;补偿晶体管,被配置为响应于被施加到补偿晶体管的栅电极的栅极信号而以二极管接法连接驱动晶体管;以及辅助晶体管,包括连接到数据线的栅电极以及连接到栅极线的第一电极和第二电极,该驱动方法包括:通过施加具有栅极导通电压的栅极信号而将开关晶体管和补偿晶体管导通;以及通过将具有栅极导通电压的栅极信号施加到辅助晶体管的栅电极,来抵消开关晶体管和补偿晶体管的沟道电容。

[0023] 施加到数据线的数据电压可以被直接施加到辅助晶体管的栅电极。

[0024] 被补偿了驱动晶体管的阈值电压的数据电压可以被施加到辅助晶体管的栅电极。

[0025] 数据电压可以通过开关晶体管被施加到辅助晶体管的栅电极。

[0026] 将会理解,前面的一般性描述和以下的详细描述都是示例性和说明性的,并且旨在提供对所要求保护的发明的进一步解释。

附图说明

[0027] 被包括以提供对本发明的进一步理解并且被并入并构成本说明书的一部分的附图示出本发明的示例性实施例,并且与描述一起用于解释本发明构思。

[0028] 图1示出根据示例性实施例的显示设备的框图。

- [0029] 图2示出根据示例性实施例的像素。
- [0030] 图3示出相对于晶体管的栅极-源极电压差的沟道电容的曲线图。
- [0031] 图4示出根据示例性实施例的像素。
- [0032] 图5示出根据示例性实施例的像素。
- [0033] 图6示出根据示例性实施例的像素。
- [0034] 图7示出根据示例性实施例的像素。
- [0035] 图8示出根据示例性实施例的像素。
- [0036] 图9示出根据示例性实施例的像素。
- [0037] 图10示出根据示例性实施例的像素。
- [0038] 图11示出根据示例性实施例的像素。
- [0039] 图12示出根据示例性实施例的像素。
- [0040] 图13示出根据示例性实施例的像素。
- [0041] 图14示出根据示例性实施例的像素。
- [0042] 图15示出根据示例性实施例的像素。
- [0043] 图16示出根据示例性实施例的像素。
- [0044] 图17是根据示例性实施例的显示设备的驱动方法的时序图。

具体实施方式

[0045] 在下面的描述中,为了解释的目的,阐述了许多具体细节以便提供对本发明的实现的各种示例性实施例或实施方式的透彻理解。如本文所使用的,“实施例”和“实施方式”是采用本文所公开的一个或多个发明构思的设备或方法的非限制性示例的可互换的词语。然而,显而易见的是,可以在没有这些具体细节或具有一个或多个等效布置的情况下来实践各种示例性实施例。在其他实例中,以框图形式示出了公知的结构和设备,以免不必要地混淆各种示例性实施例。此外,各种示例性实施例可以不同,但不必是排他性的。例如,在不脱离本发明构思的情况下,示例性实施例的具体形状、配置和特性可以在另一示例性实施例中被使用或实现。

[0046] 除非另外指明,否则所示出的示例性实施例应被理解为提供可在实践中实现本发明构思的一些方式的变化细节的示例性特征。因此,除非另外指明,否则各种实施例的特征、部件、模块、层、膜、面板、区域和/或方面等(下文中单独地或共同地称为“元件”)可以在不脱离本发明构思的情况下以其他方式组合、分离、交换和/或重新布置。

[0047] 在附图中交叉影线和/或阴影的使用通常被提供用于使相邻元件之间的边界清晰。因此,除非有指定,否则无论是交叉阴影或阴影的存在还是不存在均不传达或者指示对特定材料、材料性质、尺寸、比例、示出元件之间的共性和/或元件的任何其他特征、属性、性质等的任何偏好或需求。此外,在附图中,为了清楚和/或描述性目的,元件的尺寸和相对尺寸可能被夸大。当可以不同地实现示例性实施例时,可以不同于所描述的顺序来执行特定的处理顺序。例如,两个连续描述的处理可以被基本上同时地执行或者以与所描述的顺序相反的顺序来执行。此外,相同的附图标记表示相同的元件。

[0048] 当诸如层的一个元件被称为在另一元件或层“上”、“连接到”或“耦接到”另一元件或层时,它可以直接在另一元件或层上、直接连接到或直接耦接到另一元件或层,或者可以

存在中间元件或层。然而,当一个元件或层被称为“直接在”另一元件或层“上”、“直接连接到”或“直接耦接到”另一元件或层时,不存在中间元件或层。为此,术语“连接”可以指具有或不具有中间元件的物理、电气和/或流体连接。此外,D1轴、D2轴和D3轴不限于诸如x轴、y轴和z轴的直角坐标系的三个轴,并且可以在更广泛的意义上解释。例如,D1轴、D2轴和D3轴可以彼此垂直,或者可以表示彼此互不垂直的不同方向。针对本公开的目的,“X、Y和Z中的至少一个”和“从由X、Y和Z构成的组中选择的至少一个”可以被解释为仅X、仅Y、仅Z、或X、Y、和Z中的两个或更多个的任意组合,诸如,例如,XYZ、XYY、YZ和ZZ。如本文所使用的,术语“和/或”包括相关联的所列项目中的一个或多个的任意和所有的组合。

[0049] 尽管术语“第一”、“第二”等可以在本文中用于描述各种类型的元件,但是这些元件不应受这些术语的限制。这些术语被用于将一个元件与另一元件区分开。因此,在不脱离本公开的教导的情况下,以下所讨论的第一元件可以被称为第二元件。

[0050] 为了描述性目的,在本文中可以使用诸如“之下”、“下面”、“下方”、“下”、“上方”、“上面”、“之上”、“高于”、“侧”(例如,如在“侧壁”中)等空间相对术语,并且由此来描述如图中所示的一个元件与另一元件的关系。除了图中所描绘的方位之外,空间相对术语还旨在涵盖装置在使用、操作和/或制造中的不同方位。例如,如果图中的装置被翻转,则被描述为在另一元件或特征“下面”或“之下”的元件随后将会被定向为在另一元件或特征“上方”。因此,示例性术语“下面”可以涵盖上面和下面两种方位。此外,装置可以被另外定向(例如,旋转90度或在其他方位上),并且因此,本文所使用的空间相对描述符会被相应地解释。

[0051] 本文所使用的术语是用于描述特定实施例的目的,而并不旨在进行限制。如本文所使用的,除非上下文另有明确指示,否则单数形式的“一”和“该”还旨在包括复数形式。此外,当在此说明书中使用时,术语“包括”和/或“包含”表明存在所陈述的特征、整体、步骤、操作、元件、部件和/或它们的组,但并不排除存在或添加一个或多个其他的特征、整体、步骤、操作、元件、部件和/或它们的组。还应注意的是,如本文所使用的,术语“基本上”、“约”和其他类似的术语被用作近似的术语而不作为程度的术语,并且因此被用于对本领域普通技术人员将会认识到的测量值,计算值和/或提供值的固有偏差做出解释。

[0052] 如本领域通常的那样,以功能框、单元和/或模块的形式在附图中描述和示出了一些示例性实施例。本领域的技术人员将会理解,这些框、单元和/或模块在物理上由诸如逻辑电路、分立部件、微处理器、硬连线电路、存储器元件、布线连接等电子(或光学)电路来实现,该电子电路可以使用基于半导体的制造技术或其他制造技术来形成。在框、单元和/或模块由微处理器或其他类似的硬件来实现的情况下,它们可以使用软件(例如,微代码)被编程和控制以执行本文所讨论的各种功能,并且可以可选地被固件和/或软件驱动。还可以设想,每个框、单元和/或模块可以由专用硬件来实现,或者可以作为用于执行一些功能的专用硬件与用于执行其他功能的处理器(例如,一个或多个经编程的微处理器及相关电路)的组合来实现。而且,在不脱离本发明构思的范围的情况下,一些示例性实施例的每个框、单元和/或模块可以被物理地被划分成两个或更多个相互作用且离散的框、单元和/或模块。此外,在不脱离本发明构思的范围的情况下,一些示例性实施例的框、单元和/或模块可以被物理地组合成更复杂的框、单元和/或模块。

[0053] 除非另有定义,否则本文所使用的的所有术语(包括技术和科学术语)具有与本公开作为其一部分的本领域的普通技术人员通常所理解的含义相同的含义。诸如那些在常用词

典中所定义的术语应被解释为具有与它们在相关领域的上下文中的含义一致的含义,并且将不以理想化或过度正式的意义来解释,除非本文中明确地如此定义。

[0054] 在下文中将参考示出了本发明的示例性实施例的附图来更全面地描述本公开的实施例。如本领域技术人员将认识到的,在所有都没有脱离本发明的精神或范围的情况下,可以以各种不同的方式来对所描述的实施例进行修改。

[0055] 将省略与描述无关的部分以清楚地描述本公开,并且在整个说明书中,相同的附图标记表示相同的元件。

[0056] 在下文中,将参考图1来描述根据示例性实施例的显示设备。

[0057] 图1是根据示例性实施例的显示设备的框图。

[0058] 参考图1,显示设备包括信号控制器100、栅极驱动器200、数据驱动器300、发光控制驱动器400、电源500、以及显示单元600。

[0059] 信号控制器100从外部设备接收输入图像信号R、G和B、以及用于对它们的显示进行控制的输入控制信号。输入图像信号R、G和B包括每个像素PX的亮度信息,并且亮度包括预定数量的灰度级。输入控制信号例如包括数据使能信号DE、水平同步信号Hsync、垂直同步信号Vsync、主时钟信号MCLK等。

[0060] 基于接收到的输入图像信号R、G和B以及输入控制信号,信号控制器100根据显示单元600和数据驱动器300的操作条件来适当地调整输入图像信号R、G和B,并且生成第一控制信号CONT1、第二控制信号CONT2、图像数据信号DAT和第三控制信号CONT3。信号控制器100将第一控制信号CONT1传输到栅极驱动器200,将第二控制信号CONT2和图像数据信号DAT传输到数据驱动器300,并且将第三控制信号CONT3传输到发光控制驱动器400。

[0061] 显示单元600包括:多条栅极线SL1-SLn、多条数据线DL1-DLm、多条发射控制线EL1-ELn、以及多个像素PX。多个像素PX可以连接到多条栅极线SL1-SLn、多条数据线DL1-DLm和多条发射控制线EL1-ELn,以便基本上以矩阵形式布置。多条栅极线SL1-SLn基本上在行方向上延伸,以便基本上彼此平行。多条发射控制线EL1-ELn基本上在行方向上延伸,以便基本上彼此平行。多条数据线DL1-DLm基本上在行方向上延伸,以便基本上彼此平行。

[0062] 栅极驱动器200连接到多条栅极线SL1-SLn,并且根据第一控制信号CONT1将包括栅极导通电压和栅极截止电压的栅极信号施加到多条栅极线SL1-SLn。栅极驱动器200可以顺序地将栅极导通电压的栅极信号施加到多条栅极线SL1-SLn。

[0063] 数据驱动器300连接到多条数据线DL1-DLm,根据第二控制信号CONT2来采样并保持图像数据信号DAT,并且将数据电压施加到多条数据线DL1-DLm。数据驱动器300可以将具有预定电压范围的数据信号施加到与栅极导通电压的栅极信号对应的多条数据线DL1-DLm。

[0064] 发光控制驱动器400可以连接到多条发射控制线EL1-ELn,并且可以根据第三控制信号CONT3将包括栅极导通电压和栅极截止电压的发射控制信号施加到多条发射控制线EL1-ELn。

[0065] 电源500将第一电源电压ELVDD、第二电源电压ELVSS和初始化电压Vint提供给多个像素PX。第一电源电压ELVDD可以是提供在多个像素PX中的每个中包括的有机发光二极管(OLED)的阳极电极的高电平电压。第二电源电压ELVSS可以是提供在多个像素PX中的每个中包括的有机发光二极管(OLED)的阴极电极的低电平电压。第一电源电压

ELVDD和第二电源电压ELVSS是用于使多个像素PX发射光的驱动电压。

[0066] 在示例性实施例中,信号控制器100、栅极驱动器200、数据驱动器300、发光控制驱动器400、电源500和/或它们的一个或多个组件可以经由一个或多个通用和/或专用的组件来实现,诸如一个或多个分立电路、数字信号处理芯片、集成电路、专用集成电路、微处理器、处理器、可编程阵列、现场可编程阵列、指令集处理器、和/或类似物。

[0067] 根据一个或多个示例性实施例,可以经由软件、硬件(例如,通用处理器、数字信号处理(DSP)芯片、专用集成电路(ASIC)、现场可编程门阵列(FPGA)等)、固件或它们的组合来实现本文所描述的特征、功能、处理等。以这种方式,信号控制器100、栅极驱动器200、数据驱动器300、发光控制驱动器400、电源500和/或它们的一个或多个组件可以包括一个或多个存储器(未示出)或者以其他方式与一个或多个存储器相关联,该一个或多个存储器包括被配置为使得信号控制器100、栅极驱动器200、数据驱动器300、发光控制驱动器400、电源500和/或它们的一个或多个组件执行本文所描述的特征、功能、处理等中的一个或多个的代码(例如,指令)。

[0068] 存储器可以是参与向一个或多个软件、硬件和/或固件组件提供代码以用于执行的任何介质。这样的存储器可以以任何合适的形式来实现,包括但不限于非易失性介质、易失性介质和传输介质。非易失性介质包括例如光盘或磁盘。易失性介质包括动态存储器。传输介质包括同轴电缆、铜线和光纤。传输介质也可以采用声波、光学或电磁波的形式。计算机可读介质的常见形式包括例如软盘、柔性盘、硬盘、磁带、任何其他磁介质、光盘只读存储器(CD-ROM)、可重写光盘(CD-RW)、数字视频光盘(DVD)、可重写DVD(DVD-RW)、任何其他光学介质、穿孔卡、纸带、光学标记片、具有孔图案或其他光学可识别标记的任何其他物理介质、随机存取存储器(RAM)、可编程只读存储器(PROM)和可擦除可编程只读存储器(EPROM)、FLASH-EPROM、任何其他存储器芯片或卡式盒、载波、或者可以由例如控制器/处理器读取信息的任何其他介质。

[0069] 在下文中,将参考图2来描述根据示例性实施例的像素,并且将参考图3来描述相对于晶体管的栅极-源极电压差的沟道电容。

[0070] 图2示出根据示例性实施例的包括像素电路10的像素。像素PX是位于图1的显示装置中包括的多个像素PX之中的第n像素行且第m像素列处的示例性像素。

[0071] 参考图2,像素PX包括有机发光二极管(OLED)、以及用于对从第一电源电压ELVDD流到有机发光二极管(OLED)的电流进行控制的像素电路10。第一栅极线SL_n、第二栅极线SL_{In}、第三栅极线SL_{Bn}、数据线DL_m和发射控制线EL_n可以连接到像素电路10。第二栅极线SL_{In}可以是位于第一栅极线SL_n之前的一个像素行上的栅极线。例如,第二栅极线SL_{In}可以连接到作为n-1行的前一行上的像素的栅极线SL_{n-1}。第三栅极线SL_{Bn}可以是位于第二栅极线SL_{In}之前的一个像素行上的栅极线、位于与第二栅极线SL_{In}相同的像素行上的栅极线、或者位于与第一栅极线SL_n相同的像素行上的栅极线。例如,第三栅极线SL_{Bn}可以连接到n-2行上的像素的栅极线SL_{n-2}、n-1行上的像素的栅极线SL_{n-1}、或第一栅极线SL_n。

[0072] 像素电路10可以包括驱动晶体管TR11、开关晶体管TR12、补偿晶体管TR13、第一发射控制晶体管TR14、第二发射控制晶体管TR15、初始化晶体管TR16、复位晶体管TR17、第一辅助晶体管TR18、以及存储电容器C_{st}。

[0073] 驱动晶体管TR11包括连接到第一节点N11的栅电极、连接到第二节点N12的第一电

极、以及连接到第三节点N13的第二电极。驱动晶体管TR11连接在第一电源电压ELVDD与有机发光二极管(OLED)之间,并且对应于第一节点N11的电压而对从第一电源电压ELVDD流到有机发光二极管(OLED)的电流进行控制。

[0074] 开关晶体管TR12包括连接到第一栅极线SL_n的栅电极、连接到数据线DL_m的第一电极、以及连接到第二节点N12的第二电极。开关晶体管TR12连接在数据线DL_m与驱动晶体管TR11之间,并且根据施加到第一栅极线SL_n的栅极导通电压的第一栅极信号而导通以将被施加到数据线DL_m的数据电压V_{dat}传输到第二节点N12。

[0075] 补偿晶体管TR13包括连接到第一栅极线SL_n的栅电极、连接到第三节点N13的第一电极、以及连接到第一节点N11的第二电极。补偿晶体管TR13连接在驱动晶体管TR11的第二电极与栅电极之间,并且根据施加到第一栅极线SL_n的栅极导通电压的第一栅极信号而导通。补偿晶体管TR13以二极管接法连接(diode-connect)驱动晶体管TR11,从而补偿驱动晶体管TR11的阈值电压。以下,将驱动晶体管TR11的阈值电压称为V_{th}。补偿后数据电压(V_{dat}+V_{th}),即由驱动晶体管TR11的阈值电压V_{th}补偿后的数据电压V_{dat},被传输到第一节点N11。

[0076] 第一发射控制晶体管TR14包括连接到发射控制线EL_n的栅电极、连接到第一电源电压ELVDD的第一电极、以及连接到第二节点N12的第二电极。第一发射控制晶体管TR14连接在第一电源电压ELVDD与驱动晶体管TR11之间,并且根据施加到发射控制线EL_n的栅极导通电压的发射控制信号而导通以将第一电源电压ELVDD传输到驱动晶体管TR11。

[0077] 第二发射控制晶体管TR15包括连接到发射控制线EL_n的栅电极、连接到第三节点N13的第一电极、以及连接到有机发光二极管(OLED)的阳极的第二电极。第二发射控制晶体管TR15连接在驱动晶体管TR11与有机发光二极管(OLED)之间,并且根据施加到发射控制线EL_n的栅极导通电压的发射控制信号而导通以将流过驱动晶体管TR11的电流传输到有机发光二极管(OLED)。

[0078] 初始化晶体管TR16包括连接到第二栅极线SL_l_n的栅电极、连接到初始化电压V_{int}的第一电极、以及连接到第一节点N11的第二电极。初始化晶体管TR16连接在驱动晶体管TR11的栅电极与初始化电压V_{int}之间,并且根据施加到第二栅极线SL_l_n的栅极导通电压的第二栅极信号而导通。初始化晶体管TR16可以将初始化电压V_{int}传输到第一节点N11,从而将驱动晶体管TR11的栅极电压初始化为初始化电压V_{int}。

[0079] 复位晶体管TR17包括连接到第三栅极线SL_B_n的栅电极、连接到初始化电压V_{int}的第一电极、以及连接到有机发光二极管(OLED)的阳极的第二电极。复位晶体管TR17连接在有机发光二极管(OLED)的阳极与初始化电压V_{int}之间,并且根据施加到第三栅极线SL_B_n的栅极导通电压的第三栅极信号而导通。复位晶体管TR17将初始化电压V_{int}传输到有机发光二极管(OLED)的阳极,从而将有机发光二极管(OLED)复位到初始化电压V_{int}。在一些示例性实施例中,可以省略复位晶体管TR17。

[0080] 第一辅助晶体管TR18包括连接到数据线DL_m的栅电极、连接到第一栅极线SL_n的第一电极、以及连接到第一栅极线SL_n的第二电极。第一辅助晶体管TR18的栅电极可以不通过像素电路10的其他元件而直接连接到数据线DL_m。也就是说,数据电压V_{dat}可以直接施加到第一辅助晶体管TR18的栅电极。第一辅助晶体管TR18可以作为第一电极和第二电极彼此电连接的金属氧化物半导体(MOS)电容器来操作。也就是说,当足够低以在半导体层中形成沟

道的数据电压Vdat被供应给栅电极时,第一辅助晶体管TR18可以作为半导体层和栅电极具有预定的电容的一个电容器来操作,在该半导体层和该栅电极之间具有栅极绝缘层。

[0081] 驱动晶体管TR11、开关晶体管TR12、补偿晶体管TR13、第一发射控制晶体管TR14、第二发射控制晶体管TR15、初始化晶体管TR16、复位晶体管TR17和第一辅助晶体管TR18可以是p沟道场效应晶体管。用于将p沟道场效应晶体管导通的栅极导通电压是低电平电压,并且用于将其截止的栅极截止电压是高电平电压。

[0082] 在一些示例性实施例中,驱动晶体管TR11、开关晶体管TR12、补偿晶体管TR13、第一发射控制晶体管TR14、第二发射控制晶体管TR15、初始化晶体管TR16、复位晶体管TR17和第一辅助晶体管TR18中的至少一个可以是n沟道场效应晶体管。此时,用于将n沟道场效应晶体管导通的栅极导通电压是高电平电压,用于将其截止的栅极截止电压是低电平电压。

[0083] 存储电容器Cst包括连接到第一电源电压ELVDD的第一电极、以及连接到第一节点N11的第二电极。补偿后数据电压($V_{dat}+V_{th}$),即由驱动晶体管TR11的阈值电压 V_{th} 补偿后的数据电压Vdat,被施加到第一节点N11,并且存储电容器Cst用于维持第一节点N11的补偿后数据电压($V_{dat}+V_{th}$)。

[0084] 有机发光二极管(OLED)包括连接到第二发射控制晶体管TR15的第二电极的阳极、以及连接到第二电源电压ELVSS的阴极。有机发光二极管(OLED)可以连接在像素电路10与第二电源电压ELVSS之间,以发射具有与从像素电路10提供的电流对应的亮度的光。有机发光二极管(OLED)可以包括包含有机发光材料的发射层。空穴和电子分别从阳极电极和阴极电极注入到发射层中,当由被注入的空穴和电子所形成的激子从激发态下降到基态时,发射光。有机发光二极管(OLED)可以发射原色中的一种原色的光或者白色光。原色可以是三原色,诸如红色、绿色和蓝色。可替代地,原色可以是黄色、青色、品红色等。

[0085] 晶体管的沟道电容可以通过栅极-源极电压差 V_{gs} 而发生变化。这将参考图3来描述。

[0086] 图3示出相对于晶体管的栅极-源极电压差的沟道电容的曲线图。图3示出了测量具有不同长度的沟道的三个p沟道场效应晶体管的栅极-源极电压差(V_{gs})的沟道电容的结果。

[0087] 参考图3,在p沟道场效应晶体管的情况下,可以看出栅极-源极电压差(V_{gs})为负并且沟道电容随着栅极-源极电压差(V_{gs})的减小而增加。

[0088] 返回参考图2,取决于施加到数据线DLm的数据电压Vdat的电平,可能会产生开关晶体管TR12中的沟道电容差。另外,取决于根据数据电压Vdat的电平,可能会产生补偿晶体管TR13中的沟道电容差。与黑色亮度对应的数据电压(下文中称为黑色数据电压)的电平大于与灰度亮度对应的数据电压(下文中称为灰度数据电压)的电平。在黑色数据电压被施加到数据线DLm时的开关晶体管TR12的栅极-源极电压差 V_{gs} 小于在灰度数据电压被施加到数据线DLm时的开关晶体管TR12的栅极-源极电压差 V_{gs} 。另外,在黑色数据电压被施加到数据线DLm时的补偿晶体管TR13的栅极-源极电压差 V_{gs} 小于在灰度数据电压被施加到数据线DLm时的补偿晶体管TR13的栅极-源极电压差 V_{gs} 。因此,在黑色数据电压被施加到数据线DLm时的开关晶体管TR12的沟道电容变得大于在灰度数据电压被施加到数据线DLm时的开关晶体管TR12的沟道电容。另外,在黑色数据电压被施加到数据线DLm时的补偿晶体管TR13的沟道电容变得大于在灰度数据电压被施加到数据线DLm时的补偿晶体管TR13的沟道电

容。当黑色数据电压被施加到数据线DL_m时,随着开关晶体管TR12和补偿晶体管TR13的沟道电容增加,被施加到用于将开关晶体管TR12和补偿晶体管TR13导通的第一栅极线SL_n的第一栅极信号的负载可能会进一步增加。第一辅助晶体管TR18用于减少这种负载。

[0089] 现在将参考表1来描述第一辅助晶体管TR18用于减少开关晶体管TR12和补偿晶体管TR13的负载的操作。

[0090] (表1)

[0091]

	黑色			灰度		
	TR12	TR13	TR18	TR12	TR13	TR18
V _g	-8V	-8V	6V	-8V	-8V	4V
V _s (V _d)	6V	3V	-8V	4V	1V	-8V
V _{gs}	-14V	-11V	14V	-12V	-9V	12V

[0092] 在表1中,示例性地描述了施加到第一栅极线SL_n的第一栅极信号的栅极导通电压为-8V、驱动晶体管TR11的阈值电压V_{th}为-3V、黑色数据电压为6V、并且灰度数据电压为4V的情况。

[0093] 当黑色数据电压被施加到数据线DL_m时,开关晶体管TR12的栅极电压V_g为-8V,源极电压V_s(与漏极电压V_d相同)为6V,并且栅极-源极电压差V_{gs}为-14V;补偿晶体管TR13的栅极电压V_g为-8V,源极电压V_s为3V作为驱动晶体管TR11的阈值电压V_{th}被补偿到数据电压V_{dat}的补偿后数据电压(V_{dat}+V_{th}),并且栅极-源极电压差V_{gs}为-11V。第一辅助晶体管TR18的栅极电压V_g为6V,源极电压V_s为-8V,并且栅极-源极电压差V_{gs}为14V。

[0094] 当灰度数据电压被施加到数据线DL_m时,开关晶体管TR12的栅极电压V_g为-8V,源极电压V_s为4V,并且栅极-源极电压差V_{gs}为-12V。补偿晶体管TR13的电压V_g为-8V,源极电压V_s为1V作为驱动晶体管TR11的阈值电压V_{th}被补偿到数据电压V_{dat}的补偿后数据电压(V_{dat}+V_{th}),并且栅极-源极电压差V_{gs}是-9V;第一辅助晶体管TR18的栅极电压V_g为4V,源极电压V_s为-8V,并且栅极-源极电压差V_{gs}为12V。

[0095] 与灰度数据电压被施加到数据线DL_m的情况相比,当黑色数据电压被施加于数据线DL_m上时,开关晶体管TR12和补偿晶体管TR13的栅极-源极电压差V_{gs}分别减小了2V,因此,开关晶体管TR12和补偿晶体管TR13的沟道电容增加。可替代地,第一辅助晶体管TR18的栅极-源极电压差V_{gs}增加了2V,因此第一辅助晶体管TR18的沟道电容减小。由于第一辅助晶体管TR18与开关晶体管TR12和补偿晶体管TR13被连接到相同的第一栅极线SL_n,因此第一辅助晶体管TR18的减小的沟道电容可以抵消开关晶体管TR12和补偿晶体管TR13的增加的沟道电容。也就是说,第一辅助晶体管TR18可以减少被施加到第一栅极线SL_n的第一栅极信号的负载。

[0096] 根据像素PX不包括第一辅助晶体管TR18的可比较实施例,当黑色数据电压被输入到像素PX时,栅极信号从栅极截止电压转变为栅极导通电压的时间由于开关晶体管TR12和补偿晶体管TR13的沟道电容而可能会被延迟。因此,黑色数据电压未被充分地输入到像素PX,使得像素PX可能会发射亮度比黑色亮度更亮的光,这可以被视为串扰。

[0097] 根据示例性实施例,如参考图2所详细描述,由于像素PX包括可将开关晶体管TR12和补偿晶体管TR13的增加的沟道电容抵消的第一辅助晶体管TR18,因此第一栅极信号的负载可以被减少,从而防止或减少产生串扰。

[0098] 在下文中,将参考图4、图5、图6、图7、图8、图9、图10、图11、图12、图13、图14、图15和图16来描述根据其他示例性实施例的像素。与图1、图2和图3中示出的示例性实施例相比,将主要描述不同之处,并且将省略其重复描述。

[0099] 图4示出根据示例性实施例的包括像素电路20的像素。

[0100] 与图2相比,像素电路20不包括第一辅助晶体管TR18,并且包括第二辅助晶体管TR19。

[0101] 第二辅助晶体管TR19包括连接到第三节点N13的栅电极、连接到第一栅极线SLn的第一电极、以及连接到第一栅极线SLn的第二电极。第二辅助晶体管TR19的栅电极可以通过开关晶体管TR12和驱动晶体管TR11被连接到数据线DLm。当补偿晶体管TR13被导通并且驱动晶体管TR11以二极管接法连接时,驱动晶体管TR11的阈值电压 V_{th} 被补偿到数据电压Vdat的补偿后数据电压($V_{dat}+V_{th}$)可以被施加于第二辅助晶体管TR19的栅电极。第二辅助晶体管TR19可以作为第一电极和第二电极彼此电连接的MOS电容器来操作。第二辅助晶体管TR19可以是p沟道场效应晶体管。

[0102] 第二辅助晶体管TR19用于减少开关晶体管TR12和补偿晶体管TR13的负载。这将参考表2来描述。

[0103] (表2)

[0104]

	黑色			灰度		
	TR12	TR13	TR19	TR12	TR13	TR19
Vg	-8V	-8V	3V	-8V	-8V	1V
Vs(Vd)	6V	3V	-8V	4V	1V	-8V
Vgs	-14V	-11V	11V	-12V	-9V	9V

[0105] 在表2中,示例性地描述了第一栅极信号的栅极导通电压为-8V、驱动晶体管TR11的阈值电压 V_{th} 为-3V、黑色数据电压为6V、并且灰度数据电压为4V的情况。

[0106] 当黑数据电压被施加到数据线DLm时,开关晶体管TR12的栅极-源极电压差 V_{gs} 为-14V,并且补偿晶体管TR13的栅极-源极电压差 V_{gs} 为-11V。第二辅助晶体管TR19的栅极电压Vg为3V作为驱动晶体管TR11的阈值电压 V_{th} 被补偿到数据电压Vdat的补偿后数据电压($V_{dat}+V_{th}$),源极电压Vs为-8V,并且栅极-源极电压差 V_{gs} 为11V。

[0107] 当灰度数据电压被施加到数据线DLm时,开关晶体管TR12的栅极-源极电压差 V_{gs} 为-12V,并且补偿晶体管TR13的栅极-源极电压差 V_{gs} 为-9V。第二辅助晶体管TR19的栅极电压Vg为1V作为驱动晶体管TR11的阈值电压 V_{th} 被补偿到数据电压Vdat的补偿后数据电压($V_{dat}+V_{th}$),源极电压Vs为-8V,并且栅极-源极电压差 V_{gs} 为9V。类似于图2中详细描述的第一辅助晶体管TR18,第二辅助晶体管TR19可以减少施加到第一栅极线SLn的第一栅极信号的负载。

[0108] 除了这些差异之外,以上参考图1、图2和图3所描述的示例性实施例的特征可完全应用于参考图4所描述的示例性实施例,因此省略冗余描述。

[0109] 图5示出了根据示例性实施例的包括像素电路30的像素。

[0110] 与图2和图4相比,像素电路30包括第一辅助晶体管TR18和第二辅助晶体管TR19。

[0111] 如图2中所详细描述,第一辅助晶体管TR18可以抵消开关晶体管TR12和补偿晶体管TR13的沟道电容。另外,如图4中所详细描述,第二辅助晶体管TR19可以抵消开关晶体管TR12和补偿晶体管TR13的沟道电容。

[0112] 除了这些差异之外,以上参考图1、图2、图3和图4所描述的示例性实施例的特征被可以完全应用于参考图5所描述的示例性实施例,因此省略冗余描述。

[0113] 图6示出根据示例性实施例的包括像素电路40的像素。

[0114] 与图2和图4相比,像素电路40不包括第一辅助晶体管TR18和第二辅助晶体管TR19,并且包括第三辅助晶体管TR20。

[0115] 第三辅助晶体管TR20包括连接到第二节点N12的栅电极、连接到第一栅极线SLn的第一电极、以及连接到第一栅极线SLn的第二电极。第三辅助晶体管TR20的栅电极可以通过开关晶体管TR12被连接到数据线DLm。当开关晶体管TR12导通时,可以将数据电压Vdat施加到第三辅助晶体管TR20的栅电极。第三辅助晶体管TR20可以作为第一电极和第二电极彼此电连接的MOS电容器来操作。第三辅助晶体管TR20可以是p沟道场效应晶体管。

[0116] 第三辅助晶体管TR20用于减少开关晶体管TR12和补偿晶体管TR13的负载。与参考表1和图2所描述的第一辅助晶体管TR18类似,第三辅助晶体管TR20可以抵消开关晶体管TR12和补偿晶体管TR13的增加的沟道电容,并且可以减少被施加到第一栅极线SLn的第一栅极信号的负载。

[0117] 除了这些差异之外,以上参考图1、图2和图3所描述的示例性实施例的特征可完全应用于参考图6所描述的示例性实施例,因此省略冗余描述。

[0118] 图7示出了根据示例性实施例的包括像素电路50的像素。

[0119] 与图2、图4和图6相比,像素电路50不包括第二辅助晶体管TR19,并且包括第一辅助晶体管TR18和第三辅助晶体管TR20。

[0120] 第一辅助晶体管TR18和第三辅助晶体管TR20可以抵消开关晶体管TR12和补偿晶体管TR13的增加的沟道电容,并且可以减少被施加到第一栅极线SLn的第一栅极信号的负载。

[0121] 除了这些差异之外,以上参考图1、图2和图3以及图6所描述的示例性实施例的特征可完全应用于参考图7所描述的示例性实施例,因此省略冗余描述。

[0122] 图8示出根据示例性实施例的包括像素电路60的像素。

[0123] 与图2、图4和图6相比,像素电路60不包括第一辅助晶体管TR18,并且包括第二辅助晶体管TR19和第三辅助晶体管TR20。

[0124] 第二辅助晶体管TR19和第三辅助晶体管TR20可以抵消开关晶体管TR12和补偿晶体管TR13的增加的沟道电容,并且可以减少被施加到第一栅极线SLn的第一栅极信号的负载。

[0125] 除了这些差异之外,以上参考图1、图2、图3、图4和图6所描述的示例性实施例的特征可完全应用于参考图8所描述的示例性实施例,因此省略冗余描述。

[0126] 图9示出根据示例性实施例的包括像素电路70的像素。

[0127] 与图2、图4和图6相比,像素电路70包括第一辅助晶体管TR18、第二辅助晶体管TR19和第三辅助晶体管TR20。

[0128] 第一辅助晶体管TR18、第二辅助晶体管TR19和第三辅助晶体管TR20可以抵消开关晶体管TR12和补偿晶体管TR13的增加的沟道电容,并且可以减少被施加到第一栅极线SL_n的第一栅极信号的负载。

[0129] 除了这些差异之外,以上参考图1、图2、图3、图4和图6所描述的示例性实施例的特征可完全应用于参考图9所描述的示例性实施例,因此省略冗余描述。

[0130] 图10示出根据示例性实施例的包括像素电路10'的像素。

[0131] 与图2相比,在像素电路10'中,补偿晶体管TR13包括第一补偿晶体管TR13-1和第二补偿晶体管TR13-2,并且初始化晶体管TR16包括第一初始化晶体管TR16-1和第二初始化晶体管TR16-2。

[0132] 第一补偿晶体管TR13-1包括连接到第一栅极线SL_n的栅电极、连接到第二补偿晶体管TR13-2的第二电极的第一电极、以及连接到第一节点N11的第二电极。第二补偿晶体管TR13-2包括连接到第一栅极线SL_n的栅电极、连接到第三节点N13的第一电极、以及连接到第一补偿晶体管TR13-1的第一电极的第二电极。也就是说,补偿晶体管TR13可以由在第一节点N11与和第三节点N13之间串联连接的第一补偿晶体管TR13-1和第二补偿晶体管TR13-2来形成。由于补偿晶体管TR13由在第一节点N11和第三节点N13之间串联连接的多个晶体管来形成,因此能够可靠地阻挡可能会在第一节点N11与第三节点N13之间流动的漏电流。

[0133] 第一初始化晶体管TR16-1包括连接到第二栅极线SL_{In}的栅电极、连接到第二初始化晶体管TR16-2的第二电极的第一电极、以及连接到第一节点N11的第二电极。第二初始化晶体管TR16-2包括连接到第二栅极线SL_{In}的栅电极、连接到初始化电压V_{int}的第一电极、以及连接到第一初始化晶体管TR16-1的第一电极的第二电极。也就是说,初始化晶体管TR16可以由在第一节点N11与初始化电压V_{int}之间串联连接的第一初始化晶体管TR16-1和第二初始化晶体管TR16-2来形成。由于初始化晶体管TR16由在第一节点N11与初始化电压V_{int}之间串联连接的多个晶体管来形成,因此能够可靠地阻止可能会在第一节点N11与初始化电压V_{int}之间流动的漏电流。

[0134] 与如图2中那样由一个晶体管来形成补偿晶体管TR13的情况相比,由于补偿晶体管TR13如图10中那样由第一补偿晶体管TR13-1和第二补偿晶体管TR13-2来形成,因此当施加有黑色数据电压时,与图2的情况相比,补偿晶体管TR13的沟道电容可由于第一补偿晶体管TR13-1和第二补偿晶体管TR13-2而被进一步增加。

[0135] 即使在这种情况下,第一辅助晶体管TR18的沟道电容也可以抵消开关晶体管TR12、第一补偿晶体管TR13-1和第二补偿晶体管TR13-2的增加的沟道电容。

[0136] 除了这些差异之外,以上参考图1、图2和图3所描述的示例性实施例的特征可完全应用于参考图10所描述的示例性实施例,因此省略冗余描述。

[0137] 图11示出根据示例性实施例的包括像素电路20'的像素。

[0138] 与图4相比,在像素电路20'中,补偿晶体管TR13包括第一补偿晶体管TR13-1和第二补偿晶体管TR13-2,并且初始化晶体管TR16包括第一初始化晶体管TR16-1和第二初始化晶体管TR16-2。

[0139] 当施加有黑色数据电压时,即使在补偿晶体管TR13的沟道电容由于第一补偿晶体管TR13-1和第二补偿晶体管TR13-2而被进一步增加的情况下,第二辅助晶体管TR19的沟道电容也可以抵消开关晶体管TR12、第一补偿晶体管TR13-1和第二补偿晶体管TR13-2的增加的沟道电容。

[0140] 除了这些差异之外,以上参照图1、图2、图3、图4和图10所描述的示例性实施例的特征可以完全应用于参考图11所描述的示例性实施例,因此省略冗余描述。

[0141] 图12示出根据示例性实施例的包括像素电路30'的像素。

[0142] 与图5相比,在像素电路30'中,补偿晶体管TR13包括第一补偿晶体管TR13-1和第二补偿晶体管TR13-2,并且初始化晶体管TR16包括第一初始化晶体管TR16-1和第二初始化晶体管TR16-2。

[0143] 当施加有黑色数据电压时,即使在补偿晶体管TR13的沟道电容由于第一补偿晶体管TR13-1和第二补偿晶体管TR13-2而被进一步增加的情况下,第一辅助晶体管TR18和第二辅助晶体管TR19的沟道电容也可以抵消开关晶体管TR12、第一补偿晶体管TR13-1和第二补偿晶体管TR13-2的增加的沟道电容。

[0144] 除了这些差异之外,以上参考图1、图2、图3、图5和图10所描述的示例性实施例的特征可以完全应用于参考图12所描述的示例性实施例,因此省略冗余描述。

[0145] 图13示出根据示例性实施例的包括像素电路40'的像素。

[0146] 与图6相比,在像素电路40'中,补偿晶体管TR13包括第一补偿晶体管TR13-1和第二补偿晶体管TR13-2,并且初始化晶体管TR16包括第一初始化晶体管TR16-1和第二初始化晶体管TR16-2。

[0147] 当施加有黑色数据电压时,即使在补偿晶体管TR13的沟道电容由于第一补偿晶体管TR13-1和第二补偿晶体管TR13-2而被进一步增加的情况下,第三辅助晶体管TR20的沟道电容也可以抵消开关晶体管TR12、第一补偿晶体管TR13-1和第二补偿晶体管TR13-2的增加的沟道电容。

[0148] 除了这些差异之外,以上参照图1、图2、图3、图6和图10所描述的示例性实施例的特征可以完全应用于参考图13所描述的示例性实施例,因此省略冗余描述。

[0149] 图14示出根据示例性实施例的包括像素电路50'的像素。

[0150] 与图7相比,在像素电路50'中,补偿晶体管TR13包括第一补偿晶体管TR13-1和第二补偿晶体管TR13-2,并且初始化晶体管TR16包括第一初始化晶体管TR16-1和第二初始化晶体管TR16-2。

[0151] 当施加有黑色数据电压时,即使在补偿晶体管TR13的沟道电容由于第一补偿晶体管TR13-1和第二补偿晶体管TR13-2而被进一步增加的情况下,第一辅助晶体管TR18和第三辅助晶体管TR20的沟道电容可以抵消开关晶体管TR12、第一补偿晶体管TR13-1和第二补偿晶体管TR13-2的增加的沟道电容。

[0152] 除了这些差异之外,以上参照图1、图2、图3、图7和图10所描述的示例性实施例的特征可以完全应用于参考图14所描述的示例性实施例,因此省略冗余描述。

[0153] 图15示出根据示例性实施例的包括像素电路60'的像素。

[0154] 与图8相比,在像素电路60'中,补偿晶体管TR13包括第一补偿晶体管TR13-1和第二补偿晶体管TR13-2,并且初始化晶体管TR16包括第一初始化晶体管TR16-1和第二初始化

晶体管TR16-2。

[0155] 当施加有黑色数据电压时,即使在补偿晶体管TR13的沟道电容由于第一补偿晶体管TR13-1和第二补偿晶体管TR13-2而被进一步增加的情况下,第二辅助晶体管TR19和第三辅助晶体管TR20的沟道电容可以抵消开关晶体管TR12、第一补偿晶体管TR13-1和第二补偿晶体管TR13-2的增加的沟道电容。

[0156] 除了这些差异之外,以上参照图1、图2、图3、图8和图10所描述的示例性实施例的特征可以完全应用于参考图15所描述的示例性实施例,因此省略冗余描述。

[0157] 图16示出根据示例性实施例的包括像素电路70'的像素。

[0158] 与图9相比,在像素电路70'中,补偿晶体管TR13包括第一补偿晶体管TR13-1和第二补偿晶体管TR13-2,并且初始化晶体管TR16包括第一初始化晶体管TR16-1和第二初始化晶体管TR16-2。

[0159] 当施加有黑色数据电压时,即使在补偿晶体管TR13的沟道电容由于第一补偿晶体管TR13-1和第二补偿晶体管TR13-2而被进一步增加的情况下,第一辅助晶体管TR18、第二辅助晶体管TR19和第三辅助晶体管TR20的沟道电容可以抵消开关晶体管TR12、第一补偿晶体管TR13-1和第二补偿晶体管TR13-2的增加的沟道电容。

[0160] 除了这些差异之外,以上参照图1、图2、图3、图9和图10所描述的示例性实施例的特征可以完全应用于参考图16所描述的示例性实施例,因此省略冗余描述。

[0161] 在下文中,将参照图17示例性地描述显示设备的驱动方法。

[0162] 图17示出了根据示例性实施例的显示设备的驱动方法的时序图。

[0163] 参考图17,根据示例性实施例的显示设备的驱动方法可以包括重置时段T1、初始化时段T2、数据写入时段T3、以及发射时段T4。根据示例性实施例,位于第n行的像素包括:第一栅极线SLn;第二栅极线SLIn,连接到作为n-1行的前一行上的像素的栅极线SLn-1;以及第三栅极线SLBn,连接到n-2行上的像素的栅极线SLn-2。

[0164] 在复位时段T1期间,栅极导通电压 0_n 的第三栅极信号S[n-2]被施加到第三栅极线SLBn。在这种情况下,施加到第一栅极线SLn的第一栅极信号S[n]、施加到第二栅极线SLIn的第二栅极信号S[n-1]和施加到发射控制线ELn的发射控制信号E[n]被施加为栅极截止电压Off。复位晶体管TR17通过栅极导通电压 0_n 的第三栅极信号S[n-2]被导通,并且初始化电压Vint被传输到有机发光二极管(OLED)的阳极。有机发光二极管(OLED)可以通过初始化电压Vint被复位。

[0165] 在初始化时段T2期间,第二栅极信号S[n-1]被施加为栅极导通电压 0_n 。在这种情况下,第一栅极信号S[n]、第三栅极信号S[n-2]和发射控制信号E[n]被施加为栅极截止电压Off。初始化晶体管TR16通过栅极导通电压 0_n 的第二栅极信号S[n-1]被导通,并且初始化电压Vint被传输到第一节点N11。驱动晶体管TR11的栅极电压可以通过初始化电压Vint被初始化。

[0166] 在数据写入时段T3期间,第一栅极信号S[n]被施加为栅极导通电压 0_n 。在这种情况下,第二栅极信号S[n-1]、第三栅极信号S[n-2]和发射控制信号E[n]被施加为栅极截止电压Off。开关晶体管TR12和补偿晶体管TR13通过栅极导通电压 0_n 的第一栅极信号S[n]被导通。数据电压Vdat通过导通的开关晶体管TR12被传输到第二节点N12。随着补偿晶体管TR13被导通,驱动晶体管TR11以二极管接法连接,并且驱动晶体管TR11的阈值电压Vth被补

偿到数据电压Vdat的补偿后数据电压 ($V_{dat}+V_{th}$) 被传输到第一节点N11。传输到第一节点N11的电压 ($V_{dat}+V_{th}$) 可以由存储电容器Cst保持。在图2、图5、图7、图9、图10、图12、图14和图16的、包括第一辅助晶体管TR18的像素电路10、30、50、70、10'、30'、50'和70'的情况下，第一辅助晶体管TR18可以作为用于将开关晶体管TR12和补偿晶体管TR13的沟道电容抵消的MOS电容器来操作。在图4、图5、图8、图9、图11、图12、图15和图16的、包括第二辅助晶体管TR19的像素电路20、30、60、70、20'、30'、60'和70'的情况下，第二辅助晶体管TR19可以作为用于将开关晶体管TR12和补偿晶体管TR13的沟道电容的抵消的MOS电容器来操作。在图6、图7、图8、图9、图13、图14、图15和图16的、包括第三辅助晶体管TR20的像素电路40、50、60、70、40'、50'、60'和70'的情况下，第三辅助晶体管TR20可以作为用于将开关晶体管TR12和补偿晶体管TR13的沟道电容抵消的MOS电容器来操作。

[0167] 在发射时段T4期间，发射控制信号E[n]被施加为栅极导通电压 O_n 。在这种情况下，第一栅极信号S[n]、第二栅极信号S[n-1]和第三栅极信号S[n-2]被施加为栅极截止电压Off。第一发射控制晶体管TR14和第二发射控制晶体管TR15通过栅极导通电压 O_n 的发射控制信号E[n]被导通。第一电源电压ELVDD通过导通的第一发射控制晶体管TR14被传输到第二节点N12，并且驱动晶体管TR11和有机发光二极管(OLED)可以通过导通的第二发射控制晶体管TR15被电连接。与第一节点N11的电压 ($V_{dat}+V_{th}$) 对应的电流通过驱动晶体管TR11从第一电源电压ELVDD流到有机发光二极管(OLED)，并且有机发光二极管(OLED)可以发射具有与该电流量对应的亮度的光。

[0168] 根据本发明的示例性实施例，像素电路包括：补偿晶体管，用于通过提供辅助晶体管来抵消开关晶体管的沟道电容和补偿晶体管的沟道电容，从而减少栅极信号的负载并且防止或减少显示设备的串扰。

[0169] 虽然本文已描述了某些示例性实施例和实施方式，但是根据该描述，其它实施例和修改将是显而易见的。因此，本发明构思不限于这些实施例，而是限于所附权利要求的更宽范围以及对于本领域普通技术人员而言将会显而易见的各种明显的修改以及等同布置。

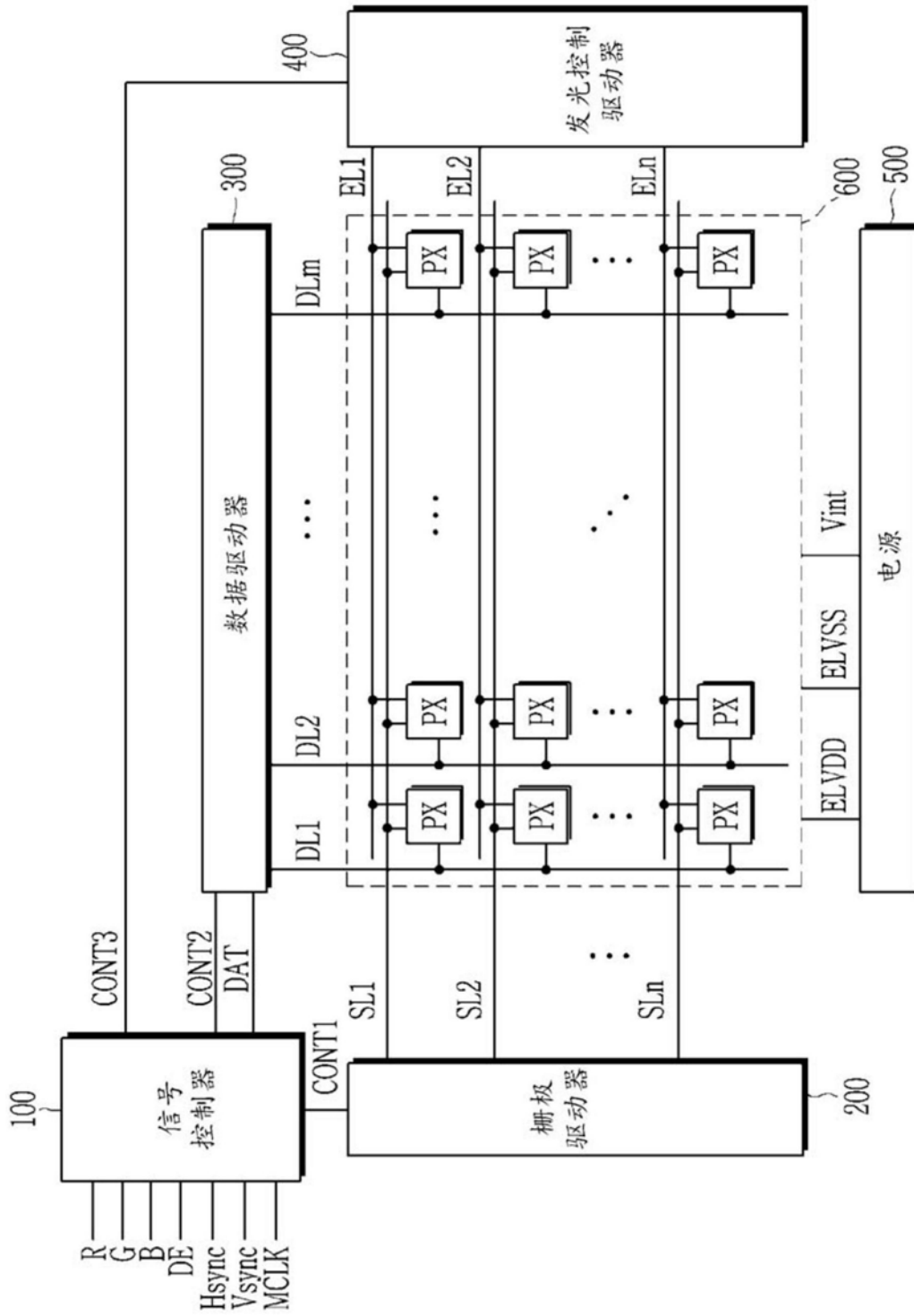


图1

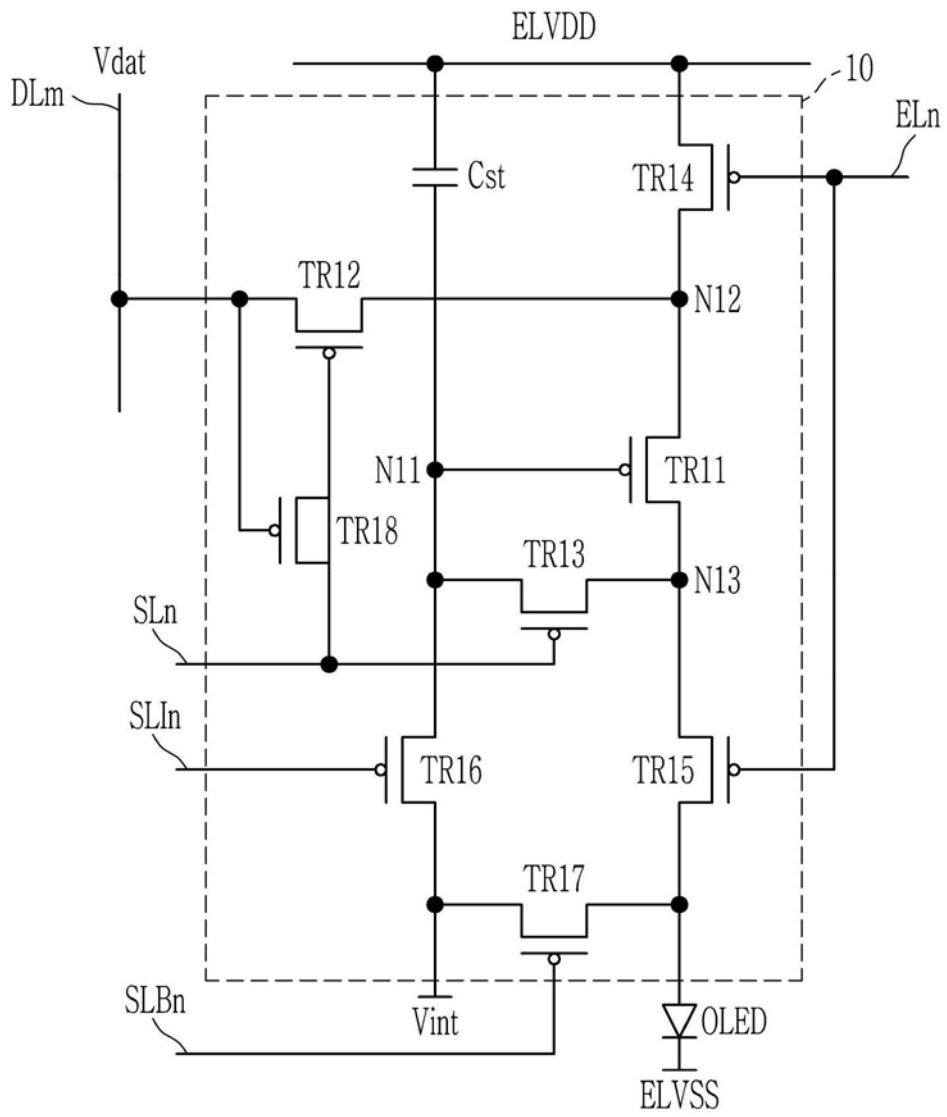


图2

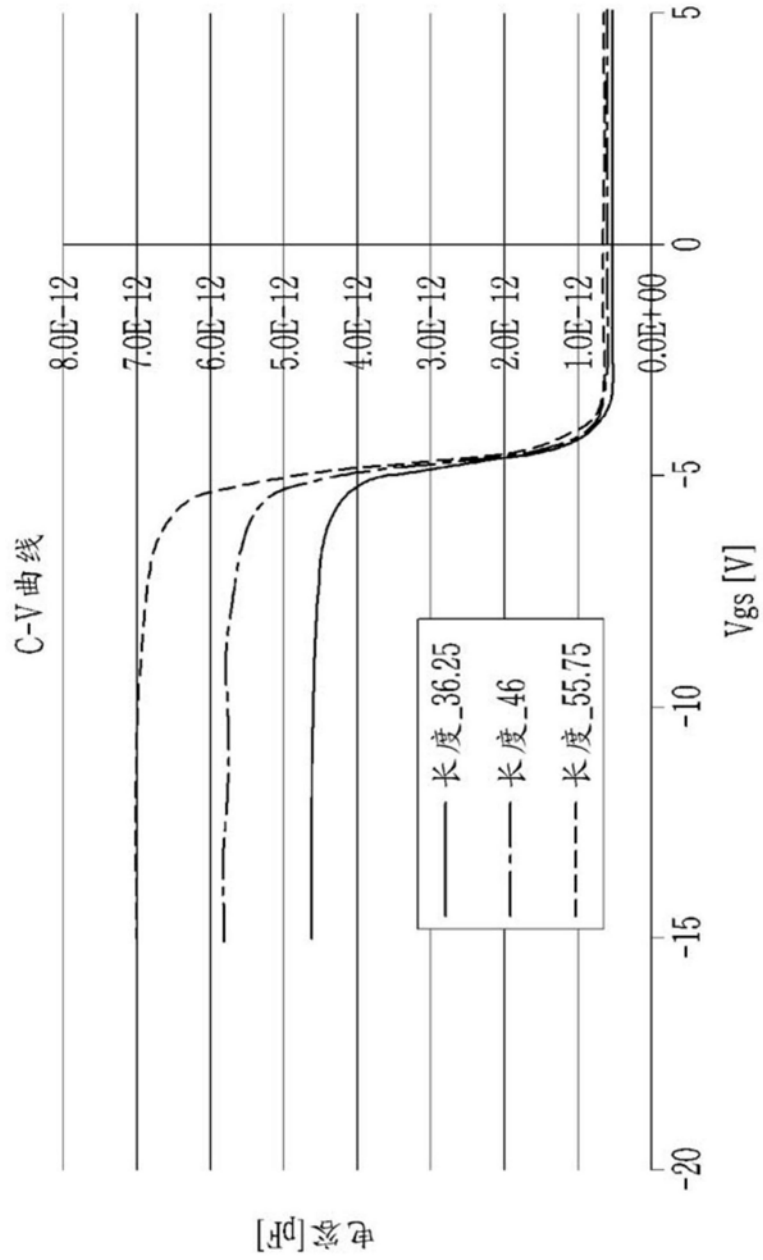


图3

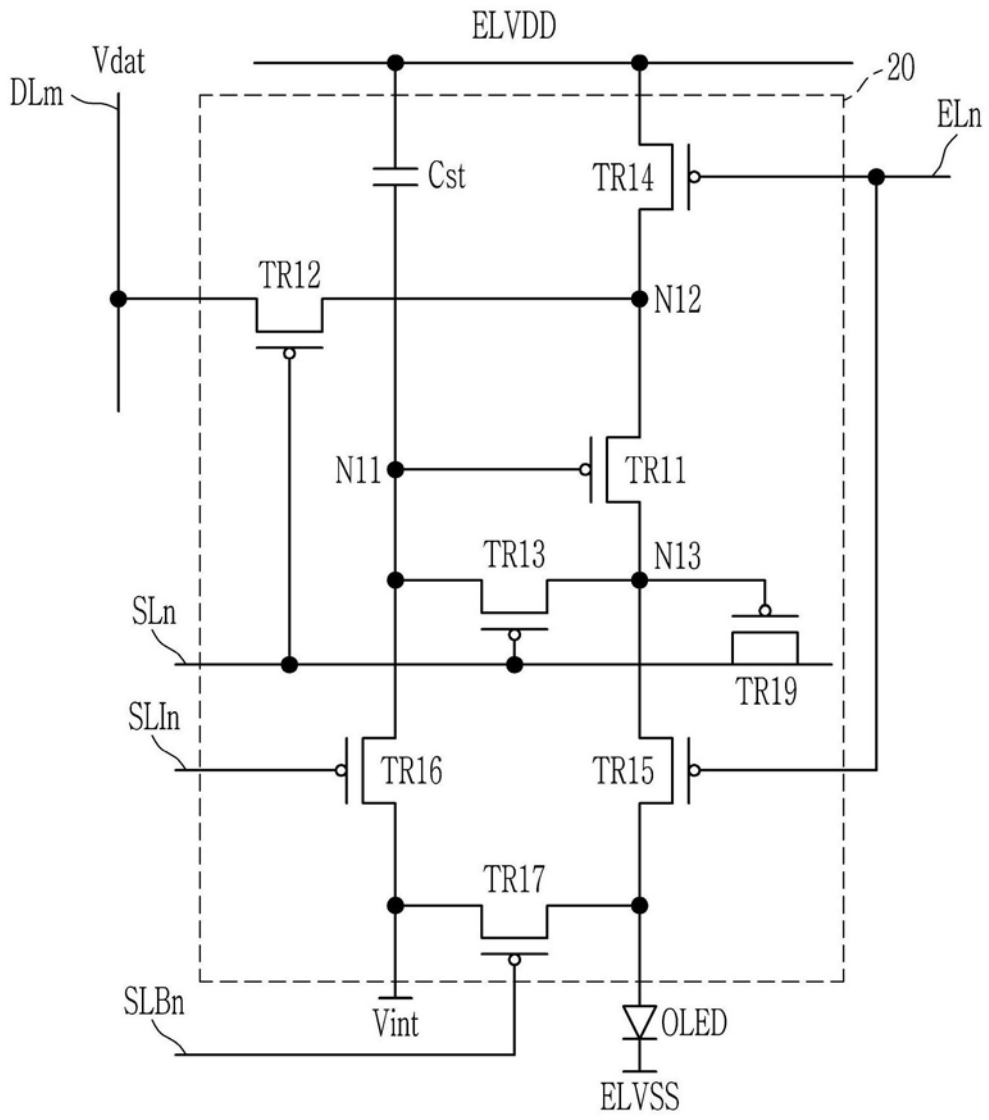


图4

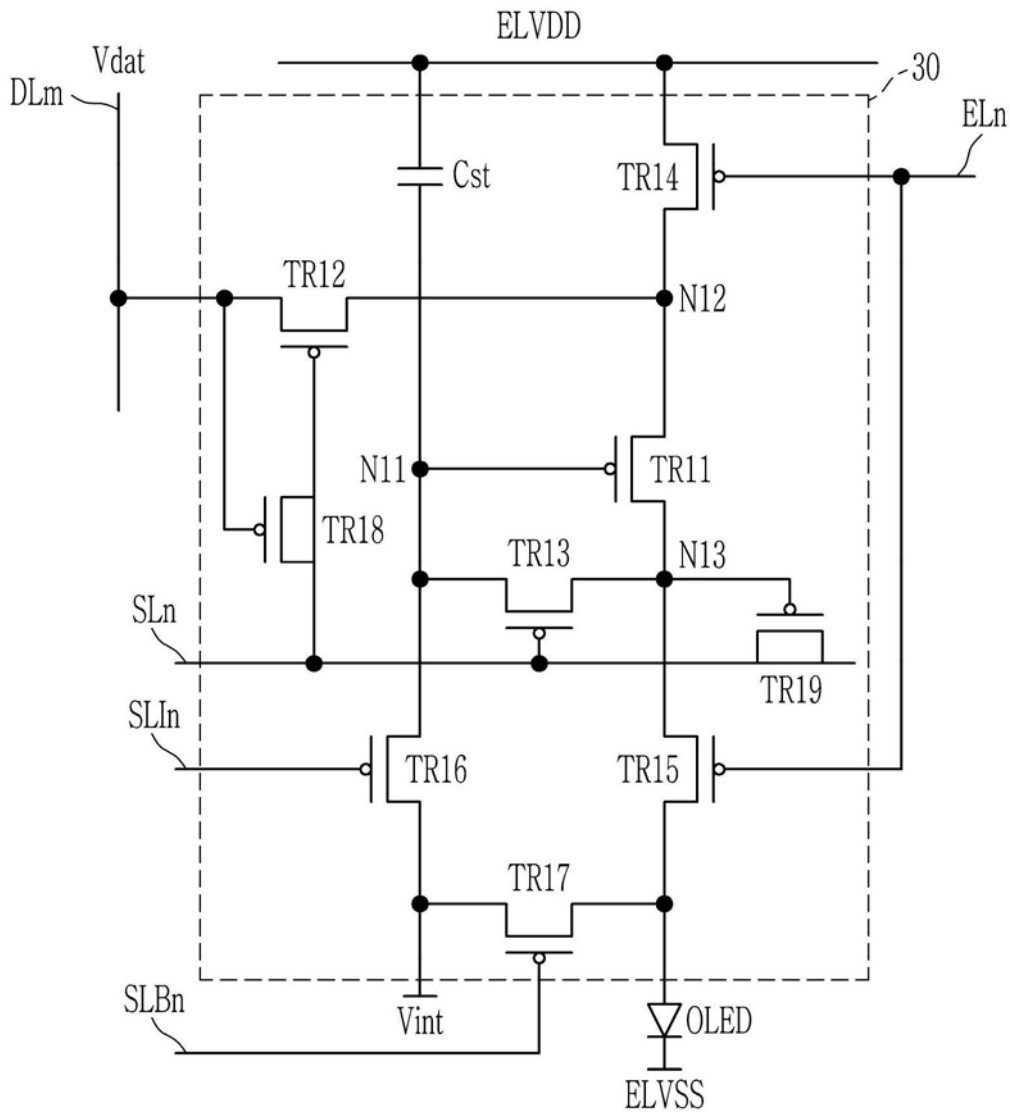


图5

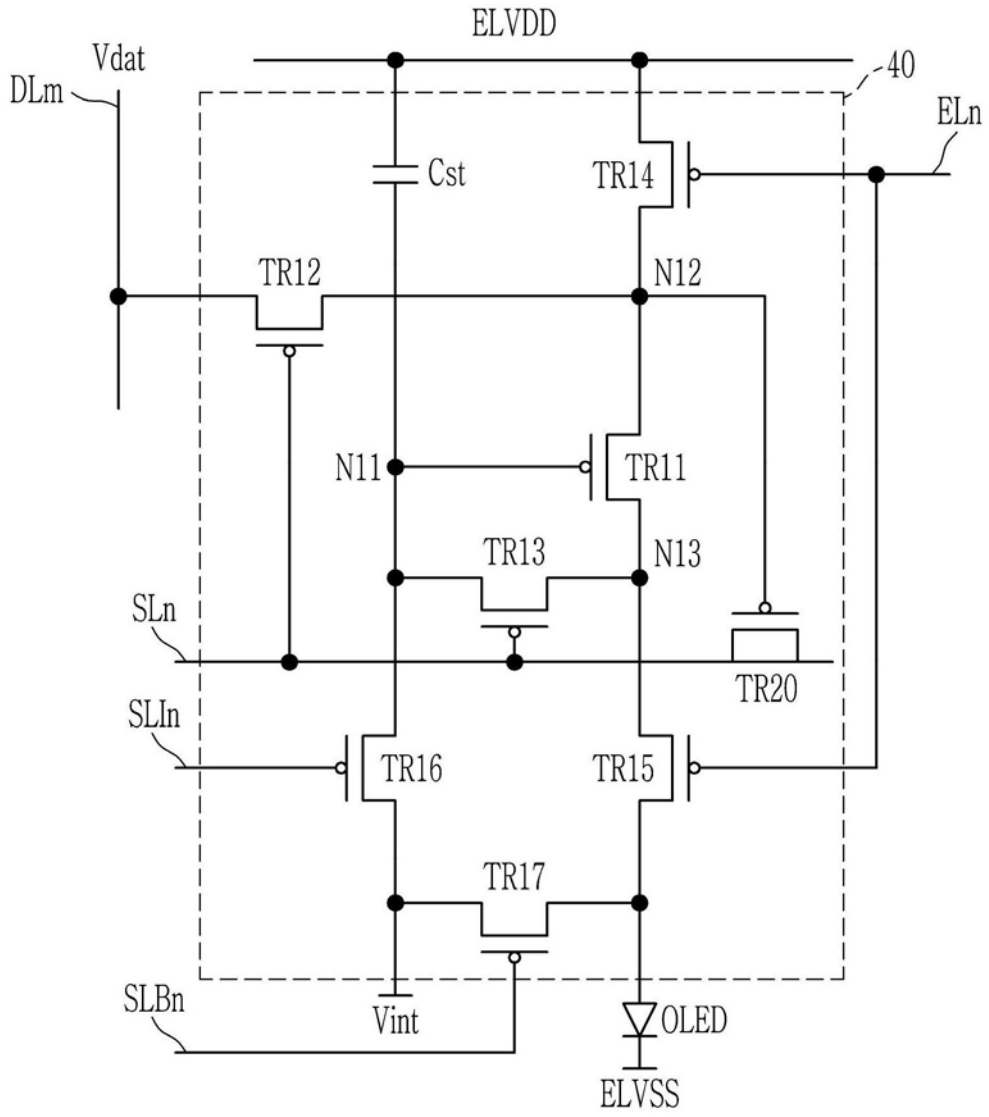


图6

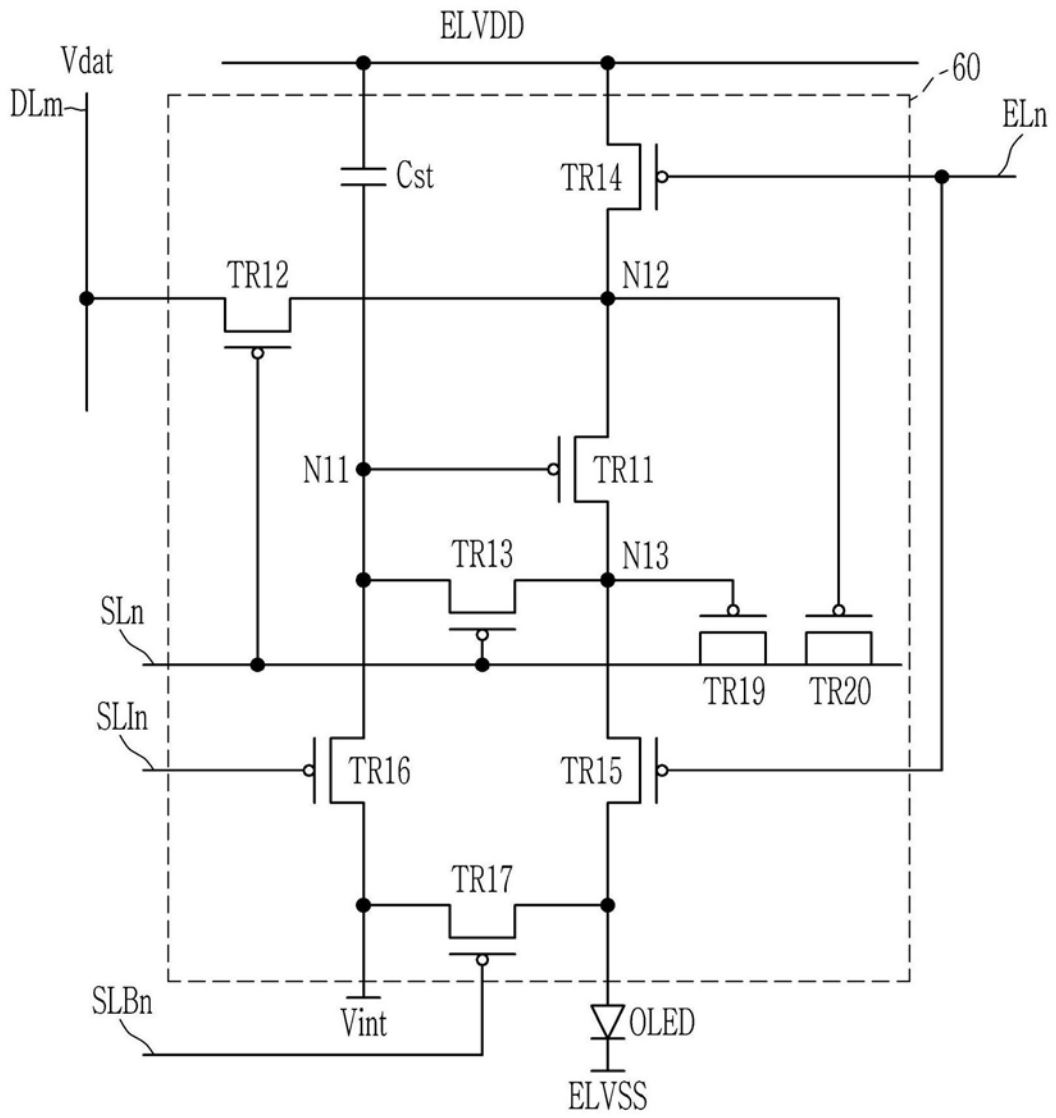


图8

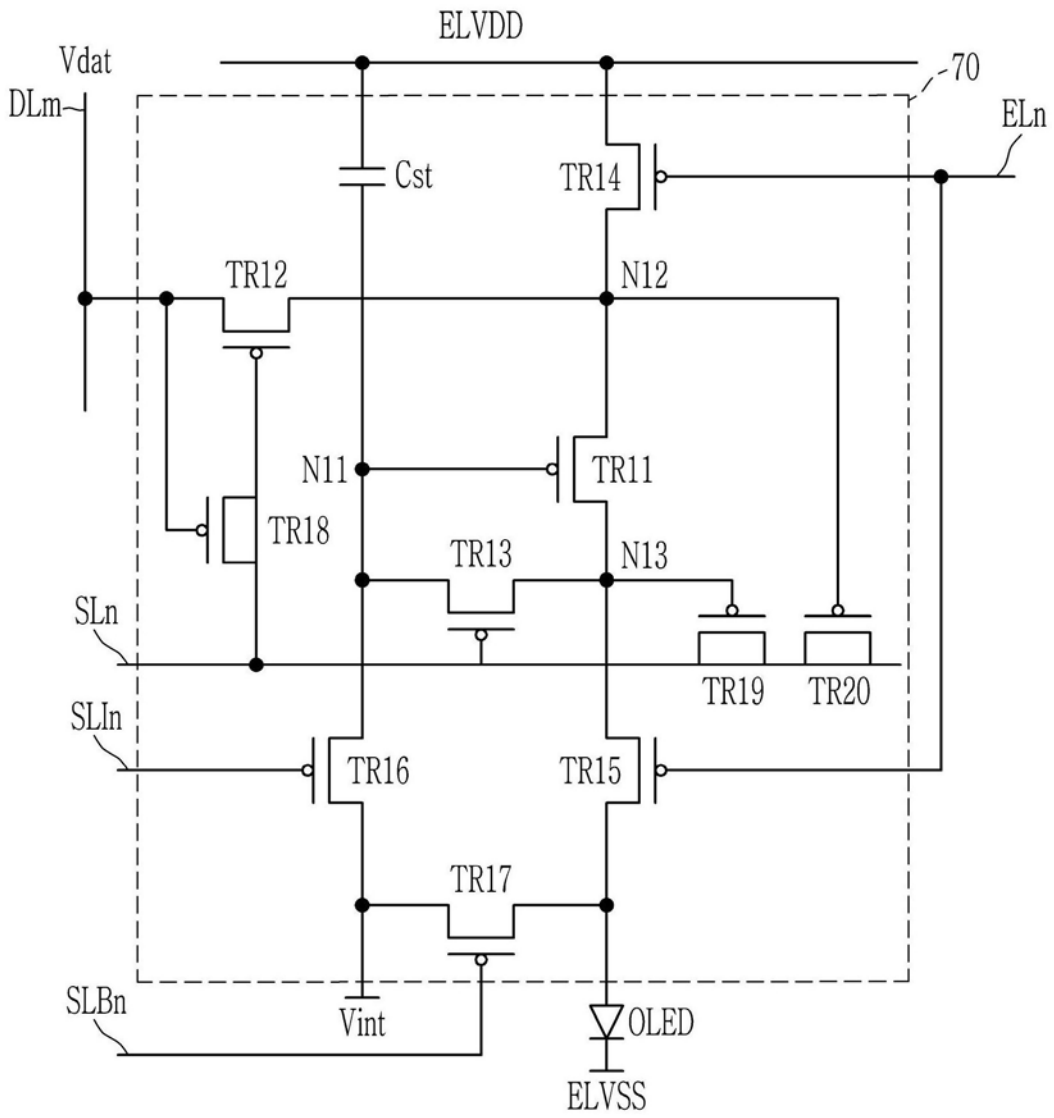


图9

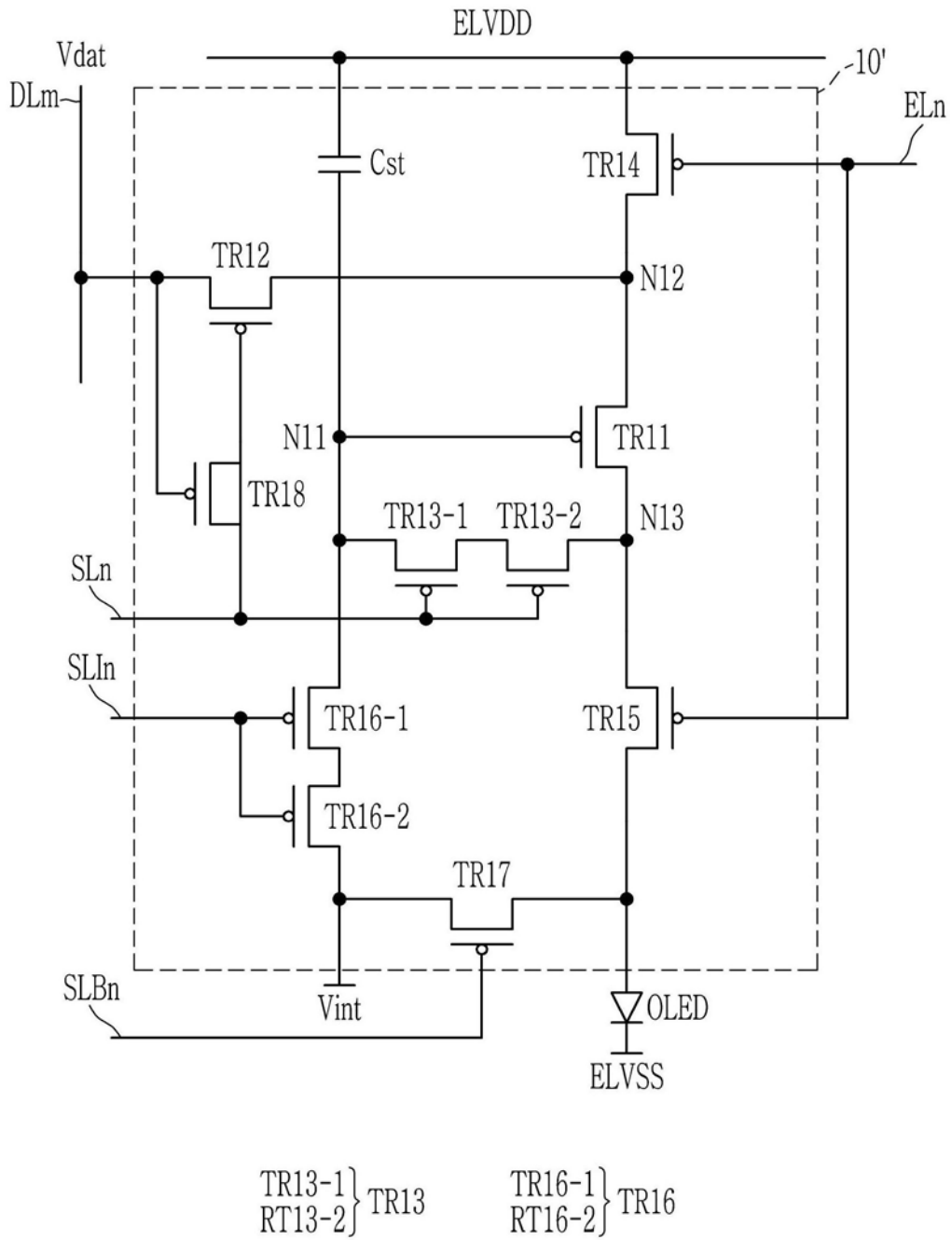


图10

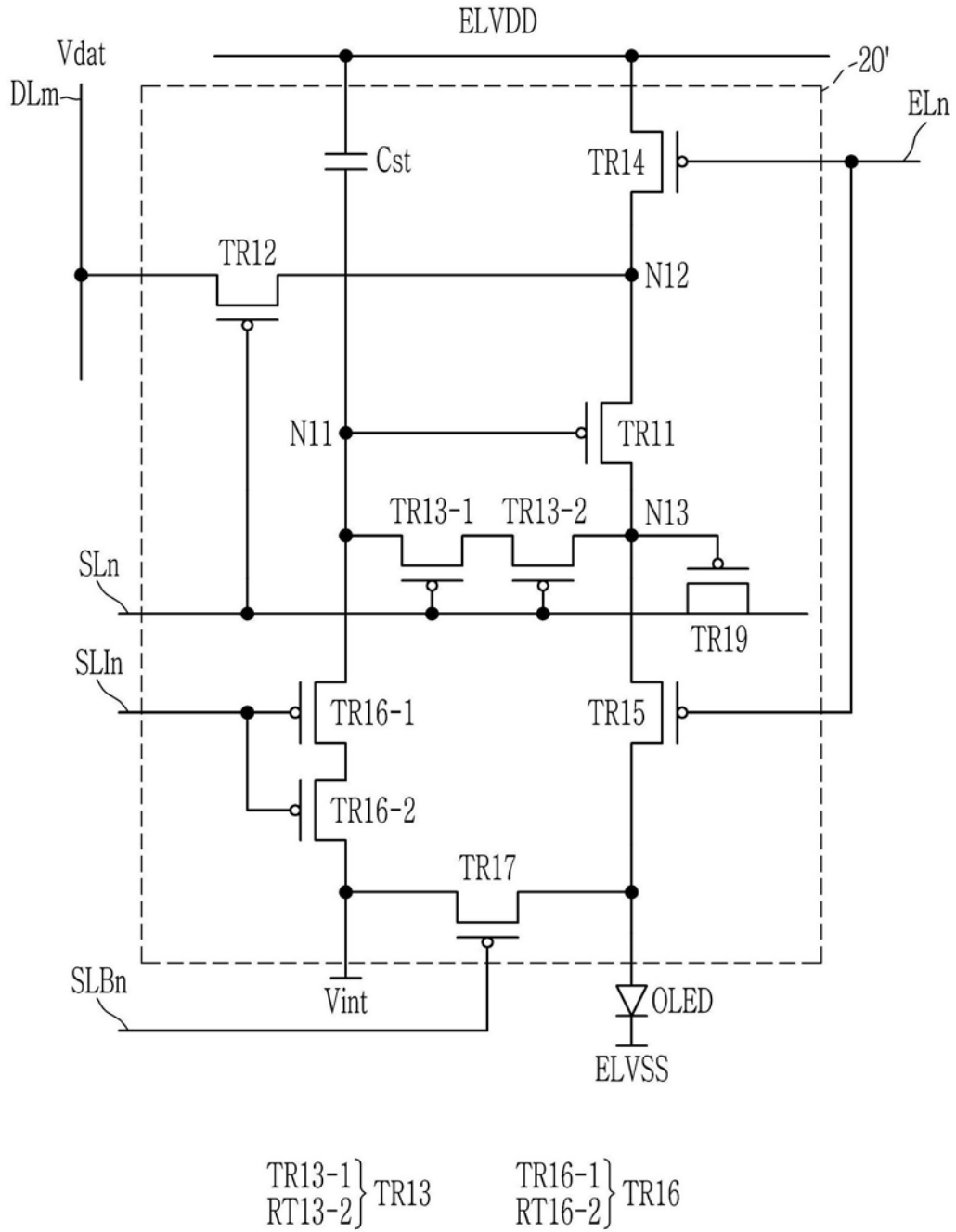


图11

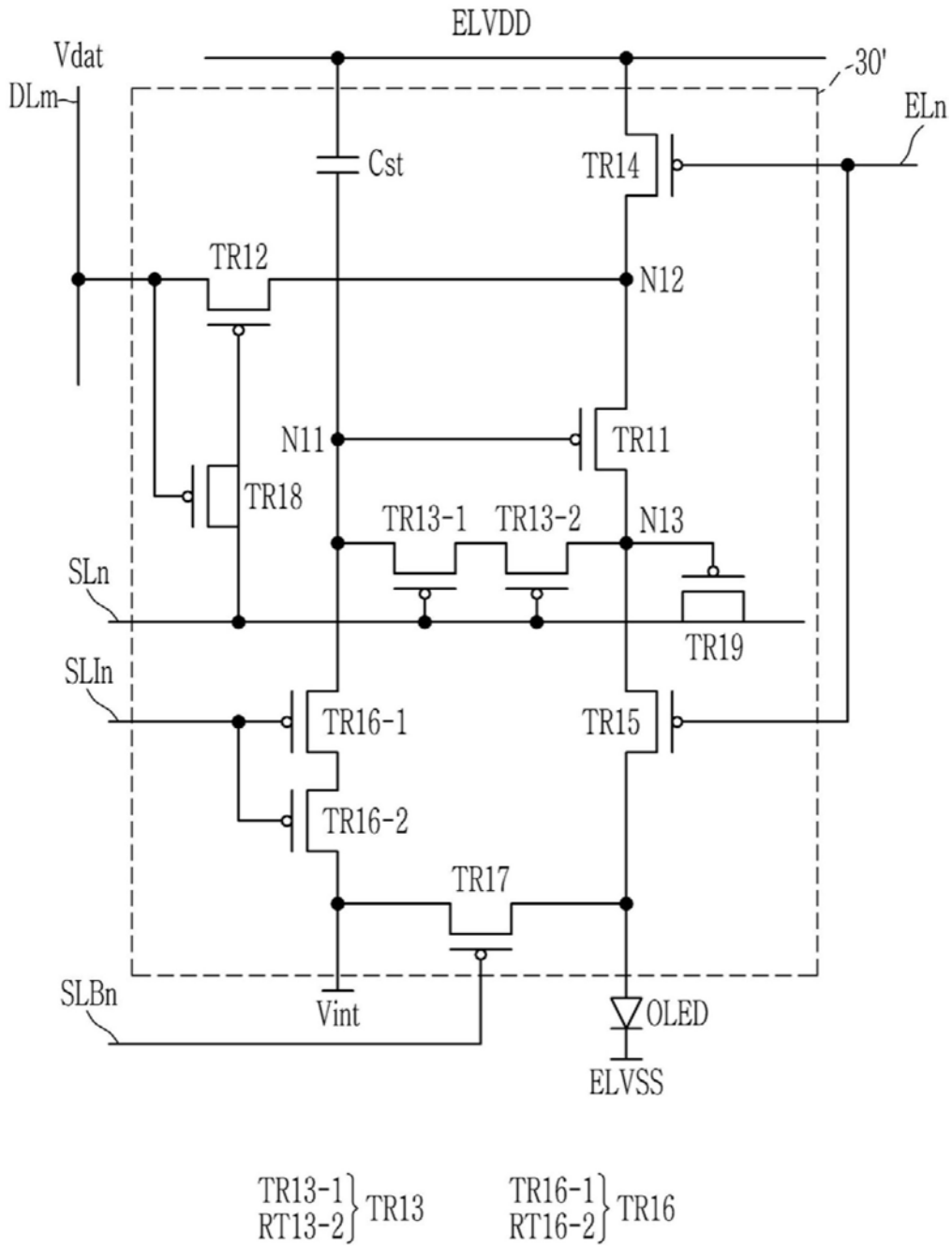


图12

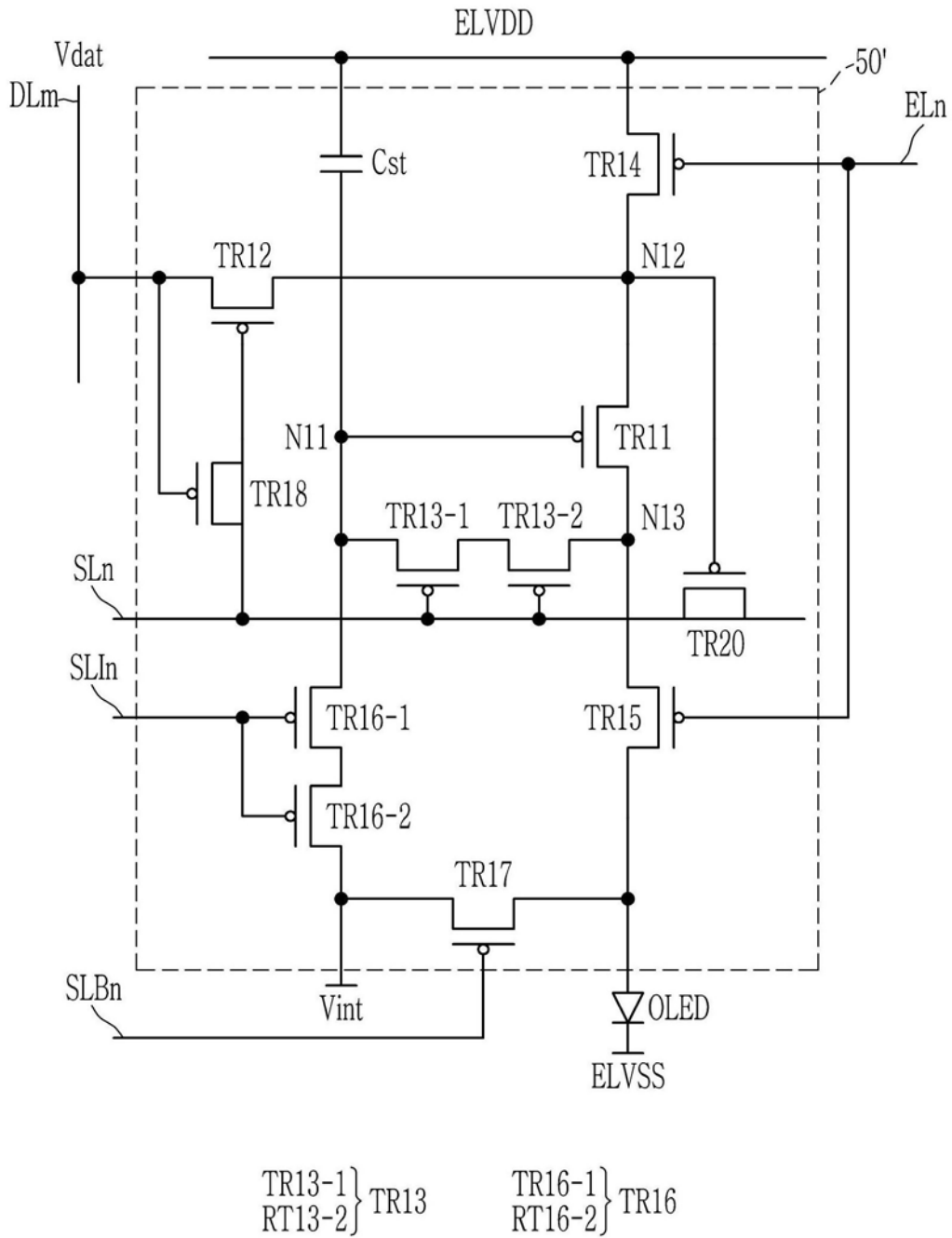


图14

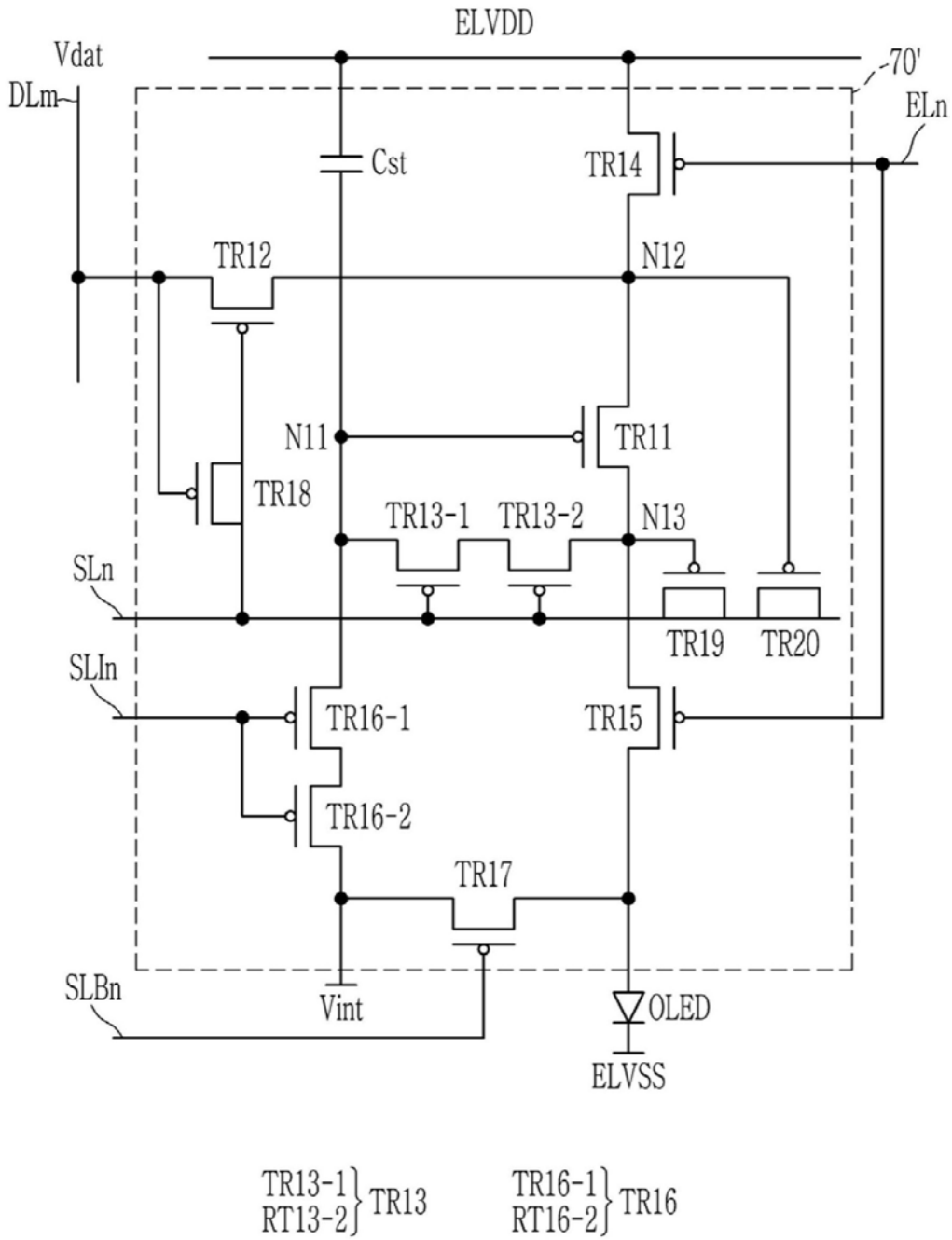


图16

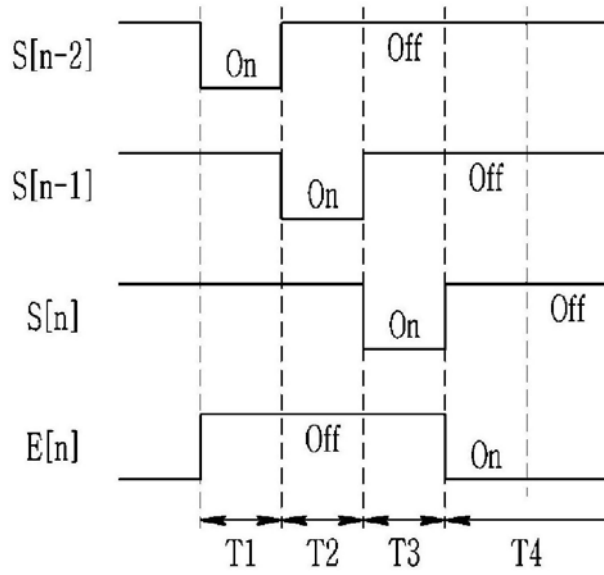


图17

