



(12)发明专利申请

(10)申请公布号 CN 108510936 A

(43)申请公布日 2018.09.07

(21)申请号 201710407835.2

(22)申请日 2017.06.02

(30)优先权数据

10-2017-0025947 2017.02.28 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 高皓煥 柳俊锡 尹盛煜 张成旭

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 王萍 穆云丽

(51)Int.Cl.

G09G 3/3208(2016.01)

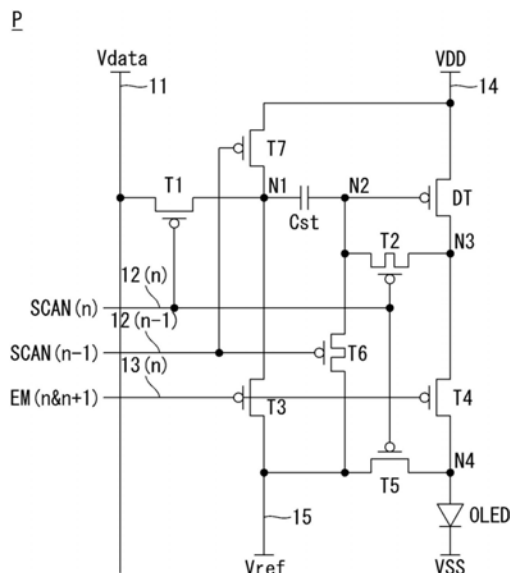
权利要求书3页 说明书27页 附图31页

(54)发明名称

电致发光显示装置

(57)摘要

一种电致发光显示装置,具有包括像素的显示面板,每个像素的像素电路包括:电容器,连接在第一与第二节点间;驱动晶体管,连接至第二节点、第三节点和第一电源电压;第一晶体管,向第一节点提供第一电源电压或参考电压;第二晶体管,向第二节点提供参考电压;第三晶体管,向第一节点提供数据电压;第四晶体管,在第二与第三节点间形成电流路径;第五晶体管,向第四节点提供参考电压或重置电压;第六晶体管,向第一节点提供参考电压;第七晶体管,在第三与第四节点间形成电流路径;以及二极管,连接至第四节点和第二电源电压。



1. 一种具有包括多个像素的显示面板的电致发光显示装置,所述多个像素中的每个像素的像素电路包括:

存储电容器,其连接在第一节点与第二节点之间;

驱动晶体管,其包括栅电极、第一电极和第二电极,所述栅电极连接至所述第二节点,所述第一电极连接至第三节点,以及所述第二电极连接至第一电源电压;

第一晶体管,其连接至所述第一节点,所述第一晶体管响应于第一扫描信号向所述第一节点提供所述第一电源电压或参考电压,所述第一电源电压与所述参考电压不同;

第二晶体管,其连接至所述第二节点,所述第二晶体管响应于所述第一扫描信号向所述第二节点提供所述参考电压;

第三晶体管,其连接至所述第一节点,所述第三晶体管响应于第二扫描信号向所述第一节点提供数据电压;

第四晶体管,其连接至所述第二节点和所述第三节点,所述第四晶体管响应于所述第二扫描信号在所述第二节点和所述第三节点之间形成第一电流路径;

第五晶体管,其连接至第四节点,所述第五晶体管响应于所述第二扫描信号向所述第四节点提供所述参考电压或重置电压,所述重置电压与所述参考电压不同;

第六晶体管,其连接至所述第一节点,所述第六晶体管响应于发光控制信号向所述第一节点提供所述参考电压;

第七晶体管,其连接至所述第三节点和所述第四节点,所述第七晶体管响应于所述发光控制信号在所述第三节点和所述第四节点之间形成第二电流路径;以及

电致发光二极管,其具有阳极和阴极,所述阳极连接至所述第四节点并且所述阴极连接至第二电源电压,所述第二电源电压小于所述第一电源电压。

2. 根据权利要求1所述的电致发光显示装置,其中,在用于感测所述驱动晶体管的阈值电压的采样时段期间或者在所述电致发光二极管发光的所述电致发光显示装置的发光时段期间,所述第一电源电压的变化被反映在所述第二节点和所述驱动晶体管的连接至所述第一电源电压的所述第二电极两者处。

3. 根据权利要求1所述的电致发光显示装置,其中,所述参考电压大于所述第二电源电压并且小于所述第一电源电压,所述重置电压大于所述第二电源电压并且小于所述参考电压,并且每个像素电路在接收所述第二扫描信号之前接收所述第一扫描信号。

4. 根据权利要求1所述的电致发光显示装置,其中,所述显示面板包括多条水平显示线和多条垂直显示线,所述多条水平显示线中的每条水平显示线由该条水平显示线上的像素形成,并且所述多条垂直显示线中的每条垂直显示线由该条垂直显示线上的像素形成。

5. 根据权利要求4所述的电致发光显示装置,其中,用于驱动所述像素电路的一个帧包括:所述第一扫描信号被发送到第(n-1)条水平显示线的重置时段、所述第二扫描信号被发送到第n条水平显示线的采样时段以及所述电致发光二极管发光的发光时段,其中,n为正整数,

其中,所述第二晶体管和所述第一晶体管在所述重置时段中响应于所述第一扫描信号而导通,

其中,所述第三晶体管、所述第四晶体管和所述第五晶体管在所述采样时段中响应于所述第二扫描信号而导通,

其中,所述第六晶体管和所述第七晶体管在所述重置时段和所述采样时段中关断,并且所述第六晶体管和所述第七晶体管在所述发光时段中响应于所述发光控制信号而导通。

6. 根据权利要求1所述的电致发光显示装置,其中,所述第四晶体管和所述第二晶体管为双栅极晶体管。

7. 根据权利要求1所述的电致发光显示装置,其中,所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管和所述驱动晶体管为p型晶体管。

8. 根据权利要求4所述的电致发光显示装置,其中,所述第一晶体管连接在所述第一节点与所述第一电源电压之间。

9. 根据权利要求8所述的电致发光显示装置,其中,在第一像素位于第 n 条水平显示线 and 第 m 条垂直显示线上并且第二像素位于第 $(n+1)$ 条水平显示线 and 第 m 条垂直显示线上的情况下,所述第一像素的第五晶体管连接在所述第一像素的第四节点与所述第二像素的第一节点之间,其中, n 为正整数, m 为正整数。

10. 根据权利要求8所述的电致发光显示装置,其中,在第一像素位于第 n 条水平显示线 and 第 m 条垂直显示线上并且第二像素位于第 $(n+1)$ 条水平显示线 and 第 $(m-1)$ 条垂直显示线上的情况下,所述第一像素的第五晶体管连接在所述第一像素的第四节点与所述第二像素的第一节点之间,其中, n 为正整数, m 为正整数。

11. 根据权利要求8所述的电致发光显示装置,其中,在第一像素位于第 n 条水平显示线 and 第 m 条垂直显示线上并且第二像素位于所述第 n 条水平显示线 and 第 $(m-1)$ 条垂直显示线上的情况下,所述第一像素的第二晶体管连接在所述第一像素的第二节点与所述第二像素的第一节点之间,其中, n 为正整数, m 为正整数。

12. 根据权利要求8所述的电致发光显示装置,其中,在第一像素位于第 n 条水平显示线 and 第 m 条垂直显示线上,第二像素位于第 $(n+1)$ 条水平显示线 and 第 m 条垂直显示线上并且第三像素位于第 n 条水平显示线 and 第 $(m-1)$ 条垂直显示线上的情况下,所述第一像素的第五晶体管连接在所述第一像素的第四节点与所述第二像素的第一节点之间,并且所述第一像素的第二晶体管连接在所述第一像素的第二节点与所述第三像素的第一节点之间,其中, n 为正整数, m 为正整数。

13. 根据权利要求8所述的电致发光显示装置,其中,在第一像素位于第 n 条水平显示线 and 第 m 条垂直显示线上,第二像素位于第 $(n+1)$ 条水平显示线 and 第 $(m-1)$ 条垂直显示线上并且第三像素位于第 n 条水平显示线 and 第 $(m-1)$ 条垂直显示线上的情况下,所述第一像素的第五晶体管连接在所述第一像素的第四节点与所述第二像素的第一节点之间,并且所述第一像素的第二晶体管连接在所述第一像素的第二节点与所述第三像素的第一节点之间,其中, n 为正整数, m 为正整数。

14. 根据权利要求4所述的电致发光显示装置,其中,所述第一晶体管连接在所述第一节点与所述参考电压之间。

15. 根据权利要求14所述的电致发光显示装置,其中,在第一像素位于第 n 条水平显示线 and 第 m 条垂直显示线上并且第二像素位于第 $(n+1)$ 条水平显示线 and 第 m 条垂直显示线上的情况下,所述第一像素的第五晶体管连接在所述第一像素的第四节点与所述第二像素的第一节点之间,其中, n 为正整数, m 为正整数。

16. 根据权利要求14所述的电致发光显示装置,其中,在第一像素位于第 n 条水平显示线和第 m 条垂直显示线上并且第二像素位于第 $(n+1)$ 条水平显示线和第 $(m-1)$ 条垂直显示线上的情况下,所述第一像素的第五晶体管连接在第一像素的第四节点与所述第二像素的第一节点之间,其中, n 为正整数, m 为正整数。

17. 根据权利要求14所述的电致发光显示装置,其中,在第一像素位于第 n 条水平显示线和第 m 条垂直显示线上并且第二像素位于第 n 条水平显示线和第 $(m-1)$ 条垂直显示线上的情况下,所述第一像素的第二晶体管连接在所述第一像素的第二节点与所述第二像素的第一节点之间,其中, n 为正整数, m 为正整数。

18. 根据权利要求14所述的电致发光显示装置,其中,在第一像素位于第 n 条水平显示线和第 m 条垂直显示线上,第二像素位于第 $(n+1)$ 条水平显示线和第 m 条垂直显示线上并且第三像素位于第 n 条水平显示线和第 $(m-1)$ 条垂直显示线上的情况下,所述第一像素的第五晶体管连接在所述第一像素的第四节点与所述第二像素的第一节点之间,并且所述第一像素的第二晶体管连接在所述第一像素的第二节点与所述第三像素的第一节点之间,其中, n 为正整数, m 为正整数。

19. 根据权利要求14所述的电致发光显示装置,其中,在第一像素位于第 n 条水平显示线和第 m 条垂直显示线上,第二像素位于第 $(n+1)$ 条水平显示线和第 $(m-1)$ 条垂直显示线上并且第三像素位于第 n 条水平显示线和第 $(m-1)$ 条垂直显示线上的情况下,所述第一像素的第五晶体管连接在所述第一像素的第四节点与所述第二像素的第一节点之间,并且所述第一像素的第二晶体管连接在所述第一像素的第二节点与所述第三像素的第一节点之间,其中, n 为正整数, m 为正整数。

20. 根据权利要求8所述的电致发光显示装置,其中,所述第五晶体管连接在所述第四节点与所述重置电压之间。

21. 根据权利要求14所述的电致发光显示装置,其中,所述第五晶体管连接在所述第四节点与所述重置电压之间。

22. 根据权利要求4所述的电致发光显示装置,还包括:

扫描驱动器,其输出所述第一扫描信号和所述第二扫描信号;以及发光驱动器,其输出所述发光控制信号,

其中,所述发光驱动器的输出端连接至布置在两条相邻的水平显示线上的像素。

23. 根据权利要求5所述的电致发光显示装置,其中,所述发光控制信号在所述发光时段期间在导通所述第六晶体管和所述第七晶体管的第一电压与关断所述第六晶体管和所述第七晶体管的第二电压之间摆动。

电致发光显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求于2017年2月28日提交的韩国专利申请No.10-2017-0025947的优先权权益,其全部内容通过引用并入本文。

技术领域

[0003] 本公开内容涉及一种电致发光显示装置。

背景技术

[0004] 取决于显示器的发光层的材料,电致发光显示器大致分为无机发光显示器和有机发光显示器。其中,有源矩阵有机发光显示器包括自身发光的有机发光二极管(以下称为“OLED”),并且具有响应时间快、发光效率高、亮度高、视角宽的优点。

[0005] 作为自发光装置的OLED包括阳极和阴极以及在阳极与阴极之间形成的有机化合物层。有机化合物层包括空穴注入层HIL、空穴传输层HTL、发光层EML、电子传输层ETL和电子注入层EIL。当向阳极和阴极施加电源电压时,穿过空穴传输层HTL的空穴和通过电子传输层ETL的电子移动到发光层EML,形成激子。因此,发光层EML生成可见光。

[0006] 在有机发光显示器中,将每个均包括有机发光二极管和薄膜晶体管(以下称为“TFT”)的像素布置成矩阵,并且基于输入图像数据的灰度值来调节由像素创建的图像的亮度。TFT可以包括用于根据数据调节OLED中的电流量的驱动TFT和用于切换像素电路中的电流路径的开关TFT。驱动TFT根据施加在其栅电极与源电极之间的电压(以下称为“栅源电压”)来控制流过OLED的驱动电流。

[0007] 为了提供像素之间没有亮度和颜色的差异的均匀图画质量,像素的驱动特性(如驱动TFT的阈值电压 V_{th} 和电子迁移率 μ)对于所有像素应当相同。然而,由于包括工艺偏差在内的各种原因,像素之间的驱动特性可能存在变化。此外,取决于显示装置的工作时间,劣化率可能在像素之间变化,从而增加了像素之间的驱动特性的差异。因此,流过OLED的驱动电流随像素之间的驱动特性的变化而变化,这导致像素之间的不规则性。

[0008] 鉴于此,为了提高电致发光显示器的图画质量和寿命,现在正将用于补偿像素之间的驱动特性差异的补偿电路应用于有机发光显示器。补偿电路可以使用内部补偿或外部补偿。在内部补偿中,像素内的补偿电路用于对随驱动TFT的电气特性而变化的驱动TFT的栅源电压进行采样,并且根据所采样的电压来补偿数据电压。在外部补偿中,连接至像素的感测电路用于对随驱动TFT的电气特性而变化的像素电压进行感测,并且外部补偿电路基于所感测的电压来调制输入图像的像素数据(数字数据)。

发明内容

[0009] 在内部补偿电路中,OLED的亮度可能受到像素的第一电源电压(电源电压(Voltage Drain Drain);以下称为“VDD”)的影响。在这种情况下,如果VDD由于VDD电压降(IR降)而随面板内的像素的位置发生变化,则这会产生OLED电流与像素所需电流之间的差

异,从而难以获得均匀的图画质量。为了降低VDD电压降,可以增加VDD线的线宽。术语“线(wire)”可以指任何种类的导线并且可以与术语“导线(line)”互换。然而,在高分辨率面板上,应当减小VDD线的宽度,并且这会增加VDD线的长度。因此,当通过减小VDD电阻来改进VDD电压降时,高分辨率显示面板有其局限性。

[0010] 在内部补偿电路中,在用于重置像素的重置操作中,在VDD与参考电压(以下称为“Vref”)之间可能发生短路,导致电流流动。这样的短路电流可能增加功耗并加速TFT劣化。

[0011] 在内部补偿电路中,在用于对驱动TFT的阈值电压进行采样的采样操作中,可以将低于OLED的工作点电压的参考电压施加到OLED的阳极。如果施加到OLED的阳极的参考电压增加到OLED的工作点电压,则OLED可能在采样操作中不必要地发光。该现象称为寄生发光,并且当显示面板用于显示黑色时降低了OLED显示器的对比度值。相反,如果参考电压降低到低于OLED的工作点电压,虽然这提供了防止OLED不必要地发光的优点,但是由于当显示面板用于显示黑色时亮度增加,所以对比度可能降低。

[0012] 因此,本公开内容涉及一种电致发光显示装置,其实时补偿像素的驱动特性的变化。

[0013] 本公开内容的实施方式提供了一种电致发光显示装置,其具有包括多个像素的显示面板,多个像素中的每个像素的像素电路包括:存储电容器,其连接在第一节点与第二节点之间;驱动晶体管,其包括栅电极、第一电极和第二电极,栅电极连接至第二节点,第一电极连接至第三节点,并且第二电极连接至第一电源电压;第一晶体管,其连接至第一节点,第一晶体管响应于第一扫描信号向第一节点提供第一电源电压或参考电压,第一电源电压与参考电压不同;第二晶体管,其连接至第二节点,第二晶体管响应于第一扫描信号向第二节点提供参考电压;第三晶体管,其连接至第一节点,第三晶体管响应于第二扫描信号向第一节点提供数据电压;第四晶体管,其连接至第二节点和第三节点,第四晶体管响应于第二扫描信号在第二节点和第三节点之间形成第一电流路径;第五晶体管,其连接至第四节点,第五晶体管响应于第二扫描信号向第四节点提供参考电压或重置电压,重置电压与参考电压不同;第六晶体管,其连接至第一节点,第六晶体管响应于发光控制信号向第一节点提供参考电压;第七晶体管,其连接至第三节点和第四节点,第七晶体管响应于发光控制信号在第三节点和第四节点之间形成第二电流路径;以及电致发光二极管,其具有阳极和阴极,阳极连接至第四节点并且阴极连接至第二电源电压,第二电源电压小于第一电源电压。因此,本公开内容可以实现跨越整个屏幕的均匀的图画质量,而不需要VDD线具有低电阻设计,并且由于在VDD与Vref之间不会发生短路因此可以降低功耗。

附图说明

[0014] 被包括以提供对本公开内容的进一步理解并被并入本说明书中且构成本说明书的一部分的附图示出了本公开内容的实施方式,并且与描述一起用于说明本公开内容的原理。在附图中:

[0015] 图1是示出了根据本公开内容的实施方式的电致发光显示装置的框图;

[0016] 图2是示出了根据本公开内容的实施方式的形成在图1的屏幕显示部上的像素阵列的配置的图;

[0017] 图3是根据本公开内容的第一实施方式的像素电路的电路图;

- [0018] 图4是示出了图3的像素电路的操作的波形图；
- [0019] 图5A至图5E是示出了根据图4的像素电路的操作的不同阶段的图；
- [0020] 图6是根据本公开内容的第二实施方式的像素电路的电路图；
- [0021] 图7是示出图6的像素电路的操作的波形图；
- [0022] 图8A至图8E是示出了根据图7的第n像素电路的操作的不同阶段的图；
- [0023] 图9是根据本公开内容的第三实施方式的像素电路的电路图，其示出了图3的第n像素电路中的第五TFT的连接配置的一个修改实施方式；
- [0024] 图10是根据本公开内容的第四实施方式的像素电路的电路图，其示出了图3的第n像素电路中的第五TFT的连接配置的另一修改实施方式；
- [0025] 图11是根据本公开内容的第五实施方式的像素电路的电路图，其示出了图3的第n像素电路中的第六TFT的连接配置的一个修改实施方式；
- [0026] 图12是根据本公开内容的第六实施方式的像素电路的电路图，其示出了图3的第n像素电路中的第五和第六TFT的连接配置的一个修改实施方式；
- [0027] 图13是根据本公开内容的第七实施方式的像素电路的电路图，其示出了图3的第n像素电路中的第五和第六TFT的连接配置的另一修改实施方式；
- [0028] 图14是根据本公开内容的第八实施方式的像素电路的电路图，其示出了图6的第n像素电路中的第五TFT的连接配置的一个修改实施方式；
- [0029] 图15是根据本公开内容的第九实施方式的像素电路的电路图，其示出了图6的第n像素电路中的第五TFT的连接配置的另一修改实施方式；
- [0030] 图16是根据本公开内容的第十实施方式的像素电路的电路图，其示出了图6的第n像素电路中的第六TFT的连接配置的一个修改实施方式；
- [0031] 图17是根据本公开内容的第十一实施方式的像素电路的电路图，其示出了图6的第n像素电路中的第五TFT和第六TFT的连接配置的一个修改实施方式；
- [0032] 图18是根据本公开内容的第十二实施方式的像素电路的电路图，其示出了图6的第n像素电路中的第五TFT和第六TFT的连接配置的另一修改实施方式；
- [0033] 图19是根据本公开内容的第十三实施方式的像素电路的电路图；
- [0034] 图20是根据本公开内容的第十四实施方式的像素电路的电路图；
- [0035] 图21是示出了本公开内容和现有技术中的OLED驱动电流随VDD电压降的变化的仿真结果的曲线图；
- [0036] 图22是示出了在像素的发光时段期间以50%或更小的PWM占空比对发光控制信号进行调制的示例的波形图；
- [0037] 图23是示意性地示出了根据本公开内容的实施方式的栅极驱动器的移位寄存器输出栅极脉冲的一个级的电路图；
- [0038] 图24是示出了图23的级的操作的波形图；
- [0039] 图25是示出了根据本公开内容的实施方式的在栅极驱动器的移位寄存器中串联连接的级的图；
- [0040] 图26是示出了根据本公开内容的实施方式的输出图3至图20所示的扫描信号的扫描驱动器的输出端与屏幕显示部之间的连接的图；以及
- [0041] 图27是示出了根据本公开内容的实施方式的输出图3至图20所示的发光信号的发

光驱动器的输出端与屏幕显示部之间的连接的图。

具体实施方式

[0042] 通过参考以下实施方式的详细描述和附图,可以更容易地理解本公开内容的各个方面和特征以及完成它们的方法。然而,本公开内容可以以许多不同的形式实施,并且不应被解释为限于本文所阐述的实施方式。相反,提供这些实施方式使得本公开内容将是彻底和完整的,并且将向本领域技术人员全面地传达本公开内容的构思,并且本公开内容由所附权利要求限定。

[0043] 用于描述本公开内容的实施方式的附图中所示的形状、尺寸、比例、角度、数字等仅仅是示例,而限于附图中所示的那些。在整个说明书中相似的附图标记表示相似的元素。在描述本公开内容时,将省略对相关公知技术的详细描述,以避免不必要地使本公开内容模糊不清。当使用术语“包括(comprise)”、“具有(have)”、“包含(include)”等时,可添加其他部分,只要不使用术语“仅(only)”即可。除非明确说明,否则单数形式可以被解释为复数形式。

[0044] 即使没有明确说明,元素也可以被解释为包括误差容限。

[0045] 当使用术语“在……上(on)”、“在……之上(over)”、“在……之下(under)”、“挨着……(next to)”等来描述两个部分之间的位置关系时,一个或更多个部分可以位于这两个部分之间,只要不使用术语“紧接在(immediately)”或“直接(directly)”即可。

[0046] 应当理解,尽管术语“第一”、“第二”等可以用于描述各种元素,但这些元素不应该受这些术语的限制。这些术语仅用于区分一个元素和另一个元素。因此,在不脱离本公开内容的技术精神的情况下,下面讨论的第一元素可以被称为第二元素。

[0047] 本公开内容的各种实施方式的特征可以部分地或全部地彼此耦合或组合,并且可以以各种方式在技术上相互作用或一起工作。实施方式可以独立地或彼此结合地执行。

[0048] 在本公开内容中,栅极驱动器可以直接形成在显示面板的基板上。构成像素电路和栅极驱动器的晶体管可以被实现为具有MOSFET(金属氧化物半导体场效应晶体管)结构的n型或p型TFT。TFT(或晶体管)是包括栅极、源极和漏极的三端装置。源极是向晶体管提供电荷载流子(这里称为载流子)的电极。TFT中的载流子从源极流出。漏极是载流子离开TFT的电极。也就是说,在MOSFET中,载流子从源极流到漏极。在n型TFT(或n型晶体管,NMOS)的情况下,载流子是电子,因此源极电压低于漏极电压,使得电子可以从源极流到漏极。由于n型TFT中的电子从源极流到漏极,所以电流从漏极流到源极。在p型TFT(或p型晶体管,PMOS)的情况下,载流子是空穴,因此源极电压高于漏极电压,使得空穴可以从源极流到漏极。由于p型TFT中的空穴从源极流到漏极,所以电流从源极流到漏极。应当注意,MOSFET的源极和漏极不固定。例如,MOSFET的源极和漏极可以随施加的电压而变化。在下面的实施方式中,本公开内容不受TFT的源极和漏极限制。

[0049] 构成根据本公开内容的像素电路和栅极驱动器的晶体管可以包括以下中的一个或更多个:氧化物TFT、非晶硅TFT(a-Si TFT)和低温多晶硅(LTPS) TFT。

[0050] 接下来,栅极导通电压是TFT可以导通的栅极信号电压,而栅极关断电压是TFT可以关断的电压。在PMOS中,栅极导通电压为栅极低电压VGL,而栅极关断电压为栅极高电压VGH。在NMOS中,栅极导通电压为栅极高电压VGH,而栅极关断电压为栅极低电压VGL。

[0051] 本公开内容的每个像素电路包括由驱动TFT的源栅电压 V_{sg} 或栅源电压 V_{gs} 驱动的电致发光二极管。在下面的实施方式中,将描述有机发光二极管作为电致发光二极管的示例,但是本公开内容不限于此。

[0052] 关于有机发光显示器,将描述以下实施方式。然而,本公开内容的实施方式不限于有机发光显示器,并且还可以应用于包括无机发光材料的无机发光显示器,例如量子点显示器。

[0053] 在下文中,将参照附图详细描述本公开内容的实施方式。在整个说明书中,相似的附图标记表示基本相似的部件。在描述本公开内容时,当认为它们可能不必要地使本公开内容的主题模糊不清时,将省略对与本公开内容相关的已知功能或配置的详细描述。

[0054] 图1是示出了根据本公开内容的实施方式的电致发光显示装置的框图。图2是示出了形成在图1的屏幕显示部上的像素阵列的配置的图。

[0055] 参照图1和图2,根据本公开内容的实施方式的电致发光显示装置包括显示面板100、数据驱动器102、栅极驱动器108和定时控制器110。栅极驱动器108包括扫描驱动器103和发光(EM)驱动器104。

[0056] 参照图1和图2,多条数据线11和多条栅极线可以在显示面板100上相交,并且像素被布置在显示面板100上。显示面板100包括共同连接至相邻像素P的电源线。电源线可以包括:向像素P提供高电平电源电压 V_{DD} (例如,第一电源电压)的 V_{DD} 线、向像素P提供低电平电源电压 V_{SS} (例如,第二电源电压)的 V_{SS} 线、以及向像素P提供高于低电平电源电压 V_{SS} 并低于高电平电源电压 V_{DD} 的参考电压 V_{ref} 的 V_{ref} 线。电源线还可以包括 V_{ini} 线,其向像素P提供高于低电平电源电压 V_{SS} 并低于参考电压 V_{ref} 的重置电压 V_{ini} 。栅极线包括向其提供扫描信号的多条扫描线12和向其提供发光控制信号(以下称为“EM信号”)的多条EM信号线13。

[0057] 参照图2,显示面板100的屏幕显示部AA包括多个像素P,并且在由像素P构成的像素阵列上显示输入图像的数据。在屏幕显示部AA中,可以存在由水平相邻的像素形成的多条水平显示线HL(1)至HL(x)(x为正整数)和由垂直相邻的像素P形成的多条垂直显示线VL(1)至VL(y)(y为正整数)。在此,水平显示线HL(1)至HL(x)和垂直显示线VL(1)至VL(y)指的是由相邻像素P构成的像素块的线,而不是物理信号线。

[0058] 像素P可以包括用于颜色表示的红色像素、绿色像素和蓝色像素,并且还可以包括白色像素。如图3至图27所示,每个像素P可以包括像素电路。

[0059] 用于驱动像素电路的一个帧可以包括:用于重置像素电路中的特定节点的重置时段、用于对包括在像素电路中的驱动TFT的阈值电压进行采样的采样时段、以及用于使OLED发光的发光时段。在采样时段中将数据电压定址到像素P。在一些情况下,一帧还可以包括在采样时段与发光时段之间的保持时段。可以尽可能地缩短或省略保持时段。

[0060] 包括重置时段、采样时段和保持时段的像素编程时段为仅大约几个水平时段,因此一帧期间的大部分时间与发光时段对应。像素P在采样时段中存储数据电压。然后,因为像素P响应于EM信号重复地导通和关断,而不会在保持时段之后的发光时段中获得更多的数据电压,所以像素P根据在采样时段中存储的数据电压而在一个帧中始终以相同的亮度显示数据。

[0061] 参照图1和图2,数据驱动器102在定时控制器110的控制下将从定时控制器110接收的输入图像的数据转换为伽马补偿电压以生成数据电压,并将数据电压输出至数据线

11。通过数据线11将数据电压提供给像素P。

[0062] 参照图1和图2,扫描驱动器103在定时控制器110的控制下生成扫描信号,并将其输出至扫描线12。施加到第(n-1)水平显示线(n是正整数)的第(n-1)扫描信号可以与第(n-1)数据电压同步,并且施加到第n水平显示线的第n扫描信号可以与第n数据电压同步。

[0063] 参照图1和图2,EM驱动器104在定时控制器110的控制下生成EM信号,并将其输出至EM信号线13。在EM驱动器104中,一个输出端由两条EM信号线13共享,并且这减少了EM驱动器104中的输出端的数量。一旦EM驱动器104中的输出端的数量减少,则栅极驱动器108在电路中占用的面积可减小,因此作为非显示区域的边框区域BZ的尺寸也可同样减小。

[0064] 参照图1和图2,定时控制器110从主机系统接收输入图像的数字视频数据和与数字视频数据同步的定时信号。定时信号包括垂直同步信号Vsync、水平同步信号Hsync、时钟信号CLK和数据使能信号DE。主机系统可以是以下中的任意一个:电视系统、机顶盒、导航系统、DVD播放器、蓝光播放器、个人计算机PC、家庭影院系统和移动信息设备。

[0065] 定时控制器110基于从主机系统接收的定时信号而生成用于控制数据驱动器102的操作定时的数据定时控制信号和用于控制栅极驱动器108的操作定时的栅极定时控制信号。栅极定时控制信号包括起始脉冲、移位时钟等。起始脉冲可以定义扫描驱动器103和EM驱动器104的移位寄存器产生第一输出的起始定时。移位寄存器在接收到起始脉冲时开始操作,并且在第一时钟定时处产生第一输出信号。移位时钟控制移位寄存器对输出进行移位的定时。

[0066] 图3是根据本公开内容的第一实施方式的像素电路的电路图。图4是示出了图3的像素电路的操作的波形图。图3所示的像素电路被示出作为布置在屏幕显示部AA中的第n水平显示线HL(n)上的第n像素电路,并且生成与第n数据电压Vdata对应的电流。

[0067] 参照图3和图4,第n像素电路包括OLED、多个TFT(即,驱动晶体管DT、第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6及第七晶体管T7)以及存储电容器Cst。该实施方式是TFT被实现为PMOS晶体管的示例。将参照图1进行以下描述。

[0068] 第n像素电路包括内部补偿电路,其自动补偿驱动晶体管DT(例如,驱动TFT DT)的阈值电压。诸如高电平电源电压VDD、低电平电源电压VSS和参考电压Vref的像素电力被施加到像素电路。VDD可以为7V至9V的直流电压,VSS可以为0V的直流电压,并且Vref可以为1V至2V的直流电压,但它们不限于这些值。此外,诸如第(n-1)扫描信号SCAN(n-1)、第n扫描信号SCAN(n)、第n EM信号EM(n)的像素驱动信号和数据电压Vdata可以被施加至第n像素电路。

[0069] 扫描驱动器103将扫描信号SCAN(n-1)和SCAN(n)提供给扫描线12(n-1)和12(n)。EM驱动器104将EM信号EM(n)和EM(n+1)提供给EM信号线13(n)。此时,提供给第n条EM信号线13(n)的EM信号EM(n)也可以被提供给第(n+1)条EM信号线13(n+1)。数据电压Vdata从数据驱动器102被提供给数据线11,并且数据电压Vdata可以在0V至4V的范围内,但其范围不限于此。扫描信号SCAN(n-1)和SCAN(n)具有1个水平时段1H的脉冲宽度,并且在VGH与VGL之间摆动。在第一实施方式中,由于TFT DT和T1至T7是PMOS晶体管,因此栅极导通电压为VGL,而栅极关断电压为VGH。VGH和VGL可以分别是但不限于11V和-4V。

[0070] 参照图4,在第(n-1)扫描信号SCAN(n-1)之后,与第n数据电压Vdata同步的第n扫

描信号SCAN (n) 被提供给第n像素电路。可以在以下离散时段中驱动第n像素电路:重置时段Ti、采样时段Tw、保持时段Th和发光时段Te。第(n-1)扫描信号SCAN (n-1) 的导通电平脉冲在重置时段Ti期间被馈送至第n像素电路,并且在其他时段期间保持在栅极关断电压处。第(n)扫描信号SCAN (n) 的导通电平脉冲在采样时段Tw期间被馈送至第n像素电路,并且在其他时段期间保持在栅极关断电压处。在与第(n-1)扫描信号SCAN (n-1) 和第n扫描信号SCAN (n) 交叠的大约三个水平时段期间,以栅极关断电压生成EM信号EM (n&n+1) 的关断电平脉冲。EM信号EM (n&n+1) 的电压在发光时段Te期间以预设的PWM占空比在栅极导通电压与栅极关断电压之间交替(摆动),以将驱动电流施加到OLED或切断驱动电流。

[0071] OLED通过其量由驱动TFT DT根据数据电压Vdata进行调节的电流来发光,并且传递与输入图像的灰度数据对应的亮度。施加至图3和图4所示的像素电路的数据电压Vdata越高,则驱动TFT DT的源栅电压Vsg越高,并且这会增加像素亮度。此外,随着驱动TFT的Vgs变高,OLED中的电流升高,从而增加了来自OLED的发光量。因此,在图3和图4所示的像素电路中,数据电压Vdata越高,则像素亮度越高,而数据电压Vdata越低,则像素亮度越低。

[0072] OLED中的电流路径由根据EM信号EM (n&n+1) 被控制的第四TFT T4切换。OLED包括在阳极和阴极之间形成的有机化合物层。有机化合物层可以包括但不限于发光层EML、空穴注入层HIL、空穴传输层HTL、电子传输层ETL和电子注入层EIL中的至少一个。OLED的阳极经由第四节点N4连接至第四TFT T4的漏极,并且OLED的阴极连接至施加了低电平电源电压VSS的VSS电极。

[0073] 驱动TFT DT是根据源栅电压Vsg来调节流过OLED的驱动电流的驱动元件。驱动TFT DT包括连接至第二节点N2的栅极、连接至施加了高电平电源电压VDD的电源线的源极和连接至第三节点N3的漏极。第二节点N2是与驱动TFT DT的栅极连接的栅极节点DTG。施加了高电平电源电压VDD的电源线是与驱动TFT DT的源极连接的源极节点DTS。

[0074] 第一TFT T1是响应于第n扫描信号SCAN (n) 向第一节点N1提供数据电压Vdata的开关元件。第n扫描信号SCAN (n) 通过第n扫描线12 (n) 被提供给第n像素电路。数据电压Vdata是与第n扫描信号SCAN (n) 同步的电压。第一TFT T1包括连接至第n扫描线12 (n) 的栅极、连接至第一节点N1的源极和连接至数据线11的漏极。

[0075] 存储电容器Cst连接在第一节点N1与第二节点N2之间。

[0076] 第二TFT T2是响应于第n扫描信号SCAN (n) 使得电流在第二节点N2与第三节点N3之间流动以对驱动TFT DT进行二极管连接(diode-connect)的开关元件。当驱动TFT DT被二极管连接时,第二节点N2和第三节点N3处的电势变为等于“VDD-Vth”。也就是说,当驱动TFT DT被二极管连接时,对驱动TFT DT的阈值电压Vth进行采样。第二TFT T2包括连接至第n扫描线12 (n) 的栅极、连接至第三节点N3的源极和连接至第二节点N2的漏极。

[0077] 第三TFT T3是响应于EM信号EM (n&n+1) 向第一节点N1提供参考电压Vref的开关元件。EM信号EM (n&n+1) 通过EM信号线13 (n) 被提供给第n像素电路。第三TFT T3包括连接至EM信号线13 (n) 的栅极、连接至第一节点N1的源极和连接至施加了参考电压Vref的电源线(或Vref线) 15的漏极。

[0078] 第四TFT T4是以下开关元件:其响应于EM信号EM (n&n+1) 使得电流在第三节点N3与第四节点N4之间流动,以将由驱动TFT DT生成的驱动电流施加到OLED的阳极。第四TFT T4包括连接至EM信号线13 (n) 的栅极、连接至第三节点N3的源极和连接至第四节点N4的漏

极。

[0079] 第四TFT T4在重置时段 T_i 、采样时段 T_w 和保持时段 T_h 期间切断驱动TFT DT与OLED之间的电流,以防止OLED在不期望的时候发光。如果OLED在除发光时段 T_e 期间之外的任何其他时间发光,则黑色亮度可能增加,从而降低对比度。黑色灰度具有由像素数据表示的最小灰度值,例如00000000 (2)。像素亮度可以是黑色时最弱。例如,当主机系统需要高参考电压 V_{ref} 时,OLED的阳极电压在采样时段 T_w 期间可能上升,并且电流可能流过OLED,导致OLED发光。因此,为了防止OLED在除发光时段 T_e 期间之外的任何其他时间发光,第四TFT T4响应于EM信号 $EM(n \& n+1)$,在重置时段 T_i 、采样时段 T_w 和保持时段 T_h 中切断与OLED连接的电流路径,并且在发光时段 T_e 中连接OLED与驱动TFT DT之间的电流路径。

[0080] 第五TFT T5是响应于第 n 扫描信号SCAN(n)向第四节点N4提供参考电压 V_{ref} 的开关元件。第五TFT T5包括连接至第 n 扫描线12(n)的栅极、连接至第四节点N4的源极和连接至施加了参考电压 V_{ref} 的电源线15的漏极。

[0081] 第六TFT T6是响应于第 $(n-1)$ 扫描信号SCAN($n-1$)向第二节点N2提供参考电压 V_{ref} 的开关元件。第 $(n-1)$ 扫描信号SCAN($n-1$)通过第 $(n-1)$ 扫描线12($n-1$)被提供给第 n 像素电路。第六TFT T6包括连接至第 $(n-1)$ 扫描线12($n-1$)的栅极、连接至第二节点N2的源极和连接至施加了参考电压 V_{ref} 的电源线15的漏极。

[0082] 第七TFT T7是响应于第 $(n-1)$ 扫描信号SCAN($n-1$)向第一节点N1提供高电平电源电压VDD的开关元件。第七TFT T7包括连接至第 $(n-1)$ 扫描线12($n-1$)的栅极、连接至施加了高电平电源电压VDD的电源线(或VDD线)14的源极和连接至第一节点N1的漏极。

[0083] 在这种情况下,连接至驱动TFT DT的栅极的第二TFT T2和第六TFT T6由于其关断时段长而易受漏电流影响。如果在第二TFT T2和第六TFT T6中存在漏电流,则节点N2处的电势(即驱动TFT DT的栅极电压DTG)发生变化,使得难以实现期望的灰色阴影。鉴于此,如图3所示,第二TFT T2和第六TFT T6可以是具有低漏电流的双栅极晶体管。如果第二TFT T2和第六TFT T6被实现为具有非常低的漏电流的晶体管,例如氧化物TFT,则它们可以具有单栅极结构。

[0084] 响应于第 $(n-1)$ 扫描信号SCAN($n-1$)的导通电平脉冲,第 n 像素电路通过向第一节点N1施加高电平电源电压VDD并向第二节点N2施加参考电压 V_{ref} 来重置第一节点N1和第二节点N2。随后,第 n 像素电路通过响应于第 n 扫描信号SCAN(n)的导通电平脉冲向第一节点N1施加数据电压 V_{data} ,然后响应于第 n 扫描信号SCAN(n)的导通电平脉冲使第二节点N2和第三节点N3短路以对驱动TFT DT进行二极管连接,对驱动TFTDT的阈值电压进行采样。此外,第 n 像素电路通过响应于第 n 扫描信号SCAN(n)的导通电平脉冲向第四节点N4施加参考电压 V_{ref} ,将OLED的阳极电势保持在低于OLED的工作点电压的参考电压 V_{ref} 。随后,响应于EM信号 $EM(n \& n+1)$ 的关断电平脉冲之后的栅极导通电压,第 n 像素电路向第一节点N1施加参考电压 V_{ref} ,并且使得电流在第三节点N3与第四节点N4之间流动,以向OLED的阳极施加由驱动TFT DT产生的驱动电流。

[0085] 图5A至图5E是示出了图4的第 n 像素电路的操作的不同阶段的图。下面将结合图4、图5A至图5E和表1详细描述第 n 像素电路的操作。

[0086] [表1]

[0087]

	Ti	Tw	Th	Te
N1	VDD(或者 Vref)	Vdata	Vdata+Vkb	Vref
N2(DTG)	Vref	VDD- Vth 	VDD- Vth +Vkb	VDD- Vth -Vdata+Vref
VDD(DTS)	VDD	VDD	VDD	VDD
Vsg				Vdata-Vref+ Vth

[0088] 用于驱动图4的第n像素电路的一个帧包括第(n-1)扫描信号SCAN(n-1)被馈送至第(n-1)水平显示线HL(n-1)的重置时段Ti、第n扫描信号SCAN(n)被馈送至第n水平显示线HL(n)的采样时段Tw、OLED发光的发光时段Te以及采样时段Tw与发光时段Te之间的保持时段Th。

[0089] 如图4和图5A所示,当在先前帧(第(k-1)帧)的发光时段Te期间以栅极导通电压生成EM信号EM(n&n+1)时,第四TFT T4导通。在这种情况下,第三TFT T3和驱动TFT DT也导通,第一TFT T1和第二TFT T2以及第五至第七TFT T5、T6和T7保持关断。因此,驱动电流Ioled流过OLED,并且第一节点N1处的电势保持在参考电压Vref处。

[0090] 参照表1以及图4和图5B,在当前帧(第k帧)的重置时段Ti开始时,第(n-1)扫描信号SCAN(n-1)的电压被反转为栅极导通电压,并且EM信号EM(n&n+1)被反转为栅极关断电压。在重置时段Ti期间,第n扫描信号SCAN(n)保持在栅极关断电压处。在重置时段Ti中,第六TFT T6响应于第(n-1)扫描信号SCAN(n-1)的导通电平脉冲而导通,并且参考电压Vref通过第六TFT T6被施加至第二节点N2。在重置时段Ti中,第七TFT T7也响应于第(n-1)扫描信号SCAN(n-1)的导通电平脉冲而导通,并且高电平电源电压VDD通过第七TFT T7被施加至第一节点N1。因此,在重置时段Ti中,第一节点N1和第二节点N2的电压分别被重置为VDD和Vref。除了第六TFT T6和第七TFT T7之外,第一TFT T1至第五TFT T5在重置时段Ti中关断。

[0091] 由于在重置时段Ti中第二节点N2处的电势变为Vref,因此驱动TFT DT的Vsg变得高于驱动TFT DT的阈值电压Vth,并且驱动TFT DT导通。

[0092] 由于第四TFT T4在重置时段Ti中关断,因此在第n像素电路中的VDD与Vref之间不会发生短路。这可以使由第n像素电路中的VDD与Vref之间的短路引起的功耗增加、像素劣化和可靠性降低的问题最小化或减少。具体地,如果由于不存在第四TFT T4而导致在重置时段Ti中在VDD与Vref之间发生短路,则这可能限制Vref线15的布置。当Vref线15平行于垂直显示线VL(n)布置时,在重置驱动TFT DT的栅极时不会有问题,然而,当Vref线15平行于水平显示线HL(n)布置时,可能难以适当地重置驱动TFT DT的栅极。因此,通过将第四TFT T4布置在像素电路中,可以防止VDD与Vref之间的短路,并且可以提高Vref线15的布置的自由度。这在实现高分辨率显示面板时具有优势。

[0093] 参照表1以及图4和图5C,在当前帧(第k帧)的采样时段Tw开始时,第(n-1)扫描信号SCAN(n-1)的电压被反转为栅极关断电压,并且第n扫描信号SCAN(n)的电压被反转为栅极导通电压。在采样时段Tw期间,EM信号EM(n&n+1)保持在栅极关断电压处。

[0094] 在采样时段Tw中,第一TFT T1响应于第n扫描信号SCAN(n)的导通电平脉冲而导

通,并且数据电压Vdata通过第一TFT T1被施加至第一节点N1。由于向第一节点N1施加了数据电压Vdata,因此第一节点N1处的电势从VDD变为Vdata。Vdata通过第一节点N1被施加到存储电容器Cst的一个电极。

[0095] 在采样时段Tw中,第二TFT T2响应于第n扫描信号SCAN(n)的导通电平脉冲而导通,并且驱动TFT DT被二极管连接。当驱动TFT DT被二极管连接时,第二节点N2和第三节点N3的电势由于流过驱动TFT DT的电流而变为等于“VDD-Vth”。也就是说,当驱动TFT DT被二极管连接时,驱动TFT DT的阈值电压Vth被采样并且通过第二节点N2被施加到存储电容器Cst的另一个电极。除了第六TFT T6和第七TFT T7之外,第一开关至第五TFT T1至TFT T5在采样时段Tw中关断。在采样时段Tw期间,第一电源电压的变化被反映在节点N2和驱动TFT DT的第二电极两者中。

[0096] 参照表1以及图4和图5D,在当前帧(第k帧)的保持时段Th开始时,第n扫描信号SCAN(n)的电压被反转为栅极关断电压。在保持时段Th期间,第(n-1)扫描信号SCAN(n-1)和EM信号EM(n&n+1)保持在栅极关断电压处。

[0097] 在保持时段Th中,第一节点N1和第二节点N2的电压可以改变与跳变电压(kickback voltage)Vkb相同的量,跳变电压Vkb是当第n扫描信号SCAN(n)变为栅极关断电压时(即,当第一TFT T1和第二TFT T2关断时)产生的。因此,在保持时段Th中,第一节点N1的电压变为等于“Vdata+Vkb”,并且第二节点N2的电压变为等于“VDD-|Vth|+Vkb”。然后,第一节点N1和第二节点N2的电压被施加至存储电容器Cst。在保持时段Th中,驱动TFT DT也由于第二节点N2处的电压上升而关断。此外,第三TFT T3至第七TFT T7保持关断。

[0098] 参照表1以及图4和图5E,在当前帧(第k帧)的发光时段Te开始时,EM信号EM(n&n+1)的电压反转为栅极导通电压。在发光时段Te期间,第(n-1)扫描信号SCAN(n-1)和第n扫描信号SCAN(n)保持在栅极关断电压处。

[0099] 在发光时段Te中,第三TFT T3响应于EM信号EM(n&n+1)的栅极导通电压而导通,并且参考电压Vref通过第三TFT T3被施加到第一节点N1。

[0100] 在这种情况下,第一节点N1的电压从“Vdata+Vkb”变为Vref。由于通过存储电容器Cst的耦合,第二节点N2的电压也改变与第一节点N1处的电压变化Vdata+Vkb-Vref相同的量。换言之,作为第二节点N2的电压的、驱动TFT DT的栅极电压DTG从“VDD-|Vth|+Vkb”变为“{VDD-|Vth|+Vkb}-{Vdata+Vkb-Vref}”,即“VDD-|Vth|-Vdata+Vref”。在这种情况下,驱动TFT DT的源极电压DTS保持在VDD处。因此,确定OLED中的驱动电流的量的驱动TFT DT的Vsg电压被设置。于是,由以下等式1表示的驱动电流Ioled流过OLED。

[0101] [等式1]

$$[0102] \quad I_{oled} = K (V_{sg} - |V_{th}|)^2 = K (VDD - \{VDD - |V_{th}| - Vdata + Vref\} - |V_{th}|)^2 = K (Vdata - Vref)^2$$

[0103] 其中,K是由驱动TFT DT的迁移率、沟道宽度/长度比和寄生电容确定的常数,并且Vth是驱动TFT DT的阈值电压。

[0104] 如从等式1可以看到,在本公开内容中,由于在OLED发光的电致发光显示装置的发光时段期间,第一电源电压的变化被反映在节点N2和驱动TFT DT的第二电极两者中,所以OLED中的电流不受VDD影响。在由于VDD线上的电压降而导致图画质量不均匀的情况下,VDD线可以被配置为网状,以降低VDD线的电阻。然而,高分辨率显示面板在降低VDD线的电阻方

面有其局限性,原因是VDD线的宽度应该被减小以为像素留出空间。此外,具有大屏幕尺寸的显示面板需要进入屏幕显示部AA的较长的电源路径,这将增加VDD线的电阻。在本公开内容的实施方式中,OLED的驱动电流 I_{oled} 不受VDD影响,因此像素的亮度和颜色可以在整个屏幕上均匀的,不需要VDD线具有低电阻设计或网状配置。因此,本公开内容可以在具有小像素尺寸的高分辨率面板上实现均匀的图画质量。此外,本公开内容可以提供具有较高亮度和图画质量的大屏幕面板。另外,本公开内容的实施方式不要求将VDD线配置成网状,原因是其允许对VDD线上的电压降进行补偿。

[0105] 图6是根据本公开内容的第二实施方式的像素电路的电路图。图7是示出图6的像素电路的操作的波形图。

[0106] 除了第七TFT T7的连接配置以外,图6的第n像素电路与图3的第n像素电路基本上相同。在第二实施方式中,用相同的附图标记表示与前述第一实施方式相同的部件,并且将省略对它们的详细描述。

[0107] 参照图6和图7,第n像素电路包括连接在第一节点N1与施加了参考电压 V_{ref} 的电源线15之间的第七TFT T7。在第二实施方式中,OLED、驱动TFT DT、存储电容器Cst以及第一TFT T1至第六TFT T6与上述第一实施方式中的那些相同。

[0108] 第七TFT T7是响应于第(n-1)扫描信号SCAN(n-1)将参考电压 V_{ref} 提供至第一节点N1的开关元件。第七TFT T7包括连接至第(n-1)扫描线12(n-1)的栅极、连接至第一节点N1的源极和连接至施加了参考电压 V_{ref} 的电源线(或 V_{ref} 线)15的漏极。

[0109] 第n像素电路通过响应于第(n-1)扫描信号SCAN(n-1)的导通电平脉冲向第一节点N1和第二节点N2施加参考电压 V_{ref} ,将第一节点N1和第二节点N2重置为参考电压 V_{ref} 。随后,第n像素电路通过响应于第n扫描信号SCAN(n)的导通电平脉冲向第一节点N1施加数据电压 V_{data} ,然后响应于第n扫描信号SCAN(n)的导通电平脉冲使第二节点N2和第三节点N3短路以对驱动TFT DT进行二极管连接,对驱动TFT DT的阈值电压进行采样。此外,第n像素电路通过响应于第n扫描信号SCAN(n)的导通电平脉冲向第四节点N4施加参考电压 V_{ref} ,将OLED的阳极电势保持在低于OLED的操作点电压的参考电压 V_{ref} 处。随后,第n像素电路响应于EM信号EM(n&n+1)的关断电平脉冲之后的栅极导通电压,向第一节点N1施加参考电压 V_{ref} ,并且使得电流在第三节点N3与第四节点N4之间流动以向OLED的阳极施加由驱动TFT DT产生的驱动电流。

[0110] 图8A至图8E是示出图7的第n像素电路的操作的不同阶段的图。下面将结合图7、图8A至图8E和表1来详细描述第n像素电路的操作。

[0111] 用于驱动图7的第n像素电路的一个帧包括第(n-1)扫描信号SCAN(n-1)被馈送至第(n-1)水平显示线HL(n-1)的重置时段 T_i 、第n扫描信号SCAN(n)被馈送至第n水平显示线HL(n)的采样时段 T_w 、OLED发光的发光时段 T_e 以及采样时段 T_w 与发光时段 T_e 之间的保持时段 T_h 。

[0112] 如图7和图8A所示,当在先前帧(第(k-1)帧)的发光时段 T_e 期间以栅极导通电压生成EM信号EM(n&n+1)时,第四TFT T4导通。在这种情况下,第三TFT T3和驱动TFT DT也导通,并且第一TFT T1和第二TFT T2以及第五至第七TFT T5、T6和T7保持关断。因此,驱动电流 I_{oled} 流过OLED,并且第一节点N1处的电势保持在参考电压 V_{ref} 处。

[0113] 参照表1以及图7和图8B,在当前帧(第k帧)的重置时段 T_i 开始时,第(n-1)扫描信

号SCAN(n-1)的电压反转为栅极导通电压,并且EM信号EM(n&n+1)反转为栅极关断电压。在重置时段Ti期间,第n扫描信号SCAN(n)保持在栅极关断电压处。在重置时段Ti中,第六TFT T6响应于第(n-1)扫描信号SCAN(n-1)的导通电平脉冲而导通,并且参考电压Vref通过第六TFT T6被施加到第二节点N2。在重置时段Ti中,第七TFT T7也响应于第(n-1)扫描信号SCAN(n-1)的导通电平脉冲而导通,并且参考电压Vref通过第七TFT T7被施加到第一节点N1。因此,第一节点N1和第二节点N2的电压在重置时段Ti中被重置为Vref。除了第六TFT T6和第七TFT T7之外,第一TFT T1至第五TFT T5在重置时段Ti中关断。

[0114] 由于在重置时段Ti中第二节点N2处的电势变为Vref,因此驱动TFT DT的Vsg变得高于驱动TFT DT的阈值电压Vth,并且驱动TFT DT导通。

[0115] 由于第四TFT T4在重置时段Ti中关断,因此在第n像素电路中的VDD与Vref之间不发生短路。这可以避免由第n像素电路中的VDD与Vref之间的短路引起的功耗增加、像素劣化和可靠性降低的问题。

[0116] 具体地,如果由于不存在第四TFT T4而导致在重置时段Ti中在VDD与Vref之间发生短路,则这会限制Vref线15的布置。当Vref线15平行于垂直显示线VL(n)布置时,在重置驱动TFT DT的栅极时不会有问题,然而,当Vref线15平行于水平显示线HL(n)布置时,可能难以正确地重置驱动TFT DT的栅极。因此,通过将第四TFT T4布置在像素电路中,可以防止VDD与Vref之间的短路,并且可以提高Vref线15的布置的自由度。这在实现高分辨率显示面板方面具有优势。

[0117] 参照表1以及图7和图8C,在当前帧(第k帧)的采样时段Tw开始时,第(n-1)扫描信号SCAN(n-1)的电压反转为栅极关断电压,并且第n扫描信号SCAN(n)的电压反转为栅极导通电压。在采样时段Tw期间,EM信号EM(n&n+1)保持在栅极关断电压处。

[0118] 在采样时段Tw中,第一TFT T1响应于第n扫描信号SCAN(n)的导通电平脉冲而导通,并且数据电压Vdata通过第一TFT T1被施加到第一节点N1。由于向第一节点N1施加了数据电压Vdata,因此第一节点N1处的电势从Vref变为Vdata。Vdata通过第一节点N1被施加到存储电容器Cst的一个电极。

[0119] 在采样时段Tw中,第二TFT T2响应于第n扫描信号SCAN(n)的导通电平脉冲而导通,并且驱动TFT DT被二极管连接。当驱动TFT DT被二极管连接时,由于电流流过驱动TFT DT,因此第二节点N2和第三节点N3处的电势变为等于“VDD-Vth”。也就是说,当驱动TFT DT被二极管连接时,驱动TFT DT的阈值电压Vth被采样并且通过第二节点N2被施加到存储电容器Cst的另一个电极。除了第六TFT T6和第七TFT T7之外,第一TFT T1至第五TFT T5在采样时段Tw中关断。

[0120] 参照表1以及图7和图8D,在当前帧(第k帧)的保持时段Th开始时,第n扫描信号SCAN(n)的电压反转为栅极关断电压。在保持时段Th期间,第(n-1)扫描信号SCAN(n-1)和EM信号EM(n&n+1)保持在栅极关断电压处。

[0121] 在保持时段Th中,第一节点N1和第二节点N2的电压可以改变与跳变电压Vkb相同的量,跳变电压Vkb是当第N扫描信号SCAN(n)变为栅极关断电压时(即,当第一TFT T1和第二TFT T2关断时)产生的。因此,在保持时段Th中,第一节点N1的电压变为等于“Vdata+Vkb”,并且第二节点N2的电压变得等于“VDD-|Vth|+Vkb”。然后,第一节点N1和第二节点N2的电压被施加到存储电容器Cst。在保持时段Th中,由于第二节点N2处的电压上升,驱动TFT

DT也关断。此外,第三TFT T3至第七TFT T7保持关断。

[0122] 参照表1以及图7和图8E,在当前帧(第k帧)的发光时段 T_e 开始时,EM信号EM(n+1)的电压反转为栅极导通电压。在发光时段 T_e 期间,第(n-1)扫描信号SCAN(n-1)和第n扫描信号SCAN(n)保持在栅极关断电压处。

[0123] 在发光时段 T_e 中,第三TFT T3响应于EM信号EM(n+1)的栅极导通电压而导通,并且参考电压 V_{ref} 通过第三TFT T3被施加到第一节点N1。

[0124] 在这种情况下,第一节点N1的电压从“ $V_{data}+V_{kb}$ ”变为 V_{ref} 。由于通过存储电容器 C_{st} 的耦合,第二节点N2的电压也改变与第一节点N1处的电压变化 $V_{data}+V_{kb}-V_{ref}$ 相同的量。换言之,作为第二节点N2的电压的、驱动TFT DT的栅极电压DTG从“ $V_{DD}-|V_{th}|+V_{kb}$ ”变为“ $\{V_{DD}-|V_{th}|+V_{kb}\}-\{V_{data}+V_{kb}-V_{ref}\}$ ”,即“ $V_{DD}-|V_{th}|-V_{data}+V_{ref}$ ”。在这种情况下,驱动TFT DT的源极电压DTS保持在VDD处。因此,确定OLED中的驱动电流的量的驱动TFT DT的 V_{sg} 电压被设置。于是,由上面的等式1表示的驱动电流 I_{oled} 流过OLED。

[0125] 如从等式1可以看出,在本公开内容中,OLED中的电流不受VDD影响。在由于VDD线上的电压降而导致图画质量不均匀的情况下,VDD线可以被配置为网状,以降低VDD线的电阻。然而,高分辨率显示面板在减小VDD线的电阻方面有其局限性,原因是VDD线的宽度应该被减小以为像素留出空间。此外,具有大屏幕尺寸的显示面板需要进入屏幕显示部AA的较长的电源路径,这将增加VDD线的电阻。在本公开内容的实施方式中,OLED的驱动电流 I_{oled} 不受VDD影响,因此像素的亮度和颜色可以在整个屏幕上均匀的,不需要VDD线具有低电阻设计或网状配置。因此,本公开内容可以在具有小像素尺寸的高分辨率面板上实现均匀的图画质量。此外,本公开内容可以提供具有较高亮度和图画质量的大屏幕面板。另外,本公开内容的实施方式不要求将VDD线配置为网状,原因是其允许对VDD线上的电压降进行补偿。

[0126] 图9是根据本公开内容的第三实施方式的像素电路的电路图,其示出了图3的第n像素电路中的第五TFT T5的连接配置的一个修改实施方式。

[0127] 除了第5TFT T5的连接配置以外,图9的像素电路与图3的第n像素电路基本上相同。在第三实施方式中,将用相同的附图标记表示与前述第一实施方式和第二实施方式相同的部件,并且将省略对它们的详细描述。

[0128] 参照图9,像素电路将适用于第一像素P(n,m)(n和m为正整数)和第二像素P(n+1,m)。

[0129] 在第一像素P(n,m)位于第n水平显示线HL(n)和第m垂直显示线VL(m)上并且第二像素P(n+1,m)位于第(n+1)水平显示线HL(n+1)和第m垂直显示线VL(m)上的情况下,第一像素P(n,m)的第五TFT T5连接在第一像素P(n,m)的第四节点N4与第二像素P(n+1,m)的第一节点N1之间。在该实施方式中,OLED、驱动TFT DT、存储电容器 C_{st} 、第一TFT T1至第四TFT T4以及第六TFT T6和第七TFT T7与前述第一实施方式中的那些相同。

[0130] 第一像素P(n,m)的第五TFT T5是如下开关元件:其在响应于第n扫描信号SCAN(n)而导通时,将存储在第二像素P(n+1,m)的第一节点N1中的参考电压 V_{ref} 提供至第一像素P(n,m)的第四节点N4。第一像素P(n,m)的第五TFT T5包括连接至第n扫描线12(n)的栅极、连接至第一像素P(n,m)的第四节点N4的源极以及连接至第二像素P(n+1,m)的第一节点N1的漏极。

[0131] 第一像素 $P(n,m)$ 的第五TFT $T5$ 与图3的第五TFT $T5$ 的不同之处在于:其不直接连接至 V_{ref} ,而是连接至第二像素 $P(n+1,m)$ 的第一节点 $N1$ 。由于 V_{ref} 被施加到第二像素 $P(n+1,m)$ 的第一节点 $N1$,因此通过将第一像素 $P(n,m)$ 的第五TFT $T5$ 连接至第二像素 $P(n+1,m)$ 的第一节点 $N1$ 而不是将其直接连接至 V_{ref} ,可以获得相同的效果。第五TFT $T5$ 不直接连接至 V_{ref} 而连接至相邻像素的原因是为了提高设计自由度。

[0132] 具体地,需要电源接触孔来将TFT连接至 V_{ref} ,但是由于有限的设计面积,导致可以经由一个电源接触孔连接至 V_{ref} 的TFT的数量有限制。在图3的像素电路中,第三TFT $T3$ 、第五TFT $T5$ 和第六TFT $T6$ 共同连接至 V_{ref} 。为了做到这一点,电源接触孔应该设计成大尺寸,或者应该增加电源接触孔的数量。然而,如图9所示,如果第五TFT $T5$ 从相邻像素 $P(n+1,m)$ 的第一节点 $N1$ 连接至第一TFT $T1$ 、第三TFT $T3$ 和第七TFT $T7$ 的一个电极,而不是直接连接至 V_{ref} ,则这意味着少了一个TFT连接至电源接触孔。也就是说,TFT的数量越少,电源接触孔设计的选择越广泛。

[0133] 图10是根据本公开内容的第四实施方式的像素电路的电路图,其示出了图3的第 n 像素电路中的第五TFT的连接配置的另一修改实施方式。

[0134] 除了第5TFT $T5$ 的连接配置以外,图10的像素电路与图3的第 n 像素电路基本上相同。在第四实施方式中,将用相同的附图标记表示与前述第一实施方式至第三实施方式相同的部件,并且将省略对它们的详细描述。

[0135] 参照图10,像素电路将适用于第一像素 $P(n,m)$ (n 和 m 为正整数) 和第二像素 $P(n+1,m-1)$ 。

[0136] 在第一像素 $P(n,m)$ 位于第 n 水平显示线 $HL(n)$ 和第 m 垂直显示线 $VL(m)$ 上并且第二像素 $P(n+1,m-1)$ 位于第 $(n+1)$ 水平显示线 $HL(n+1)$ 和第 $(m-1)$ 垂直显示线 $VL(m-1)$ 上的情况下,第一像素 $P(n,m)$ 的第五TFT $T5$ 连接在第一像素 $P(n,m)$ 的第四节点 $N4$ 与第二像素 $P(n+1,m-1)$ 的第一节点 $N1$ 之间。在第四实施方式中,OLED、驱动TFT DT 、存储电容器 Cst 、第一TFT $T1$ 至第四TFT $T4$ 以及第六TFT $T6$ 和第七TFT $T7$ 与上述第一实施方式中的那些相同。

[0137] 第一像素 $P(n,m)$ 的第五TFT $T5$ 是如下开关元件:其在响应于第 n 扫描信号 $SCAN(n)$ 而导通时,将存储在第二像素 $P(n+1,m-1)$ 的第一节点 $N1$ 中的参考电压 V_{ref} 提供至第一像素 $P(n,m)$ 的第四节点 $N4$ 。第一像素 $P(n,m)$ 的第五TFT $T5$ 包括连接至第 n 扫描线 $12(n)$ 的栅极、连接至第一像素 $P(n,m)$ 的第四节点 $N4$ 的源极以及连接至第二像素 $P(n+1,m-1)$ 的第一节点 $N1$ 的漏极。

[0138] 第一像素 $P(n,m)$ 的第五TFT $T5$ 与图3的第五TFT $T5$ 的不同之处在于:其不直接连接至 V_{ref} ,而是连接至第二像素 $P(n+1,m-1)$ 的第一节点 $N1$ 。由于 V_{ref} 被施加到第二像素 $P(n+1,m-1)$ 的第一节点 $N1$,因此通过将第一像素 $P(n,m)$ 的第五TFT $T5$ 连接至第二像素 $P(n+1,m-1)$ 的第一节点 $N1$ 而不是将其直接连接至 V_{ref} ,可以获得相同的效果。第五TFT $T5$ 不直接连接至 V_{ref} 而连接至相邻像素的原因是为了提高设计自由度。

[0139] 具体地,需要电源接触孔来将TFT连接至 V_{ref} ,但是由于有限的设计面积而导致可以经由一个电源接触孔连接至 V_{ref} 的TFT的数量有限制。在图3的像素电路中,第三TFT $T3$ 、第五TFT $T5$ 和第六TFT $T6$ 共同连接至 V_{ref} 。为了做到这一点,电源接触孔应该设计成大尺寸,或者应该增加电源接触孔的数量。然而,如图10所示,如果第五TFT $T5$ 从相邻像素 $P(n+1,m-1)$ 的第一节点 $N1$ 连接至第一TFT $T1$ 、第三TFT $T3$ 和第七TFT $T7$ 的一个电极,而不是直

接连接至Vref,则这意味着少了一个TFT连接至电源接触孔。也就是说,TFT的数量越少,电源接触孔设计的选择越广泛。

[0140] 图11是根据本公开内容的第五实施方式的像素电路的电路图,其示出了图3的第n像素电路中的第六TFT T6的连接配置的一个修改实施方式。

[0141] 除了第六TFT T6的连接配置以外,图11的像素电路与图3的第n像素电路基本上相同。在第五实施方式中,将用相同的附图标记表示与前述第一实施方式至第四实施方式相同的部件,并且将省略对它们的详细描述。

[0142] 参照图11,像素电路将适用于第一像素P(n,m)(n和m是正整数)和第二像素P(n,m-1)。

[0143] 在第一像素P(n,m)位于第n水平显示线HL(n)和第m垂直显示线VL(m)上并且第二像素P(n,m-1)位于第n水平显示线HL(n)和第(m-1)垂直显示线VL(m-1)上的情况下,第一像素P(n,m)的第六TFT T6连接在第一像素P(n,m)的第二节点N2与第二像素P(n,m-1)的第一节点N1之间。在第五实施方式中,OLED、驱动TFT DT、存储电容器Cst以及第一TFT T1至第五TFT T5和第七TFT T7与上述第一实施方式中的那些相同。

[0144] 第一像素P(n,m)的第六TFT T6是如下开关元件:其在响应于第(n-1)扫描信号SCAN(n-1)而导通时,将存储在第二像素P(n,m-1)的第一节点N1中的参考电压Vref提供至第一像素P(n,m)的第二节点N2。第一像素P(n,m)的第六TFT T6包括连接至第(n-1)扫描线12(n-1)的栅极、连接至第一像素P(n,m)的第二节点N2的源极以及连接至第二像素P(n,m-1)的第一节点N1的漏极。

[0145] 第一像素P(n,m)的第六TFT T6与图3的第六TFT T6的不同之处在于:其不直接连接至Vref,而是连接至第二像素P(n,m-1)的第一节点N1。由于Vref被施加到第二像素P(n,m-1)的第一节点N1,因此通过将第一像素P(n,m)的第六TFT T6连接至第二像素P(n,m-1)的第一节点N1而不是将其直接连接至Vref,可以获得相同的效果。第六TFT T6不直接连接至Vref而连接至相邻像素的原因是为了提高设计自由度。

[0146] 具体地,需要电源接触孔来将TFT连接至Vref,但是由于有限的设计面积而导致可以经由一个电源接触孔连接至Vref的TFT的数量有限制。在图3的像素电路中,第三TFT T3、第五TFT T5和第六TFT T6共同连接至Vref。为了做到这一点,电源接触孔应该设计成大尺寸,或者应该增加电源接触孔的数量。然而,如图11所示,如果第六TFT T6从相邻像素P(n,m-1)的第一节点N1连接至第一TFT T1、第三TFT T3和第七TFT T7的一个电极,而不是直接连接至Vref,则这意味着少了一个TFT连接至电源接触孔。也就是说,TFT的数量越少,电源接触孔设计的选择越广泛。

[0147] 图12是根据本公开内容的第六实施方式的像素电路的电路图,其示出了图3的第n像素电路中的第五和第六TFT的连接配置的一个修改实施方式。

[0148] 除了第五TFT T5和第六TFT T6的连接配置以外,图12的像素电路与图3的第n像素电路基本上相同。在第六实施方式中,将用相同的附图标记表示与前述第一实施方式至第五实施方式相同的部件,并且将省略对它们的详细描述。

[0149] 参照图12,像素电路将适用于第一像素P(n,m)(n和m为正整数)、第二像素P(n+1,m)和第三像素P(n,m-1)。

[0150] 在第一像素P(n,m)位于第n水平显示线HL(n)和第m垂直显示线VL(m)上,第二像素

$P(n+1, m)$ 位于第 $(n+1)$ 水平显示线 $HL(n+1)$ 和第 m 垂直显示线 $VL(m)$ 上, 并且第三像素 $P(n, m-1)$ 位于第 n 水平显示线 $HL(n)$ 和第 $(m-1)$ 垂直显示线 $VL(m-1)$ 上的情况下, 第一像素 $P(n, m)$ 的第五 TFT T5 连接在第一像素 $P(n, m)$ 的第四节点 $N4$ 与第二像素 $P(n+1, m)$ 的第一节点 $N1$ 之间。第一像素 $P(n, m)$ 的第六 TFT T6 连接在第一像素 $P(n, m)$ 的第二节点 $N2$ 与第三像素 $P(n, m-1)$ 的第一节点 $N1$ 之间。在第六实施方式中, OLED、驱动 TFT DT、存储电容器 C_{st} 以及第一 TFT T1 至第四 TFT T4 和第七 TFT T7 与上述第一实施方式中的那些相同。

[0151] 第一像素 $P(n, m)$ 的第五 TFT T5 是如下开关元件: 其在响应于第 n 扫描信号 $SCAN(n)$ 而导通时, 将存储在第二像素 $P(n+1, m)$ 的第一节点 $N1$ 中的参考电压 V_{ref} 提供至第一像素 $P(n, m)$ 的第四节点 $N4$ 。第一像素 $P(n, m)$ 的第五 TFT T5 包括连接至第 n 扫描线 $12(n)$ 的栅极、连接至第一像素 $P(n, m)$ 的第四节点 $N4$ 的源极以及连接至第二像素 $P(n+1, m)$ 的第一节点 $N1$ 的漏极。

[0152] 第一像素 $P(n, m)$ 的第六 TFT T6 是如下开关元件: 其在响应于第 $(n-1)$ 扫描信号 $SCAN(n-1)$ 而导通时, 将存储在第三像素 $P(n, m-1)$ 的第一节点 $N1$ 中的参考电压 V_{ref} 提供至第一像素 $P(n, m)$ 的第二节点 $N2$ 。第一像素 $P(n, m)$ 的第六 TFT T6 包括连接至第 $(n-1)$ 扫描线 $12(n-1)$ 的栅极、连接至第一像素 $P(n, m)$ 的第二节点 $N2$ 的源极以及连接至第三像素 $P(n, m-1)$ 的第一节点 $N1$ 的漏极。

[0153] 第一像素 $P(n, m)$ 的第五 TFT T5 与图3的第五 TFT T5 的不同之处在于: 其不直接连接至 V_{ref} , 而是连接至第二像素 $P(n+1, m)$ 的第一节点 $N1$ 。由于 V_{ref} 被施加到第二像素 $P(n+1, m)$ 的第一节点 $N1$, 因此通过将第一像素 $P(n, m)$ 的第五 TFT T5 连接至第二像素 $P(n+1, m)$ 的第一节点 $N1$ 而不是将其直接连接至 V_{ref} , 可以获得相同的效果。

[0154] 第一像素 $P(n, m)$ 的第六 TFT T6 与图3的第六 TFT T6 的不同之处在于: 其不直接连接至 V_{ref} , 而是连接至第三像素 $P(n, m-1)$ 的第一节点 $N1$ 。由于 V_{ref} 被施加到第三像素 $P(n, m-1)$ 的第一节点 $N1$, 因此通过将第一像素 $P(n, m)$ 的第六 TFT T6 连接至第三像素 $P(n, m-1)$ 的第一节点 $N1$ 而不将其直接连接至 V_{ref} , 可以获得相同的效果。

[0155] 第五 TFT T5 和第六 TFT T6 不直接连接至 V_{ref} 而连接至相邻像素的原因是为了提高设计自由度。

[0156] 具体地, 需要电源接触孔来将 TFT 连接至 V_{ref} , 但是由于有限的设计面积而导致可以经由一个电源接触孔连接至 V_{ref} 的 TFT 的数量有限制。在图3的像素电路中, 第三 TFT T3、第五 TFT T5 和第六 TFT T6 共同连接至 V_{ref} 。为了做到这一点, 电源接触孔应该设计成大尺寸, 或者应该增加电源接触孔的数量。然而, 如图12所示, 如果第五 TFT T5 和第六 TFT T6 从相邻像素 $P(n+1, m)$ 和 $P(n, m-1)$ 的第一节点 $N1$ 连接至第一 TFT T1、第三 TFT T3 和第七 TFT T7 的一个电极, 而不直接连接至 V_{ref} , 则这意味着少了两个 TFT 连接至电源接触孔。也就是说, TFT 的数量越少, 电源接触孔设计的选择越广泛。

[0157] 图13是根据本公开内容的第七实施方式的像素电路的电路图, 其示出了图3的第 n 像素电路中的第五和第六 TFT 的连接配置的另一修改实施方式。

[0158] 除了第五 TFT T5 和第六 TFT T6 的连接配置以外, 图13的像素电路与图3的第 n 像素电路基本上相同。在第七实施方式中, 将用相同的附图标记表示与前述第一实施方式至第六实施方式相同的部件, 并且将省略对它们的详细描述。

[0159] 参照图13, 像素电路将适用于第一像素 $P(n, m)$ (n 和 m 为正整数)、第二像素 $P(n+1,$

m-1) 和第三像素P(n,m-1)。

[0160] 在第一像素P(n,m)位于第n水平显示线HL(n)和第m垂直显示线VL(m)上,第二像素P(n+1,m-1)位于第(n+1)水平显示线HL(n+1)和第(m-1)垂直显示线VL(m-1)上,并且第三像素P(n,m-1)位于第n水平显示线HL(n)和第(m-1)垂直显示线VL(m-1)上的情况下,第一像素P(n,m)的第五TFT T5连接在第一像素P(n,m)的第四节点N4与第二像素P(n+1,m-1)的第一节点N1之间。第一像素P(n,m)的第六TFT T6连接在第一像素P(n,m)的第二节点N2与第三像素P(n,m-1)的第一节点N1之间。在第七实施方式中,OLED、驱动TFT DT、存储电容器Cst以及第一TFT T1至第四TFT T4和第七TFT T7与上述第一实施方式中的那些相同。

[0161] 第一像素P(n,m)的第五TFT T5是如下开关元件:其在响应于第n扫描信号SCAN(n)而导通时,将存储在第二像素P(n+1,m-1)的第一节点N1中的参考电压Vref提供至第一像素P(n,m)的第四节点N4。第一像素P(n,m)的第五TFT T5包括连接至第n扫描线12(n)的栅极、连接至第一像素P(n,m)的第四节点N4的源极以及连接至第二像素P(n+1,m-1)的第一节点N1的漏极。

[0162] 第一像素P(n,m)的第六TFT T6是如下开关元件:其在响应于第(n-1)扫描信号SCAN(n-1)而导通时,将存储在第三像素P(n,m-1)的第一节点N1中的参考电压Vref提供至第一像素P(n,m)的第二节点N2。第一像素P(n,m)的第六TFT T6包括连接至第(n-1)扫描线12(n-1)的栅极、连接至第一像素P(n,m)的第二节点N2的源极以及连接至第三像素P(n,m-1)的第一节点N1的漏极。

[0163] 第一像素P(n,m)的第五TFT T5与图3的第五TFT T5的不同之处在于:其不直接连接至Vref,而是连接至第二像素P(n+1,m-1)的第一节点N1。由于Vref被施加到第二像素P(n+1,m-1)的第一节点N1,因此通过将第一像素P(n,m)的第五TFT T5连接至第二像素P(n+1,m-1)的第一节点N1而不将其直接连接至Vref,可以获得相同的效果。

[0164] 第一像素P(n,m)的第六TFT T6与图3的第六TFT T6的不同之处在于:其不直接连接至Vref,而是连接至第三像素P(n,m-1)的第一节点N1。由于Vref被施加到第三像素P(n,m-1)的第一节点N1,因此通过将第一像素P(n,m)的第六TFT T6连接至第三像素P(n,m-1)的第一节点N1而不将其直接连接至Vref,可以获得相同的效果。

[0165] 第五TFT T5和第六TFT T6不直接连接至Vref而连接至相邻像素的原因是为了提高设计自由度。

[0166] 具体地,需要电源接触孔来将TFT连接至Vref,但是由于有限的设计面积而导致可以由一个电源接触孔连接至Vref的TFT的数量有限。在图3的像素电路中,第三TFT T3、第五TFT T5和第六TFT T6共同连接至Vref。为了做到这一点,电源接触孔应该设计成大尺寸,或者应该增加电源接触孔的数量。然而,如图13所示,如果第五TFT T5和第六TFT T6从相邻像素P(n+1,m-1)和P(n,m-1)的第一节点N1连接至第一TFT T1、第三TFT T3和第七TFT T7的一个电极,而不直接连接至Vref,则这意味着少了两个TFT连接至电源接触孔。也就是说,TFT的数量越少,电源接触孔设计的选择越广泛。

[0167] 图14是根据本公开内容的第八实施方式的像素电路的电路图,其示出了图6的第n像素电路中的第五TFT的连接配置的一个修改实施方式。

[0168] 除了第五TFT T5的连接配置以外,图14的像素电路与图6的第n像素电路基本上相同。在第八实施方式中,将用相同的附图标记表示与前述第一实施方式至第七实施方式相

同的部件,并且将省略对它们的详细描述。

[0169] 参照图14,像素电路将适用于第一像素 $P(n,m)$ (n 和 m 为正整数) 和第二像素 $P(n+1,m)$ 。

[0170] 在第一像素 $P(n,m)$ 位于第 n 水平显示线 $HL(n)$ 和第 m 垂直显示线 $VL(m)$ 上并且第二像素 $P(n+1,m)$ 位于第 $(n+1)$ 水平显示线 $HL(n+1)$ 和第 m 垂直显示线 $VL(m)$ 上的情况下,第一像素 $P(n,m)$ 的第五TFT $T5$ 连接在第一像素 $P(n,m)$ 的第四节点 $N4$ 与第二像素 $P(n+1,m)$ 的第一节点 $N1$ 之间。在第八实施方式中,OLED、驱动TFT DT 、存储电容器 Cst 、第一TFT $T1$ 至第四TFT $T4$ 以及第六TFT $T6$ 和第七TFT $T7$ 与上述第二实施方式中的那些相同。

[0171] 第一像素 $P(n,m)$ 的第五TFT $T5$ 是如下开关元件:其在响应于第 n 扫描信号 $SCAN(n)$ 而导通时,将存储在第二像素 $P(n+1,m)$ 的第一节点 $N1$ 中的参考电压 V_{ref} 提供至第一像素 $P(n,m)$ 的第四节点 $N4$ 。第一像素 $P(n,m)$ 的第五TFT $T5$ 包括连接至第 n 扫描线 $12(n)$ 的栅极、连接至第一像素 $P(n,m)$ 的第四节点 $N4$ 的源极以及连接至第二像素 $P(n+1,m)$ 的第一节点 $N1$ 的漏极。

[0172] 第一像素 $P(n,m)$ 的第五TFT $T5$ 与图6的第五TFT $T5$ 的不同之处在于:其不直接连接至 V_{ref} ,而是连接至第二像素 $P(n+1,m)$ 的第一节点 $N1$ 。由于 V_{ref} 被施加到第二像素 $P(n+1,m)$ 的第一节点 $N1$,因此通过将第一像素 $P(n,m)$ 的第五TFT $T5$ 连接至第二像素 $P(n+1,m)$ 的第一节点 $N1$ 而不将其直接连接至 V_{ref} ,可以获得相同的效果。第五TFT $T5$ 不直接连接至 V_{ref} 而连接至相邻像素的原因是为了提高设计自由度。

[0173] 具体地,需要电源接触孔来将TFT连接至 V_{ref} ,但是由于有限的设计面积而导致可以经由一个电源接触孔连接至 V_{ref} 的TFT的数量有限制。在图6的像素电路中,第三TFT $T3$ 、第五TFT $T5$ 、第六TFT $T6$ 和第七TFT $T7$ 共同连接至 V_{ref} 。为了做到这一点,电源接触孔应该设计成大尺寸,或者应该增加电源接触孔的数量。然而,如图14所示,如果第五TFT $T5$ 从相邻像素 $P(n+1,m)$ 的第一节点 $N1$ 连接至第一TFT $T1$ 和第三TFT $T3$ 的一个电极,而不直接连接至 V_{ref} ,则这意味着少了一个TFT连接至电源接触孔。也就是说,TFT的数量越少,电源接触孔设计的选择越广泛。

[0174] 图15是根据本公开内容的第九实施方式的像素电路的电路图,其示出了图6的第 n 像素电路中的第五TFT的连接配置的另一修改实施方式。

[0175] 除了第五TFT $T5$ 的连接配置以外,图15的像素电路与图6的第 n 像素电路基本上相同。在第九实施方式中,将用相同的附图标记表示与前述第一实施方式至第八实施方式相同的部件,并且将省略对它们的详细描述。

[0176] 参照图15,像素电路将适用于第一像素 $P(n,m)$ (n 和 m 为正整数) 和第二像素 $P(n+1,m-1)$ 。

[0177] 在第一像素 $P(n,m)$ 位于第 n 水平显示线 $HL(n)$ 和第 m 垂直显示线 $VL(m)$ 上并且第二像素 $P(n+1,m-1)$ 位于第 $(n+1)$ 水平显示线 $HL(n+1)$ 和第 $(m-1)$ 垂直显示线 $VL(m-1)$ 上的情况下,第一像素 $P(n,m)$ 的第五TFT $T5$ 连接在第一像素 $P(n,m)$ 的第四节点 $N4$ 与第二像素 $P(n+1,m-1)$ 的第一节点 $N1$ 之间。在第九实施方式中,OLED、驱动TFT DT 、存储电容器 Cst 以及第一TFT $T1$ 至第四TFT $T4$ 及第六TFT $T6$ 和第七TFT $T7$ 与前述第二实施方式中的相同。

[0178] 第一像素 $P(n,m)$ 的第五TFT $T5$ 是下述开关元件:其在响应于第 n 扫描信号 $SCAN(n)$ 而导通时,将存储在第二像素 $P(n+1,m-1)$ 的第一节点 $N1$ 中的参考电压 V_{ref} 提供给第一像素

P(n,m)的第四节点N4。第一像素P(n,m)的第五TFT T5包括:连接到第n扫描线12(n)的栅极;连接到第一像素P(n,m)的第四节点N4的源极;以及连接到第二像素P(n+1,m-1)的第一节点N1的漏极。

[0179] 第一像素P(n,m)的第五TFT T5与图6中的第五TFT T5的不同之处在于:它不直接连接到Vref,而是连接到第二像素P(n+1,m-1)的第一节点N1。由于Vref被施加到第二像素P(n+1,m-1)的第一节点N1,因此,通过将第一像素P(n,m)的第五TFT T5连接到第二像素P(n+1,m-1)的第一节点N1而并非将其直接连接到Vref,可以获得相同的效果。不将第五TFT T5直接连接到Vref而是连接到相邻像素的原因是为了提高设计自由度。

[0180] 具体地,需要电源接触孔来将TFT连接到Vref,但是由于设计面积有限而导致可以通过一个电源接触孔连接到Vref的TFT的数量有限。在图6的像素电路中,第三TFT T3、第五TFT T5、第六TFT T6和第七TFT T7共同连接到Vref。为了做到这一点,电源接触孔应该设计成大尺寸,或者应该增加电源接触孔的数量。然而,如图15所示,如果第五TFT T5从相邻像素P(n+1,m-1)的第一节点N1连接到第一TFT T1和第三TFT T3的一个电极而并非直接连接到Vref,则意味着少了一个TFT连接到电源接触孔。也就是说,TFT的数量越少,电源接触孔设计的选择越广泛。

[0181] 图16是根据本公开内容的第十实施方式的像素电路的电路图,其示出了图6的第n像素电路中的第六TFT的连接配置的一个修改实施方式。

[0182] 除了第六TFT T6的连接配置以外,图16的像素电路与图6的第n像素电路基本上相同。在第十实施方式中,将用相同的附图标记表示与前述第一实施方式至第九实施方式相同的部件,并且将省略对它们的详细描述。

[0183] 参照图16,像素电路将适用于第一像素P(n,m)(n和m为正整数)和第二像素P(n,m-1)。

[0184] 在第一像素P(n,m)位于第n水平显示线HL(n)和第m垂直显示线VL(m)上并且第二像素P(n,m-1)位于第n水平显示线HL(n)和第(m-1)垂直显示线VL(m-1)上的情况下,第一像素P(n,m)的第六TFT T6连接在第一像素P(n,m)的第二节点N2与第二像素P(n,m-1)的第一节点N1之间。在该实施方式中,OLED、驱动TFT DT、存储电容器Cst以及第一TFT T1至第五TFT T5和第七TFT T7与前述第二实施方式中的相同。

[0185] 第一像素P(n,m)的第六TFT T6是下述开关元件:其在响应于第(n-1)扫描信号SCAN(n-1)而导通时,将存储在第二像素P(n,m-1)的第一节点N1中的参考电压Vref提供给第一像素P(n,m)的第二节点N2。第一像素P(n,m)的第六TFT T6包括:连接到第(n-1)扫描线12(n-1)的栅极;连接到第一像素P(n,m)的第二节点N2的源极;以及连接到第二像素P(n,m-1)的第一节点N1的漏极。

[0186] 第一像素P(n,m)的第六TFT T6与图6中的第六TFT T6的不同之处在于:它不直接连接到Vref,而是连接到第二像素P(n,m-1)的第一节点N1。由于Vref被施加到第二像素P(n,m-1)的第一节点N1,因此,通过将第一像素P(n,m)的第六TFT T6连接到第二像素P(n,m-1)的第一节点N1而并非将其直接连接到Vref,可以获得相同的效果。不将第六TFT T6直接连接到Vref而是连接到相邻像素的原因是为了提高设计自由度。

[0187] 具体地,需要电源接触孔来将TFT连接到Vref,但是由于设计面积有限而导致可以通过一个电源接触孔连接到Vref的TFT的数量有限。在图6的像素电路中,第三TFT T3、第五

TFT T5、第六TFT T6和第七TFT T7共同连接到Vref。为了做到这一点,电源接触孔应该设计成大尺寸,或者应该增加电源接触孔的数量。然而,如图16所示,如果第六TFT T6从相邻像素P(n,m-1)的第一节点N1连接到第一TFT T1和第三TFT T3的一个电极而并非直接连接到Vref,则意味着少了一个TFT连接到电源接触孔。也就是说,TFT的数量越少,电源接触孔设计的选择越广泛。

[0188] 图17是根据本公开内容的第十一实施方式的像素电路的电路图,其示出了图6的第n像素电路中的第五TFT和第六TFT的连接配置的一个修改实施方式。

[0189] 除了第五TFT T5和第六TFT T6的连接配置以外,图17的像素电路与图6的第n像素电路基本上相同。在第十一实施方式中,将用相同的附图标记表示与前述第一实施方式至第十实施方式相同的部件,并且将省略对它们的详细描述。

[0190] 参照图17,像素电路将适用于第一像素P(n,m)(n和m为正整数)、第二像素P(n+1,m)和第三像素P(n,m-1)。

[0191] 在第一像素P(n,m)位于第n水平显示线HL(n)和第m垂直显示线VL(m)上,第二像素P(n+1,m)位于第(n+1)水平显示线HL(n+1)和第m垂直显示线VL(m)上,并且第三像素P(n,m-1)位于第n水平显示线HL(n)和第(m-1)垂直显示线VL(m-1)上的情况下,第一像素P(n,m)的第五TFT T5连接在第一像素P(n,m)的第四节点N4与第二像素P(n+1,m)的第一节点N1之间。第一像素P(n,m)的第六TFT T6连接在第一像素P(n,m)的第二节点N2与第三像素P(n,m-1)的第一节点N1之间。在第十一实施方式中,OLED、驱动TFT DT、存储电容器Cst以及第一TFT T1至第四TFT T4和第七TFT T7与前述第二实施方式中的相同。

[0192] 第一像素P(n,m)的第五TFT T5是下述开关元件:其在响应于第n扫描信号SCAN(n)而导通时,将存储在第二像素P(n+1,m)的第一节点N1中的参考电压Vref提供给第一像素P(n,m)的第四节点N4。第一像素P(n,m)的第五TFT T5包括:连接到第n扫描线12(n)的栅极;连接到第一像素P(n,m)的第四节点N4的源极;以及连接到第二像素P(n+1,m)的第一节点N1的漏极。

[0193] 第一像素P(n,m)的第六TFT T6是以下开关元件:其在响应于第(n-1)扫描信号SCAN(n-1)而导通时,将存储在第三像素P(n,m-1)的第一节点N1中的参考电压Vref提供给第一像素P(n,m)的第二节点N2。第一像素P(n,m)的第六TFT T6包括:连接到第(n-1)扫描线12(n-1)的栅极;连接到第一像素P(n,m)的第二节点N2的源极;以及连接到第三像素P(n,m-1)的第一节点N1的漏极。

[0194] 第一像素P(n,m)的第五TFT T5与图6中的第五TFT T5的不同之处在于:它不直接连接到Vref,而是连接到第二像素P(n+1,m)的第一节点N1。由于Vref被施加到第二像素P(n+1,m)的第一节点N1,因此,通过将第一像素P(n,m)的第五TFT T5连接到第二像素P(n+1,m)的第一节点N1而并非将其直接连接到Vref,可以获得相同的效果。

[0195] 第一像素P(n,m)的第六TFT T6与图6中的第六TFT T6的不同之处在于:它不直接连接到Vref,而是连接到第三像素P(n,m-1)的第一节点N1。由于Vref被施加到第三像素P(n,m-1)的第一节点N1,因此,通过将第一像素P(n,m)的第六TFT T6连接到第三像素P(n,m-1)的第一节点N1而并非将其直接连接到Vref,可以获得相同的效果。

[0196] 不将第五TFT T5和第六TFT T6直接连接到Vref而是连接到相邻像素的原因是为了提高设计自由度。

[0197] 具体地,需要电源接触孔来将TFT连接到Vref,但是由于设计面积有限而导致可以通过一个电源接触孔连接到Vref的TFT的数量有限。在图6的像素电路中,第三TFT T3、第五TFT T5、第六TFT T6和第七TFT T7共同连接到Vref。为了做到这一点,电源接触孔应该设计成大尺寸,或者应该增加电源接触孔的数量。然而,如图17所示,如果第五TFT T5和第六TFT T6从相邻像素 $P(n+1, m)$ 和 $P(n, m-1)$ 的第一节点N1连接到第一TFT T1和第三TFT T3的一个电极而并非直接连接到Vref,则意味着少了两个TFT连接到电源接触孔。也就是说,TFT的数量越少,电源接触孔设计的选择越广泛。

[0198] 图18是根据本公开内容的第十二实施方式的像素电路的电路图,其示出了图6的第n像素电路中的第五TFT和第六TFT的连接配置的另一修改实施方式。

[0199] 除了第五TFT T5和第六TFT T6的连接配置以外,图18的像素电路与图6的第n像素电路基本上相同。在第十二实施方式中,将用相同的附图标记表示与前述第一实施方式至第十一实施方式相同的部件,并且将省略对它们的详细描述。

[0200] 参照图18,像素电路将适用于第一像素 $P(n, m)$ (n 和 m 为正整数)、第二像素 $P(n+1, m-1)$ 和第三像素 $P(n, m-1)$ 。

[0201] 在第一像素 $P(n, m)$ 位于第n水平显示线 $HL(n)$ 和第m垂直显示线 $VL(m)$ 上,第二像素 $P(n+1, m-1)$ 位于第 $(n+1)$ 水平显示线 $HL(n+1)$ 和第 $(m-1)$ 垂直显示线 $VL(m-1)$ 上并且第三像素 $P(n, m-1)$ 位于第n水平显示线 $HL(n)$ 和第 $(m-1)$ 垂直显示线 $VL(m-1)$ 上的情况下,第一像素 $P(n, m)$ 的第五TFT T5连接在第一像素 $P(n, m)$ 的第四节点N4与第二像素 $P(n+1, m-1)$ 的第一节点N1之间。第一像素 $P(n, m)$ 的第六TFT T6连接在第一像素 $P(n, m)$ 的第二节点N2与第三像素 $P(n, m-1)$ 的第一节点N1之间。在第十二实施方式中,OLED、驱动TFT DT、存储电容器Cst以及第一TFT T1至第四TFT T4和第七TFT T7与前述第二实施方式中的相同。

[0202] 第一像素 $P(n, m)$ 的第五TFT T5是下述开关元件:其在响应于第n扫描信号SCAN(n)而导通时,将存储在第二像素 $P(n+1, m-1)$ 的第一节点N1中的参考电压Vref提供给第一像素 $P(n, m)$ 的第四节点N4。第一像素 $P(n, m)$ 的第五TFT T5包括:连接到第n扫描线12(n)的栅极;连接到第一像素 $P(n, m)$ 的第四节点N4的源极;以及连接到第二像素 $P(n+1, m-1)$ 的第一节点N1的漏极。

[0203] 第一像素 $P(n, m)$ 的第六TFT T6是下述开关元件:其在响应于第 $(n-1)$ 扫描信号SCAN($n-1$)而导通时,将存储在第三像素 $P(n, m-1)$ 的第一节点N1中的参考电压Vref提供给第一像素 $P(n, m)$ 的第二节点N2。第一像素 $P(n, m)$ 的第六TFT T6包括:连接到第 $(n-1)$ 扫描线12($n-1$)的栅极;连接到第一像素 $P(n, m)$ 的第二节点N2的源极;以及连接到第三像素 $P(n, m-1)$ 的第一节点N1的漏极。

[0204] 第一像素 $P(n, m)$ 的第五TFT T5与图6中的第五TFT T5的不同之处在于:它不直接连接到Vref,而是连接到第二像素 $P(n+1, m-1)$ 的第一节点N1。由于Vref被施加到第二像素 $P(n+1, m-1)$ 的第一节点N1,因此,通过将第一像素 $P(n, m)$ 的第五TFT T5连接到第二像素 $P(n+1, m-1)$ 的第一节点N1而并非将其直接连接到Vref,可以获得相同的效果。

[0205] 第一像素 $P(n, m)$ 的第六TFT T6与图6中的第六TFT T6的不同之处在于:它不直接连接到Vref,而是连接到第三像素 $P(n, m-1)$ 的第一节点N1。由于Vref被施加到第三像素 $P(n, m-1)$ 的第一节点N1,因此,通过将第一像素 $P(n, m)$ 的第六TFT T6连接到第三像素 $P(n, m-1)$ 的第一节点N1而并非将其直接连接到Vref,可以获得相同的效果。

[0206] 不将第五TFT T5和第六TFT T6直接连接到Vref而是连接到相邻像素的原因是为了提高设计自由度。

[0207] 具体地,需要电源接触孔来将TFT连接到Vref,但是由于设计面积有限而导致可以通过一个电源接触孔连接到Vref的TFT的数量有限。在图6的像素电路中,第三TFT T3、第五TFT T5、第六TFT T6和第七TFT T7共同连接到Vref。为了做到这一点,电源接触孔应该设计成大尺寸,或者应该增加电源接触孔的数量。然而,如图18所示,如果第五TFT T5和第六TFT T6从相邻像素 $P(n+1, m-1)$ 和 $P(n, m-1)$ 的第一节点N1连接到第一TFT T1和第三TFT T3的一个电极而并非直接连接到Vref,则意味着少了两个TFT连接到电源接触孔。也就是说,TFT的数量越少,电源接触孔设计的选择越广泛。

[0208] 图19是根据本公开内容的第十三实施方式的像素电路的电路图。

[0209] 除了第五TFT T5的连接配置以外,图19的第n像素电路与图3的第n像素电路基本上相同。在第十三实施方式中,将用相同的附图标记表示与前述第一实施方式至第十二实施方式相同的部件,并且将省略对它们的详细描述。

[0210] 参照图19,第n像素电路还连接到施加了重置电压Vini的电源线(或Vini线)16。当参考电压Vref高于低电平电源电压VSS并且低于高电平电源电压VDD时,重置电压Vini可以高于低电平电源电压VSS并且低于参考电压Vref。

[0211] 第n像素电路包括连接在第四节点N4与施加了重置电压Vini的电源线16之间的第五TFT T5。在该实施方式中,OLED、驱动TFT DT、存储电容器Cst以及第一TFT T1至第四TFT T4及第六TFT T6和第七TFT T7与前述第一实施方式中的相同。

[0212] 第五TFT T5是响应于第n扫描信号SCAN(n)将重置电压Vini提供给第四节点N4的开关元件。第五TFT T5包括:连接到第n扫描线12(n)的栅极;连接到第四节点N4的源极;以及连接到施加了重置电压Vini的电源线16的漏极。

[0213] 由于通过第五TFT T5施加到第四节点N4的重置电压Vini低于参考电压Vref,因此,在用于对驱动TFT的阈值电压进行采样的采样操作中,OLED的阳极电势可以降低到低于OLED的操作点电压,这有效地防止了OLED的不必要发光。

[0214] 在第一实施方式中,在采样操作中用于重置第一节点N1和第二节点N2的参考电压Vref也被提供给OLED的阳极。在发光时段中施加到OLED的驱动电流与“Vdata-Vref”的平方根成比例,因此为了对比度,对参考电压Vref可以降低多少有限制。这是因为当参考电压Vref充分降低时,在显示黑色的情况下,随着亮度增加,对比度可能降低。为了防止在用于对驱动TFT DT的阈值电压进行采样的操作中的不必要发光,可以使第四TFT T4关断,同时,阳极电势可以降低到低于OLED的操作点电压。因为可以防止在用于对驱动TFT DT的阈值电压进行采样的操作中由于可能在第四TFT T4中产生的任何泄漏电流而导致的OLED异常发光,因此这是更有效的。

[0215] 图20是根据本公开内容的第十四实施方式的像素电路的电路图。

[0216] 除了第五TFT T5的连接配置以外,图20的第n像素电路与图6的第n像素电路基本上相同。在第十四实施方式中,将用相同的附图标记表示与前述第一实施方式至第十三实施方式相同的部件,并且将省略对它们的详细描述。

[0217] 参照图20,第n像素电路还连接到施加了重置电压Vini的电源线16。当参考电压Vref高于低电平电源电压VSS并且低于高电平电源电压VDD时,重置电压Vini可高于低电平

电源电压VSS并且低于参考电压Vref。

[0218] 第n像素电路包括连接在第四节点N4与施加了重置电压Vini的电源线(或Vini线)16之间的第五TFT T5。在第十四实施方式中,OLED、驱动TFT DT、存储电容器Cst以及第一TFT T1至第四TFT T4及第六TFT T6和第七TFT T7与前述第二实施方式中的相同。

[0219] 第五TFT T5是响应于第n扫描信号SCAN(n)将重置电压Vini提供给第四节点N4的开关元件。第五TFT T5包括:连接到第n扫描线12(n)的栅极;连接到第四节点N4的源极;以及连接到施加了重置电压Vini的电源线16的漏极。

[0220] 由于通过第五TFT T5施加到第四节点N4的重置电压Vini低于参考电压Vref,因此,在用于对驱动TFT的阈值电压进行采样的采样操作中,OLED的阳极电势可以降低到低于OLED的操作点电压,这有效地防止了OLED的不必要发光。

[0221] 在第二实施方式中,在采样操作中,用于重置第一节点N1和第二节点N2的参考电压Vref也被提供给OLED的阳极。在发光时段中施加到OLED的驱动电流与“Vdata-Vref”的平方根成比例,因此为了对比度,对参考电压Vref可以降低多少有限制。这是因为当参考电压Vref充分降低时,在显示黑色的情况下,随着亮度增加,对比度可能降低。为了防止在用于对驱动TFT DT的阈值电压进行采样的操作中的不必要发光,可以使第四TFT T4关断,同时,阳极电势可以降低到低于OLED的操作点电压。因为可以防止在用于对驱动TFT DT的阈值电压进行采样的操作中由于可能在第四TFT T4中产生的任何泄漏电流而导致的OLED异常发光,因此这是更有效的。

[0222] 图21是示出了本公开内容和现有技术中的OLED驱动电流随VDD电压降的变化的仿真结果的曲线图。

[0223] 参照图21,在根据现有技术的内部补偿电路的情况下(由具有菱形数据点的线表示),可以观察到,OLED驱动电流Ioled的减少量随着VDD电压降(IR降)增加而减小,这是因为OLED驱动电流Ioled受到像素的高电平电源电压VDD的影响。也就是说,如果VDD由于VDD电压降(IR降)而根据面板内的像素的位置发生变化,则会产生OLED驱动电流Ioled与像素所需电流之间的差异,从而难以获得均匀图画质量。

[0224] 相比之下,在根据本公开内容的外部补偿电路的情况下(由具有方形数据点的线表示),OLED驱动电流Ioled不受VDD影响。因此,即使由于VDD线上的电压降而导致图画质量变得不均匀,像素的亮度和颜色在整个屏幕上仍然可以是均匀的,不需要VDD线具有低电阻设计或网状配置。

[0225] 图22是示出了在像素的发光时段期间以50%以下的PWM占空比对EM信号进行调制的示例的波形图。

[0226] 在图22中,SCAN1和EM(1&2)分别是施加到布置在显示面板100的第一水平线HL(1)上的像素P的第一扫描信号和EM信号。SCAN2和EM(1&2)分别是施加到布置在显示面板100的第二水平线HL(2)上的像素P的第二扫描信号和EM信号。通过在采样时段期间将数据定址到像素,然后在发光时段期间以50%以下的占空比使EM信号EM在导通与关断之间进行切换,可以减少闪烁和余像,从而提高图画质量。此外,在发光时段内,在EM信号EM的关断时间期间,驱动TFT DT的Vsg可以存储在存储电容器Cst中,这实现了稳定的占空驱动,而不必向像素写入附加数据。

[0227] 图23至图25是说明栅极驱动器108的移位寄存器的图。

[0228] 参照图23至图25,栅极驱动器108的扫描驱动器103和EM驱动器104均包括移位寄存器,该移位寄存器响应于来自定时控制器110的栅极定时控制信号来顺序地对输出进行移位。

[0229] 栅极驱动器108的移位寄存器包括级联连接的多个级ST(1)至ST(n+3),以与移位时钟定时同步地对输出电压进行移位。移位寄存器接收起始脉冲VST或从前一级ST(1)至ST(n+3)接收的进位信号作为起始脉冲,并且在接收到时钟时生成输出信号。扫描驱动器103的输出信号是扫描信号,并且EM驱动器104的输出信号是EM信号。

[0230] 移位寄存器的级ST(1)至ST(n+3)中的每一个均包括:上拉晶体管Tu,其响应于Q节点电压而对输出端Vout(n)进行放电,使得输出信号的电压下降到栅极导通电压VGL;下拉晶体管Td,其响应于QB节点电压而存储输出电压Vout(n),使得输出信号的电压上升到栅极关断电压VGH;以及开关电路120,其对Q节点和QB节点进行充电或放电。

[0231] 一旦Q节点预放电到VGL,则当移位时钟CLK(n)被馈送到漏极时,上拉晶体管Tu使输出端放电到移位时钟CLK(n)的栅极导通电压VGL。在移位时钟CLK(n)被馈送到上拉晶体管Tu的同时,Q节点在放电到VGL之后是浮置的。当移位时钟CLK(n)的VGL被馈送到上拉晶体管Tu的漏极时,通过上拉晶体管Tu的漏极与栅极之间的寄生电容发生自举,因此Q节点的电压降到约2VGL。在这种情况下,上拉晶体管Tu由Q节点的电压2VGL而导通,并且输出端的电压被放电到移位时钟CLK(n)的VGL。当QB电压放电到VGL时,下拉晶体管Td将栅极关断电压VGH提供给输出端,以将输出电压Vout(n)调整为VGH。输出信号的电压Vgout(n)被提供给扫描线或EM信号线,并且还作为进位信号CRY(n)至CRY(n+4)被提供给前一级和下一级。

[0232] 开关电路120响应于通过VST端馈送的起始脉冲VST或从前一级接收的进位信号CRY(n)至CRY(n+4)来对Q节点进行放电,并响应于通过RST(重置)端或VNEXT端接收的信号对Q节点进行充电。重置信号被施加到RST端以同时重置所有级ST(1)至ST(n+3)的Q节点。从下一级生成的进位信号被施加到VNEXT端。开关电路120可以通过使用反相器与Q节点相反地对QB节点进行充电和放电。

[0233] 起始脉冲VST被施加到移位寄存器的第一级ST(1)。起始脉冲VST可以被施加到一个或更多个级。移位时钟CLK(n)可以是但不限于两相时钟至八相时钟。

[0234] 图26是示出了输出如图3至图20所示的扫描信号SCAN(n-1)和SCAN(n)的扫描驱动器的输出端与屏幕显示部之间的连接的图。在图26中,附图标记“HL(1)”、“HL(2)”和“HL(3)”表示水平显示线。

[0235] 由于扫描信号SCAN(n-1)和SCAN(n)以相同的脉冲宽度和恒定的相位差被移位,因此,可以在不改变栅极定时控制信号的情况下从单个移位寄存器输出扫描信号SCAN(n-1)和SCAN(n)。

[0236] 水平显示线包括在屏幕显示部AA上水平相邻的多个像素105至107。第(n-2)扫描信号和第(n-1)扫描信号被施加到第(n-1)水平显示线上的像素105至107,并且第(n-1)扫描信号和第n扫描信号被施加到第n水平显示线上的像素105至107。这意味着在扫描驱动器103中,一个输出端由两条扫描线共享,并且这可以减少扫描驱动器103中的输出端的数量。换言之,由于显示面板100上的两条扫描信号线可以连接到扫描驱动器103中的单个输出端,因此,可以减小扫描驱动器103的尺寸,从而实现窄边框。

[0237] 图27是示出了输出如图3至图20所示的EM信号的EM驱动器的输出端与屏幕显示

部之间的连接的图。

[0238] 由于图4至图7的EM信号EM(n&n+1)的脉冲宽度约为三个水平时段,因此,可以由屏幕显示部AA上的两条水平显示线HL(1)至HL(#)共享。因此,在EM驱动器104中,一个输出端可以连接到布置在两条相邻的水平显示线HL(1)至HL(#)上的像素105至107。由于可以减小EM驱动器104的尺寸,因此边框面积也可以同样减小。由于显示面板100上的两条EM信号线可以连接到EM驱动器104中的单个输出端,因此可以减小EM驱动器104的尺寸,从而实现窄边框。

[0239] 将如下描述根据本公开内容的实施方式的电致发光显示装置。

[0240] 根据本公开内容的一个实施方式的电致发光显示装置具有包括多个像素的显示面板。多个像素中的每个像素的像素电路包括:存储电容器,其连接在第一节点与第二节点之间;驱动晶体管,其包括栅电极、第一电极和第二电极,栅电极连接至第二节点,第一电极连接至第三节点,并且第二电极连接至第一电源电压;第一晶体管,其连接至第一节点,第一晶体管响应于第一扫描信号向第一节点提供第一电源电压或参考电压,第一电源电压与参考电压不同;第二晶体管,其连接至第二节点,第二晶体管响应于第一扫描信号向第二节点提供参考电压;第三晶体管,其连接至第一节点,第三晶体管响应于第二扫描信号向第一节点提供数据电压;第四晶体管,其连接至第二节点和第三节点,第四晶体管响应于第二扫描信号在第二节点和第三节点之间形成第一电流路径;第五晶体管,其连接至第四节点,第五晶体管响应于第二扫描信号向第四节点提供参考电压或重置电压,重置电压与参考电压不同;第六晶体管,其连接至第一节点,第六晶体管响应于发光控制信号向第一节点提供参考电压;第七晶体管,其连接至第三节点和第四节点,第七晶体管响应于发光控制信号在第三节点和第四节点之间形成第二电流路径;以及电致发光二极管,其具有阳极和阴极,阳极连接至第四节点并且阴极连接至第二电源电压,第二电源电压小于第一电源电压。因此,本公开内容可以在不需要VDD电线具有低电阻设计的情况下在整个屏幕上实现均匀图画质量,并且因为在VDD与Vref之间不会发生短路因此可以降低功耗。

[0241] 在用于感测驱动晶体管的阈值电压的采样时段期间或者在电致发光二极管发光的电致发光显示装置的发光时段期间,第一电源电压的变化可以被反映在第二节点和驱动晶体管的连接至第一电源电压的第二电极两者中。

[0242] 参考电压可以大于第二电源电压并且小于第一电源电压。重置电压可以大于第二电源电压并且小于参考电压。第一扫描信号可以在每个像素电路接收第二扫描信号之前由该像素电路接收。

[0243] 显示面板可以包括多条水平显示线和多条垂直显示线,多条水平显示线中的每条由该条水平显示线上的像素形成,并且多条垂直显示线中的每条由该条垂直显示线上的像素形成。

[0244] 用于驱动像素电路的一个帧可以包括:第一扫描信号被发送到第(n-1)水平显示线的重置时段、第二扫描信号被发送到第n水平显示线的采样时段以及电致发光二极管发光的发光时段,其中,n为正整数。

[0245] 第二晶体管和第一晶体管可以在重置时段中响应于第一扫描信号而导通。第三晶体管、第四晶体管和第五晶体管可以在采样时段中响应于第二扫描信号而导通。第六晶体管和第七晶体管可以在重置时段和采样时段中关断,并且第六晶体管和第七晶体管可以在

发光时段中响应于发光控制信号而导通。

[0246] 第四晶体管 and 所述第二晶体管可以为双栅极晶体管。

[0247] 第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管 and 驱动晶体管可以为p型晶体管。

[0248] 第一晶体管可以连接在第一节点与第一电源电压之间。

[0249] 在第一像素位于第n水平显示线 (n为正整数) 和第m垂直显示线 (m为正整数) 上并且第二像素位于第 (n+1) 水平显示线 and 第m垂直显示线上的情况下, 第一像素的第五晶体管可以连接在第一像素的第四节点与第二像素的第一节点之间。

[0250] 在第一像素位于第n水平显示线 (n为正整数) 和第m垂直显示线 (m为正整数) 上并且第二像素位于第 (n+1) 水平显示线 and 第 (m-1) 垂直显示线上的情况下, 第一像素的第五晶体管可以连接在第一像素的第四节点与第二像素的第一节点之间。

[0251] 在第一像素位于第n水平显示线 (n为正整数) 和第m垂直显示线 (m为正整数) 上并且第二像素位于第n水平显示线 and 第 (m-1) 垂直显示线上的情况下, 第一像素的第二晶体管可以连接在第一像素的第二节点与第二像素的第一节点之间。

[0252] 在第一像素位于第n水平显示线 (n为正整数) 和第m垂直显示线 (m为正整数) 上, 第二像素位于第 (n+1) 水平显示线 and 第m垂直显示线上并且第三像素位于第n水平显示线 and 第 (m-1) 垂直显示线上的情况下, 第一像素的第五晶体管可以连接在第一像素的第四节点与第二像素的第一节点之间, 并且第一像素的第二晶体管可以连接在第一像素的第二节点与第三像素的第一节点之间。

[0253] 在第一像素位于第n水平显示线 (n为正整数) 和第m垂直显示线 (m为正整数) 上, 第二像素位于第 (n+1) 水平显示线 and 第 (m-1) 垂直显示线上并且第三像素位于第n水平显示线 and 第 (m-1) 垂直显示线上的情况下, 第一像素的第五晶体管连接在第一像素的第四节点与第二像素的第一节点之间, 并且第一像素的第二晶体管可以连接在第一像素的第二节点与第三像素的第一节点之间。

[0254] 第一晶体管可以连接在第一节点与参考电压之间。

[0255] 在第一像素位于第n水平显示线 (n为正整数) 和第m垂直显示线 (m为正整数) 上并且第二像素位于第 (n+1) 水平显示线 and 第m垂直显示线上的情况下, 第一像素的第五晶体管可以连接在第一像素的第四节点与第二像素的第一节点之间。

[0256] 在第一像素位于第n水平显示线 (n为正整数) 和第m垂直显示线 (m为正整数) 上并且第二像素位于第 (n+1) 水平显示线 and 第 (m-1) 垂直显示线的情况下, 第一像素的第五晶体管可以连接在第一像素的第四节点与第二像素的第一节点之间。

[0257] 在第一像素位于第n水平显示线 (n为正整数) 和第m垂直显示线 (m为正整数) 上并且第二像素位于第n水平显示线 and 第 (m-1) 垂直显示线上的情况下, 第一像素的第二晶体管可以连接在第一像素的第二节点与第二像素的第一节点之间。

[0258] 在第一像素位于第n水平显示线 (n为正整数) 和第m垂直显示线 (m为正整数) 上, 第二像素位于第 (n+1) 水平显示线 and 第m垂直显示线上并且第三像素位于第n水平显示线 and 第 (m-1) 垂直显示线上的情况下, 第一像素的第五晶体管可以连接在第一像素的第四节点与第二像素的第一节点之间, 并且第一像素的第二晶体管可以连接在第一像素的第二节点与第三像素的第一节点之间。

[0259] 在第一像素位于第 n 水平显示线(n 为正整数)和第 m 垂直显示线(m 为正整数)上,第二像素位于第 $(n+1)$ 水平显示线和第 $(m-1)$ 垂直显示线上并且第三像素位于第 n 水平显示线和第 $(m-1)$ 垂直显示线上的情况下,第一像素的第五晶体管可以连接在第一像素的第四节点与第二像素的第一节点之间,并且第一像素的第二晶体管可以连接在第一像素的第二节点与第三像素的第一节点之间。

[0260] 第五晶体管可以连接在第四节点与重置电压之间。

[0261] 电致发光显示装置还可以包括:扫描驱动器,其输出第一扫描信号和第二扫描信号;以及发光驱动器,其输出发光控制信号。发光驱动器的输出端可以连接到布置在两条相邻水平显示线上的像素。

[0262] 发光控制信号可以在发光时段期间在导通第六晶体管和第七晶体管的第一电压与关断第六晶体管和第七晶体管的第二电压之间摆动。

[0263] 在本公开内容的一些实施方式中,OLED的驱动电流 I_{oled} 不受VDD的影响,因此,像素的亮度和颜色在整个屏幕上可以是均匀的,不需要VDD线具有低电阻设计或网状配置。因此,在本公开内容的一些实施方式中可以在具有小像素尺寸的高分辨率面板上实现均匀图画质量。

[0264] 由于VDD和Vref在像素内不短路,因此,在本公开内容的一些实施方式中可以降低功耗并减少像素的劣化,从而提高可靠性。

[0265] 在本公开内容的一些实施方式中可以通过在发光时段期间以预定的脉冲宽度调制占空比使发光控制信号导通/关断,以使闪烁和余像最小化来提高图画质量。

[0266] 在根据本公开内容的一些实施方式中,由于在发光驱动时段内的发光控制信号的关断时段期间的驱动TFT的 V_{sg} (或 V_{gs})可以存储在存储电容器中,因此可以进行稳定的占空驱动。

[0267] 本公开内容的一些实施方式中的补偿电路在电路配置方面并不复杂,并且可以以紧凑的布局来配置,从而实现具有小单位像素尺寸的高PPI(每英寸像素数量)的高分辨率显示装置。

[0268] 在本公开内容的一些实施方式中,OLED的阳极电压在采样时段中由参考电压或初始电压来初始化,使得可以防止当表现黑色灰度级和白色灰度级时对比度劣化。

[0269] 在本公开内容的一些实施方式中,显示面板的两条扫描线可以连接到扫描驱动器的一个输出端,并且显示面板的两条EM信号线可以连接到EM驱动器的一个输出端。因此,在本公开内容的一些实施方式中可以通过减少扫描驱动器和EM驱动器中的每一个的输出端的数量来实现窄边框。

[0270] 在本公开内容的一些实施方式中,因为第五晶体管连接在施加了重置电压的电源线与第四节点之间,因此第五晶体管可以在对比度不下降的情况下有效地防止在采样时段期间OLED的不必要发光。

[0271] 在整个说明书中,本领域技术人员应当理解,在不脱离本公开内容的技术原理的情况下,可以进行各种改变和修改。因此,本公开内容的技术范围不限于本说明书中的详细描述,而是应当由所附权利要求的范围来限定。

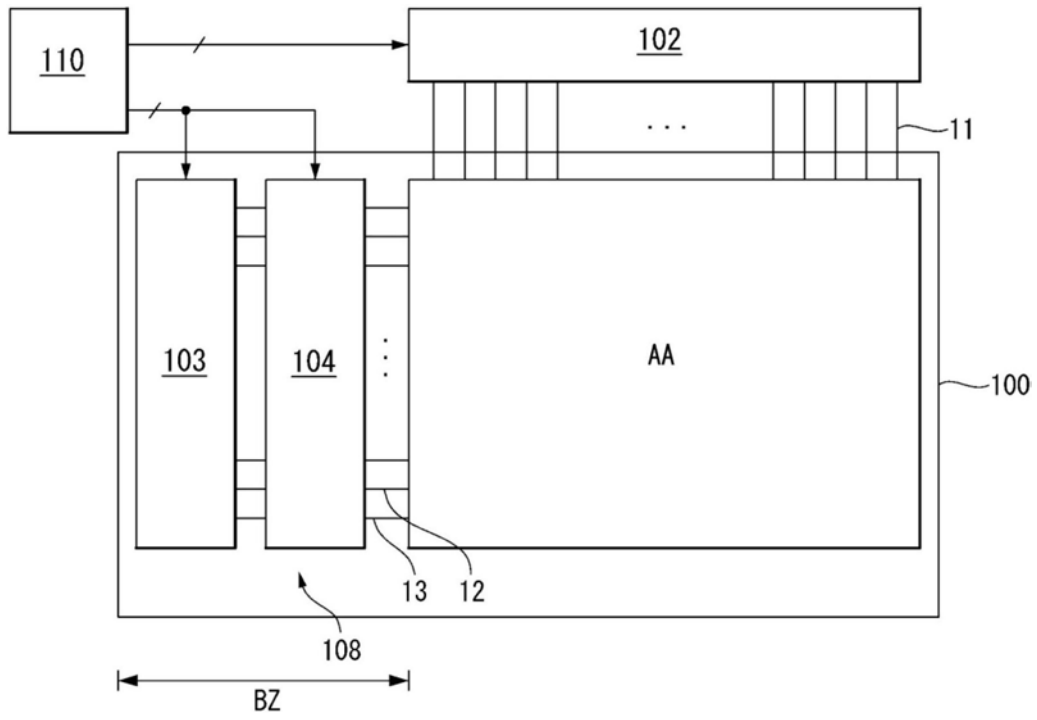


图1

AA

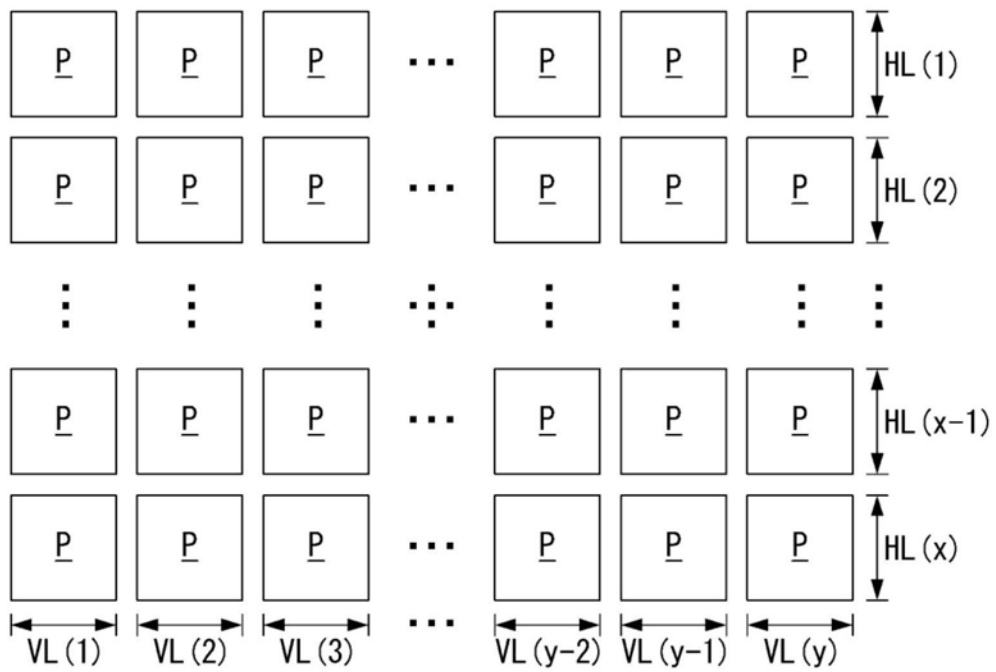


图2

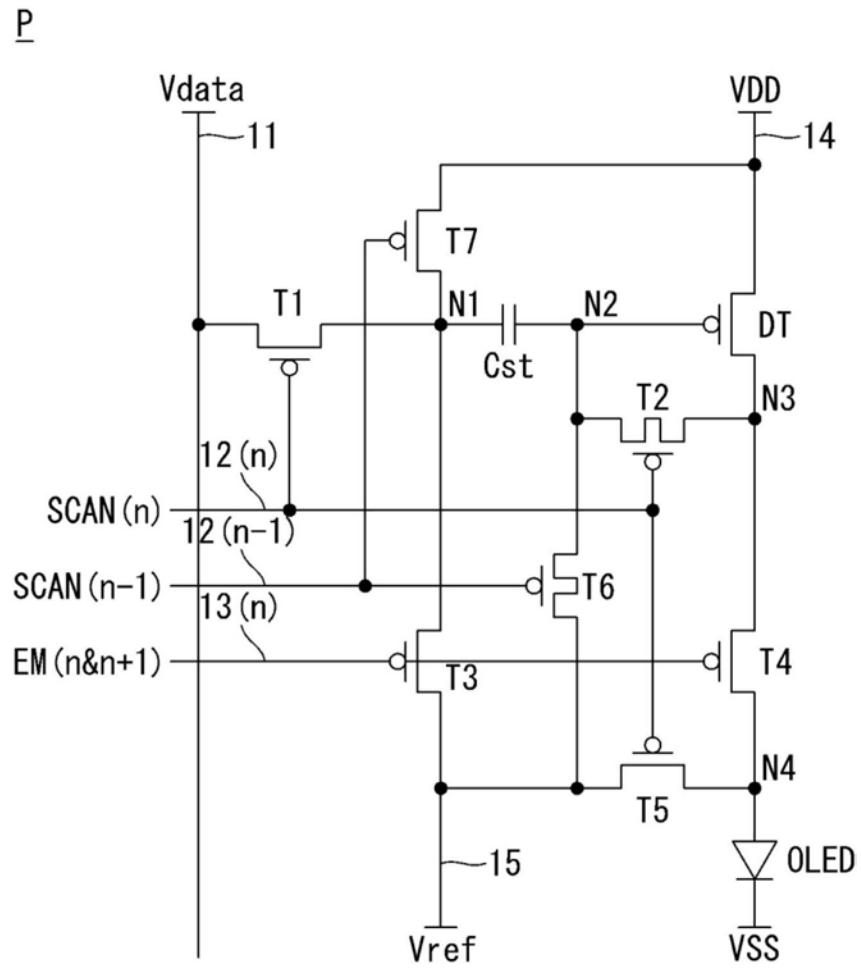


图3

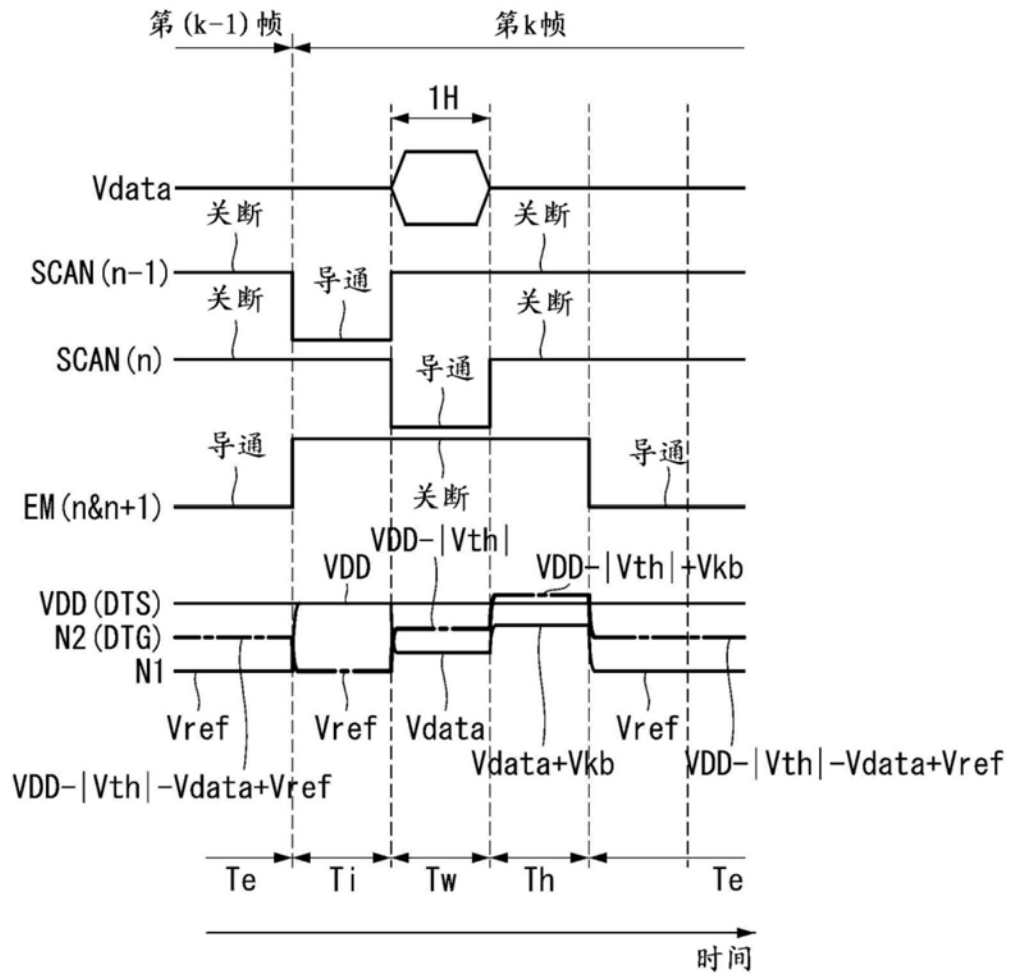


图4

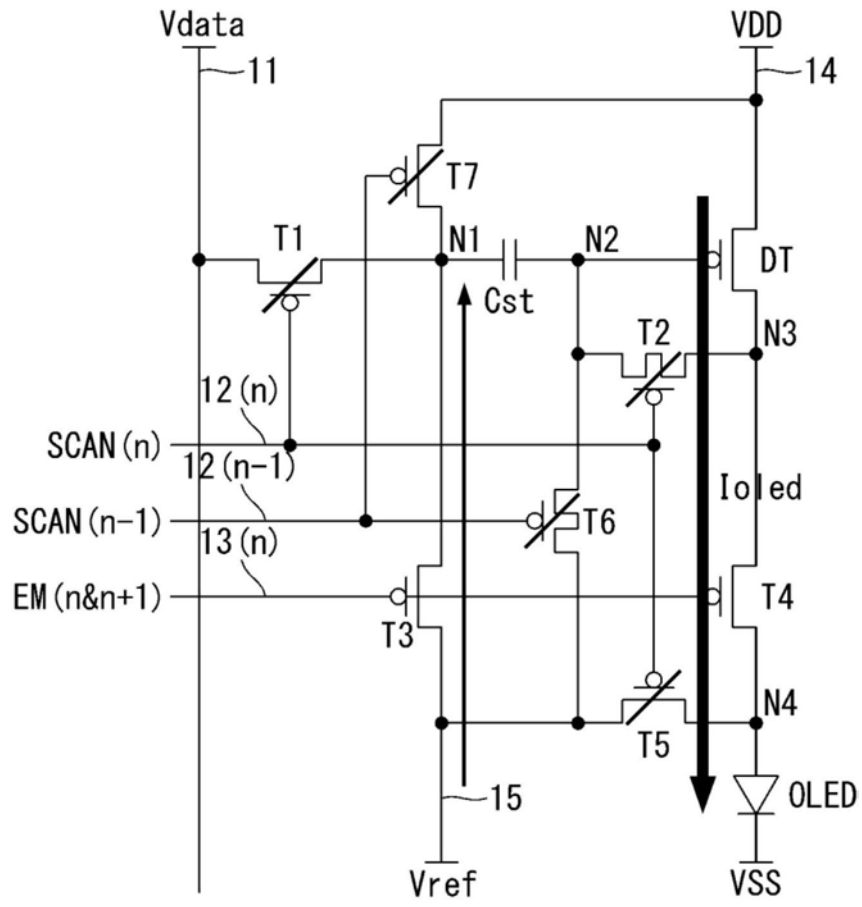
P

图5A

P

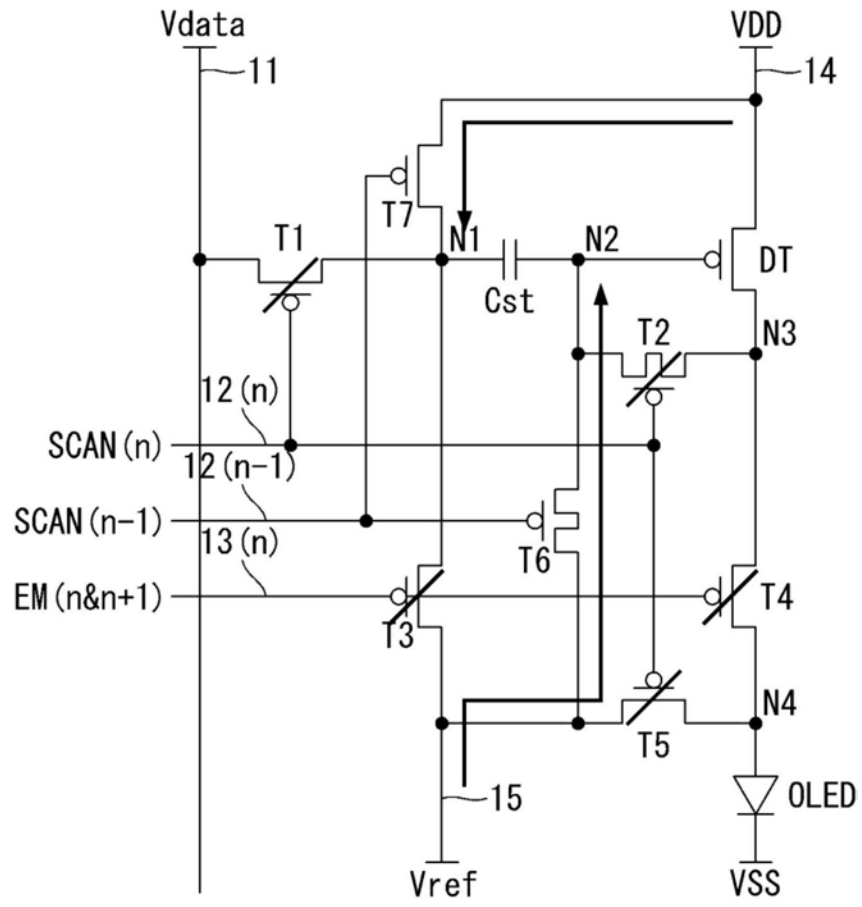


图5B

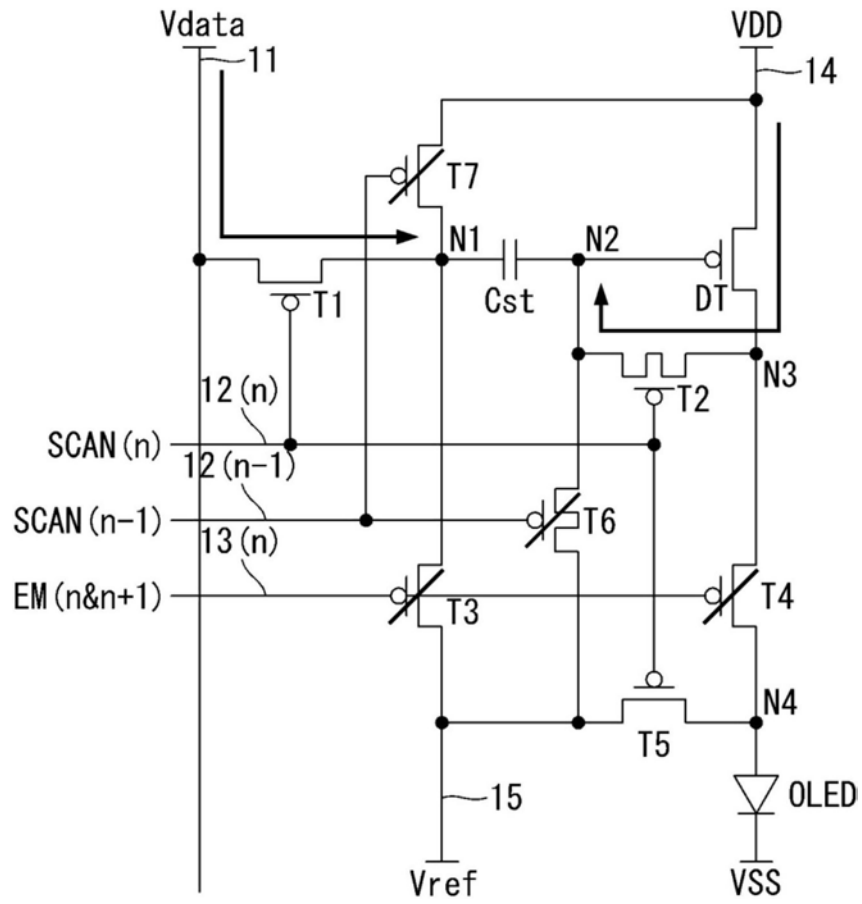
P

图5C

P

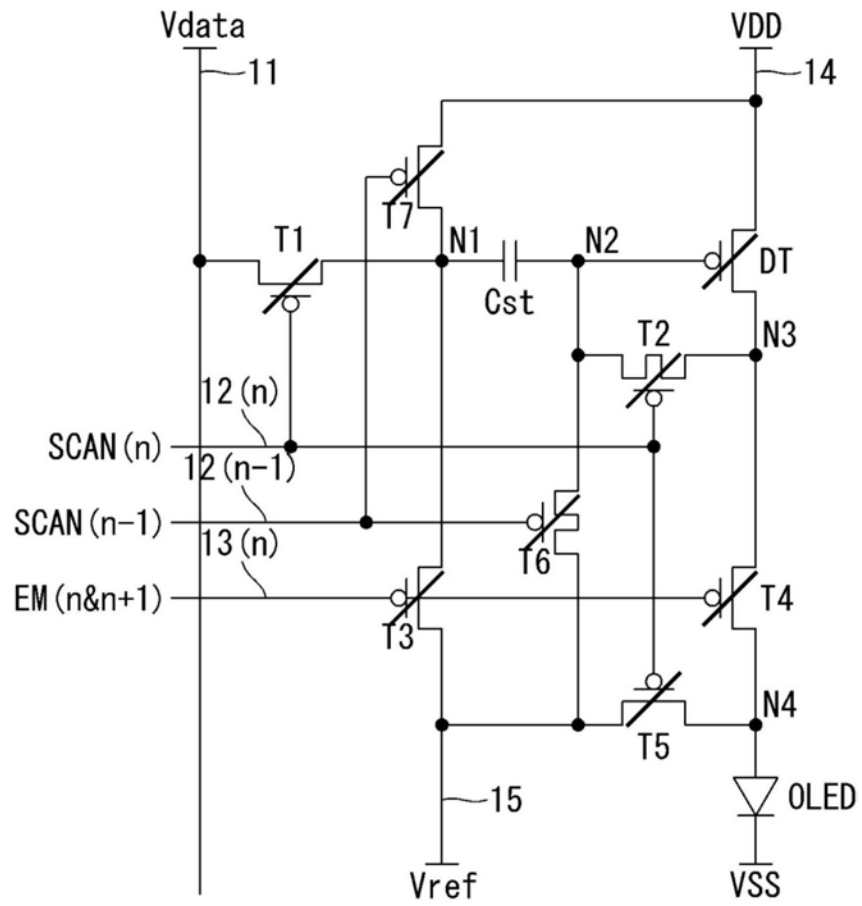


图5D

P

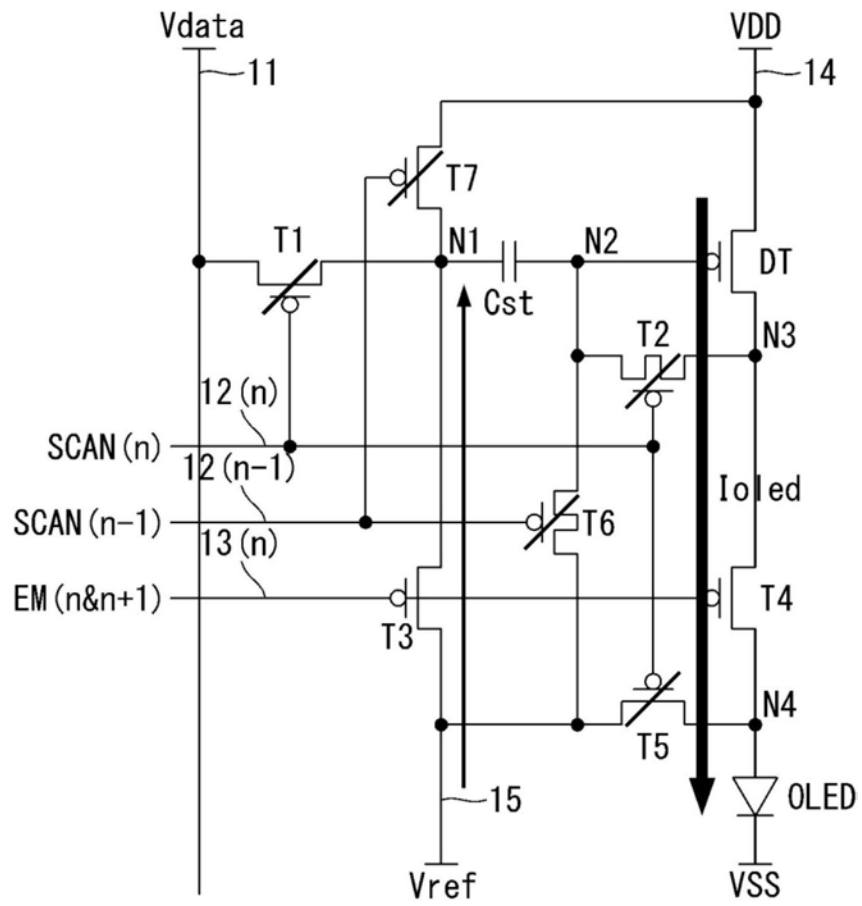


图5E

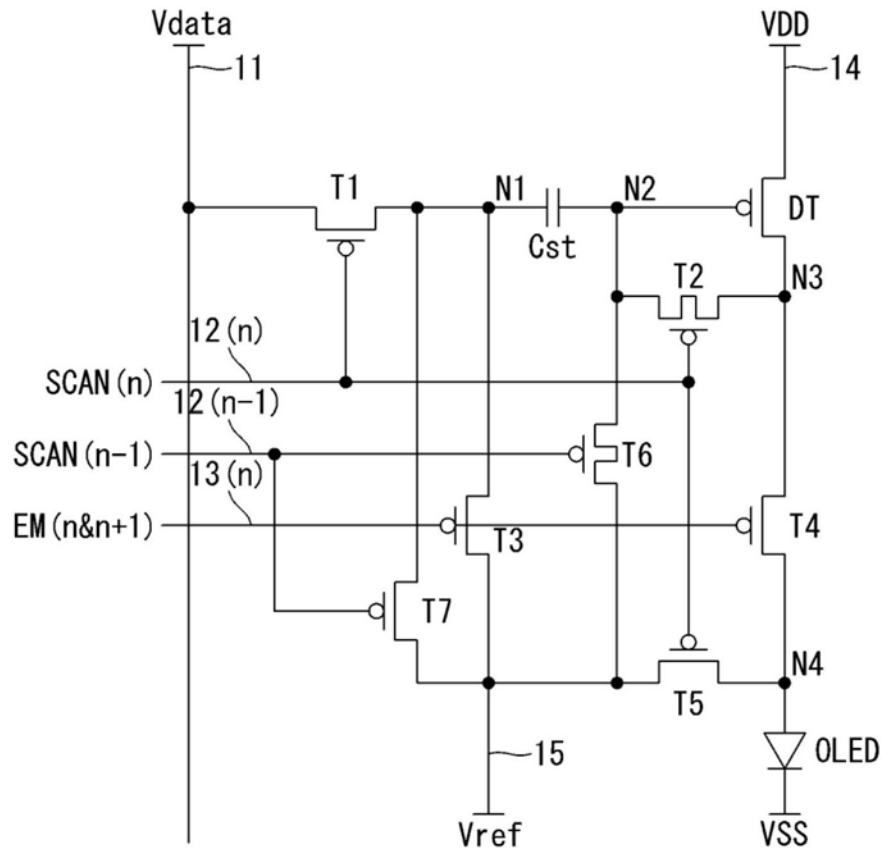
P

图6

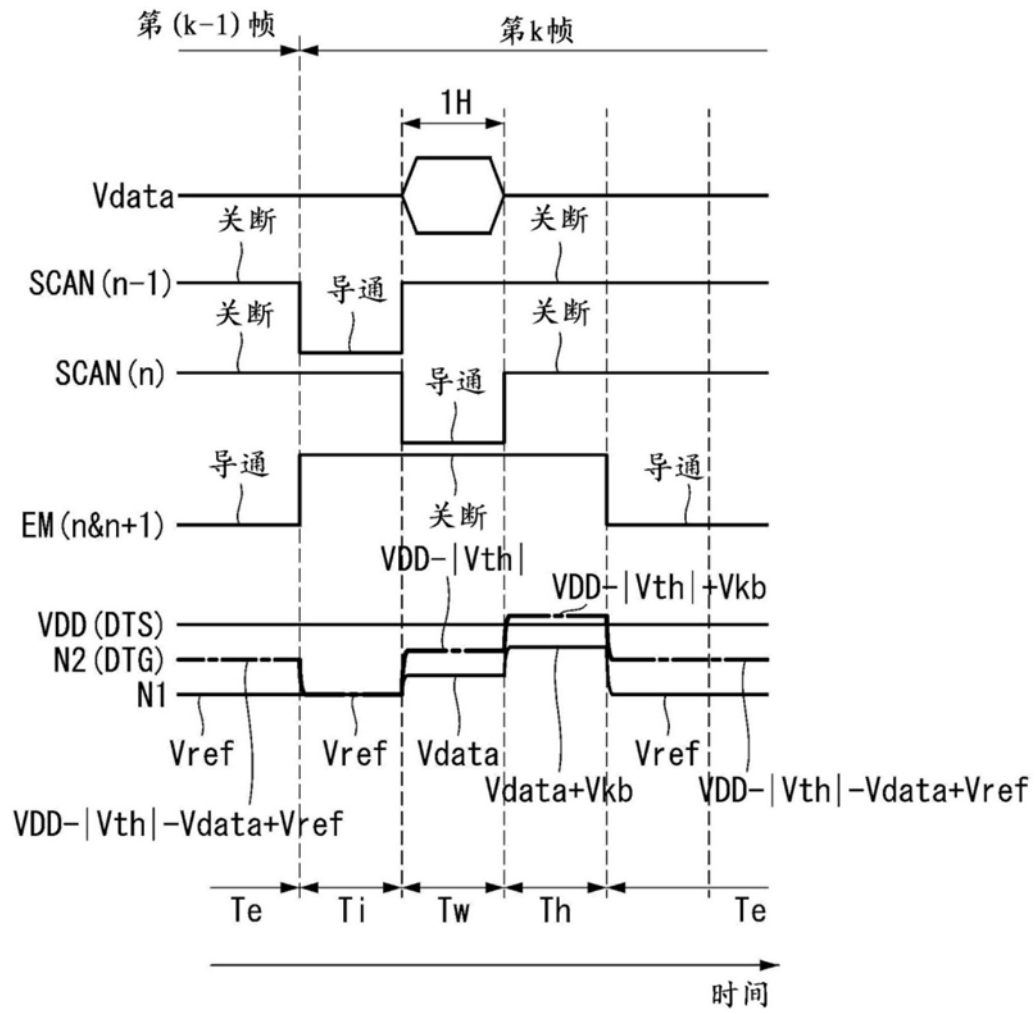


图7

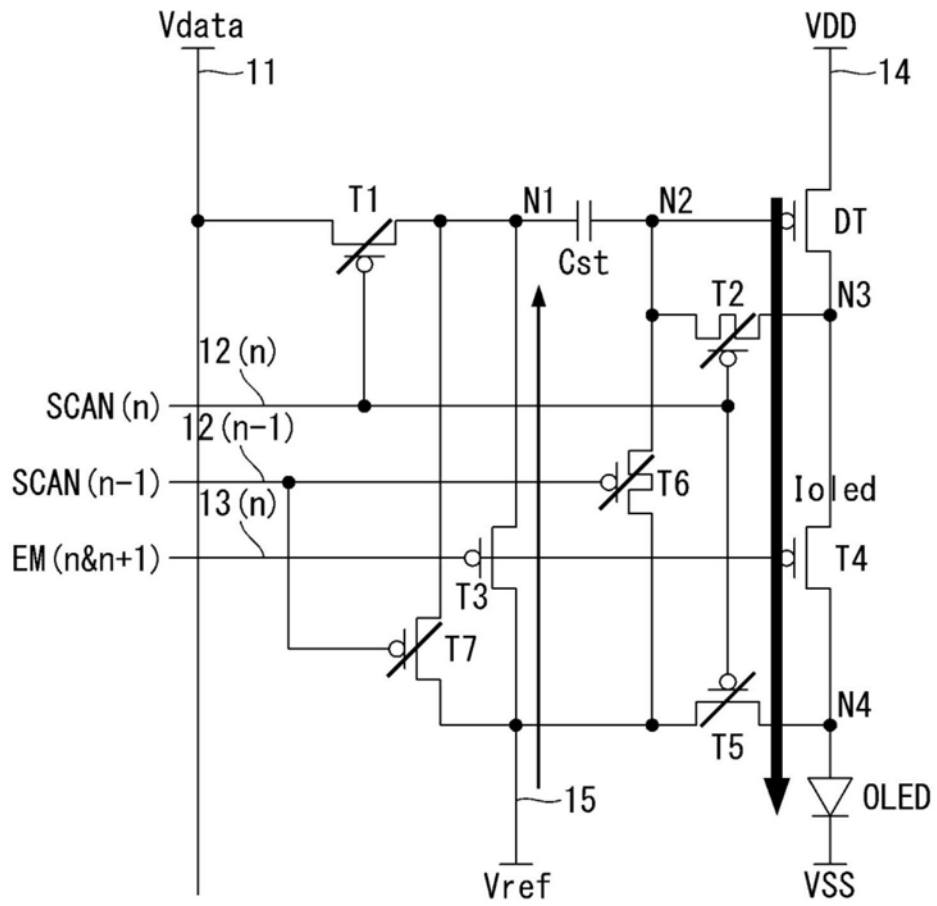
P

图8A

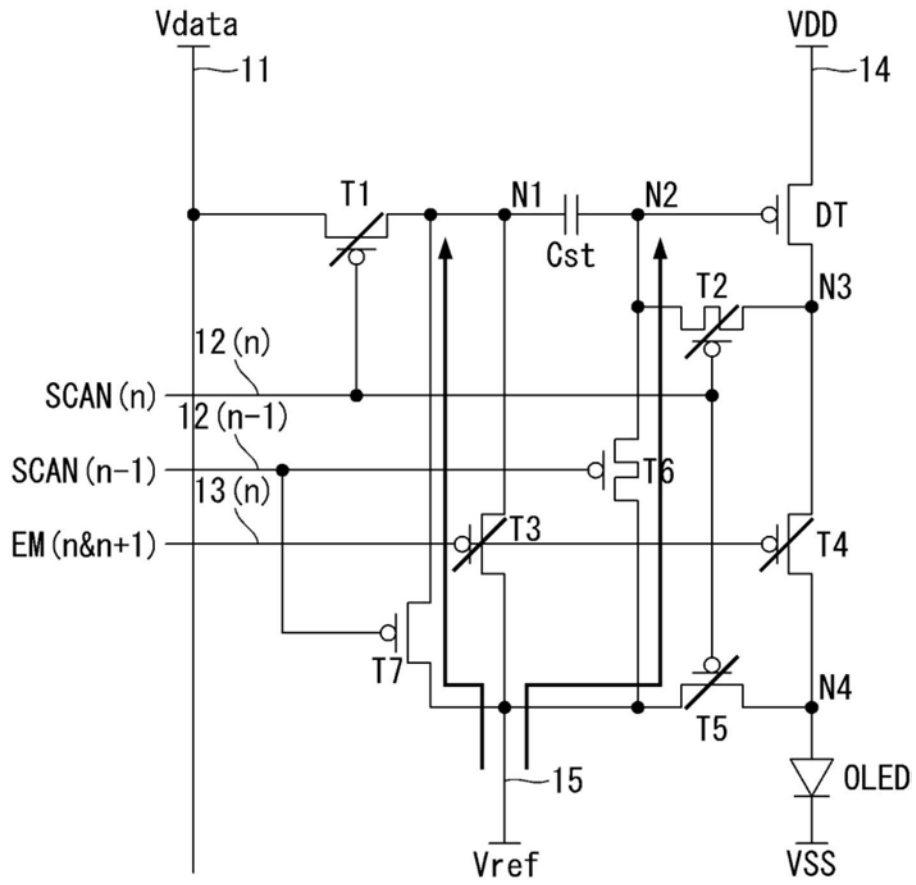
P

图8B

P

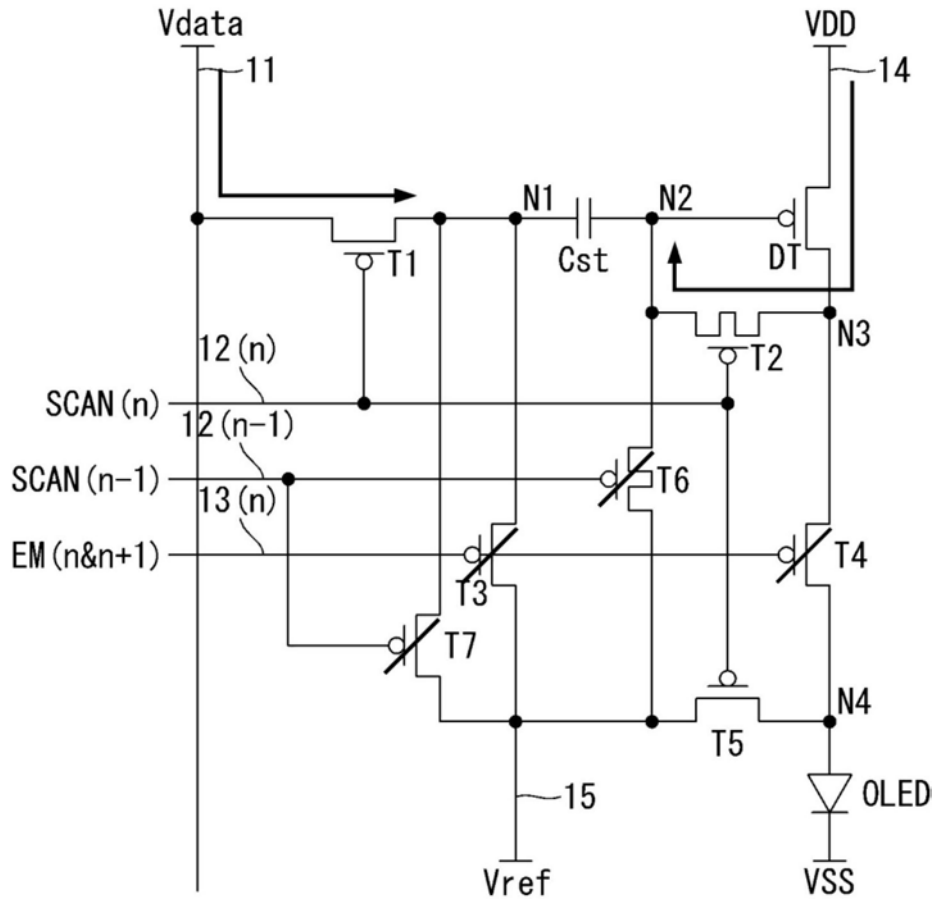


图8C

P

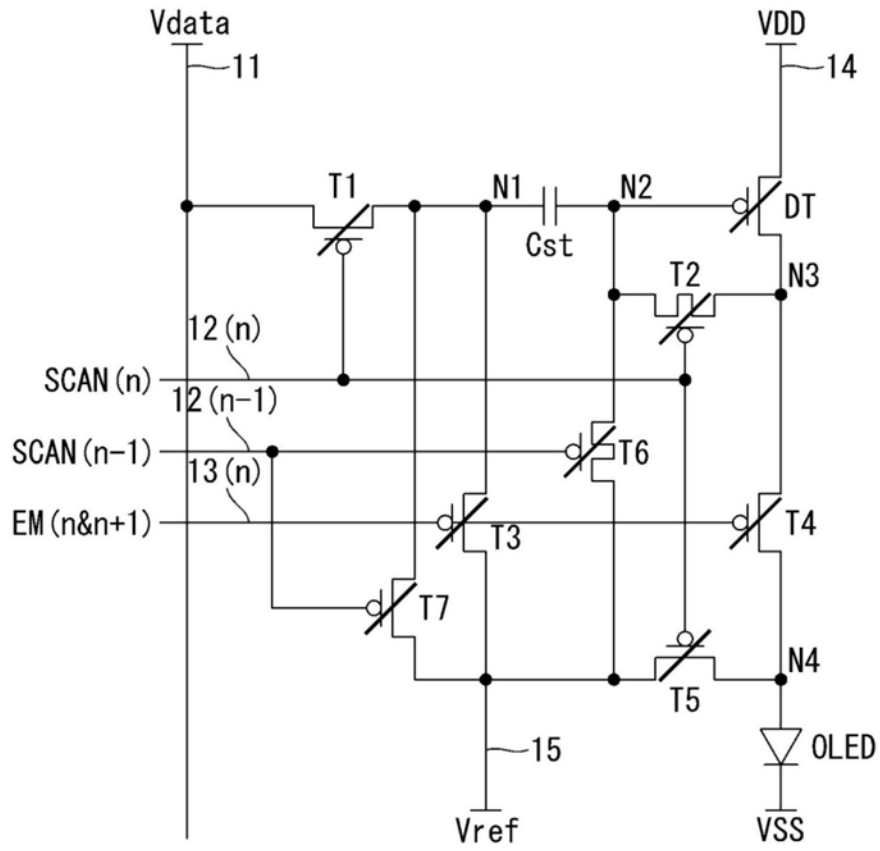


图8D

P

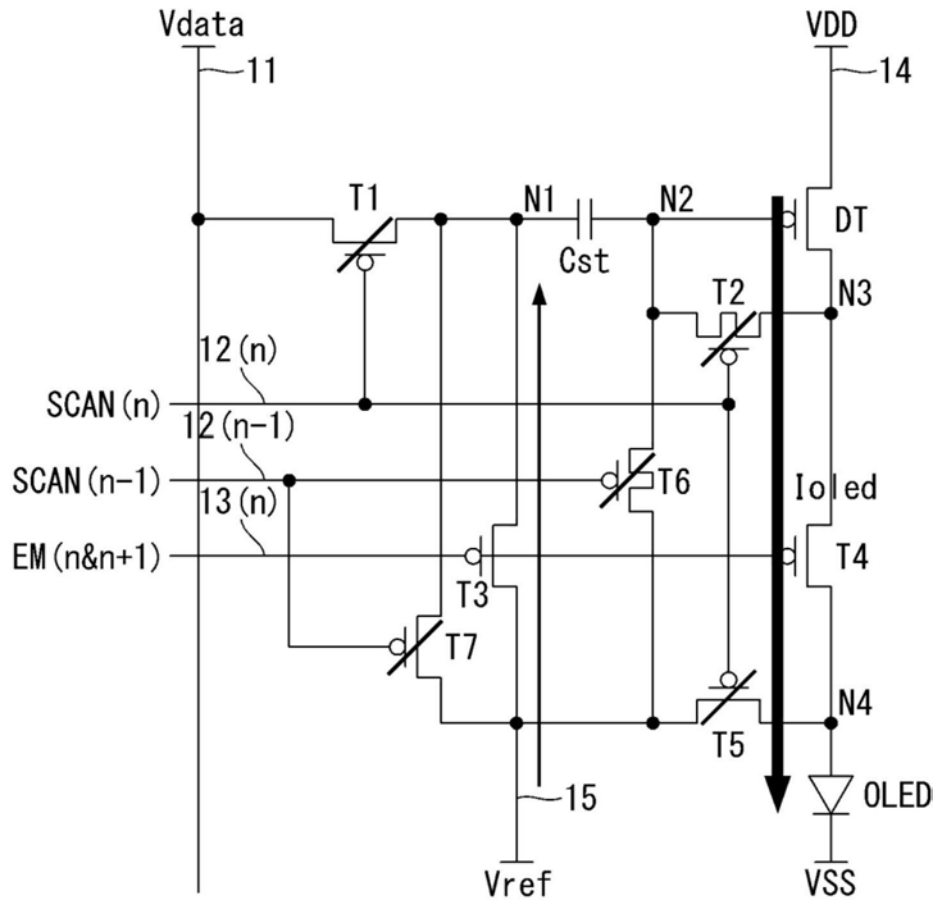


图8E

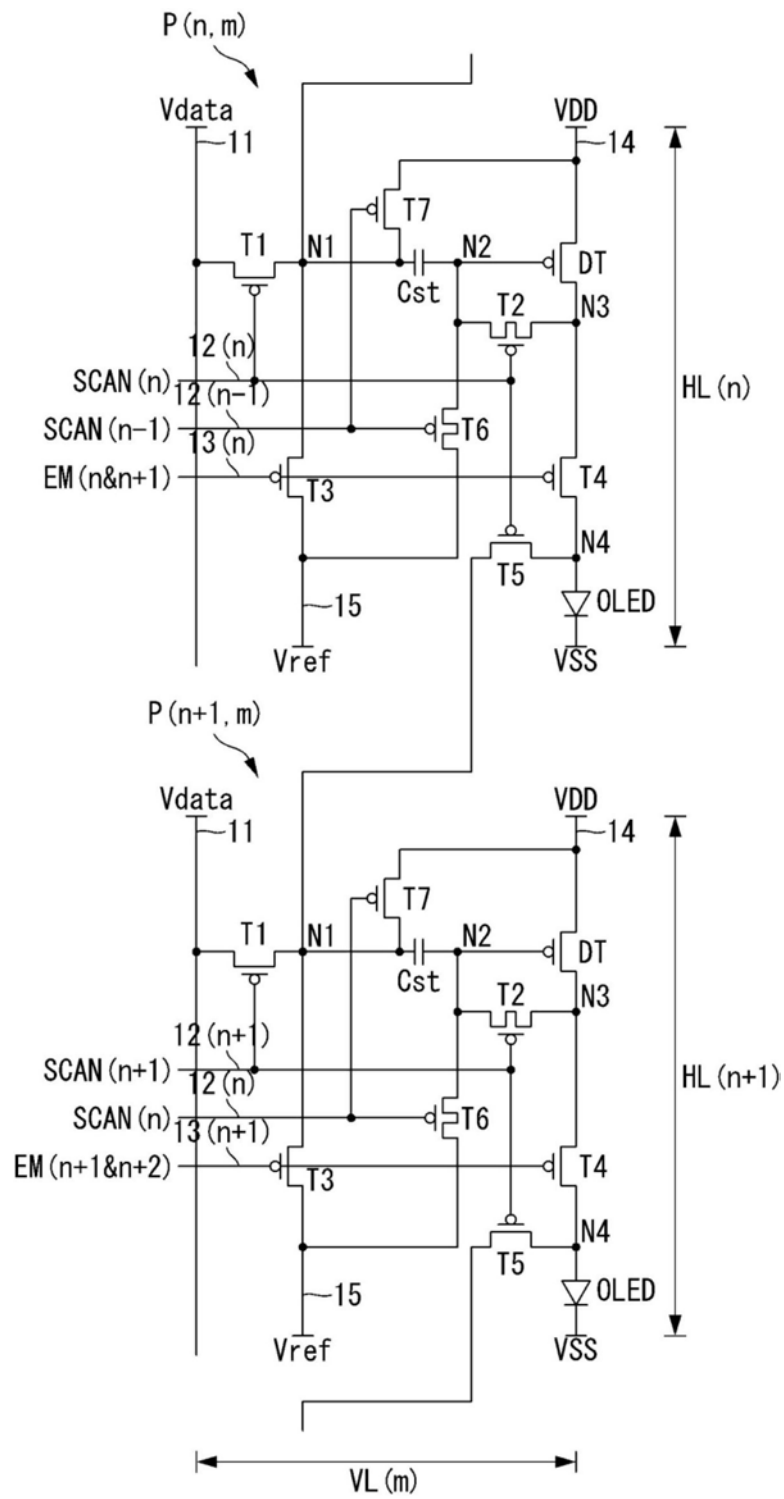


图9

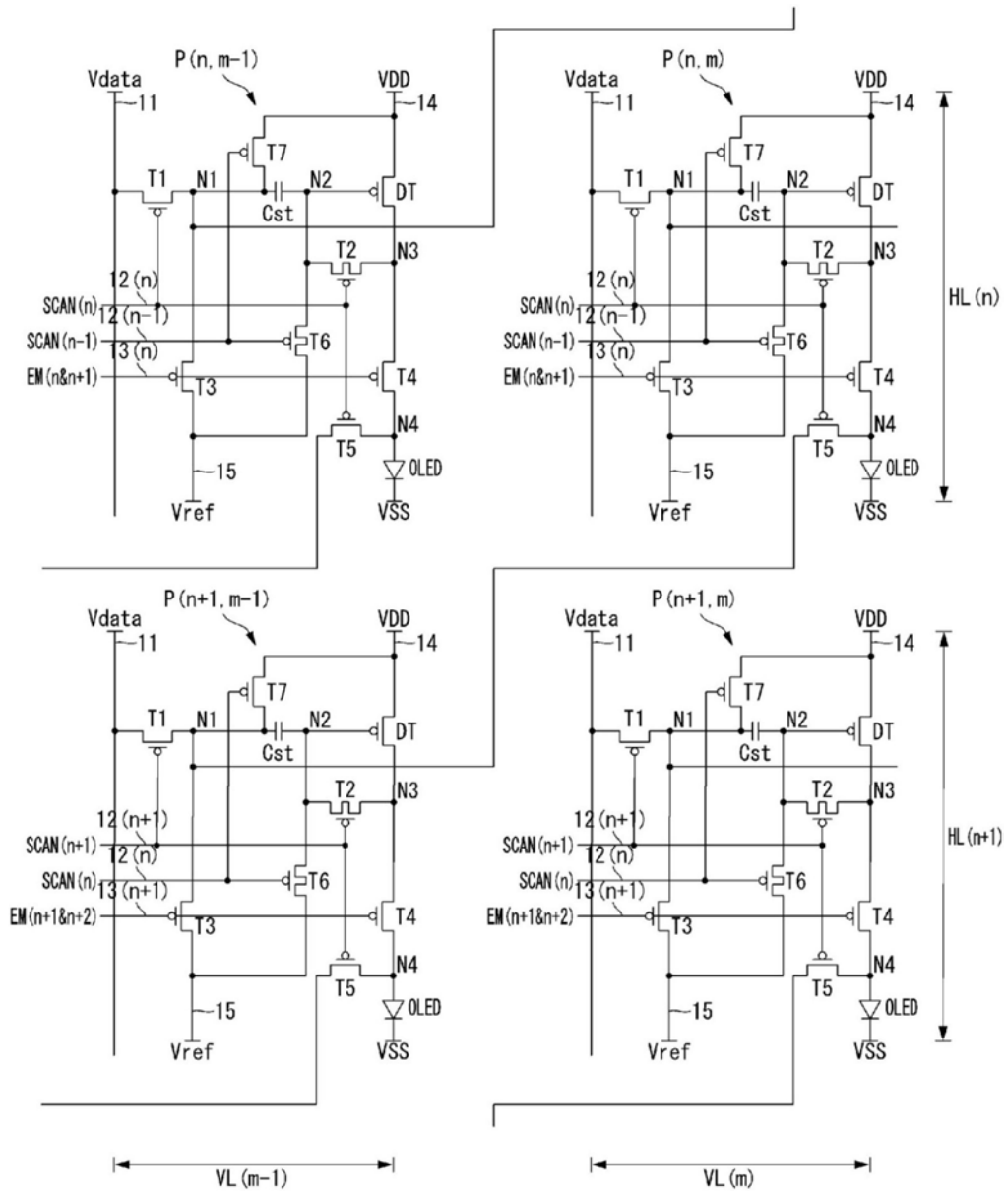


图10

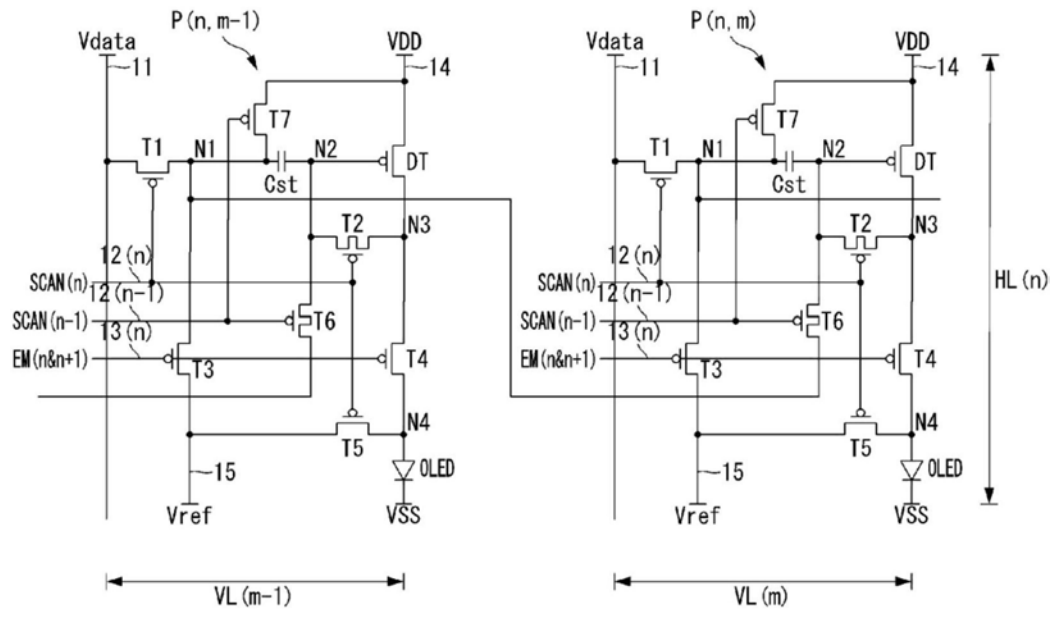


图11

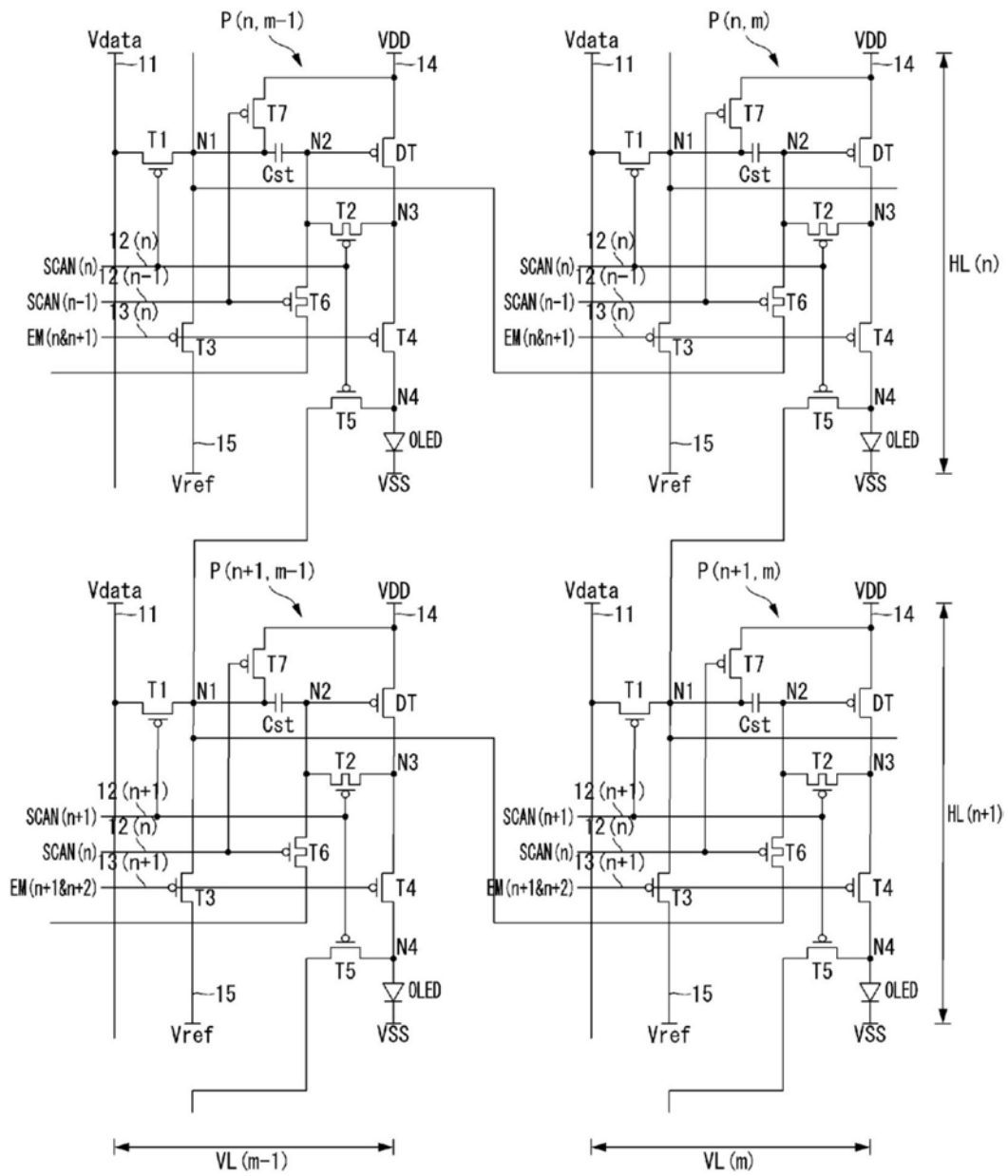


图12

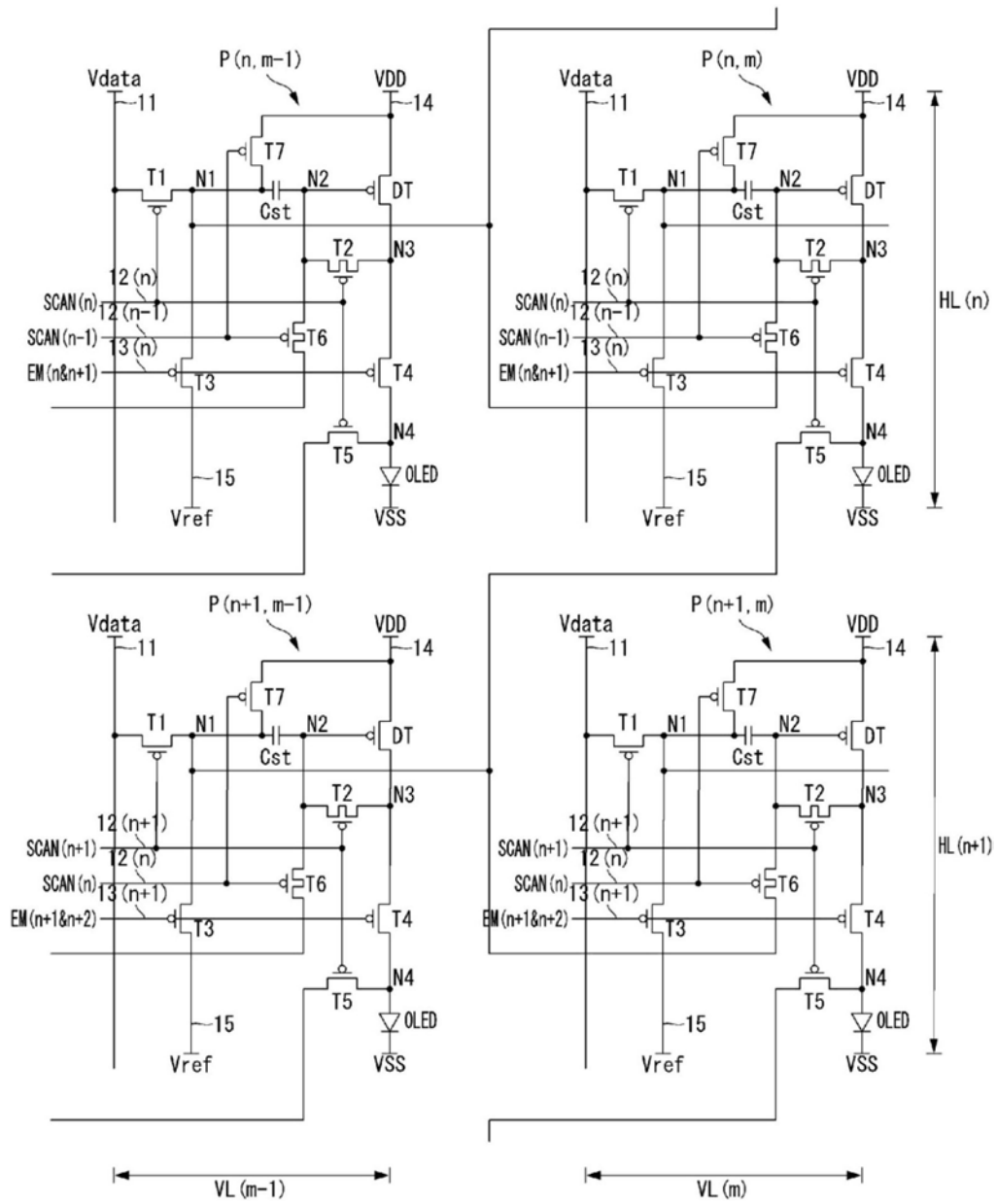


图13

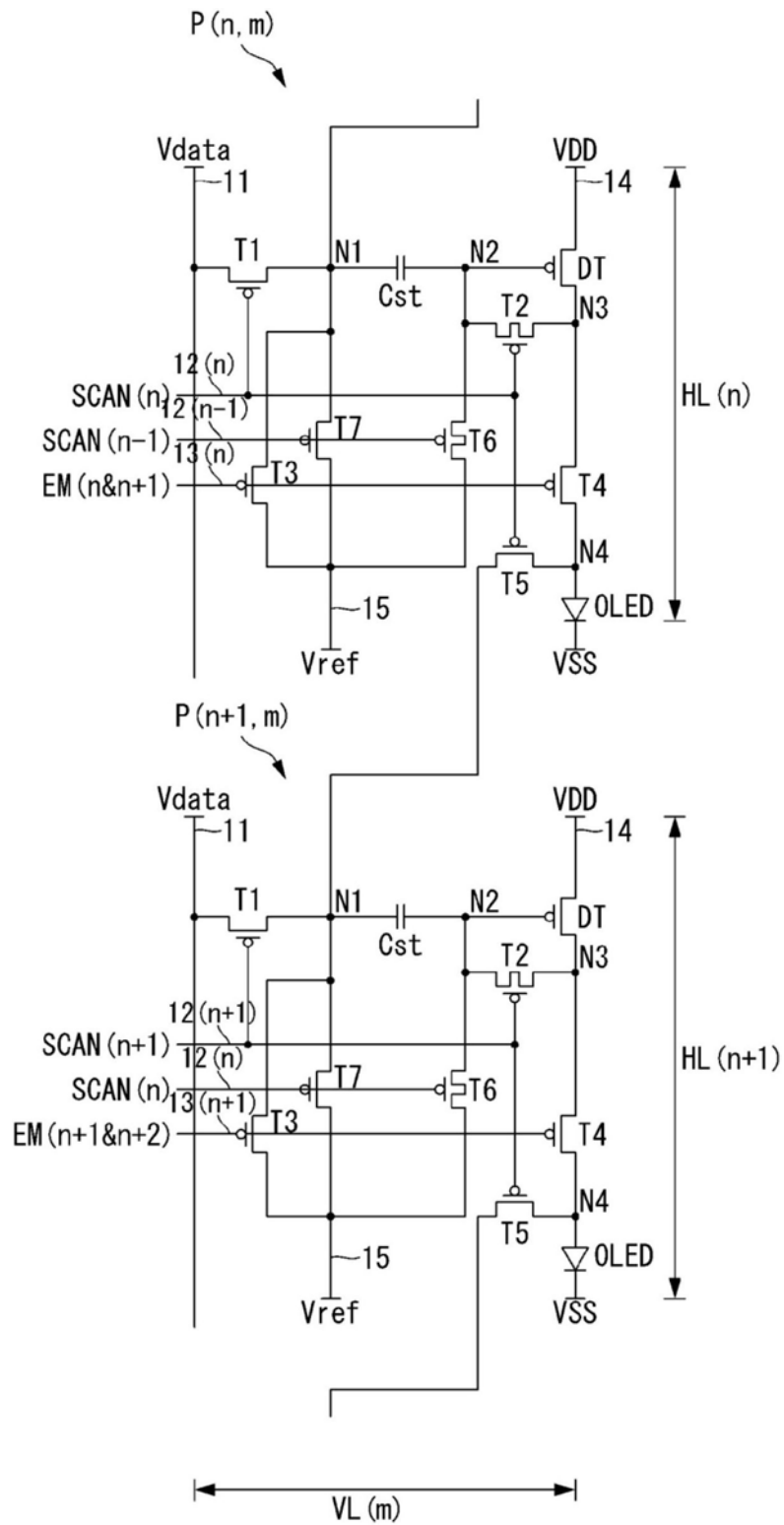


图14

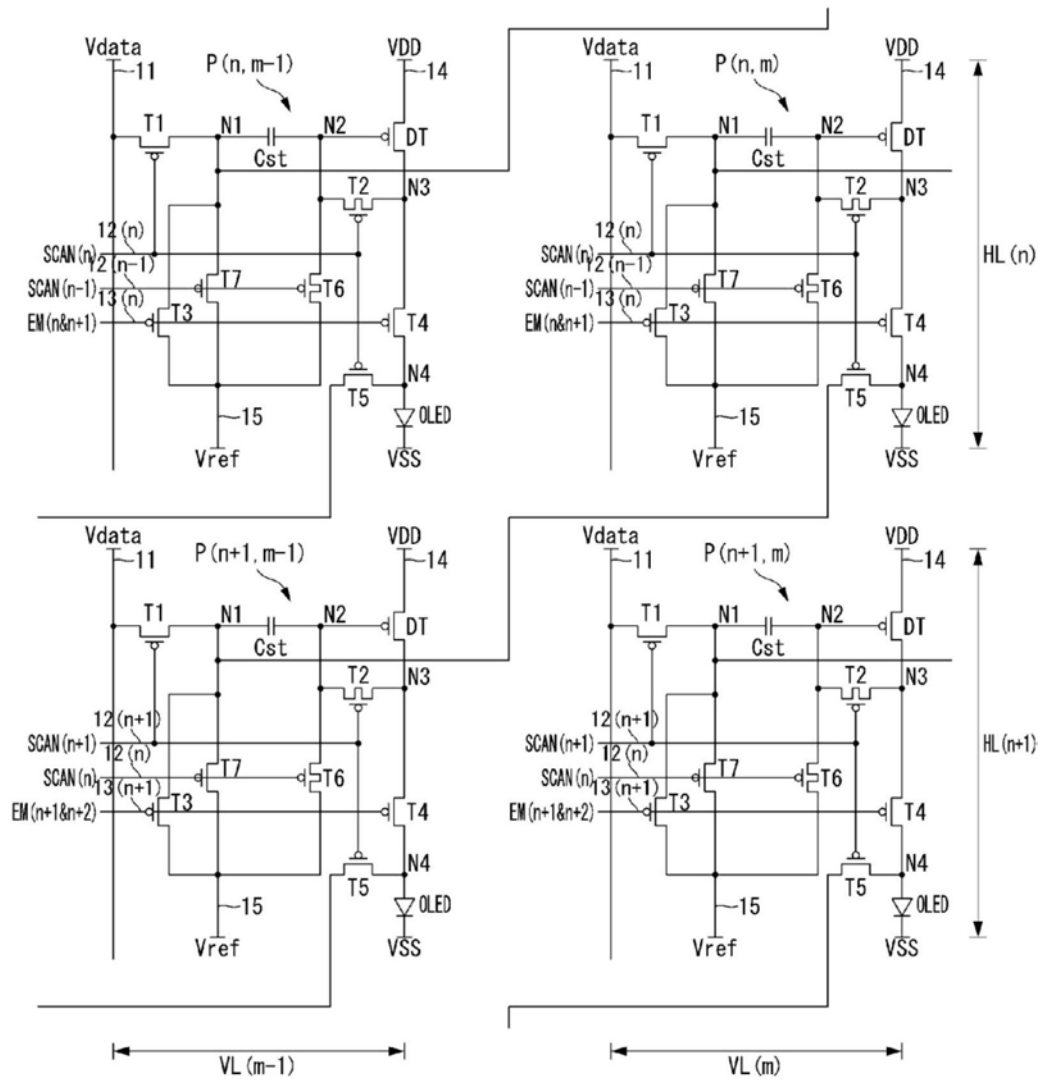


图15

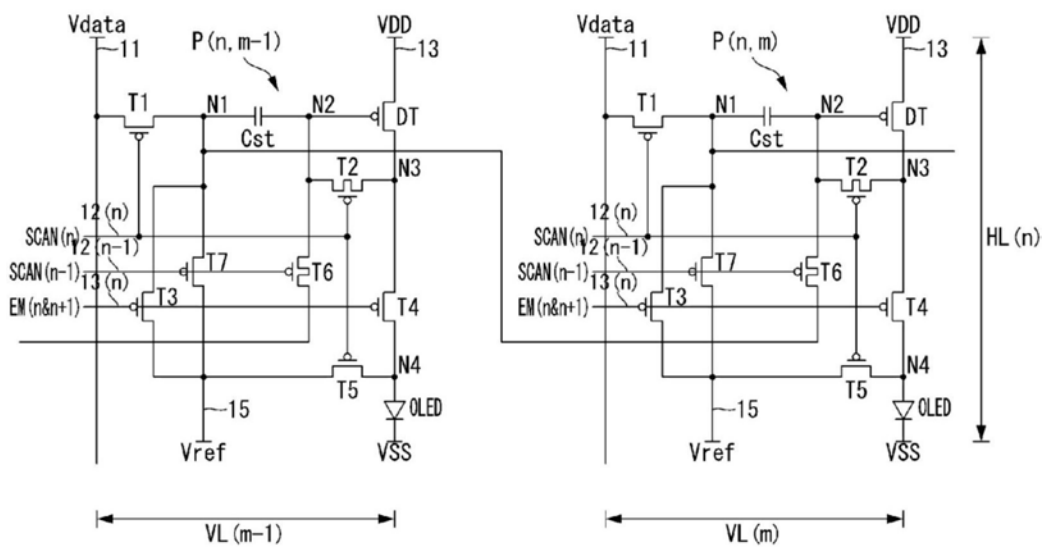


图16

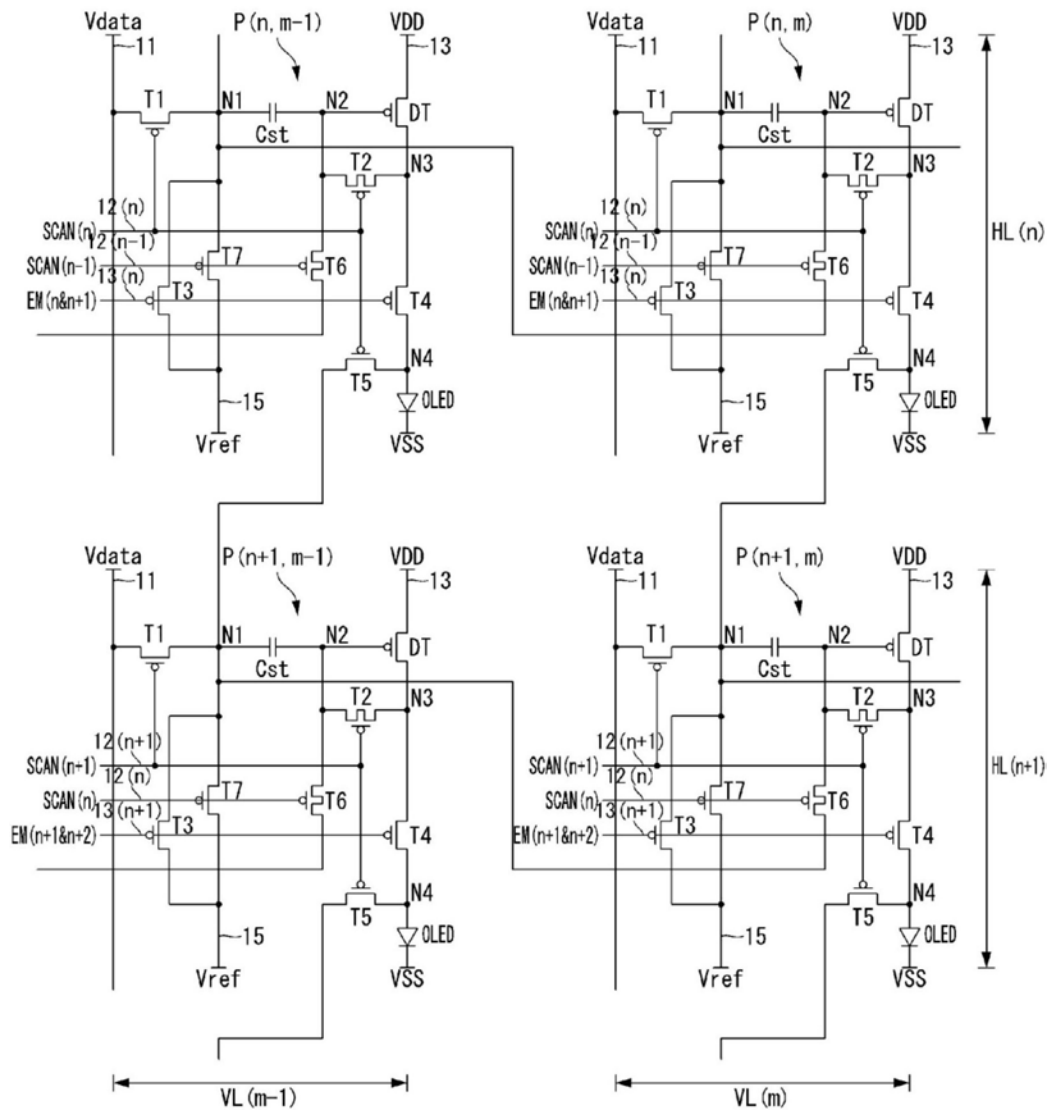


图17

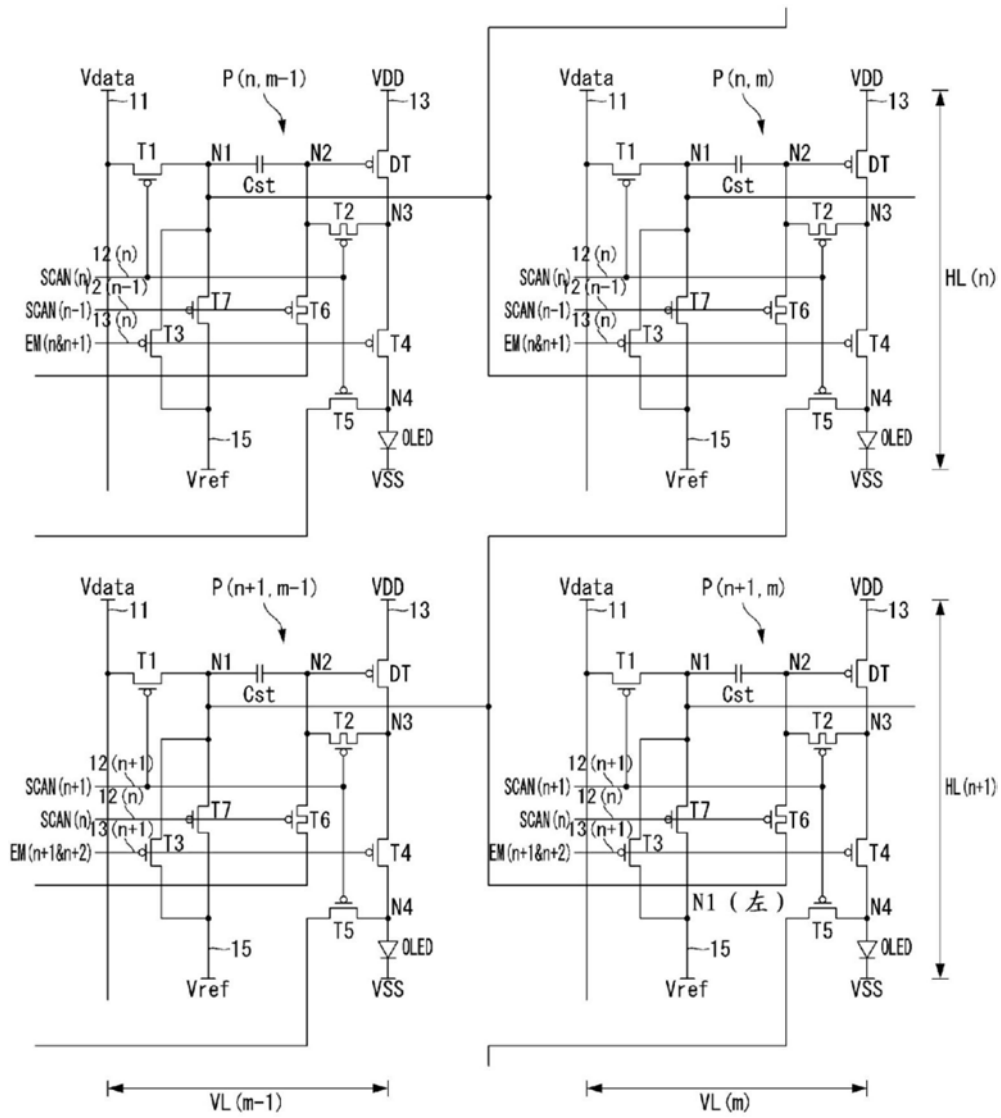


图18

P

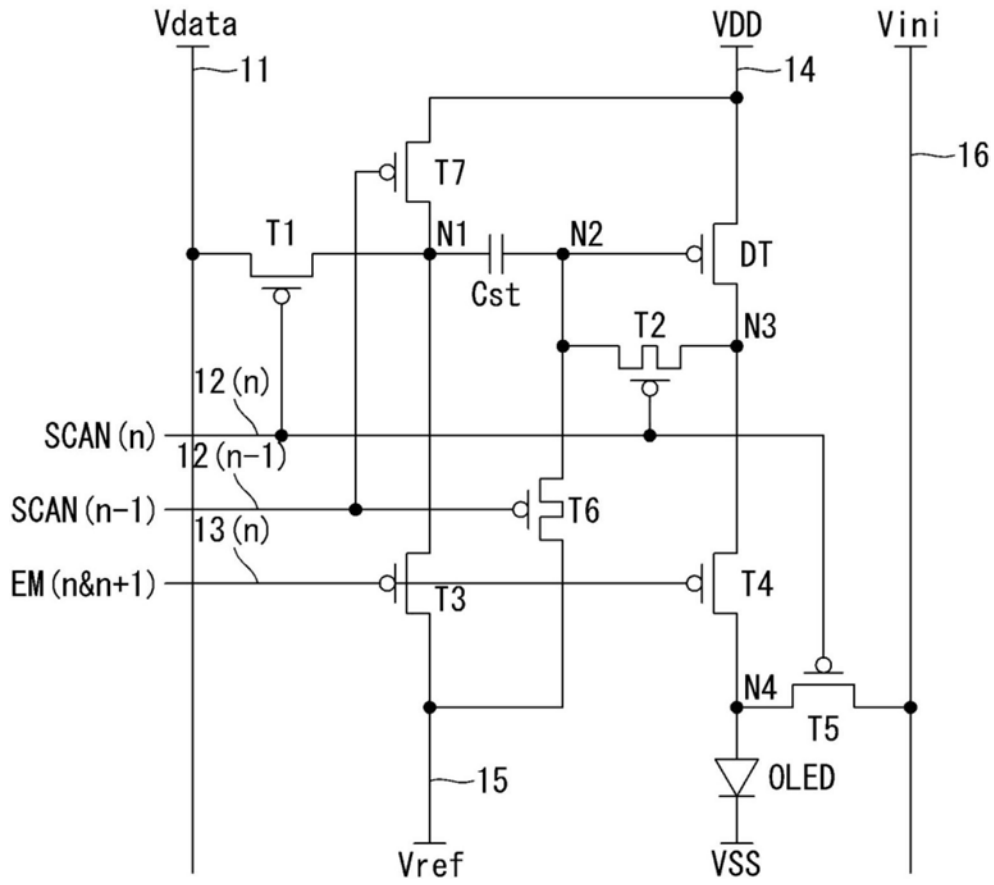


图19

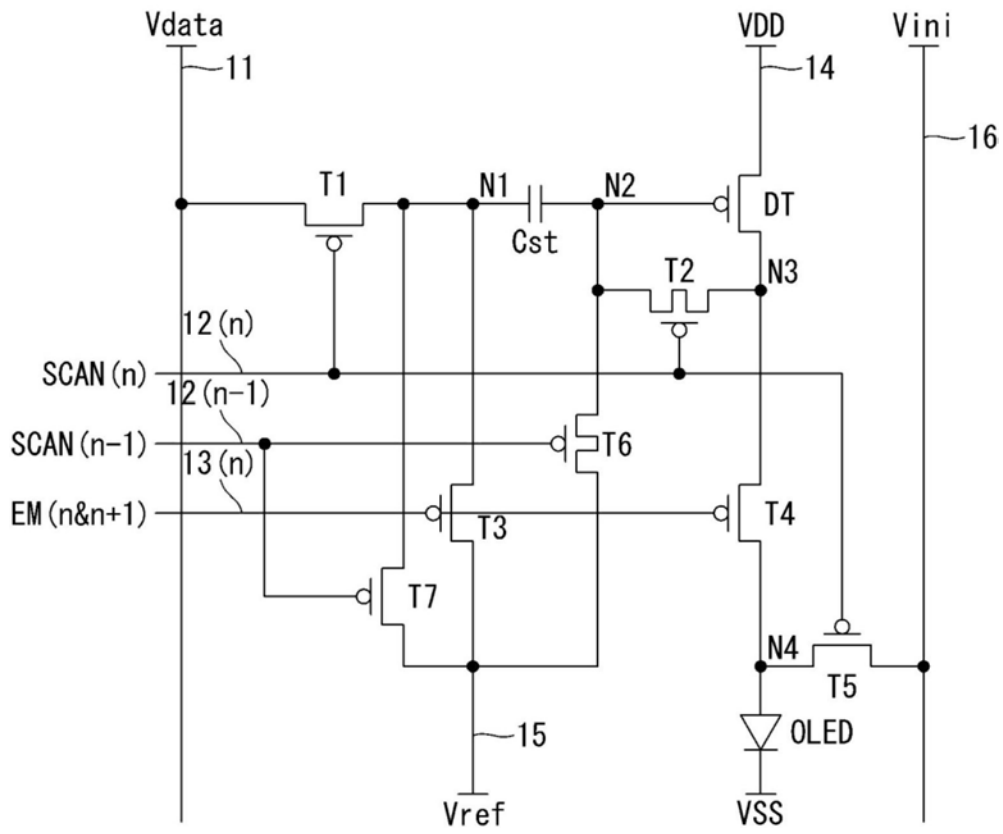
P

图20

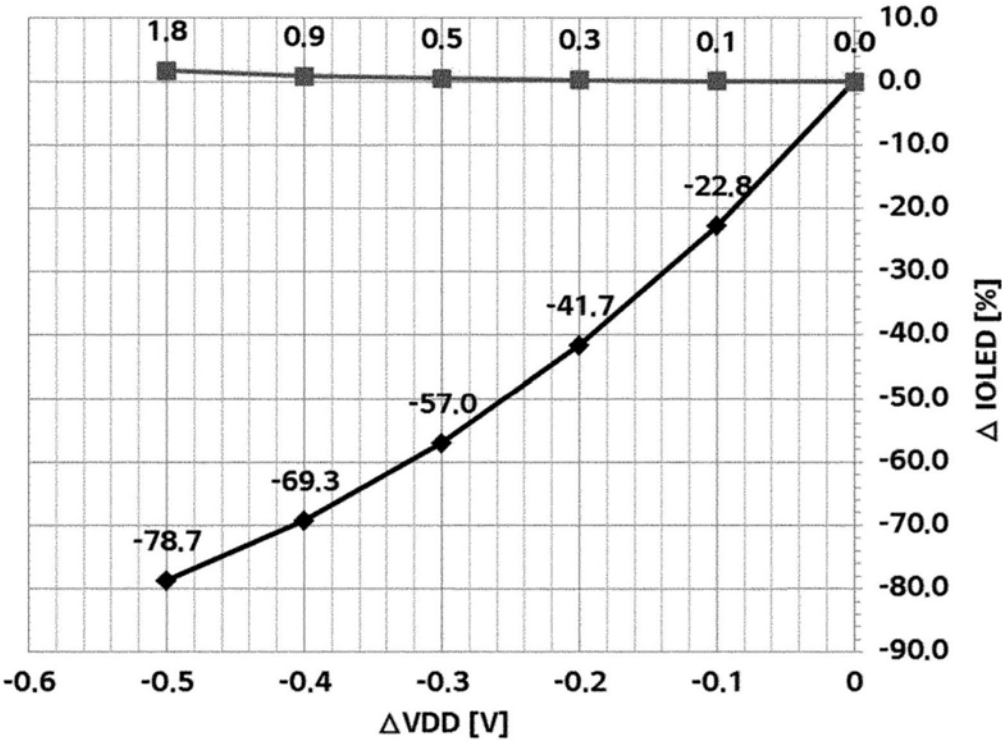


图21

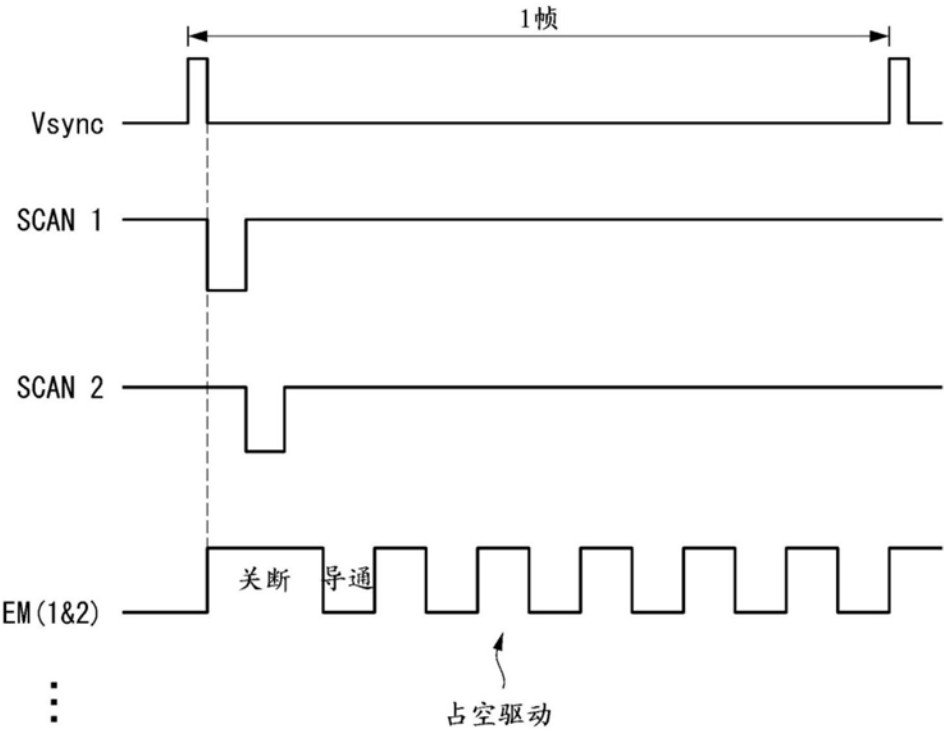


图22

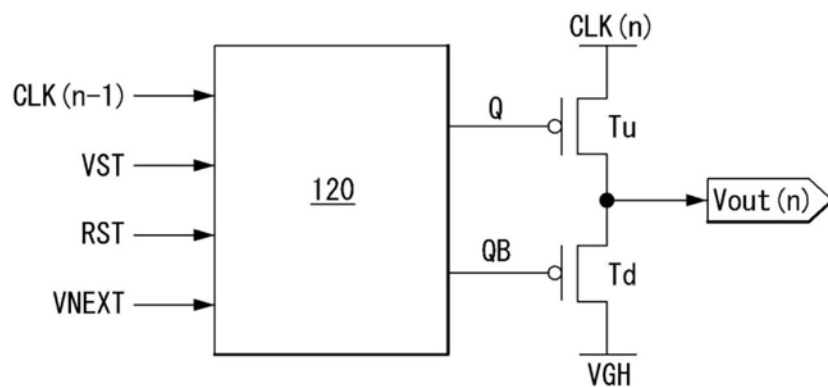


图23

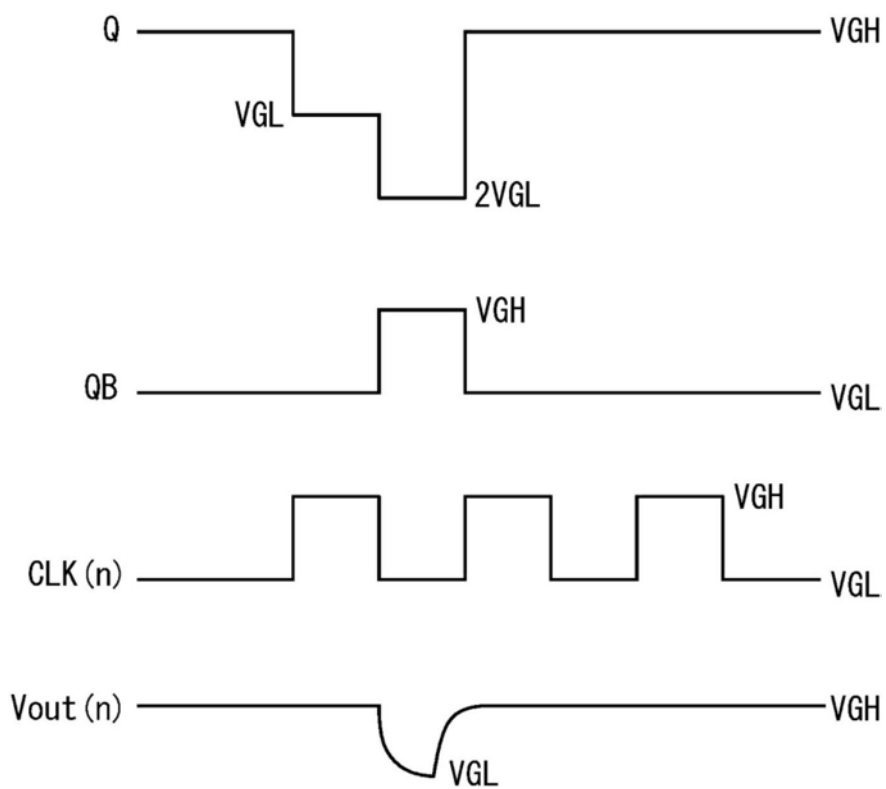


图24

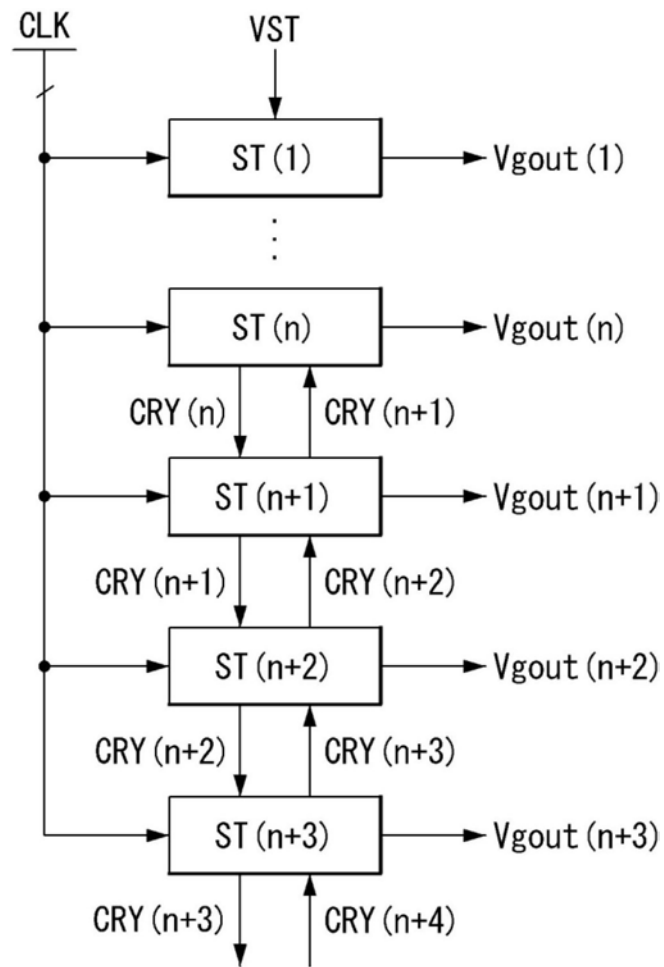


图25

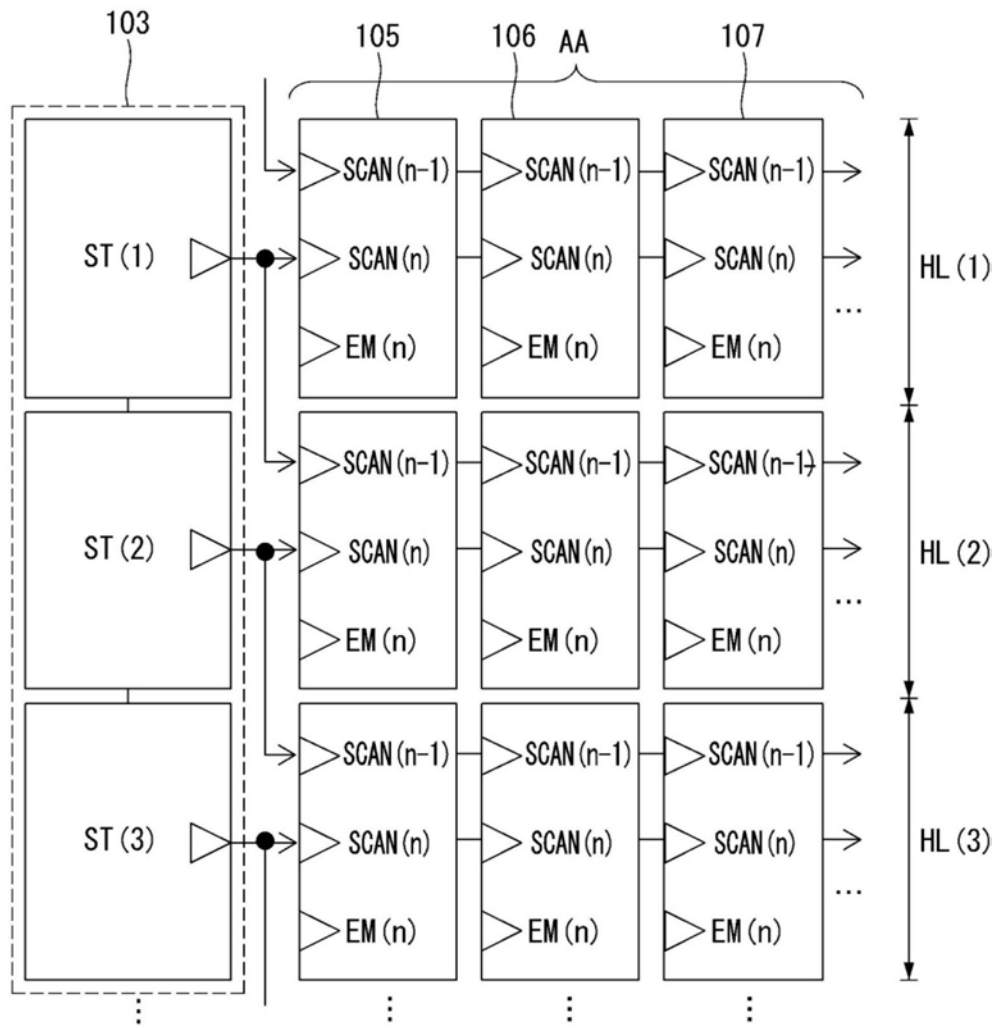


图26

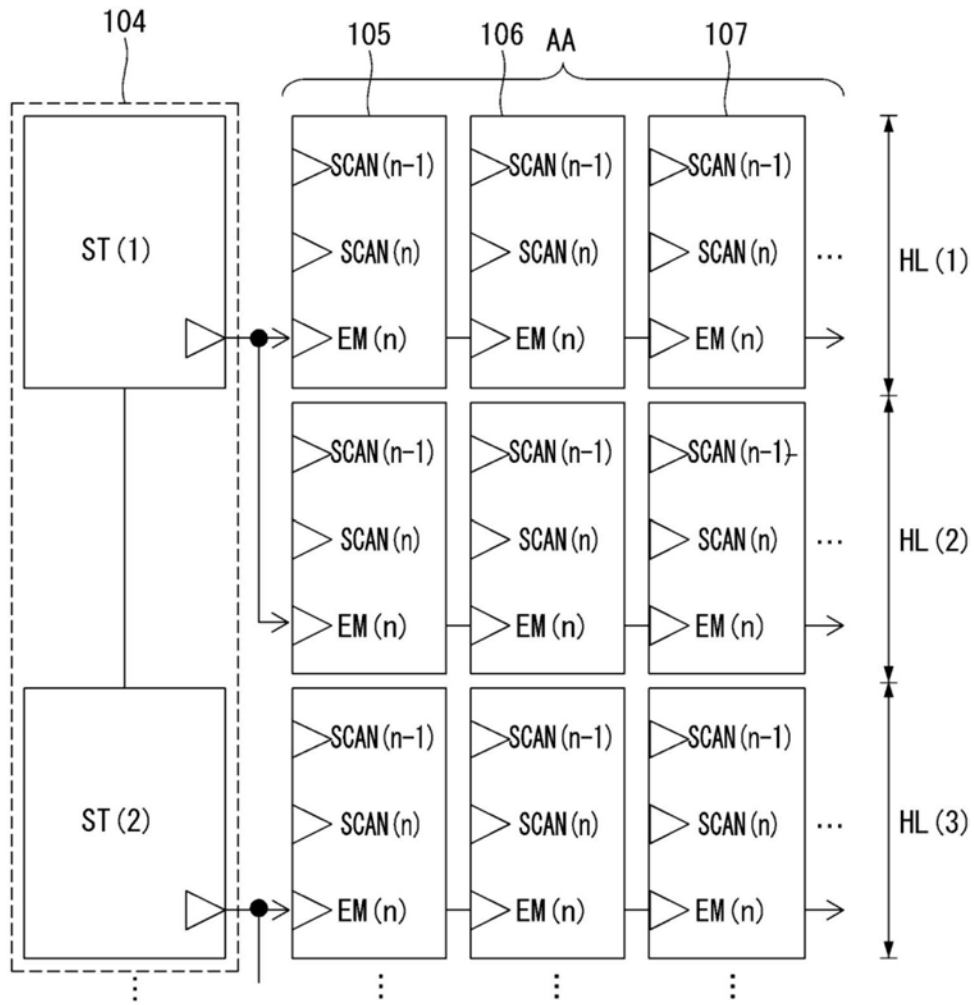


图27

专利名称(译)	电致发光显示装置		
公开(公告)号	CN108510936A	公开(公告)日	2018-09-07
申请号	CN2017110407835.2	申请日	2017-06-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	高皓煊 柳俊锡 尹盛煜 张成旭		
发明人	高皓煊 柳俊锡 尹盛煜 张成旭		
IPC分类号	G09G3/3208		
代理人(译)	王萍		
优先权	1020170025947 2017-02-28 KR		
外部链接	Espacenet SIPO		

摘要(译)

一种电致发光显示装置，具有包括像素的显示面板，每个像素的像素电路包括：电容器，连接在第一与第二节点间；驱动晶体管，连接至第二节点、第三节点和第一电源电压；第一晶体管，向第一节点提供第一电源电压或参考电压；第二晶体管，向第二节点提供参考电压；第三晶体管，向第一节点提供数据电压；第四晶体管，在第二与第三节点间形成电流路径；第五晶体管，向第四节点提供参考电压或重置电压；第六晶体管，向第一节点提供参考电压；第七晶体管，在第三与第四节点间形成电流路径；以及二极管，连接至第四节点和第二电源电压。

P

