



(12)发明专利

(10)授权公告号 CN 107342051 B

(45)授权公告日 2019.11.05

(21)申请号 201710800077.0

(22)申请日 2017.09.07

(65)同一申请的已公布的文献号

申请公布号 CN 107342051 A

(43)申请公布日 2017.11.10

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 高雪岭 羊振中 彭宽军 邹祥祥
杨洋

(74)专利代理机构 北京天昊联合知识产权代理
有限公司 11112

代理人 柴亮 张天舒

(51)Int.Cl.

G09G 3/3233(2016.01)

G09G 3/3291(2016.01)

(56)对比文件

CN 105679236 A,2016.06.15,

CN 107068066 A,2017.08.18,

审查员 顾健健

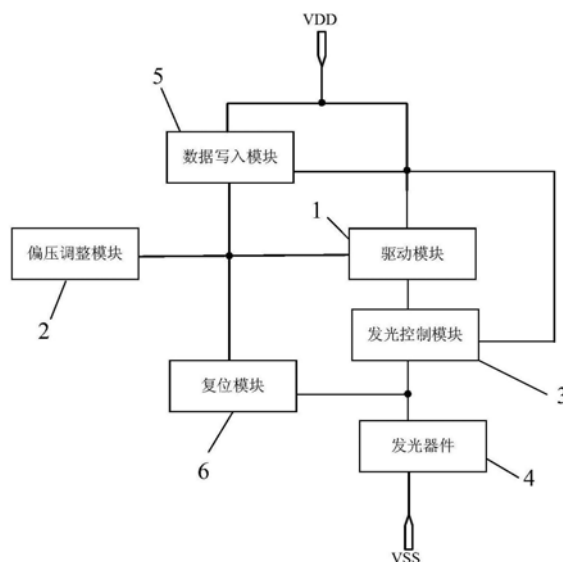
权利要求书2页 说明书6页 附图7页

(54)发明名称

一种像素电路、显示装置、像素电路驱动方法

(57)摘要

本发明提供一种像素电路、显示装置、像素电路驱动方法,属于显示技术领域,其可解决现有的显示的问题。本发明的像素电路在像素单元处于黑色一帧的期间时,通过向像素单元内的复位模块输入低电压,同时配合发光控制模块,将驱动模块的V_{gs}电压进行复位,使驱动模块处于偏压状态,因此不论前一个阶段的数据电压为黑或是白,驱动模块皆由相同的偏压状态开始进行数据写入与补偿,故可改善因磁滞效应产生的短期残像问题。本发明的像素电路适用于各种OLED显示装置。



1. 一种像素电路,其特征在于,包括多个像素单元和偏压调整模块;
每个像素单元包括:发光器件,驱动模块,发光控制模块,数据写入模块,以及复位模块;
所述驱动模块,用于在发光阶段根据控制电压产生驱动电流;
所述发光控制模块,用于在发光阶段将所述驱动电流输出至所述发光器件,以驱动所述发光器件发光;
所述数据写入模块,用于将数据电压写入驱动模块;
所述复位模块,用于在重置电压的控制下,对驱动模块进行复位;在栅线控制下对发光器件进行复位;
所述偏压调整模块用于在数据写入模块将数据电压写入驱动模块之前对驱动模块进行偏压调整,以控制每个像素单元处于相同的偏压状态;
所述数据写入模块包括第一电容、第二晶体管和第三晶体管;
所述第一电容第一端与第一电源端、发光控制模块连接,第一电容第二端与第一节点连接;
所述第二晶体管的控制极连接栅线,第二晶体管的第一极与第一节点连接,第二晶体管的第二极连接发光控制模块和驱动模块;
第三晶体管的控制极连接栅线,第三晶体管的第一极连接数据线,第三晶体管的第二极连接发光控制模块和驱动模块;
所述复位模块包括第一复位模块;所述第一复位模块包括第一晶体管;
所述第一复位模块用于在重置电压的控制下,对驱动模块进行复位;
所述第一晶体管的第一极连接第一节点,第一晶体管的控制极连接重置电压信号线,第一晶体管的第二极连接第一低电平输入端。
2. 根据权利要求1所述的像素电路,其特征在于,所述复位模块还包括第二复位模块,所述第二复位模块包括第六晶体管;
所述第二复位模块用于在栅线的控制下,对发光器件进行复位;
第六晶体管的控制极连接栅线,第六晶体管的第一极连接第二低电平输入端,第六晶体管的第二极连接发光控制模块和发光器件。
3. 根据权利要求1所述的像素电路,其特征在于,所述偏压调整模块包括第八晶体管,所述第八晶体管的控制极连接偏压信号线,第八晶体管的第一极连接第一节点,第八晶体管的第二极连接第一低电平输入端。
4. 根据权利要求1所述的像素电路,其特征在于,所述发光控制模块包括第四晶体管,第五晶体管;
所述第四晶体管的控制极连接第三低电平输入端,所述第四晶体管的第一极连接第一电源端和第一电容的第一端,所述第四晶体管的第二极连接第三晶体管的第二极和驱动模块;
第五晶体管的控制极连接第四电平输入端,第五晶体管的第一极连接第六晶体管的第二极和发光器件,第五晶体管的第二极连接第二晶体管的第二极和驱动模块。
5. 根据权利要求4所述的像素电路,其特征在于,所述第五晶体管为N型晶体管,所述第四晶体管为P型晶体管,所述第四电平输入端为高电平输入端;或者

所述第五晶体管、第四晶体管均为P型晶体管,所述第四电平输入端为低电平输入端。

6. 根据权利要求4所述的像素电路,其特征在于,所述驱动模块包括驱动晶体管;

所述驱动晶体管的控制极连接第一节点;

所述驱动晶体管的第一极连接第四晶体管的第二极和第三晶体管的第二极;

所述驱动晶体管的第二极连接第五晶体管的第二极和第二晶体管的第二极。

7. 一种显示装置,其特征在于,包括权利要求1-6任一项所述的像素电路。

8. 一种像素电路驱动方法,其特征在于,采用权利要求1-6任一项所述的像素电路,所述方法包括:

在偏压调整阶段,偏压调整模块对驱动模块进行偏压调整以控制每个像素单元处于相同的偏压状态;

在数据写入阶段,在重置电压的控制下,复位模块对驱动模块进行复位;然后将数据电压写入驱动模块,同时在栅线控制下对发光器件进行复位;

在发光阶段,驱动模块根据控制电压产生驱动电流,发光控制模块将所述驱动电流输出至所述发光器件,以驱动所述发光器件发光。

9. 根据权利要求8所述的像素电路驱动方法,其特征在于,采用权利要求5所述的像素电路,第八晶体管在偏压信号线的控制下对驱动晶体管进行偏压调整以控制每个像素单元处于相同的偏压状态。

一种像素电路、显示装置、像素电路驱动方法

技术领域

[0001] 本发明属于显示技术领域，具体涉及一种像素电路、显示装置、像素电路驱动方法。

背景技术

[0002] 有源矩阵有机发光二极体面板(Active Matrix Organic Light Emitting Diode, 简称:AMOLED)的应用越来越广泛。AMOLED的像素显示器件为有机发光二极管(Organic Light-Emitting Diode, 简称OLED), AMOLED能够发光是通过驱动薄膜晶体管在饱和状态下产生驱动电流, 该驱动电流驱动OLED发光。图1为现有技术中基本的像素电路的结构示意图, 如图1所示, 现有的基本的像素电路采用2T1C电路, 该2T1C电路包括两个薄膜晶体管(开关管T1和驱动晶体管T2)和1个存储电容C。

[0003] 发明人发现现有技术中至少存在如下问题: 由于TFT的磁滞效应, 不同灰阶画面切换时, 会出现短期残像现象。

发明内容

[0004] 本发明针对现有的像素电路不同灰阶画面切换时, 会出现短期残像现象的问题, 提供一种像素电路、显示装置、像素电路驱动方法。

[0005] 解决本发明技术问题所采用的技术方案是:

[0006] 一种像素电路, 包括多个像素单元和偏压调整模块;

[0007] 每个像素单元包括: 发光器件, 驱动模块, 发光控制模块, 数据写入模块, 以及复位模块;

[0008] 所述驱动模块, 用于在发光阶段根据控制电压产生驱动电流;

[0009] 所述发光控制模块, 用于在发光阶段将所述驱动电流输出至所述发光器件, 以驱动所述发光器件发光;

[0010] 所述数据写入模块, 用于将数据电压写入驱动模块;

[0011] 所述复位模块, 用于在重置电压的控制下, 对驱动模块进行复位; 在栅线控制下对发光器件进行复位;

[0012] 所述偏压调整模块用于在数据写入模块将数据电压写入驱动模块之前对驱动模块进行偏压调整, 以控制每个像素单元处于相同的偏压状态。

[0013] 优选的是, 所述数据写入模块包括第一电容、第二晶体管和第三晶体管;

[0014] 所述第一电容第一端与第一电源端、发光控制模块连接, 第一电容第二端与第一节点连接;

[0015] 所述第二晶体管的控制极连接栅线, 第二晶体管的第一极与第一节点连接, 第二晶体管的第二极连接发光控制模块和驱动模块;

[0016] 第三晶体管的控制极连接栅线, 第三晶体管的第一极连接数据线, 第三晶体管的第二极连接发光控制模块和驱动模块。

[0017] 优选的是,所述复位模块包括第一复位模块、第二复位模块;所述第一复位模块包括第一晶体管,第二复位模块包括第六晶体管;

[0018] 第一复位模块用于在重置电压的控制下,对驱动模块进行复位;

[0019] 第二复位模块用于在栅线的控制下,对发光器件进行复位;

[0020] 所述第一晶体管的第一极连接第一节点,第一晶体管的控制极连接重置电压信号线,第一晶体管的第二极连接第一低电平输入端;

[0021] 第六晶体管的控制极连接栅线,第六晶体管的第一极连接第二低电平输入端,第六晶体管的第二极连接发光控制模块和发光器件。

[0022] 优选的是,所述偏压调整模块包括第八晶体管,所述第八晶体管的控制极连接偏压信号线,第八晶体管的第一极连接第一节点,第八晶体管的第二极连接第一低电平输入端。

[0023] 优选的是,所述发光控制模块包括第四晶体管,第五晶体管;

[0024] 所述第四晶体管的控制极连接第三低电平输入端,所述第四晶体管的第一极连接第一电源端和第一电容的第一端,所述第四晶体管的第二极连接第三晶体管的第二极和驱动模块;

[0025] 第五晶体管的控制极连接第四电平输入端,第五晶体管的第一极连接第六晶体管的第二极和发光器件,第五晶体管的第二极连接第二晶体管的第二极和驱动模块。

[0026] 优选的是,所述第五晶体管为N型晶体管,所述第四晶体管为P型晶体管,所述第四电平输入端为高电平输入端;或者

[0027] 所述第五晶体管、第四晶体管均为P型晶体管,所述第四电平输入端为低电平输入端。

[0028] 优选的是,所述驱动模块包括驱动晶体管;

[0029] 所述驱动晶体管的控制极连接第一节点;

[0030] 所述驱动晶体管的第一极连接第四晶体管的第二极和第三晶体管的第二极;

[0031] 所述驱动晶体管的第二极连接第五晶体管的第二极和第二晶体管的第二极。

[0032] 本发明还提供一种显示装置,包括上述的像素电路。

[0033] 本发明还提供一种像素电路驱动方法,采用上述的像素电路,所述方法包括:

[0034] 在偏压调整阶段,偏压调整模块对驱动模块进行偏压调整以控制每个像素单元处于相同的偏压状态;

[0035] 在数据写入阶段,在重置电压的控制下,复位模块对驱动模块进行复位;然后将数据电压写入驱动模块,同时在栅线控制下对发光器件进行复位;

[0036] 在发光阶段,驱动模块根据控制电压产生驱动电流,发光控制模块将所述驱动电流输出至所述发光器件,以驱动所述发光器件发光。

[0037] 优选的是,第八晶体管在偏压信号线的控制下对驱动晶体管进行偏压调整以控制每个像素单元处于相同的偏压状态。

[0038] 优选的是,第四晶体管、第五晶体管在第三低电平输入端和第四电平输入端的控制下,驱动所述发光器件发光。

[0039] 优选的是,在重置电压信号线的控制下,第一低电平输入端通过第一晶体管对驱动晶体管的控制极进行复位,并对第一电容进行充电。

[0040] 优选的是,在栅线控制下,驱动晶体管的控制极通过第一电容充电至数据电压与阈值电压之和,同时第六晶体管在栅线的控制下对发光器件进行复位。

[0041] 本发明的像素电路在像素单元处于黑色一帧的期间时,通过向像素单元内的复位模块输入低电压,同时配合发光控制模块,将驱动模块的 V_{gs} 电压进行复位,使驱动模块处于偏压状态,因此不论前一个阶段的数据电压为黑或是白,驱动模块皆由相同的偏压状态开始进行数据写入与补偿,故可改善因磁滞效应产生的短期残像问题。本发明的像素电路适用于各种OLED显示装置。

附图说明

[0042] 图1为现有的OLED的像素电路结构示意图;

[0043] 图2、图3为本发明的实施例1的像素电路的结构示意图;

[0044] 图4-7为本发明的实施例2的像素电路的结构示意图;

[0045] 图8为本发明的实施例3的像素电路驱动方法的时序图;

[0046] 图9-12为本发明的实施例3方法中的等效电路示意图;

[0047] 其中,附图标记为:100、像素单元;1、驱动模块;2、偏压调整模块;3、发光控制模块;4、发光器件;5、数据写入模块;6、复位模块;61、第一复位模块;62、第二复位模块。

具体实施方式

[0048] 为使本领域技术人员更好地理解本发明的技术方案,下面结合附图和具体实施方式对本发明作进一步详细描述。

[0049] 实施例1:

[0050] 本实施例提供一种像素电路,如图2所示,包括多个像素单元100和偏压调整模块2;所述偏压调整模块2用于在数据写入之前对驱动模块1进行偏压调整以控制每个像素单元100处于相同的偏压状态;如图3所示,每个像素单元100包括:驱动模块1,发光控制模块3,发光器件4,数据写入模块5,以及复位模块6;所述驱动模块1用于在发光阶段根据控制电压产生驱动电流;所述发光控制模块3用于在发光阶段将所述驱动电流输出至所述发光器件4,以驱动所述发光器件4发光;所述数据写入模块5用于将数据电压、阈值电压写入驱动模块1;所述复位模块6用于在重置电压的控制下,对驱动模块1进行复位;在栅线控制下对发光器件4进行复位;

[0051] 具体的,驱动模块1、偏压调整模块2、数据写入模块5、复位模块6连接至第一节点P1;发光控制模块3与第一电源端VDD、驱动模块1、发光器件4、数据写入模块5连接;发光器件4与发光控制模块3、复位模块6、第二电源端VSS连接。

[0052] 在本实施例中,第一电源端VDD用于提供工作电压,第二电源端VSS用于提供参考电压。其中,通常,第一电源端VDD的电平较高,即其可作为阳极,第二电源端VSS的电平较低,即其可作为阴极。

[0053] 本实施例的像素电路在像素单元100处于黑色一帧的期间时,通过向像素单元100内的复位模块6输入低电压,同时配合发光控制模块3,将驱动模块1的 V_{gs} 电压进行复位,使驱动模块1处于偏压状态,因此不论前一个阶段的数据电压为黑或是白,驱动模块1皆由相同的偏压状态开始进行数据写入与补偿,故可改善因磁滞效应产生的短期残像问题。

[0054] 实施例2:

[0055] 本实施例提供一种像素电路,如图2-5所示,与实施例1的像素电路类似,其包括多个像素单元100和偏压调整模块2;所述偏压调整模块2用于在数据写入之前对驱动模块1进行偏压调整以控制每个像素单元100处于相同的偏压状态;每个像素单元100包括:驱动模块1,发光控制模块3,发光器件4,数据写入模块5,以及复位模块6;所述驱动模块1用于在发光阶段根据控制电压产生驱动电流;所述发光控制模块3用于在发光阶段将所述驱动电流输出至所述发光器件4,以驱动所述发光器件4发光;所述数据写入模块5用于将数据电压、阈值电压写入驱动模块1;所述复位模块6用于在重置电压的控制下,对驱动模块1进行复位;在栅线控制下对发光器件4进行复位;驱动模块1、偏压调整模块2、数据写入模块5、复位模块6连接至第一节点P1;发光控制模块3与第一电源端、驱动模块1、发光器件4、数据写入模块5连接;发光器件4与发光控制模块3、复位模块6、第二电源端VSS连接;驱动模块1包括驱动晶体管T7;所述偏压调整模块2包括第八晶体管T8;发光控制模块3包括第四晶体管T4,第五晶体管T5;所述数据写入模块5包括第一电容C1、第二晶体管T2和第三晶体管T3;所述复位模块6包括第一复位模块61、第二复位模块62,所述第一复位模块61包括第一晶体管T1,第二复位模块62包括第六晶体管T6。

[0056] 需要说明的是,本实施例中的发光器件4可以是现有技术中的包括LED (Light Emitting Diode,发光二极管)或OLED (Organic Light Emitting Diode,有机发光二极管)在内的电流驱动的发光器件4,在本实施例中是以OLED为例进行的说明。

[0057] 作为本实施例中的第一种可选实施方案,如图4、图5所示,所述第五晶体管为N型晶体管,所述第四晶体管为P型晶体管,所述第四电平输入端EN为高电平输入端。此外,第一晶体管T1、第二晶体管T2、第三晶体管T3、第六晶体管T6、驱动晶体管T7、第八晶体管T8均为P型晶体管。

[0058] 具体的,第四晶体管T4的控制极连接第三低电平输入端EM,所述第四晶体管T4的第一极连接第一电源端VDD和第一电容C1的第一端,所述第四晶体管T4的第二极连接第三晶体管T3的第二极和驱动晶体管T7的第一极。第五晶体管T5的控制极连接第四电平输入端EN,第五晶体管T5的第一极连接第六晶体管T6的第二极和发光器件4,第五晶体管T5的第二极连接第二晶体管T2的第二极和驱动晶体管的第二极。

[0059] 具体的,第八晶体管T8的控制极连接偏压信号线Total RST,第八晶体管T8的第一极连接第一节点P1,第八晶体管T8的第二极连接第一低电平输入端VINT1。

[0060] 具体的,驱动晶体管T7的控制极连接第一节点P1;所述驱动晶体管T7的第一极连接第四晶体管T4的第二极和第三晶体管T3的第二极;所述驱动晶体管T7的第二极连接第五晶体管T5的第二极和第二晶体管T2的第二极。

[0061] 具体的,第一电容C1第一端与第一电源端VDD、第四晶体管T4的第一极连接,第一电容C1的第二端与第一节点P1连接;所述第二晶体管T2的控制极连接栅线gate,第二晶体管T2的第一极与第一节点P1连接,第二晶体管T2的第二极连接第五晶体管T5的第二极和驱动晶体管T7的第二极;第三晶体管T3的控制极连接栅线gate,第三晶体管的第一极连接数据线data,第三晶体管T3的第二极连接第四晶体管T4的第二极和驱动晶体管T7的第一极。

[0062] 具体的,第一晶体管T1的控制极连接重置电压信号线RST,第一晶体管T1的第一极连接第一节点P1,第一晶体管T1的第二极连接第一低电平输入端VINT1;第六晶体管T6的控

制极连接栅线gate,第六晶体管T6的第一极连接第二低电平输入端VINT 2,第六晶体管T6的第二极连接第五晶体管的第一极和发光器件4。其中,第一晶体管T1用于在重置电压信号线RST输入的重置电压的控制下,对驱动晶体管T7进行复位;第六晶体管T6用于在栅线gate的控制下,对发光器件4进行复位。

[0063] 其中,第一低电平输入端VINT1与第二低电平输入端VINT2可以如图5中所示连接至同一低电平输入端VINT。

[0064] 作为本实施例中的第二种可选实施方案,如图6所示,所述第五晶体管、第四晶体管均为P型晶体管,所述第四电平输入端EM1为低电平输入端。此外第一晶体管T1、第二晶体管T2、第三晶体管T3、第六晶体管T6、驱动晶体管T7、第八晶体管T8均为P型晶体管。

[0065] 具体的,第四晶体管T4的控制极连接第三低电平输入端EM,所述第四晶体管T4的第一极连接第一电源端VDD和第一电容C1的第一端,所述第四晶体管T4的第二极连接第三晶体管T3的第二极和驱动晶体管T7的第一极;第五晶体管T5的控制极连接第四电平输入端EN,第五晶体管T5的第一极连接第二晶体管T2的第二极和驱动晶体管的第二极,第五晶体管T5的第二极连接第六晶体管T6的第二极和发光器件4。

[0066] 具体的,第八晶体管T8的控制极连接偏压信号线Total RST,第八晶体管T8的第一极连接第一节点P1,第八晶体管T8的第二极连接第一低电平输入端VINT1。

[0067] 具体的,驱动晶体管T7的控制极连接第一节点P1;所述驱动晶体管T7的第一极连接第四晶体管T4的第二极和第三晶体管T3的第二极;所述驱动晶体管T7的第二极连接第五晶体管T5的第一极和第二晶体管T2的第二极。

[0068] 具体的,第一电容C1第一端与第一电源端VDD、第四晶体管T4的第一极连接,第一电容C1的第二端与第一节点P1连接;所述第二晶体管T2的控制极连接栅线gate,第二晶体管T2的第一极与第一节点P1连接,第二晶体管T2的第二极连接第五晶体管T5的第一极和驱动晶体管T7的第二极;第三晶体管T3的控制极连接栅线gate,第三晶体管的第一极连接数据线data,第三晶体管T3的第二极连接第四晶体管T4的第二极和驱动晶体管T7的第一极。

[0069] 具体的,第一晶体管T1的控制极连接重置电压信号线RST,第一晶体管T1的第一极连接第一节点P1,第一晶体管T1的第二极连接第一低电平输入端VINT1;第六晶体管T6的控制极连接栅线gate,第六晶体管T6的第一极连接第二低电平输入端VINT 2,第六晶体管T6的第二极连接第五晶体管的第二极和发光器件4。其中,第一晶体管T1用于在重置电压信号线RST输入的重置电压的控制下,对驱动晶体管T7进行复位;第六晶体管T6用于在栅线gate的控制下,对发光器件4进行复位。

[0070] 其中,第一低电平输入端VINT1与第二低电平输入端VINT2可以如图7中所示连接至同一低电平输入端VINT。

[0071] 需要说明的是,本实施例中第一晶体管Q1、第二晶体管Q2、第三晶体管Q3、第四晶体管Q4、第五晶体管Q5第六晶体管Q6、第七晶体管Q7、第八晶体管Q8分别独立选自多晶硅薄膜晶体管、非晶硅薄膜晶体管、氧化物薄膜晶体管以及有机薄膜晶体管中的一种。每个晶体管包括栅极、源极、漏极共三个极,其中栅极为控制极;源极和漏极通常是通过电流方向限定的,而在结构上二者并无区别。因此本实施例中第一极、第二极分别指晶体管的源极和漏极,并不限定其中哪个为源极,哪个为漏极,只要它们分别连接至所需位置即可。

[0072] 实施例3:

[0073] 本实施例提供一种像素电路驱动方法,采用上述实施例2的第一种的像素电路,如图8所示,所述方法包括:

[0074] S01、在F1偏压调整阶段,偏压调整模块对驱动模块进行偏压调整以控制每个像素单元处于相同的偏压状态;

[0075] 参见图4、图5,当偏压信号线Total RST输出低电平时与偏压信号线Total RST相连的第八晶体管T8打开,此时第一低电平输入端VINT1入至驱动晶体管T7的控制极,同时第三低电平输入端EM输入低电平,第四晶体管T4打开,第一电源端VDD流入驱动晶体管T7的第一极,确保驱动晶体管T7都处于相同的偏压 ($V_{gs}=V_{INT}-V_{DD}$) 状态,驱动晶体管T7皆由相同的偏压状态下进行数据写入与 V_{th} 补偿,故驱动晶体管T7的状态相同,因此可以达到改善短期残像目的。此时等效电路图见图9。

[0076] S02、在F2数据写入阶段,在重置电压的控制下,复位模块对驱动模块进行复位;然后将数据电压写入驱动模块,同时在栅线控制下对发光器件进行复位;

[0077] 当重置电压信号线RST输出低电平时,第一晶体管T1打开,此时第一低电平输入端VINT1通过第一晶体管T1对驱动晶体管T7的控制极进行复位,并对第一电容C1进行充电,此时驱动晶体管T7的 $V_{gate}=V_{INT1}$;此时等效电路图见图10。

[0078] 当栅线Gate输入低电平时,第三晶体管T3、驱动晶体管T7、第二晶体管T2打开,驱动晶体管T7的控制极通过第一电容C1继续进行充电,直到充电至, $V_{DATA}-V_{th}$ (DTFT),停止充电,因为第四晶体管为P型晶体管,P型晶体管的 $V_{GS}<V_{th}$ 时,开关打开,此时驱动晶体管T7的控制极的 $V_{Gate}=V_{DATA}-V_{th}$;同时OLED阳极通过第六晶体管T6进行复位,通过第二低电平输入端VINT 2输入低电压,保护器件。此时等效电路图见图11。

[0079] S03、在F3发光阶段,驱动模块根据控制电压产生驱动电流,发光控制模块将所述驱动电流输出至所述发光器件,以驱动所述发光器件发光。

[0080] 当第三低电平输入端EM输出低电平,第四电平输入端EN输入高电平时,第四晶体管T4、第五晶体管T5打开,此时驱动晶体管T7的 $V_{gs}=V_{DATA}-V_{th}-V_{DD}<V_{th}$,驱动晶体管T7打开,电路进入数据状态,OLED开始发光;此时流经OLED器件的 $I_S=1/2UnCox(W/L)(V_{GS}-V_{th})^2=1/2UnCox(W/L)(V_{DATA}-|V_{th}|-ELVDD-(-|V_{th}|))^2=1/2UnCox(W/L)(ELVDD-V_{DATA})^2$,此时OLED器件流过稳定电流,器件发光稳定。此时等效电路图见图12。

[0081] 实施例4:

[0082] 本实施例提供一种像素电路驱动方法,采用上述实施例2的第二种的像素电路,所述方法与实施例3的方法类似,其与实施例3不同之处仅在于:

[0083] S03在发光阶段,当第三低电平输入端EM输出低电平,第四电平输入端EM1也输入低电平,此时第四晶体管T4、第五晶体管T5打开。

[0084] 实施例5:

[0085] 本实施例提供一种显示装置,包括上述实施例的像素电路。

[0086] 所述显示装置可以为:电子纸、OLED面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0087] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

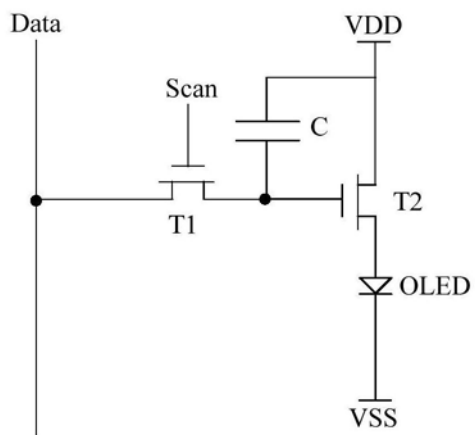


图1

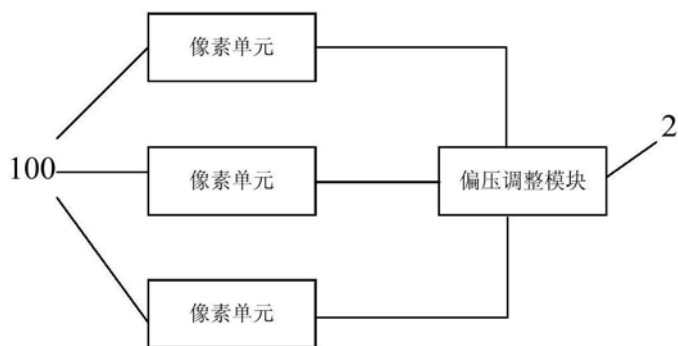


图2

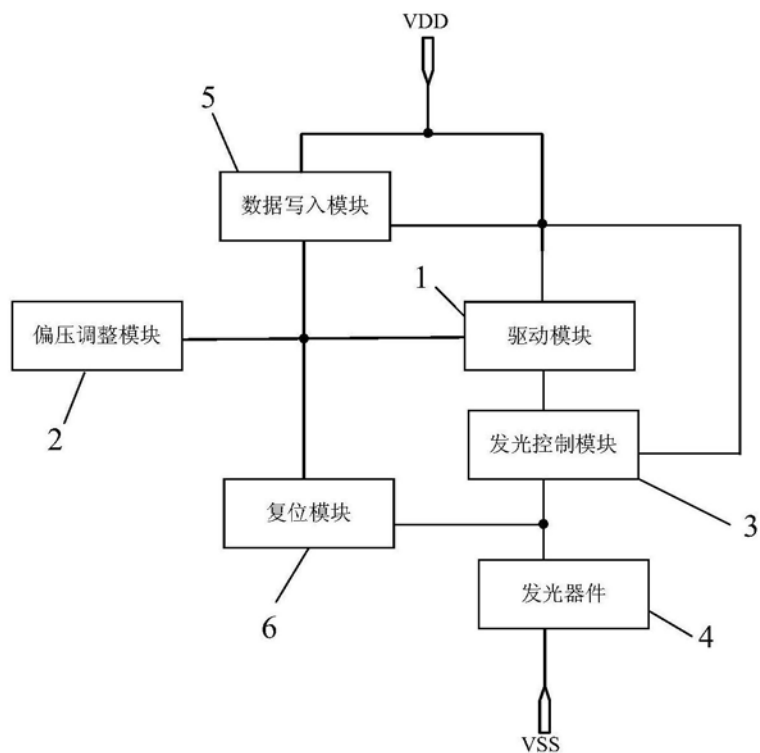


图3

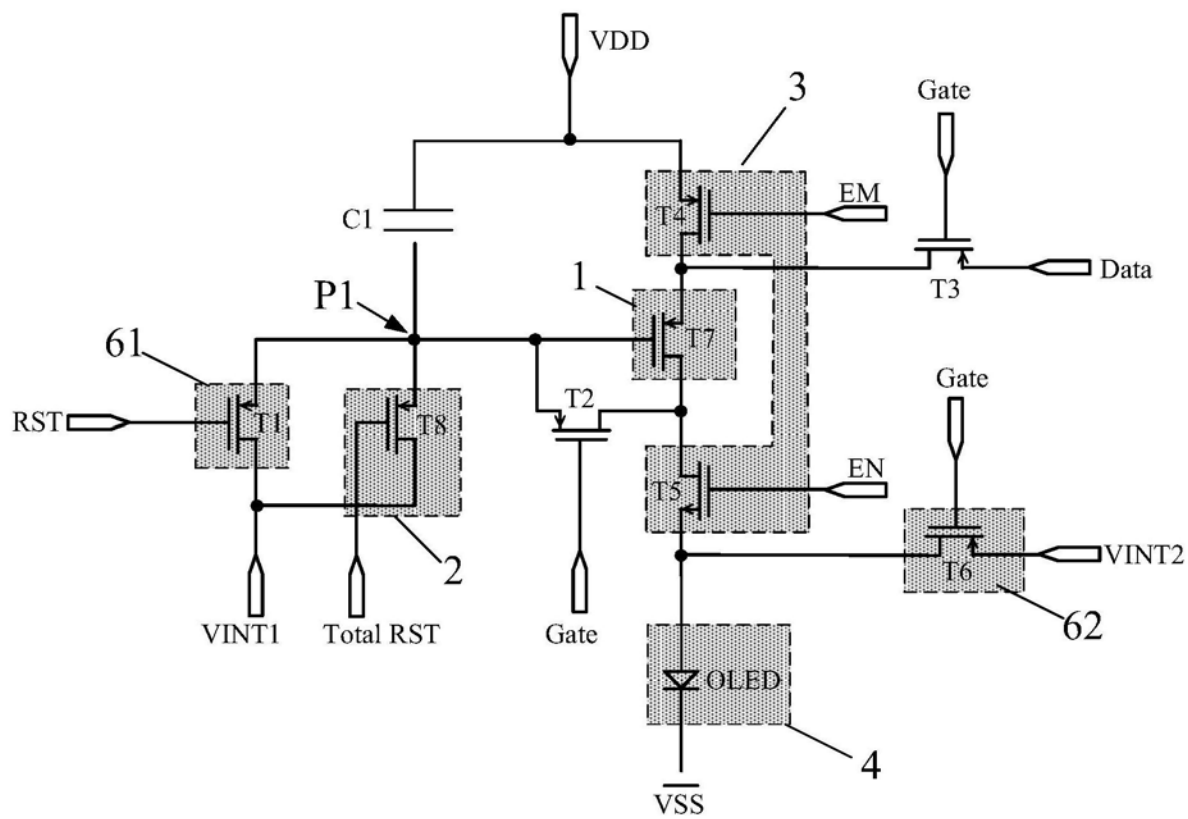


图4

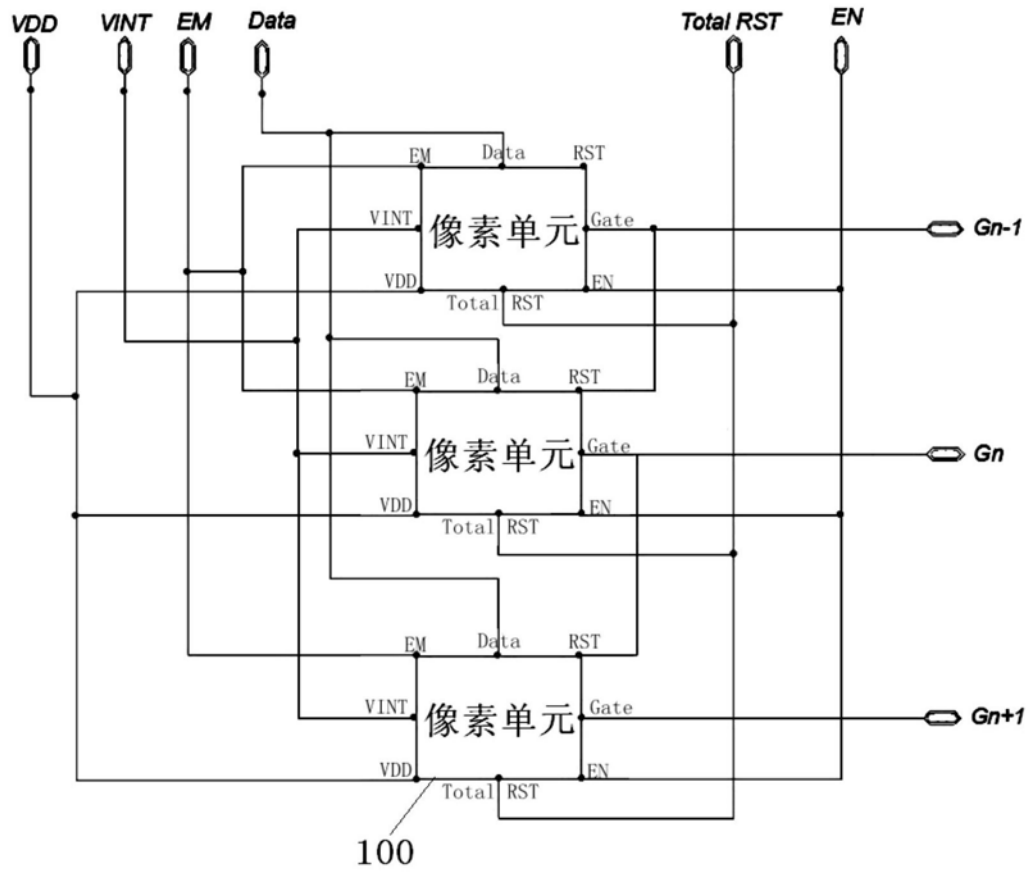


图5

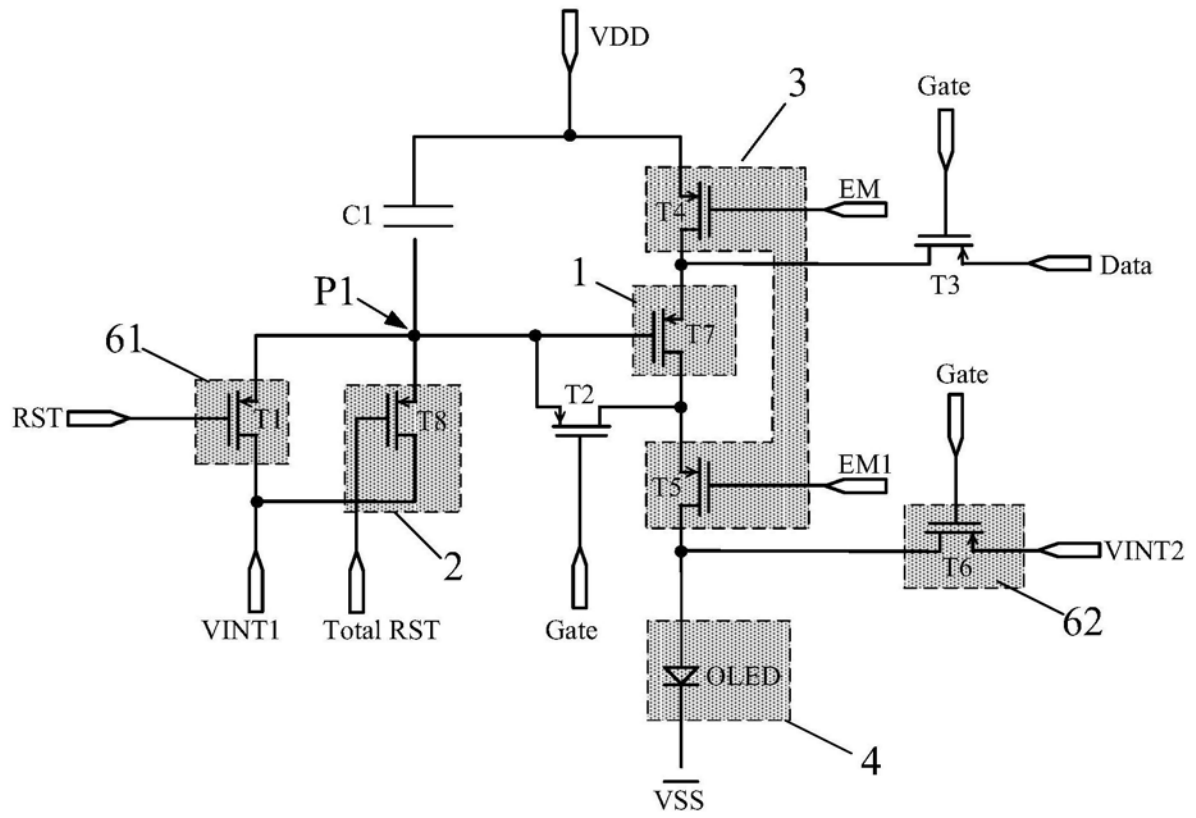


图6

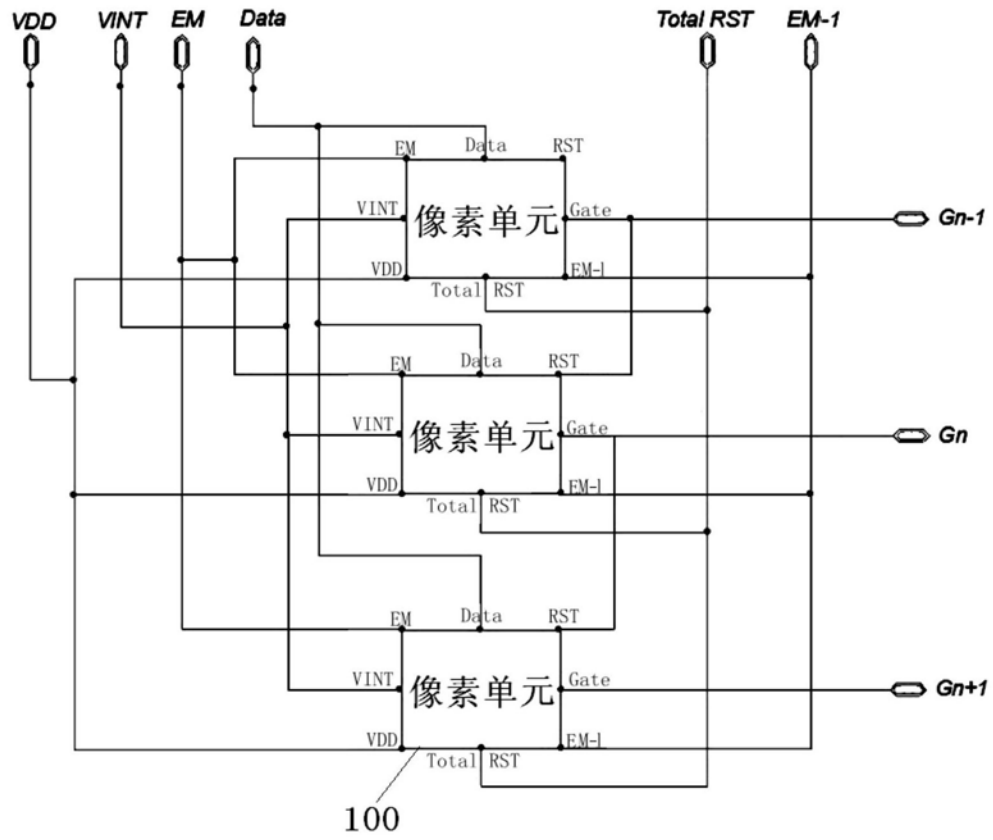


图7

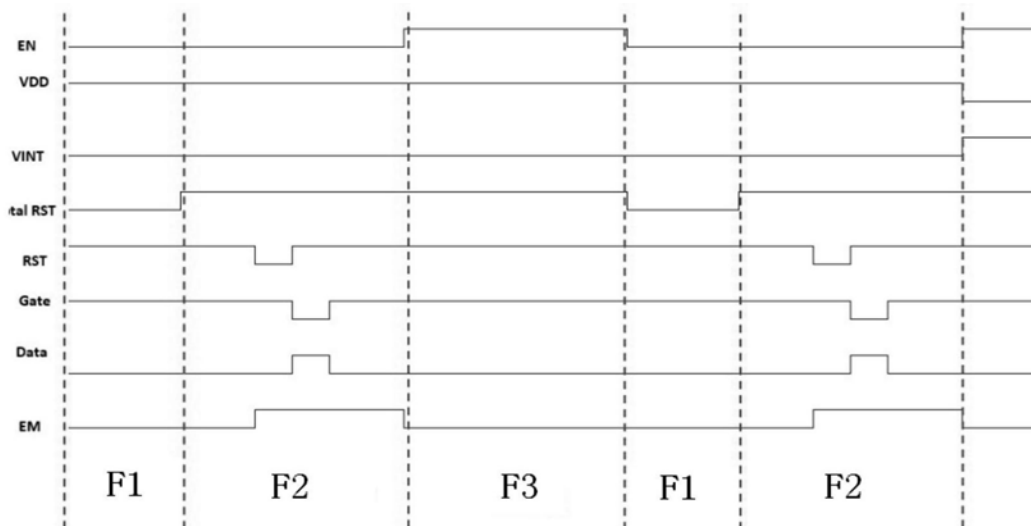


图8

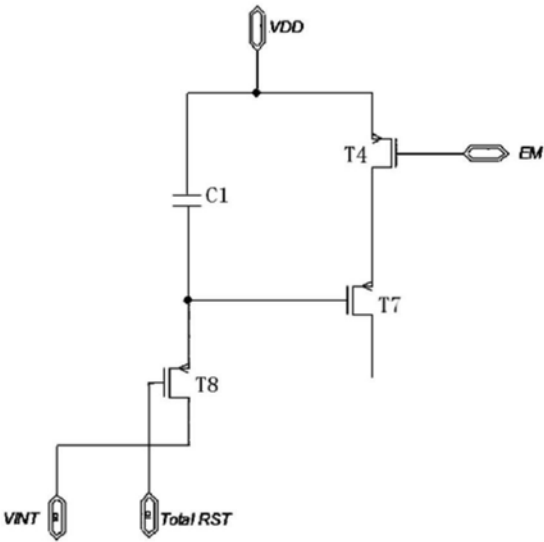


图9

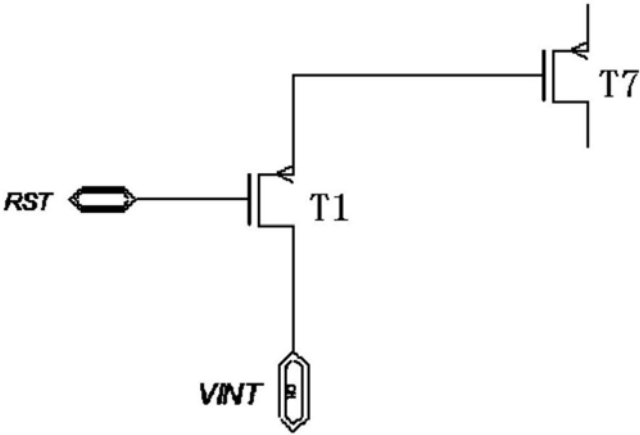


图10

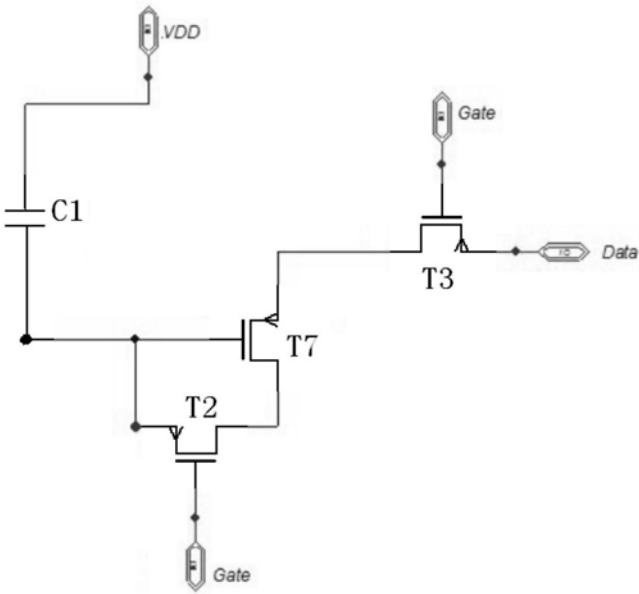


图11

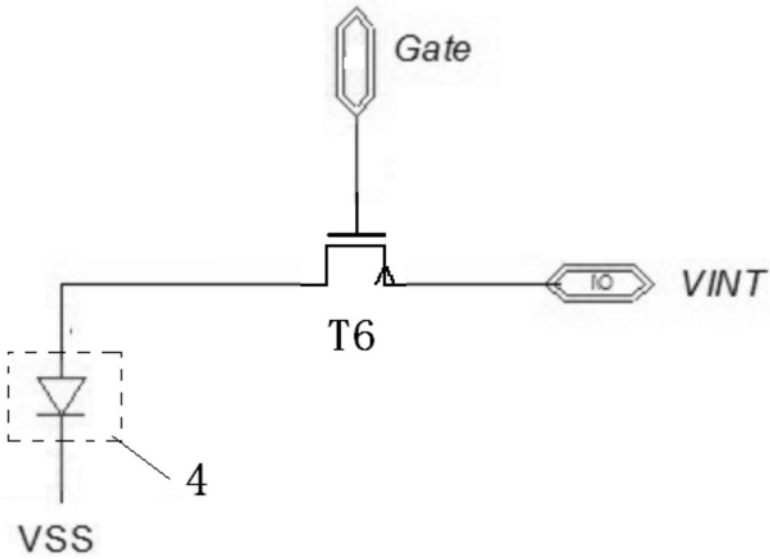


图12

专利名称(译)	一种像素电路、显示装置、像素电路驱动方法		
公开(公告)号	CN107342051B	公开(公告)日	2019-11-05
申请号	CN2017110800077.0	申请日	2017-09-07
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	高雪岭 羊振中 彭宽军 邹祥祥 杨洋		
发明人	高雪岭 羊振中 彭宽军 邹祥祥 杨洋		
IPC分类号	G09G3/3233 G09G3/3291		
CPC分类号	G09G3/3233 G09G3/3291 G09G3/3258 G09G3/3266 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0286 G09G2310/08 G09G2320/0257 G09G2300/0426		
代理人(译)	柴亮 张天舒		
其他公开文献	CN107342051A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种像素电路、显示装置、像素电路驱动方法，属于显示技术领域，其可解决现有的显示的问题。本发明的像素电路在像素单元处于黑色一帧的期间时，通过向像素单元内的复位模块输入低电压，同时配合发光控制模块，将驱动模块的V_{gs}电压进行复位，使驱动模块处于偏压状态，因此不论前一个阶段的数据电压为黑或是白，驱动模块皆由相同的偏压状态开始进行数据写入与补偿，故可改善因磁滞效应产生的短期残像问题。本发明的像素电路适用于各种OLED显示装置。

