



(12)发明专利

(10)授权公告号 CN 106373528 B

(45)授权公告日 2019.02.19

(21)申请号 201610970784.X

(22)申请日 2016.10.28

(65)同一申请的已公布的文献号

申请公布号 CN 106373528 A

(43)申请公布日 2017.02.01

(73)专利权人 上海天马微电子有限公司

地址 201201 上海市浦东新区汇庆路888、
889号

专利权人 天马微电子股份有限公司

(72)发明人 何泽尚

(74)专利代理机构 上海隆天律师事务所 31282

代理人 臧云霄 钟宗

(51)Int.Cl.

G09G 3/3225(2016.01)

(56)对比文件

CN 104217674 A, 2014.12.17,
US 2005269959 A1, 2005.12.08,
US 2005057459 A1, 2005.03.17,
CN 104091560 A, 2014.10.08,
CN 103927975 A, 2014.07.16,
CN 105047138 A, 2015.11.11,
CN 105702199 A, 2016.06.22,
CN 104050917 A, 2014.09.17,
CN 104050916 A, 2014.09.17,

审查员 潘佳丽

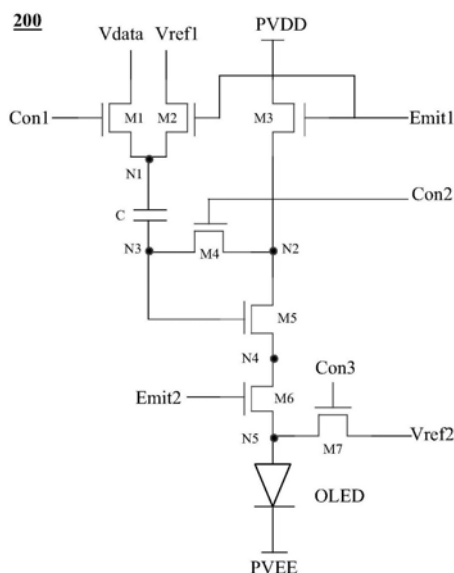
权利要求书3页 说明书9页 附图10页

(54)发明名称

显示装置、像素驱动电路与像素驱动方法

(57)摘要

本公开提供一种像素驱动电路、驱动方法以及显示装置。像素驱动电路包括第一晶体管,用于将数据信号传输至第一节点;第二晶体管,用于将第一参考电压信号传输至第一节点;第三晶体管,用于将驱动电压传输至第二节点;第四晶体管,用于连通第二节点和第三节点;第五晶体管,用于连通第二节点和第四节点;第六晶体管,用于将第四节点的信号传输至第五节点,第五节点与有机发光二极管电连接;第七晶体管,用于将第二参考电压信号传输至第六晶体管;以及存储电容,电连接于第一节点和第三节点之间。本公开提供的像素驱动电路可以使显示装置的显示亮度更加均匀。



1. 一种像素驱动电路,其特征在于,包括:

一第一晶体管,用于响应一第一控制信号而导通,以将数据信号传输至一第一节点;

一第二晶体管,用于响应一第一发光控制信号而导通,以将一第一参考电压信号传输至所述第一节点;

一第三晶体管,用于响应所述第一发光控制信号而导通,以将驱动电压传输至一第二节点;

一第四晶体管,用于响应一第二控制信号而导通,以连通所述第二节点和一第三节点;

一第五晶体管,用于响应所述第三节点的信号而导通,以连通所述第二节点和一第四节点;

一第六晶体管,用于响应一第二发光控制信号而导通,以将所述第四节点的信号传输至第五节点,所述第五节点与有机发光二极管电连接;

一第七晶体管,用于响应一第三控制信号而导通,以将一第二参考电压信号传输至所述第六晶体管;

存储电容,电连接于所述第一节点和所述第三节点之间,其中,所述第一控制信号、所述第二控制信号和所述第三控制信号均为行扫描信号。

2. 根据权利要求1所述的像素驱动电路,其特征在于,所述第一至第七晶体管均分别具有控制端、第一端以及第二端,其中:

所述第一晶体管的控制端接收所述第一控制信号,所述第一晶体管的第一端接收所述数据信号,所述第一晶体管的第二端与所述第一节点电连接;

所述第二晶体管的控制端接收所述第一发光控制信号,所述第二晶体管的第一端接收所述第一参考电压信号,所述第二晶体管的第二端与所述第一节点电连接;

所述第三晶体管的控制端接收所述第一发光控制信号,所述第三晶体管的第一端接收所述驱动电压,所述第三晶体管的第二端与所述第二节点电连接;

所述第四晶体管的控制端接收所述第二控制信号,所述第四晶体管的第一端与所述第二节点电连接,所述第四晶体管的第二端与所述第三节点电连接;

所述第五晶体管的控制端与所述第三节点电连接,所述第五晶体管的第一端与所述第二节点电连接,所述第五晶体管的第二端与所述第四节点电连接;

所述第六晶体管的控制端接收所述第二发光控制信号,所述第六晶体管的第一端与所述第四节点电连接,所述第六晶体管的第二端与所述第五节点电连接;

所述第七晶体管的控制端接收所述第三控制信号,所述第七晶体管的第一端接收所述第二参考电压信号,所述第七晶体管的第二端与所述第六晶体管的第二端电连接。

3. 根据权利要求2所述的像素驱动电路,其特征在于,所述第一控制信号为第n行扫描信号,所述第三控制信号为第n-2行扫描信号,所述第二控制信号为第n-1行扫描信号;所述第一发光控制信号为第n行发光控制信号,所述第二发光控制信号为第n-2行发光控制信号。

4. 根据权利要求1所述的像素驱动电路,其特征在于,所述第一至第七晶体管均分别具有控制端、第一端以及第二端,其中:

所述第一晶体管的控制端接收所述第一控制信号,所述第一晶体管的第一端接收所述数据信号,所述第一晶体管的第二端与所述第一节点电连接;

所述第二晶体管的控制端接收所述第一发光控制信号,所述第二晶体管的第一端接收所述第一参考电压信号,所述第二晶体管的第二端与所述第一节点电连接;

所述第三晶体管的控制端接收所述第一发光控制信号,所述第三晶体管的第一端接收所述驱动电压,所述第三晶体管的第二端与所述第二节点电连接;

所述第四晶体管的控制端接收所述第二控制信号,所述第四晶体管的第一端与所述第二节点电连接,所述第四晶体管的第二端与所述第三节点电连接;

所述第五晶体管的控制端与所述第三节点电连接,所述第五晶体管的第一端与所述第二节点电连接,所述第五晶体管的第二端与所述第四节点电连接;

所述第六晶体管的控制端接收所述第二发光控制信号,所述第六晶体管的第一端与所述第四节点电连接,所述第六晶体管的第二端与所述第五节点电连接;

所述第七晶体管的控制端接收所述第三控制信号,所述第七晶体管的第一端接收所述第二参考电压信号,所述第七晶体管的第二端与所述第六晶体管的第一端电连接。

5. 根据权利要求4所述的像素驱动电路,其特征在于,所述第三控制信号与所述第一控制信号为同一信号。

6. 根据权利要求5所述的像素驱动电路,其特征在于,所述第一控制信号为第n行扫描信号,所述第二控制信号为第n-2行扫描信号。

7. 根据权利要求1~6任一项所述的像素驱动电路,其特征在于,所述晶体管均为N型晶体管。

8. 根据权利要求7所述的像素驱动电路,其特征在于,所述驱动电压为高电平电压;所述有机发光二极管的阳极与所述第五节点电连接,所述有机发光二极管的阴极与低电平电压电连接。

9. 根据权利要求1~6任一项所述的像素驱动电路,其特征在于,所述晶体管均为P型晶体管。

10. 根据权利要求9所述的像素驱动电路,其特征在于,所述驱动电压为低电平电压;所述有机发光二极管的阴极与所述第五节点电连接,所述有机发光二极管的阳极与高电平电压电连接。

11. 一种像素驱动方法,应用于根据权利要求2或3所述的像素驱动电路;其特征在于,所述方法包括:

电压写入阶段,通过所述第一发光控制信号以及所述第三控制信号控制所述第二晶体管、所述第三晶体管以及所述第七晶体管导通,通过所述第二控制信号在所述电压写入阶段的前半阶段控制所述第四晶体管截止,在所述电压写入阶段的后半阶段控制所述第四晶体管导通,通过所述第一控制信号以及所述第二发光控制信号控制所述第一晶体管、所述第六晶体管截止,所述驱动电压通过所述第三晶体管、所述第四晶体管传输至所述第三节点,所述第一参考电压信号通过所述第二晶体管传输至所述第一节点,所述第二参考电压信号通过所述第七晶体管传输至所述第五节点;

电压调整阶段,通过所述第一控制信号以及所述第二发光控制信号控制所述第一晶体管以及所述第六晶体管导通,通过所述第二控制信号在所述电压调整阶段的前半阶段控制所述第四晶体管导通,在所述电压调整阶段的后半阶段控制所述第四晶体管截止,通过所述第三控制信号以及所述第一发光控制信号控制所述第二晶体管、所述第三晶体管以及所

述第七晶体管截止,所述数据信号通过所述第一晶体管传输至所述第一节点,所述第三节点的电压通过所述第四晶体管、第五晶体管以及第六晶体管传输至所述第五节点;

发光控制阶段,通过所述第一发光控制信号、所述第二发光控制信号控制所述第二晶体管、所述第三晶体管以及所述第六晶体管导通,通过所述第一控制信号、所述第二控制信号以及所述第三控制信号控制所述第一晶体管、所述第四晶体管以及所述第七晶体管截止;所述第一参考电压信号通过所述第二晶体管传输至所述第一节点,所述驱动电压通过所述第三晶体管传输至所述第二节点,所述第六晶体管产生驱动电流传输至所述有机发光二极管,所述有机发光二极管响应于所述驱动电流而发光。

12.一种像素驱动方法,应用于根据权利要求4~6任一项所述的像素驱动电路;其特征在于,所述方法包括:

电压写入阶段,通过所述第二控制信号以及所述第一发光控制信号控制所述第二晶体管、所述第三晶体管以及所述第四晶体管导通,通过所述第一控制信号、所述第三控制信号以及所述第二发光控制信号控制所述第一晶体管、所述第六晶体管以及所述第七晶体管截止,所述驱动电压通过所述第三晶体管、所述第四晶体管传输至所述第三节点,所述第一参考电压信号通过所述第二晶体管传输至所述第一节点;

电压调整阶段,通过所述第一控制信号以及所述第三控制信号控制所述第一晶体管以及所述第七晶体管导通,通过所述第二控制信号、所述第一发光控制信号以及所述第二发光控制信号控制所述第二晶体管、所述第三晶体管、所述第四晶体管以及所述第六晶体管截止,所述数据信号通过所述第一晶体管传输至所述第一节点,所述第二参考电压信号通过所述第七晶体管传输至所述第四节点;

发光控制阶段,通过所述第一发光控制信号、所述第二发光控制信号控制所述第二晶体管、所述第三晶体管以及所述第六晶体管导通,通过所述第一控制信号、所述第二控制信号以及所述第三控制信号控制所述第一晶体管、所述第四晶体管以及所述第七晶体管截止;所述第一参考电压信号通过所述第二晶体管传输至所述第一节点,所述驱动电压通过所述第三晶体管、所述第四晶体管传输至所述第四节点,所述第六晶体管产生驱动电流传输至所述有机发光二极管,所述有机发光二极管响应于所述驱动电流而发光。

13.一种显示装置,其特征在于,包括根据权利要求1~10任意一项所述的像素驱动电路。

显示装置、像素驱动电路与像素驱动方法

技术领域

[0001] 本公开涉及显示技术领域,具体而言,涉及一种像素驱动电路与驱动方法,以及应用此像素驱动电路的显示装置。

背景技术

[0002] 相比传统技术中的液晶显示装置,OLED(Organic Light Emitting Diode,有机发光二极管)显示装置具有反应速度更快、色纯度和亮度更优、对比度更高、视角更广等特点。因此,逐渐得到了显示技术开发商日益广泛的关注。

[0003] OLED显示装置中的像素单元主要包括有机发光二极管和驱动该有机发光二极管的像素单元驱动电路。传统的2T1C像素单元驱动电路如图1中所示:其包括第一晶体管T1、驱动晶体管DTFT以及存储电容Cst。其中,第一晶体管T1由扫描线(Scan Line)输出的第一扫描信号Sn控制,以用于控制数据线(Data Line)的数据信号Vdata的写入,驱动晶体管DTFT用于控制有机发光二极管OLED的发光,存储电容Cst用于为驱动晶体管DTFT的栅极提供维持电压。

[0004] 有机发光二极管OLED能够发光是由驱动晶体管DTFT工作在饱和状态时所产生的驱动电流驱动的,驱动晶体管DTFT的栅极和源极的电压差Vgs为PVEE+Vth_oled-Vdata,其中,Vth_oled为有机发光二极管OLED的阈值电压,Vdata为数据信号Vdata的电压,PVEE为有机发光二极管阴极连接的低电平电压。则驱动电流I_{OLED}可以表示为:

$$\begin{aligned}
 I_{OLED} &= \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot (V_{gs} - V_{th})^2 \\
 [0005] \quad &= \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot (PVEE + V_{th_oled} - V_{data} - V_{th})^2
 \end{aligned}$$

[0006] 其中, $\mu_n \cdot C_{OX} \cdot W/L$ 为与工艺和驱动设计有关的常数,例如 μ_n 为载流子迁移率, C_{OX} 为栅氧化层电容, W/L 为晶体管宽长比, V_{th} 为驱动晶体管DTFT的阈值电压。然而,由于技术所限,驱动晶体管DTFT的阈值电压 V_{th} 以及有机发光二极管OLED本身阈值电压的均匀性通常较差,在使用中还会发生驱动晶体管DTFT的阈值电压 V_{th} 以及有机发光二极管OLED本身阈值电压漂移。由上式可知,如果不同像素单元之间的驱动晶体管DTFT的阈值电压 V_{th} 以及有机发光二极管OLED本身阈值电压不同,则造成驱动电流存在差异,引起显示亮度不均匀;如果驱动晶体管的阈值电压 V_{th} 随时间发生漂移,则可能造成先后电流不同,影响显示效果。

[0007] 需要说明的是,在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解,因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

[0008] 本公开的目的在于提供一种像素驱动电路与驱动方法以及应用此像素驱动电路的显示装置,用于至少在一定程度上克服由于相关技术的限制和缺陷而导致的一个或多个

问题。

[0009] 根据本公开实施例的第一方面,提供一种像素驱动电路,包括:一第一晶体管,用于响应一第一控制信号而导通,以将数据信号传输至一第一节点;一第二晶体管,用于响应一第一发光控制信号而导通,以将一第一参考电压信号传输至所述第一节点;一第三晶体管,用于响应所述第一发光控制信号而导通,以将驱动电压传输至一第二节点;一第四晶体管,用于响应一第二控制信号而导通,以连通所述第二节点和一第三节点;一第五晶体管,用于响应所述第三节点的信号而导通,以连通所述第二节点和一第四节点;一第六晶体管,用于响应一第二发光控制信号而导通,以将所述第四节点的信号传输至第五节点,所述第五节点与有机发光二极管电连接;一第七晶体管,用于响应一第三控制信号而导通,以将一第二参考电压信号传输至所述第六晶体管;存储电容,电连接于所述第一节点和所述第三节点之间。

[0010] 在本公开的一种示例性实施例中,所述第一至第七晶体管均分别具有控制端、第一端以及第二端,其中:所述第一晶体管的控制端接收所述第一控制信号,所述第一晶体管的第一端接收所述数据信号,所述第一晶体管的第二端与所述第一节点电连接;所述第二晶体管的控制端接收所述第一发光控制信号,所述第二晶体管的第一端接收所述第一参考电压信号,所述第二晶体管的第二端与所述第一节点电连接;所述第三晶体管的控制端接收所述第一发光控制信号,所述第三晶体管的第一端接收所述驱动电压,所述第三晶体管的第二端与所述第二节点电连接;所述第四晶体管的控制端接收所述第二控制信号,所述第四晶体管的第一端与所述第二节点电连接,所述第四晶体管的第二端与所述第三节点电连接;所述第五晶体管的控制端与所述第三节点电连接,所述第五晶体管的第一端与所述第二节点电连接,所述第五晶体管的第二端与所述第四节点电连接;所述第六晶体管的控制端接收所述第二发光控制信号,所述第六晶体管的第一端与所述第四节点电连接,所述第六晶体管的第二端与所述第五节点电连接;所述第七晶体管的控制端接收所述第三控制信号,所述第七晶体管的第一端接收所述第二参考电压信号,所述第七晶体管的第二端与所述第六晶体管的第二端电连接。

[0011] 在本公开的一种示例性实施例中,所述第一控制信号为第n行扫描信号,所述第三控制信号为第n-2行扫描信号,所述第二控制信号为第n-1行扫描信号;所述第一发光控制信号为第n行发光控制信号,所述第二发光控制信号为第n-2行发光控制信号。

[0012] 在本公开的一种示例性实施例中,所述第一至第七晶体管均分别具有控制端、第一端以及第二端,其中:所述第一晶体管的控制端接收所述第一控制信号,所述第一晶体管的第一端接收所述数据信号,所述第一晶体管的第二端与所述第一节点电连接;所述第二晶体管的控制端接收所述第一发光控制信号,所述第二晶体管的第一端接收所述第一参考电压信号,所述第二晶体管的第二端与所述第一节点电连接;所述第三晶体管的控制端接收所述第一发光控制信号,所述第三晶体管的第一端接收所述驱动电压,所述第三晶体管的第二端与所述第二节点电连接;所述第四晶体管的控制端接收所述第二控制信号,所述第四晶体管的第一端与所述第二节点电连接,所述第四晶体管的第二端与所述第三节点电连接;所述第五晶体管的控制端与所述第三节点电连接,所述第五晶体管的第一端与所述第二节点电连接,所述第五晶体管的第二端与所述第四节点电连接;所述第六晶体管的控制端接收所述第二发光控制信号,所述第六晶体管的第一端与所述第四节点电连接,所述

第六晶体管的第二端与所述第五节点电连接;所述第七晶体管的控制端接收所述第三控制信号,所述第七晶体管的第一端接收所述第二参考电压信号,所述第七晶体管的第二端与所述第六晶体管的第一端电连接。

[0013] 在本公开的一种示例性实施例中,所述第三控制信号与所述第一控制信号为同一信号。

[0014] 在本公开的一种示例性实施例中,所述第一控制信号为第n行扫描信号,所述第二控制信号为第n-2行扫描信号。

[0015] 在本公开的一种示例性实施例中,所述晶体管均为N型晶体管。

[0016] 在本公开的一种示例性实施例中,所述驱动电压为高电平电压;所述有机发光二极管的阳极与所述第五节点电连接,所述有机发光二极管的阴极与低电平电压电连接。

[0017] 在本公开的一种示例性实施例中,所述晶体管均为P型晶体管。

[0018] 在本公开的一种示例性实施例中,所述驱动电压为低电平电压;所述有机发光二极管的阴极与所述第五节点电连接,所述有机发光二极管的阳极与高电平电压电连接。

[0019] 根据本公开实施例的第二方面,提供一种像素驱动方法,应用于前述的像素驱动电路;所述方法包括:电压写入阶段,通过所述第一发光控制信号以及所述第三控制信号控制所述第二晶体管、所述第三晶体管以及所述第七晶体管导通,通过所述第二控制信号在所述电压写入阶段的前半阶段控制所述第四晶体管截止,在所述电压写入阶段的后半阶段控制所述第四晶体管导通,通过所述第一控制信号以及所述第二发光控制信号控制所述第一晶体管、所述第六晶体管截止,所述驱动电压通过所述第三晶体管、所述第四晶体管传输至所述第三节点,所述第一参考电压信号通过所述第二晶体管传输至所述第一节点,所述第二参考电压信号通过所述第七晶体管传输至所述第五节点;电压调整阶段,通过所述第一控制信号以及所述第二发光控制信号控制所述第一晶体管以及所述第六晶体管导通,通过所述第二控制信号在所述电压调整阶段的前半阶段控制所述第四晶体管导通,在所述电压调整阶段的后半阶段控制所述第四晶体管截止,通过所述第三控制信号以及所述第一发光控制信号控制所述第二晶体管、所述第三晶体管以及所述第七晶体管截止,所述数据信号通过所述第一晶体管传输至所述第一节点,所述第三节点的电压通过所述第四晶体管、第五晶体管以及第六晶体管传输至所述第五节点;发光控制阶段,通过所述第一发光控制信号、所述第二发光控制信号控制所述第二晶体管、所述第三晶体管以及所述第六晶体管导通,通过所述第一控制信号、所述第二控制信号以及所述第三控制信号控制所述第一晶体管、所述第四晶体管以及所述第七晶体管截止;所述第一参考电压信号通过所述第二晶体管传输至所述第一节点,所述驱动电压通过所述第三晶体管传输至所述第二节点,所述第六晶体管产生驱动电流传输至所述有机发光二极管,所述有机发光二极管响应于所述驱动电流而发光。

[0020] 根据本公开实施例的第三方面,提供一种像素驱动方法,应用于前述的像素驱动电路;所述方法包括:电压写入阶段,通过所述第二控制信号以及所述第一发光控制信号控制所述第二晶体管、所述第三晶体管以及所述第四晶体管导通,通过所述第一控制信号、所述第三控制信号以及所述第二发光控制信号控制所述第一晶体管、所述第六晶体管以及所述第七晶体管截止,所述驱动电压通过所述第三晶体管、所述第四晶体管传输至所述第三节点,所述第一参考电压信号通过所述第二晶体管传输至所述第一节点;电压调整阶段,通

过所述第一控制信号以及所述第三控制信号控制所述第一晶体管以及所述第七晶体管导通,通过所述第二控制信号、所述第一发光控制信号以及所述第二发光控制信号控制所述第二晶体管、所述第三晶体管、所述第四晶体管以及所述第六晶体管截止,所述数据信号通过所述第一晶体管传输至所述第一节点,所述第二参考电压信号通过所述第七晶体管传输至所述第四节点;发光控制阶段,通过所述第一发光控制信号、所述第二发光控制信号控制所述第二晶体管、所述第三晶体管以及所述第六晶体管导通,通过所述第一控制信号、所述第二控制信号以及所述第三控制信号控制所述第一晶体管、所述第四晶体管以及所述第七晶体管截止;所述第一参考电压信号通过所述第二晶体管传输至所述第一节点,所述驱动电压通过所述第三晶体管、所述第四晶体管传输至所述第四节点,所述第六晶体管产生驱动电流传输至所述有机发光二极管,所述有机发光二极管响应于所述驱动电流而发光。

[0021] 根据本公开实施例的第四方面,提供一种显示装置,包括前述的像素驱动电路。

[0022] 本公开像素驱动电路通过将驱动晶体管(第五晶体管)的阈值电压和有机发光二极管的阈值电压写入存储电容,对第五晶体管的阈值电压以及有机发光二极管的阈值电压进行了有效的补偿,避免了驱动电流受到驱动晶体管阈值电压和有机发光二极管阈值电压的影响,保证了驱动电流的均匀性和稳定性,进而可以使显示装置的亮度更加均匀。

[0023] 应当理解的是,以上的一般描述和后文的细节描述仅是示例性和解释性的,并不能限制本公开。

附图说明

[0024] 此处的附图被并入说明书中并构成本说明书的一部分,示出了符合本公开的实施例,并与说明书一起用于解释本公开的原理。显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0025] 图1示意性示出一种驱动电路的电路图。

[0026] 图2示意性示出本公开示例性实施例中一种驱动电路的电路图。

[0027] 图3示意性示出本公开示例性实施例中一种驱动方法的信号时序图。

[0028] 图4A示意性示出本公开示例性实施例中一种图2中驱动电路运行到图3中时序T1时的等效电路图。

[0029] 图4B示意性示出本公开示例性实施例中一种图2中驱动电路运行到图3中时序T2时的等效电路图。

[0030] 图4C示意性示出本公开示例性实施例中一种图2中驱动电路运行到图3中时序T3时的等效电路图。

[0031] 图5示意性示出本公开示例性实施例中另一种驱动电路的电路图。

[0032] 图6示意性示出本公开示例性实施例中另一种驱动方法的信号时序图。

[0033] 图7A示意性示出本公开示例性实施例中一种图5中驱动电路运行到图6中时序T1时的等效电路图。

[0034] 图7B示意性示出本公开示例性实施例中一种图5中驱动电路运行到图6中时序T2时的等效电路图。

[0035] 图7C示意性示出本公开示例性实施例中一种图5中驱动电路运行到图6中时序T3

时的等效电路图。

[0036] 图8A至图8D示意性示出本示例实施方式中显示装置性能提升的数据图表。

[0037] 附图标记说明：

[0038] M1~M7 第一晶体管~第七晶体管

[0039] C 存储电容

[0040] OLED 有机发光二极管

[0041] N1~N5 第一节点~第五节点

[0042] PVDD 驱动电压

[0043] PVEE 低电平电压

[0044] Vdata 数据信号

[0045] Vref1 第一参考电压信号

[0046] Vref2 第二参考电压信号

[0047] Emit1 第一发光控制信号

[0048] Emit2 第二发光控制信号

[0049] Con1 第一控制信号

[0050] Con2 第二控制信号

[0051] Con3 第三控制信号

具体实施方式

[0052] 现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的范例；相反，提供这些实施方式使得本公开将更加全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施方式中。在下面的描述中，提供许多具体细节从而给出对本公开的实施方式的充分理解。然而，本领域技术人员将意识到，可以实践本公开的技术方案而省略所述特定细节中的一个或更多，或者可以采用其它的方法、组元、装置、步骤等。在其它情况下，不详细示出或描述公知技术方案以避免喧宾夺主而使得本公开的各方面变得模糊。

[0053] 此外，附图仅为本公开的示意性图解，并非一定是按比例绘制。图中相同的附图标记表示相同或类似的部分，因而将省略对它们的重复描述。附图中所示的一些方框图是功能实体，不一定必须与物理或逻辑上独立的实体相对应。可以采用软件形式来实现这些功能实体，或在一个或多个硬件模块或集成电路中实现这些功能实体，或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

[0054] 本示例实施方式中首先提供了一种像素驱动电路。如图中2中所示，该像素驱动电路200可以包括有机发光二极管OLED、第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7以及存储电容C等。其中，第一晶体管M1可以用于响应第一控制信号Con1而导通，以将数据信号Vdata传输至第一节点N1；第二晶体管M2可以用于响应第一发光控制信号Emit1而导通，以将第一参考电压信号Vref1传输至所述第一节点N1；第三晶体管M3可以用于响应所述第一发光控制信号Emit1而导通，以将驱动电压PVDD传输至第二节点N2；第四晶体管M4可以用于响应第二控制信号Con2而导通，以

连通所述第二节点N2和第三节点N3;第五晶体管M5可以用于响应所述第三节点N3的信号而导通,以连通所述第二节点N2和第四节点N4;第六晶体管M6可以用于响应第二发光控制信号Emit2而导通,以将所述第四节点N4的信号传输至第五节点N5,所述第五节点N5与有机发光二极管OLED电连接;第七晶体管M7可以用于响应第三控制信号Con3而导通,以将第二参考电压信号Vref2传输至所述第六晶体管M6;存储电容C可以电连接于所述第一节点N1和所述第三节点N3之间。

[0055] 像素驱动电路200可以对第五晶体管M5的阈值电压以及有机发光二极管OLED的阈值电压进行有效的补偿,保证驱动电流的均匀性和稳定性,进而可以使显示装置的亮度更加均匀。

[0056] 第一晶体管M1至第七晶体管M7均可以包括控制端、第一端以及第二端。如图2中所示,以第一晶体管M1至第七晶体管M7均为N型晶体管为例,控制端可以为晶体管的栅极,第一端可以为晶体管的源极,第二端可以为晶体管的漏极;但需要说明的是,在薄膜晶体管中,晶体管的源极和漏极并不进行严格区分,因此也可能是第一端为晶体管的漏极,第二端为晶体管的源极。参考图2中所示,其中:

[0057] 第一晶体管M1的控制端接收第一控制信号Con1,第一晶体管M1的第一端接收数据信号Vdata,第一晶体管M1的第二端与第一节点N1电连接;第二晶体管M2的控制端接收第一发光控制信号Emit1,第二晶体管M2的第一端接收第一参考电压信号Vref1,第二晶体管M2的第二端与第一节点N1电连接;第三晶体管M3的控制端接收第一发光控制信号Emit1,第三晶体管M3的第一端接收驱动电压PVDD,第三晶体管M3的第二端与第二节点N2电连接;第四晶体管M4的控制端接收第二控制信号Con2,第四晶体管M4的第一端与第二节点N2电连接,第四晶体管M4的第二端与第三节点N3电连接;第五晶体管M5的控制端与第三节点N3电连接,第五晶体管M5的第一端与第二节点N2电连接,第五晶体管M5的第二端与第四节点N4电连接;第六晶体管M6的控制端接收第二发光控制信号Emit2,第六晶体管M6的第一端与第四节点N4电连接,第六晶体管M6的第二端与第五节点N5电连接;第七晶体管M7的控制端接收第三控制信号Con3,第七晶体管M7的第一端接收第二参考电压信号Vref2,第七晶体管M7的第二端与第六晶体管M6的第一端电连接。

[0058] 下面结合图2中像素驱动电路的驱动方法对其中的各部分进行更详细的说明。

[0059] 图3是图2中的像素驱动电路200的驱动方法的控制时序图,其中示出了第一发光控制信号Emit1、第二发光控制信号Emit2、第一控制信号Con1、第二控制信号Con2以及第三控制信号Con3在三个阶段(下称电压写入阶段T1、电压调整阶段T2以及发光控制阶段T3)的电平状态。在本示例性实施方式中,第一控制信号Con1可以为第n行扫描信号,第三控制信号Con3可以为第n-2行扫描信号,第二控制信号Con2可以为第n-1行扫描信号;第一发光控制信号Emit1可为第n行发光控制信号,第二发光控制信号Emit2可以为第n-2行发光控制信号。

[0060] 图4A~图4C分别是控制时序运行至T1~T3阶段时像素驱动电路200的等效电路图。

[0061] 参考图4A,在电压写入阶段T1的前半阶段,第一发光控制信号Emit1以及第三控制信号Con3均为高电平,从而可以控制第二晶体管M2、第三晶体管M3以及第七晶体管M7导通;第一控制信号Con1以及第二发光控制信号Emit2均为低电平,从而可以控制第一晶体管M1

以及第六晶体管M6截止。在电压写入阶段T1的后半阶段,第二控制信号Con2由低电平转变为高电平,从而可以控制第四晶体管M4导通。

[0062] 在电压写入阶段T1,第一参考电压Vref1通过第二晶体管M2写入第一节点N1,即此时存储电容C第一端的电压等于第一参考电压Vref1。由于第四晶体管M4导通,第二节点N2与第三节点N3连通,驱动电压PVDD通过第三晶体管M3和第四晶体管M4同时写入第五晶体管M5的源极和漏极。同时,第二参考电压Vref2通过导通的第七晶体管M7写入第五节点N5,使有机发光二极管OLED阳极电压等于第二参考电压Vref2。

[0063] 参考图4B,在电压调整阶段T2的前半阶段,第一控制信号Con1、第二控制信号Con2以及第二发光控制信号Emit2均为高电平,从而可以控制第一晶体管M1、第四晶体管M4以及第六晶体管M6导通;第一发光控制信号Emit1、第三控制信号Con3均为低电平,从而可以控制第二晶体管M2、第三晶体管M3以及第七晶体管M7截止。在电压调整阶段T2的后半阶段,第二控制信号Con2由高电平转为低电平,从而可以控制第四晶体管M4截止。

[0064] 在电压调整阶段T2,数据信号Vdata通过第一晶体管M1写入第一节点N1,即此时存储电容C的第一端电压等于Vdata。本示例实施方式中,可以将晶体管的栅源极阈值电压表示为Vth。由于此前第三节点N3电压与第二节点N2电压均等于驱动电压PVDD,且 $PVDD - Vref2 > Vth$,则第三节点N3电压与第二节点N2电压将从PVDD开始下降,直至将至 $PVEE + Vth + Vth_{oled}$,此时存储电容两端电压差等于 $Vdata - (PVEE + Vth + Vth_{oled})$ 。Vth和Vth_{oled}被存储至存储电容。

[0065] 参考图4C,在发光控制阶段T3,第一发光控制信号Emit1以及第二发光控制信号Emit2均为高电平,从而可以控制第二晶体管M2、第三晶体管M3以及第六晶体管M6导通;第一控制信号Con1、第二控制信号Con2以及第三控制信号Con3均为低电平,从而可以控制第一晶体管M1、第四晶体管M4以及第七晶体管M7截止。

[0066] 在发光控制阶段T3,第四晶体管M4关闭,存储电容C上电荷无法流动,存储电容C两端电压差维持在 $Vdata - (PVEE + Vth + Vth_{oled})$ 。第二晶体管M2导通,使存储电容C第一端电压变为Vref,则此时第五晶体管M5栅极电压等于 $Vref - (Vdata - (PVEE + Vth + Vth_{oled}))$,即 $Vref - Vdata + (PVEE + Vth + Vth_{oled})$ 。由于此时第五晶体管M5源极电压等于 $PVEE + Vth_{oled}$,因此第五晶体管M5栅源极压差等于 $Vref - Vdata + Vth$ 。根据驱动电流计算公式,此时驱动电流为 $K_n * (Vdata - Vref)^2$,不受第五晶体管M5阈值电压Vth以及发光二极管OLED阈值Vth_{oled}的影响。

[0067] 本示例实施方式通过将第五晶体管M5的阈值电压Vth以及有机发光二极管OLED的阈值电压Vth_{oled}写入存储电容C,从而在发光控制阶段T3使驱动电流不受第五晶体管M5阈值电压Vth以及发光二极管OLED阈值Vth_{oled}的影响,增强了显示面板的显示均匀性。此外,通过将第七晶体管M7的源极连接到第五节点N5,可以在电压输入阶段保证OLED不发光,降低黑态亮度;同时将M5置于低电位,可以保证电压调整阶段M5的阈值电压能被提取出来。

[0068] 在本公开的其他示例性实施例中,第七晶体管M7的设置还可以有另一种方案。图5是本公开示例实施例中另一种像素驱动电路的电路图。参考图5,像素驱动电路500与图2中的像素驱动电路200的不同之处在于,第七晶体管M7第一端由连接至第六晶体管M6第二端(第五节点N5)变为连接至第六晶体管M6第一端(第四节点N4)。

[0069] 图6是图5中的像素驱动电路500的驱动方法的控制时序图,其中示出了第一发光

控制信号Emit1、第一发光控制信号Emit1、第一控制信号Con1以及第二控制信号Con2在三个阶段(下称电压写入阶段T1、电压调整阶段T2以及发光控制阶段T3)的电平状态。在本示例实施方式中,基于对像素驱动电路200时序控制方法的改进,可以使第三控制信号Con3与第一控制信号Con1为相同,均为第一控制信号Con1。在这种情况下,第一控制信号Con1可为第n行扫描信号,第二控制信号可以为第n-2行扫描信号。

[0070] 图7A~图7C分别是控制时序运行至T1~T3阶段时像素驱动电路500的等效电路图。

[0071] 参考图7A,在电压写入阶段T1,第一发光控制信号Emit1、第二控制信号Con2均为高电平,从而控制第二晶体管M2、第三晶体管M3以及第四晶体管M4导通;第一控制信号Con1、第二发光控制信号Emit2均为低电平,从而控制第一晶体管M1、第七晶体管M7以及第六晶体管M6截止。

[0072] 在电压写入阶段T1,第二晶体管M2导通,第一节点N1电压等于第一参考电压Vref1;第二晶体管M2以及第四晶体管M4导通,第二节点N2、第三节点N3电压均等于驱动电压PVDD。

[0073] 参考图7B,在电压调整阶段T2,第一控制信号Con1为高电平,从而控制第一晶体管M1以及第七晶体管M7导通;第一发光控制信号Emit1、第二发光控制信号Emit2以及第二控制信号Con2均为低电平,从而控制第二晶体管M2、第三晶体管M3、第四晶体管M4以及第六晶体管M6截止。

[0074] 在电压调整阶段T2,第一晶体管M1导通,从而使第一节点N1电压等于数据信号电压Vdata。第七晶体管M7导通,第四节点N4电压等于第二参考电压Vref2,从而使第三节点N3电压由PVDD下降至Vref2+Vth,存储电容C两端电压差等于Vdata-(Vref2+Vth),第五晶体管M5的阈值电压Vth被写入存储电容C。由于此时第六晶体管M6截止,阈值电压Vth的写入不会引起发光二极管OLED产生漏电。

[0075] 参考图7C,在发光控制阶段T3,第一发光控制信号Emit1以及第二发光控制信号Emit2均为高电平,从而控制第二晶体管M2、第三晶体管M3以及第六晶体管M6导通;第一控制信号Con1以及第二控制信号Con2均为低电平,从而控制第一晶体管M1、第七晶体管M7以及第四晶体管M4截止。

[0076] 在发光控制阶段T3,第四晶体管M4关闭,存储电容C上电荷无法流动,存储电容C两端电压差维持在Vdata-(Vref2+Vth)。第二晶体管M2导通,使存储电容C第一端电压变为Vref,则此时第五晶体管M5栅极电压等于Vref-(Vdata-(Vref2+Vth)),即Vref-Vdata+Vref2+Vth。由于此时第五晶体管M5源极电压等于PVEE+Vth_oled,根据驱动电流计算公式,此时驱动电流为 $K_n * (V_{ref} + V_{ref2} - V_{data} - V_{th_oled} - PVEE)^2$,其中 $V_{th_oled} \propto V_{data}$,驱动电流不受第五晶体管M5阈值电压Vth的影响。

[0077] 本示例实施方式在图2中的像素驱动电路200的基础上通过将第七晶体管M7的源极连接到第四节点N4,避免了在电压调整阶段第五晶体管M5的阈值电压Vth写入存储电容时造成的有机发光二极管oled漏电,防止了有机发光二极管产生余晖,提升了显示均匀性的同时也提升了显示质量。此外,通过使第一晶体管M1与第七晶体管M7共用一个控制信号,在图2中的像素驱动电路200的基础上减少了控制信号,降低了显示面板的成本。

[0078] 在上述示例性实施例中,所有晶体管均为N型晶体管。但本领域先关技术人员很容

易得出本发明所提供的像素驱动电路可以轻易改成全为P型薄膜晶体管的像素驱动电路。在本公开的一种示例性实施例中,晶体管均为P型晶体管。此时驱动电压PVDD为低电平电压;有机发光二极管OLED的阴极与第五节点N5耦接,阳极与高电平电压耦接。采用全P型薄膜晶体管具有以下优点,例如对噪声抑制力强;例如由于是低电平导通,而充电管理中低电平较容易实现。当然,本发明所提供的像素驱动电路也可以轻易改为CMOS (Complementary Metal Oxide Semiconductor,互补金属氧化物半导体)电路等等;并不局限于本实施例中的所提供的像素驱动电路,在此不再赘述。

[0079] 进一步的,本示例实施方式中还提供一种显示装置。显示装置可以包括多条数据线,多条扫描线,用于提供第一控制信号Con1至第三控制信号Con3;多个像素驱动电路,电性连接于所述数据线和扫描线;至少之一所述像素驱动电路包括为本示例实施方式中的上述任一像素驱动电路。由于该像素驱动电路补偿了驱动晶体管以及有机发光二极管的阈值电压漂移,使得有机发光二极管OLED显示稳定,改善了显示装置显示亮度的均匀性,因此显示装置的显示品质可以得到极大的提升。

[0080] 图8A至图8D示意性示出本示例实施方式中显示装置性能提升的数据图表。参考图8A至图8D:

[0081] 图8A表示M5不同阈值时,数据电压Vdata与OLED驱动电流I的关系;图8B表示OLED不同阻值时,数据电压Vdata与OLED驱动电流I的关系;图8C表示M5不同阈值时,数据电压Vdata对应的OLED驱动电流I的变化量;图8D表示OLED不同阻值时,数据电压Vdata对应的OLED驱动电流I的变化量。

[0082] 在存在5fF寄生电容的情况下,第五晶体管M5的阈值电压变化为0.5V,驱动电流变化在6%以内;有机发光二极管OLED电阻变化为3k Ω ,驱动电流变化在5%以内。由此可见,本公开示例实施方式的像素驱动电路对驱动晶体管阈值电压以及有机发光二极管的电阻变化均有较好的补偿效果。

[0083] 本领域技术人员在考虑说明书及实践这里公开的发明后,将容易想到本公开的其他实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化,这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的,本公开的真正范围和精神由所附的权利要求指出。

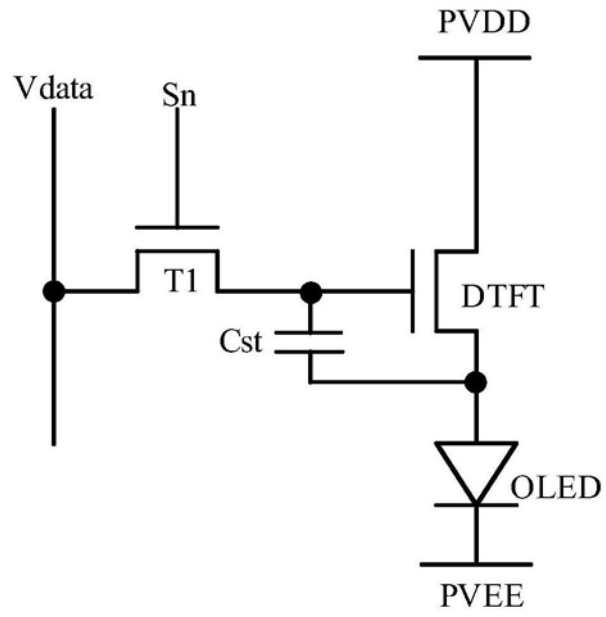


图1

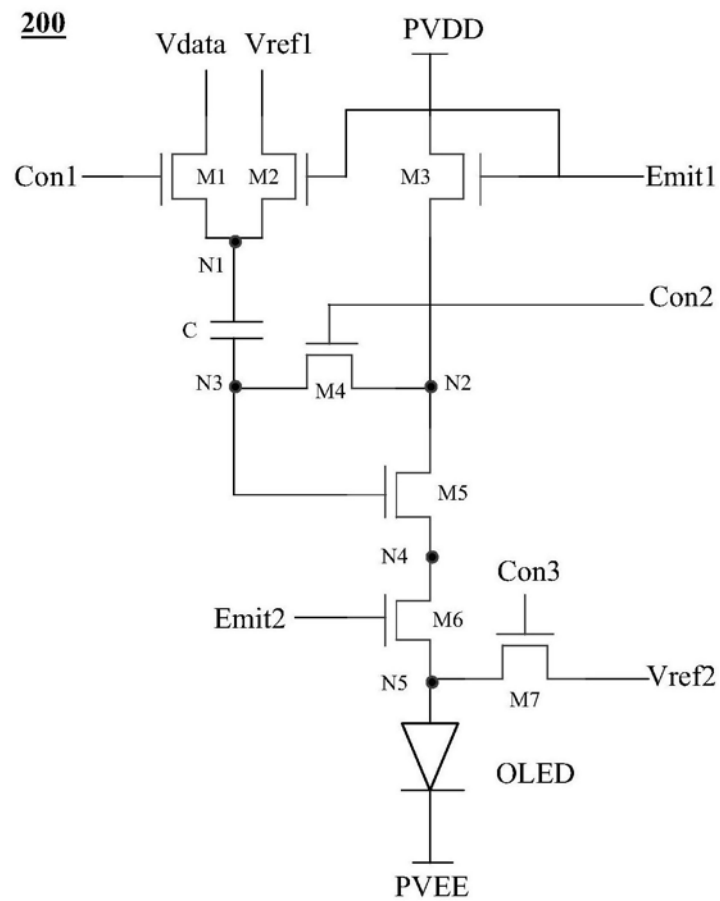


图2

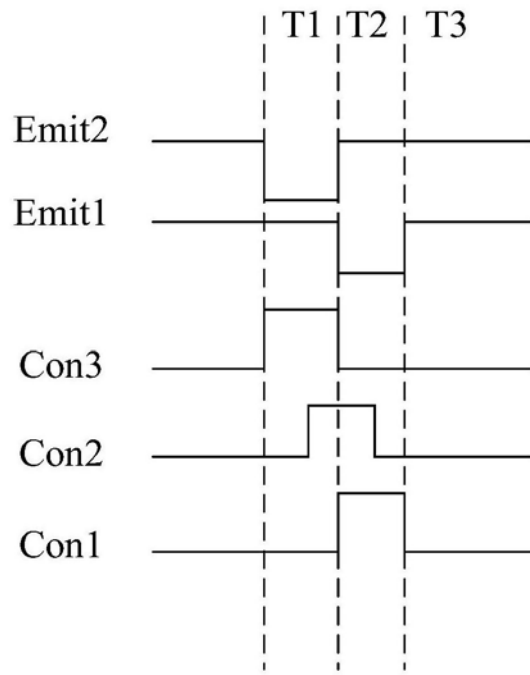


图3

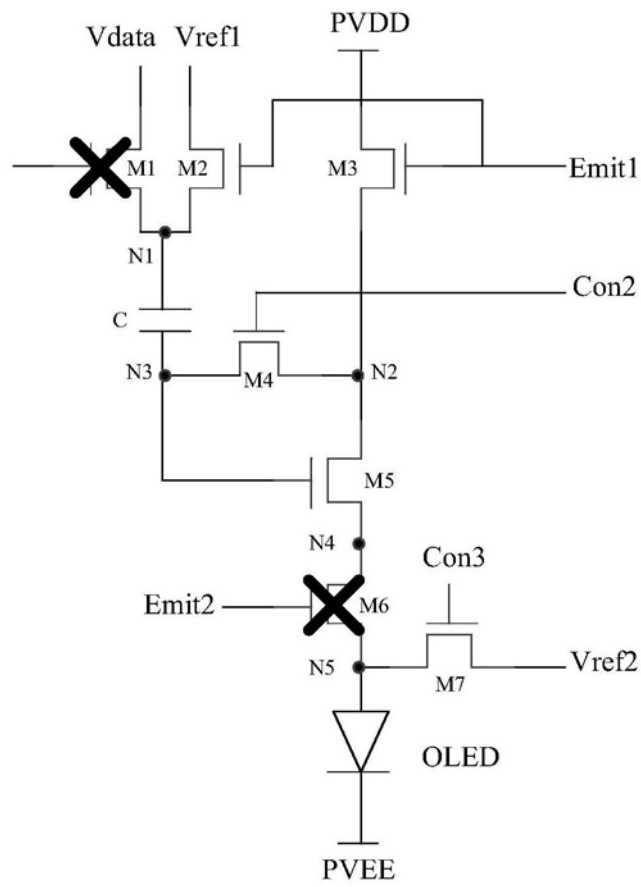
T1

图4A

T2

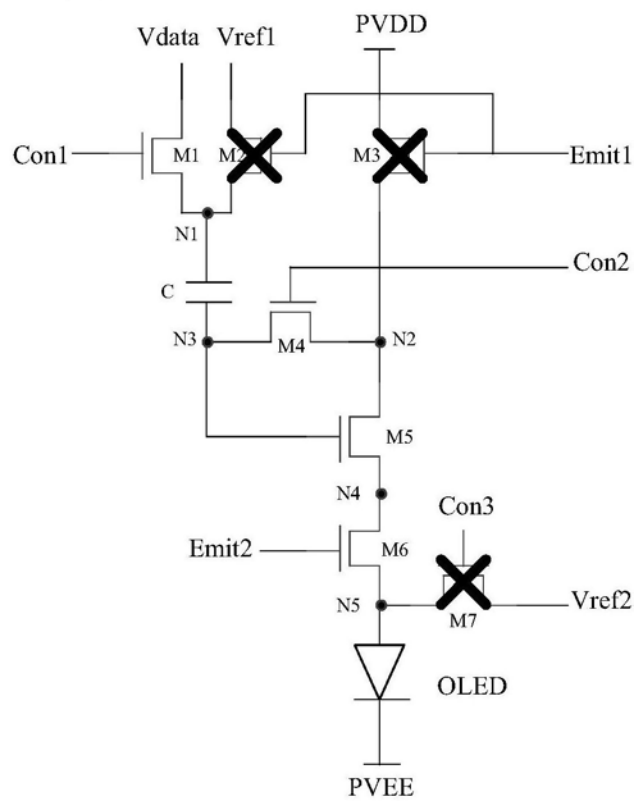


图4B

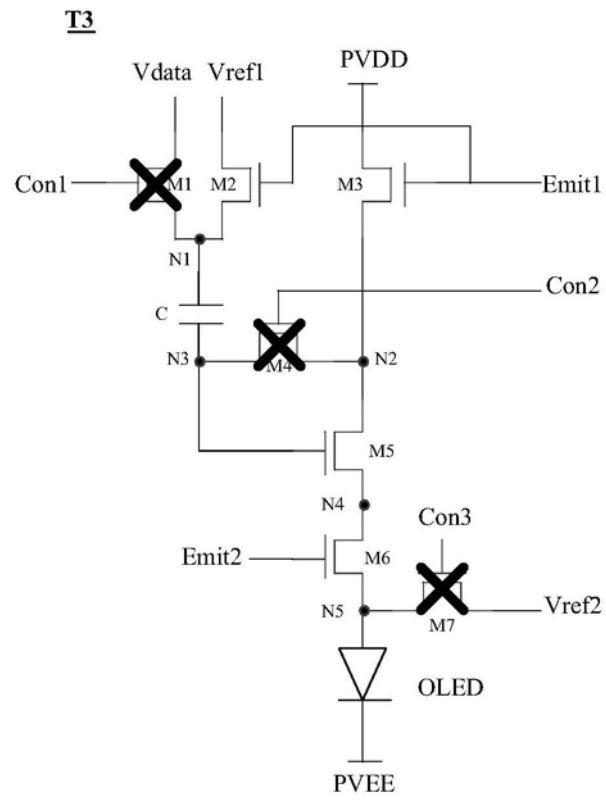


图4C

500

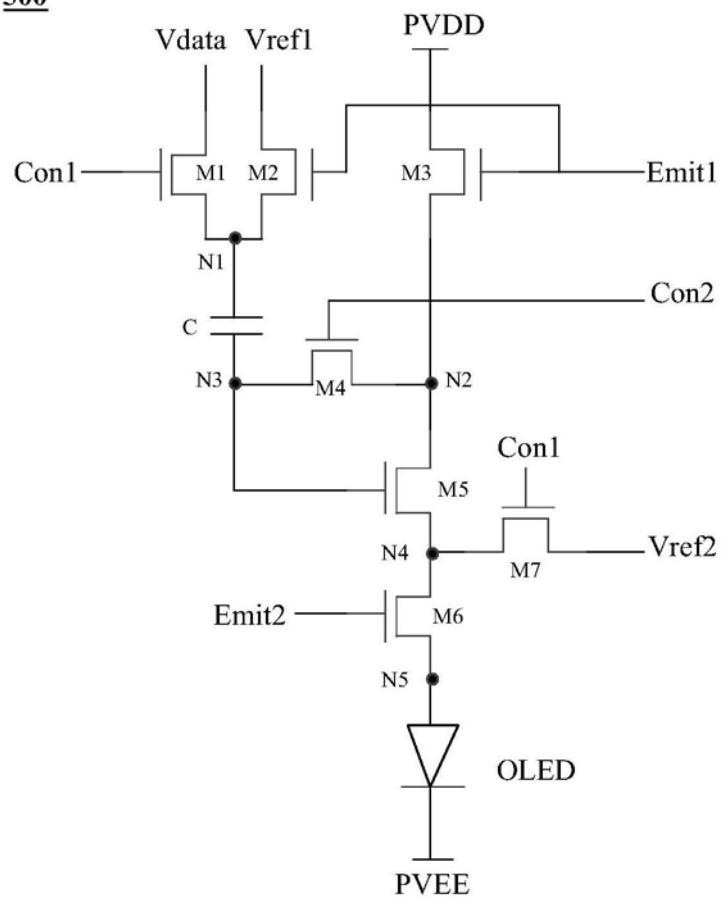


图5

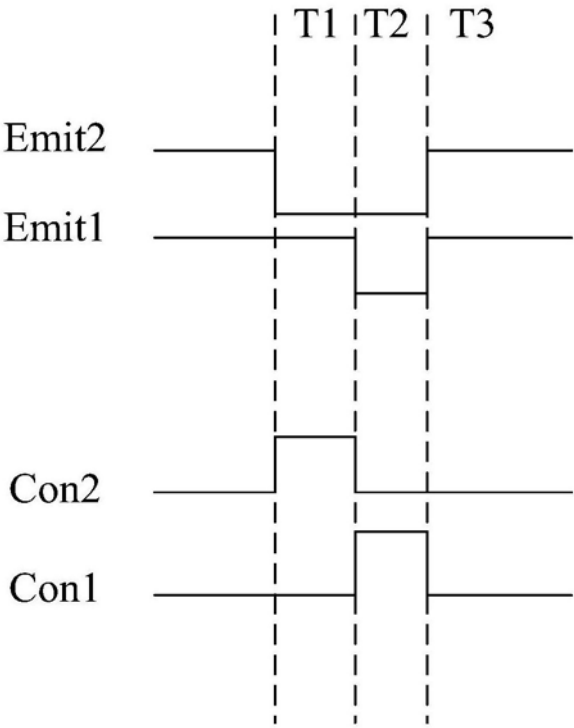


图6

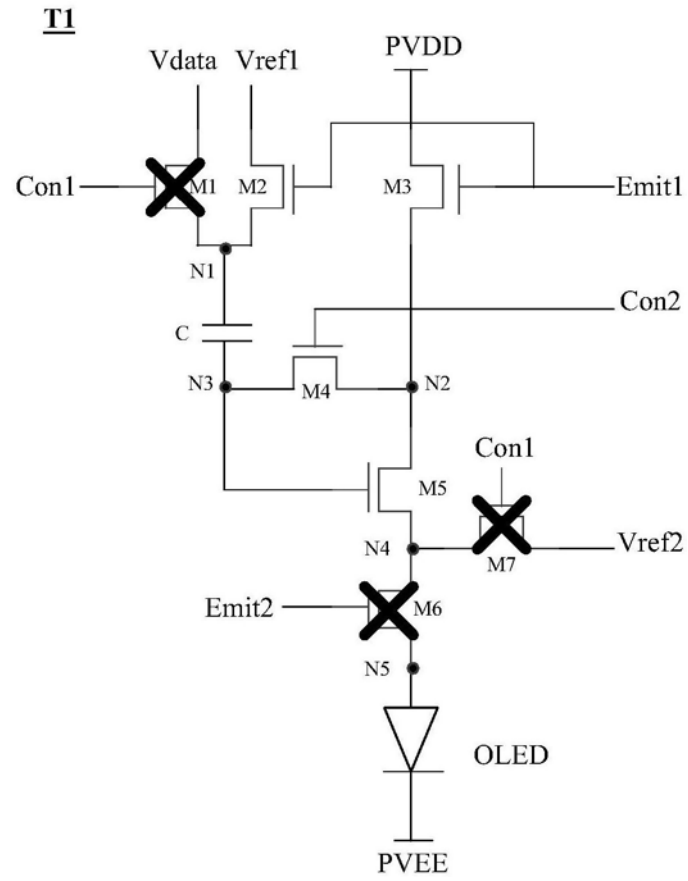


图7A

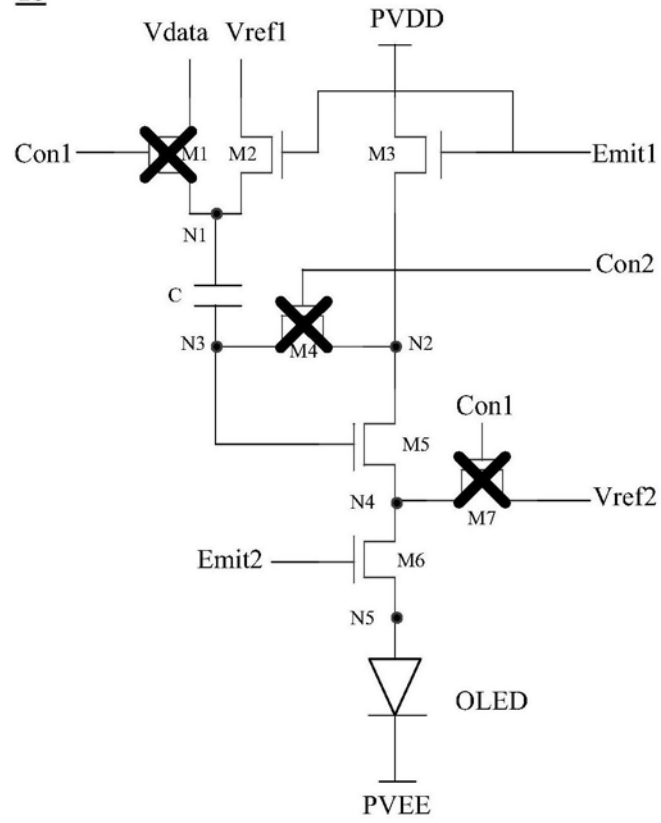
T3

图7C

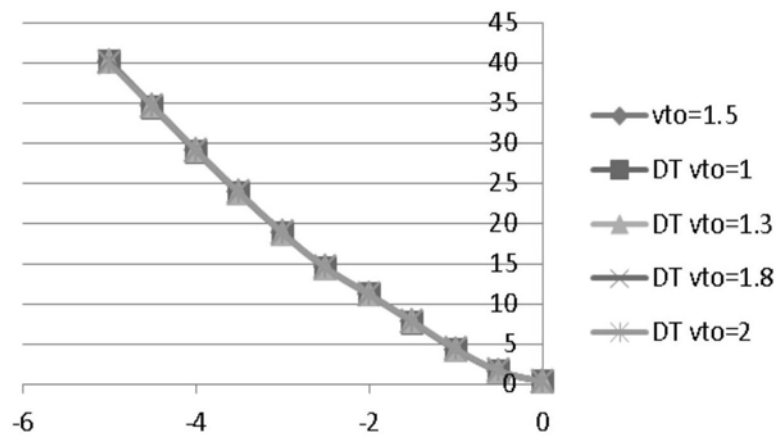


图8A

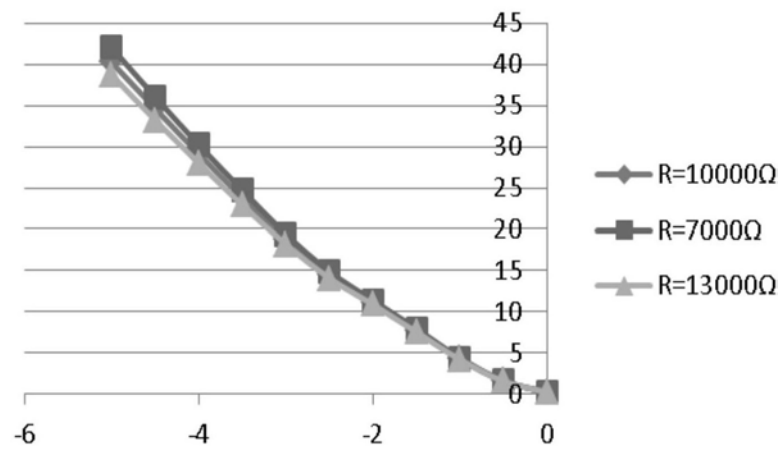


图8B

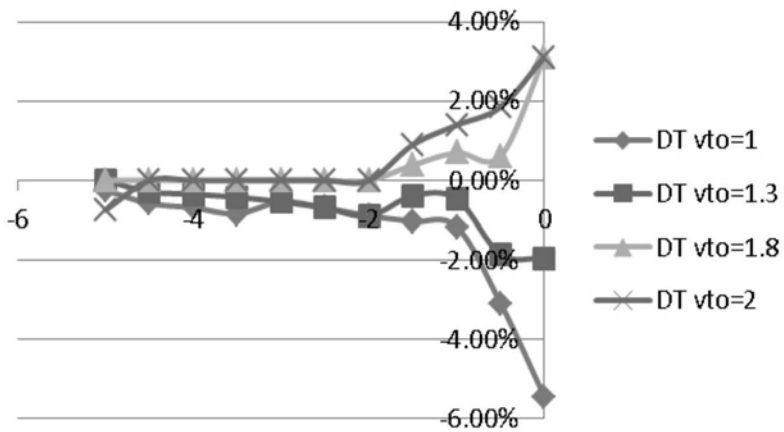


图8C

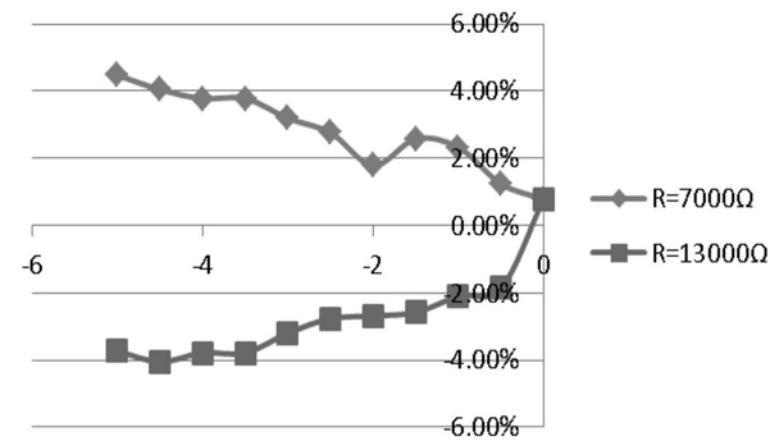


图8D

本公开提供一种像素驱动电路、驱动方法以及显示装置。像素驱动电路包括第一晶体管，用于将数据信号传输至第一节点；第二晶体管，用于将第一参考电压信号传输至第一节点；第三晶体管，用于将驱动电压传输至第二节点；第四晶体管，用于连通第二节点和第三节点；第五晶体管，用于连通第二节点和第四节点；第六晶体管，用于将第四节点的信号传输至第五节点，第五节点与有机发光二极管电连接；第七晶体管，用于将第二参考电压信号传输至第六晶体管；以及存储电容，电连接于第一节点和第三节点之间。本公开提供的像素驱动电路可以使显示装置的显示亮度更加均匀。

