



(12) 发明专利

(10) 授权公告号 CN 103021338 B

(45) 授权公告日 2015.08.05

(21) 申请号 201210568606.6

(22) 申请日 2012.12.24

(73) 专利权人 北京京东方光电科技有限公司
地址 100176 北京市大兴区经济技术开发区
西环中路 8 号

(72)发明人 杨盛际

(74) 专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51) Int. Cl.

G09G 3/32(2006.01)

(56) 对比文件

US 2012/0162175 A1, 2012.06.28, 说明书第 [0032]-[0044] 段, 附图 2、2A-2E.

CN 102654972 A, 2012. 09. 05, 附图 5、10.

US 2007/0210994 A1, 2007. 09. 13, 全文.

CN 101305409 A, 2008. 11. 12, 全文.

CN 202948704 U, 2013. 05. 22, 权利要求 1-4.

CN 101986378 A, 2011. 03. 16, 全文.

审查员 顾健健

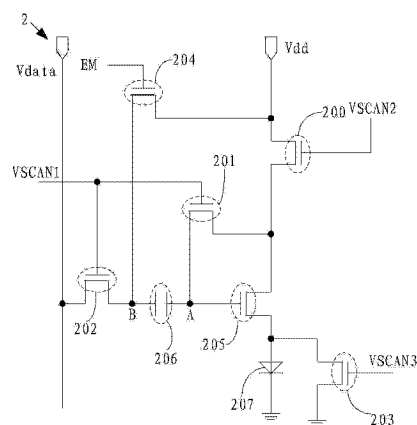
权利要求书2页 说明书9页 附图3页

(54) 发明名称

像素电路及其驱动方法、显示装置

(57) 摘要

本发明提供像素电路及其驱动方法、显示装置,涉及显示技术领域,能够解决图像显示不均匀的问题,同时提高 OLED 的使用寿命。本发明的像素电路包括:第一开关管的源极输入电源电压信号;与第一开关管的漏极连接的第二开关管的源极;第三开关管的栅极与第二开关管的栅极连接,第三开关管的源极接收数据信号;与第三开关管的漏极连接的第五开关管的漏极,第五开关管的源极与第一开关管的源极连接;与第二开关管的漏极连接的驱动晶体管的栅极,驱动晶体管的源极与第二开关管的源极连接;与驱动晶体管的漏极连接的第四开关管的源极,第四开关管的漏极与地线连接;设置于第一极点与第二极点之间的电容。



1. 一种像素电路,其特征在于,包括:

第一开关管,所述第一开关管的源极输入电源电压信号,所述第一开关管的栅极接收第二扫描信号,其中,所述第二扫描信号用于控制所述第一开关管导通或截止;

第二开关管,所述第二开关管的源极与所述第一开关管的漏极连接;

第三开关管,所述第三开关管的栅极和所述第二开关管的栅极接收第一扫描信号,所述第三开关管的源极接收数据信号,其中,所述第一扫描信号用于控制所述第二开关管和所述第三开关管导通或截止;

第五开关管,所述第五开关管的漏极与所述第三开关管的漏极连接,所述第五开关管的源极与所述第一开关管的源极连接,所述第五开关管的栅极接收第一控制信号,其中,所述第一控制信号用于控制所述第五开关管导通或截止;

驱动晶体管,所述驱动晶体管的栅极与所述第二开关管的漏极连接,所述驱动晶体管的源极与所述第二开关管的源极连接;

第四开关管,所述第四开关管的源极与所述驱动晶体管的漏极连接,所述第四开关管的栅极接收第三扫描信号,所述第四开关管的漏极与地线连接,其中,所述第三扫描信号用于控制所述第四开关管导通或截止;

设置于第一极点与第二极点之间的电容,所述第一极点为所述第三开关管的漏极与所述第五开关管的漏极的连接点,所述第二极点为所述第二开关管的漏极与所述驱动晶体管的栅极的连接点。

2. 根据权利要求 1 所述的像素电路,其特征在于,

所述第一开关管、所述第二开关管、所述第三开关管、所述第四开关管、所述第五开关管及所述驱动晶体管均为 N 型薄膜晶体管。

3. 根据权利要求 1 所述的像素电路,其特征在于,所述第一开关管、所述第二开关管、所述第三开关管、所述第五开关管及所述驱动晶体管均为 N 型薄膜晶体管,所述第四开关管为 P 型薄膜晶体管,

当所述第四开关管为 P 型薄膜晶体管时,所述第三扫描信号与所述第二扫描信号相同,所述第四开关管的栅极接收所述第二扫描信号。

4. 一种显示装置,其特征在于,包括如权利要求 1 至 3 任一所述的像素电路。

5. 一种像素电路的驱动方法,适用于权利要求 1 所述的像素电路,其特征在于,包括:

在重置阶段内,第一扫描信号控制第二开关管和第三开关管导通,第二扫描信号控制第一开关管导通,电源电压信号通过所述第一开关管和所述第二开关管为第二极点充电,数据信号通过所述第三开关管为第一极点充电,第三扫描信号控制第四开关管导通,第五开关管截止;

在补偿阶段内,所述第一扫描信号控制所述第二开关管和所述第三开关管导通,所述第三扫描信号控制所述第四开关管导通,驱动晶体管的栅极和源极连接,所述第二极点通过所述驱动晶体管和所述第四开关管放电,所述数据信号通过所述第三开关管保持所述电容的所述第一极点的电压,所述电容两端的电压差为第一电压差,所述第一开关管和所述第五开关管截止;

在缓冲阶段内,所述第一扫描信号控制所述第二开关管和所述第三开关管截止,所述第三扫描信号控制所述第四开关管导通,所述第一控制信号控制所述第五开关管导通,所

述电源电压信号通过所述第五开关管继续保持所述第一极点与所述第二极点之间的电压差仍为所述第一电压差,所述第一开关管、所述第二开关管以及所述第三开关管截止;

在发光阶段内,所述第二扫描信号控制所述第一开关管导通,所述电源电压信号通过所述第一开关管和所述驱动晶体管驱动发光元件发光,所述第二开关管、所述第三开关管、所述第四开关管以及所述第五开关管截止。

6. 根据权利要求 5 所述的像素电路的驱动方法,其特征在于,

所述第一开关管、所述第二开关管、所述第三开关管、所述第四开关管、所述第五开关管及所述驱动晶体管均为 N 型薄膜晶体管。

像素电路及其驱动方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及像素电路及其驱动方法、显示装置。

背景技术

[0002] OLED(Organic Light-Emitting Diode,有机发光二极管)显示器是目前平板显示器领域的研究热点之一,与传统的液晶显示器相比,OLED 显示器具有低能耗、低成本、自发光、宽视角及响应快等优点,随着 OLED 的发展,目前的手机、平板电脑及数码相机等显示装置已经开始慢慢取代传统的液晶显示器。

[0003] 在 OLED 显示器中,像素电路是其核心部分,与传统的液晶显示器利用稳定的电压来控制其亮度相比,OLED 显示器需要稳定的电流来控制 OLED 发光。如图 1 所示,为现有技术的像素电路 1,包括:一个开关晶体管 10、一个驱动晶体管 11 和一个存储电容 12,当扫描信号 VSCAN 选择某一行时,扫描信号电压为低电平,开关晶体管 10 打开,数据信号 Vdata 将电压写入存储电容 12 中,当该行扫描结束后,扫描信号电压变为高电平,开关晶体管 10 截止,存储电容 12 上的电压通过驱动晶体管 11 的栅极打开驱动晶体管 11,以使得驱动晶体管 11 产生电流来驱动 OLED 13,从而保证 OLED 13 在一帧内持续发光,同时,流过驱动晶体管 11 的饱和电流为 $I_{\text{OLED}} = K(V_{\text{GS}} - V_{\text{th}})^2$,然而,由于各个像素点的驱动晶体管 11 的阈值电压会随着工艺制程和器件老化等原因出现漂移,导致流过每个像素点 OLED 13 的电流也随着阈值电压的变化而变化,从而使得显示亮度不均匀,影响了图像的显示效果。

发明内容

[0004] 本发明的实施例提供像素电路及其驱动方法、显示装置,能够解决图像显示不均匀的问题,同时提高 OLED 的使用寿命。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 一种像素电路,包括:

[0007] 第一开关管,所述第一开关管的源极输入电源电压信号,所述第一开关管的栅极接收第二扫描信号,其中,所述第二扫描信号用于控制所述第一开关管导通或截止;

[0008] 第二开关管,所述第二开关管的源极与所述第一开关管的漏极连接;

[0009] 第三开关管,所述第三开关管的栅极和所述第二开关管的栅极接收第一扫描信号,所述第三开关管的源极接收数据信号,其中,所述第一扫描信号用于控制所述第二开关管和所述第三开关管导通或截止;

[0010] 第五开关管,所述第五开关管的漏极与所述第三开关管的漏极连接,所述第五开关管的源极与所述第一开关管的源极连接,所述第五开关管的栅极接收第一控制信号,其中,所述第一控制信号用于控制所述第五开关管导通或截止;

[0011] 驱动晶体管,所述驱动晶体管的栅极与所述第二开关管的漏极连接,所述驱动晶体管的源极与所述第二开关管的源极连接;

[0012] 第四开关管,所述第四开关管的源极与所述驱动晶体管的漏极连接,所述第四开

关管的栅极接收第三扫描信号,所述第四开关管的漏极与地线连接,其中,所述第三扫描信号用于控制所述第四开关管导通或截止;

[0013] 设置于第一极点与第二极点之间的电容,所述第一极点为所述第三开关管的漏极与所述第五开关管的漏极的连接点,所述第二极点为所述第二开关管的漏极与所述驱动晶体管的栅极的连接点。

[0014] 所述第一开关管、所述第二开关管、所述第三开关管、所述第四开关管、所述第五开关管及所述驱动晶体管均为 N 型薄膜晶体管。

[0015] 当所述第四开关管为 P 型薄膜晶体管时,所述第三扫描信号与所述第二扫描信号相同,所述第四开关管的栅极接收所述第二扫描信号。

[0016] 一种显示装置,包括上述所述的像素电路。

[0017] 一种像素电路的驱动方法,包括:

[0018] 在重置阶段内,第一扫描信号控制第二开关管和第三开关管导通,第二扫描信号控制第一开关管导通,电源电压信号通过所述第一开关管和所述第二开关管为第二极点充电,数据信号通过所述第三开关管为第一极点充电,第三扫描信号控制第四开关管导通,第五开关管截止;

[0019] 在补偿阶段内,所述第一扫描信号控制所述第二开关管和所述第三开关管导通,所述第三扫描信号控制所述第四开关管导通,驱动晶体管的栅极和源极连接,所述第二极点通过所述驱动晶体管和所述第四开关管放电,所述数据信号通过所述第三开关管保持所述电容的所述第一极点的电压,所述电容两端的电压差为第一电压差,所述第一开关管和所述第五开关管截止;

[0020] 在缓冲阶段内,所述第一扫描信号控制所述第二开关管和所述第三开关管截止,所述第三扫描信号控制所述第四开关管导通,所述第一控制信号控制所述第五开关管导通,所述电源电压信号通过所述第五开关管继续保持所述第一极点与所述第二极点之间的电压差仍为所述第一电压差,所述第一开关管、所述第二开关管以及所述第三开关管截止;

[0021] 在发光阶段内,所述第二扫描信号控制所述第一开关管导通,所述电源电压信号通过所述第一开关管和所述驱动晶体管驱动发光元件发光,所述第二开关管、所述第三开关管、所述第四开关管以及所述第五开关管截止。

[0022] 所述第一开关管、所述第二开关管、所述第三开关管、所述第四开关管、所述第五开关管及所述驱动晶体管均为 N 型薄膜晶体管。

[0023] 本发明提供像素电路及其驱动方法、显示装置,像素电路包括第一开关管,第一开关管的源极输入电源电压信号,第一开关管的栅极接收第二扫描信号,其中,第二扫描信号用于控制第一开关管导通或截止,第二开关管的源极与第一开关管的漏极连接,第三开关管的栅极和第二开关管的栅极接收第一扫描信号,第三开关管的源极接收数据信号,其中,第一扫描信号用于控制第二开关管和第三开关管导通或截止,第五开关管的漏极与第三开关管的漏极连接,第五开关管的源极与第一开关管的源极连接,第五开关管的栅极接收第一控制信号,其中,第一控制信号用于控制第五开关管导通或截止,驱动晶体管的栅极与第二开关管的漏极连接,驱动晶体管的源极与第二开关管的源极连接,第四开关管的源极与驱动晶体管的漏极连接,第四开关管的栅极接收第三扫描信号,第四开关管的漏极与地线

连接,其中,第三扫描信号用于控制第四开关管导通或截止,设置于第一极点与第二极点之间的电容,第一极点为第三开关管的漏极与第五开关管的漏极的连接点,第二极点为第二开关管的漏极与驱动晶体管的栅极的连接点。通过该方案,由于该像素电路的设计,以使得流过每个像素点 OLED 的电流不随着驱动晶体管阈值电压的变化而变化,从而保证了图像显示的均匀性,同时由于像素电路的补偿阶段和缓冲阶段无电流流过 OLED,因此,提高了 OLED 的使用寿命。

附图说明

[0024] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0025] 图 1 为现有技术提供的像素电路示意图;

[0026] 图 2 为本发明实施例提供的像素电路示意图一;

[0027] 图 3 为本发明实施例提供的像素电路示意图二;

[0028] 图 4 为本发明实施例提供的像素电路的时序图一;

[0029] 图 5 为本发明实施例提供的像素电路的时序图二;

[0030] 图 6 为本发明实施例提供的像素电路的驱动方法流程图。

具体实施方式

[0031] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0032] 如图 2 所示,本发明实施例提供一种像素电路 2,包括:

[0033] 第一开关管 200,第一开关管 200 的源极与电源 Vdd 连接,第一开关管 200 的栅极接收第二扫描信号 VSCAN2,其中,第二扫描信号 VSCAN2 用于控制第一开关管 200 导通或截止。

[0034] 与第一开关管 200 连接的第二开关管 201,第二开关管 201 的源极与第一开关管 200 的漏极连接。

[0035] 第三开关管 202 的栅极和第二开关管 201 的栅极接收第一扫描信号 VSCAN1,第三开关管 202 的源极接收数据信号 Vdata,其中,第一扫描信号 VSCAN1 用于控制第二开关管 201 和第三开关管 202 导通或截止。

[0036] 与第三开关管 202 及第一开关管 200 连接的第五开关管 204,第五开关管 204 的漏极与第三开关管 202 的漏极连接,第五开关管 204 的源极与第一开关管 200 的源极连接,第五开关管 204 的栅极接收第一控制信号 EM,其中,第一控制信号 EM 用于控制第五开关管 204 导通或截止。

[0037] 与第二开关管 201 连接的驱动晶体管 205,驱动晶体管 205 的栅极与第二开关管 201 的漏极连接,驱动晶体管 205 的源极与第二开关管 201 的源极连接。

[0038] 与驱动晶体管 205 连接的第四开关管 203, 第四开关管 203 的源极与驱动晶体管 205 的漏极连接, 第四开关管 203 的栅极接收第三扫描信号 VSCAN3, 第四开关管 203 的漏极与地线连接, 其中, 第三扫描信号 VSCAN3 用于控制第四开关管 203 导通或截止。

[0039] 设置于第一极点 B 与第二极点 A 之间的电容 206, 第一极点 B 为第三开关管 202 的漏极与第五开关管 204 的漏极的连接点, 第二极点 A 为第二开关管 201 的漏极与驱动晶体管 205 的栅极的连接点。

[0040] 进一步地, 第一开关管 200、第二开关管 201、第三开关管 202、第四开关管 203、第五开关管 204 及驱动晶体管 205 均可以为 N 型薄膜晶体管。

[0041] 示例性的, 若第一扫描信号 VSCAN1 为高电平, 则第二开关管 201 和第三开关管 202 导通, 数据信号 Vdata 将数据存入电容 206; 相反的, 若第一扫描信号 VSCAN1 为低电平, 则第二开关管 201 和第三开关管 202 截止, 数据信号 Vdata 停止将数据存入电容 206。

[0042] 若第二扫描信号 VSCAN2 为高电平, 则第一开关管 200 导通; 相反的, 若第二扫描信号 VSCAN2 为低电平, 则第一开关管 200 截止。

[0043] 若第一控制信号 EM 为高电平, 则第五开关管 204 导通; 相反的, 若第一控制信号 EM 为低电平, 则第五开关管 204 截止。

[0044] 若第三扫描信号 VSCAN3 为高电平, 则第四开关管 203 导通; 相反的, 若第三扫描信号 VSCAN3 为低电平, 则第四开关管 203 截止。

[0045] 本发明实施例还提供一种像素电路, 如图 3 所示, 该像素电路为在如图 2 所示的像素电路中去掉了第三扫描信号 VSCAN3, 同时将第四开关管设置为 P 型薄膜晶体管。

[0046] 进一步地, 第四开关管 203 与第一开关管 200 连接, 第四开关管 203 的源极与驱动晶体管 205 的漏极连接, 第四开关管 203 的栅极和第一开关管 200 的栅极接收第二扫描信号 VSCAN2, 第四开关管 203 的漏极与地线连接, 其中, 第二扫描信号 VSCAN2 用于控制第四开关管 203 和第一开关管 200 导通或截止。

[0047] 进一步地, 第一开关管、第二开关管、第三开关管、第五开关管及驱动晶体管均可以为 N 型薄膜晶体管, 第四开关管可以为 P 型薄膜晶体管。

[0048] 示例性的, 若第二扫描信号 VSCAN2 为高电平, 则第四开关管 203 截止; 相反的, 若第二扫描信号 VSCAN2 为低电平, 则第四开关管 203 导通。

[0049] 需要说明的是, 若第四开关管 203 为 N 型薄膜晶体管, 则第四开关管 203 的栅极接收第三扫描信号 VSCAN3; 若第四开关管 203 为 P 型薄膜晶体管, 则第四开关管 203 的栅极接收第二扫描信号 VSCAN2; 也就是说, 第四开关管 203 为 N 型薄膜晶体管时, 第三扫描信号 VSCAN3 控制第四开关管 203 的导通或截止; 第四开关管 203 为 P 型薄膜晶体管时, 第二扫描信号 VSCAN2 控制第四开关管 203 的导通或截止。

[0050] 本发明实施例提供一种像素电路, 包括第一开关管, 第一开关管的源极输入电源电压信号, 第一开关管的栅极接收第二扫描信号, 其中, 第二扫描信号用于控制第一开关管导通或截止, 与第一开关管连接的第二开关管, 第二开关管的源极与第一开关管的漏极连接, 第三开关管的栅极和第二开关管的栅极接收第一扫描信号, 第三开关管的源极接收数据信号, 其中, 第一扫描信号用于控制第二开关管和第三开关管导通或截止, 与第三开关管及第一开关管连接的第五开关管, 第五开关管的漏极与第三开关管的漏极连接, 第五开关管的源极与第一开关管的源极连接, 第五开关管的栅极接收第一控制信号, 其中, 第一控制

信号用于控制第五开关管导通或截止,与第二开关管连接的驱动晶体管,驱动晶体管的栅极与第二开关管的漏极连接,驱动晶体管的源极与第二开关管的源极连接,与驱动晶体管连接的第四开关管,第四开关管的源极与驱动晶体管的漏极连接,第四开关管的栅极接收第三扫描信号,第四开关管的漏极与地线连接,其中,第三扫描信号用于控制第四开关管导通或截止,设置于第一极点与第二极点之间的电容,第一极点为第三开关管的漏极与第五开关管的漏极的连接点,第二极点为第二开关管的漏极与驱动晶体管的栅极的连接点。通过该方案,由于该像素电路的设计,以使得流过每个像素点 OLED 的电流不随着驱动晶体管阈值电压的变化而变化,从而保证了图像显示的均匀性,同时由于像素电路的补偿阶段和缓冲阶段无电流流过 OLED,因此,提高了 OLED 的使用寿命。

[0051] 本发明实施例提供一种像素电路的驱动方法,该方法对应于第四开关管为 N 型薄膜晶体管,包括:

[0052] 在重置阶段内,第一扫描信号控制第二开关管和第三开关管导通,第二扫描信号控制第一开关管导通,电源电压信号通过所述第一开关管和所述第二开关管为第二极点充电,数据信号通过所述第三开关管为第一极点充电,第三扫描信号控制第四开关管导通,第五开关管截止;

[0053] 在补偿阶段内,所述第一扫描信号控制所述第二开关管和所述第三开关管导通,所述第三扫描信号控制所述第四开关管导通,驱动晶体管的栅极和源极连接,所述第二极点通过所述驱动晶体管和所述第四开关管放电,所述数据信号通过所述第三开关管保持所述电容的所述第一极点的电压,所述电容两端的电压差为第一电压差,所述第一开关管和所述第五开关管截止;

[0054] 在缓冲阶段内,所述第一扫描信号控制所述第二开关管和所述第三开关管截止,所述第三扫描信号控制所述第四开关管导通,所述第一控制信号控制所述第五开关管导通,所述电源电压信号通过所述第五开关管继续保持所述第一极点与所述第二极点之间的电压差仍为所述第一电压差,所述第一开关管、所述第二开关管以及所述第三开关管截止;

[0055] 在发光阶段内,所述第二扫描信号控制所述第一开关管导通,所述电源电压信号通过所述第一开关管和所述驱动晶体管驱动发光元件发光,所述第二开关管、所述第三开关管、所述第四开关管以及所述第五开关管截止。

[0056] 进一步地,第一开关管、第二开关管、第三开关管、第四开关管、第五开关管及驱动晶体管均可以为 N 型薄膜晶体管。

[0057] 具体的,如图 6 所示,对应于图 4 的时序图,如图 2 所示的像素电路 2 的驱动方法包括:

[0058] S101、在重置阶段 C 内,第一扫描信号 VSCAN1 控制第二开关管 201 和第三开关管 202 导通,第二扫描信号 VSCAN2 控制第一开关管 200 导通,电源电压信号 Vdd 通过第一开关管 200 和第二开关管 201 为第二极点 A 充电,数据信号 Vdata 通过第三开关管 202 为第一极点 B 充电,第三扫描信号 VSCAN3 控制第四开关管 203 导通,第五开关管 204 截止。

[0059] 示例性的,参照图 2 及图 4,在重置阶段 C 内,第一扫描信号 VSCAN1 和第二扫描信号 VSCAN2 均为高电平,则第一开关管 200、第二开关管 201 以及第三开关管 202 均导通,电源电压信号 Vdd 通过第一开关管 200 和第二开关管 201 为电容 206 的第二极点 A 充电,数

据信号 Vdata 通过第三开关管 202 为电容 206 的第一极点 B 充电,第三扫描信号 VSCAN3 为高电平,则第四开关管 203 也导通,第一控制信号 EM 为低电平,则第五开关管 204 截止,在此过程中,若电源电压为 V_{dd} ,则电容 206 的第二极点 A 通过第一开关管 200 和第二开关管 201 充电至 V_{dd} ,若数据信号 Vdata 的电压为 V_{data} ,由于电容 206 的第一极点 B 通过第三开关管 202 接数据信号 Vdata,因此, B 点电压为 V_{data} 。

[0060] 需要说明的是,在重置阶段 C 内,驱动电路中电流的流向分别为由电源电压信号 Vdd 流至第一开关管 200,由第一开关管 200 流至第二开关管 201,再由第二开关管 201 流至电容 206,及由数据信号 Vdata 流至第三开关管 202,再由第三开关管 202 流至电容 206。

[0061] S102、在补偿阶段 D 内,第一扫描信号 VSCAN1 控制第二开关管 201 和第三开关管 202 导通,第三扫描信号 VSCAN3 控制第四开关管 203 导通,驱动晶体管 205 的栅极和源极连接,所述第二极点 A 通过驱动晶体管 205 和第四开关管 203 放电,数据信号通过第三开关管保持电容 206 的第一极点 B 的电压,第一极点 B 与第二极点 A 之间的电压差为第一电压差,第一开关管 200 和第五开关管 204 截止。

[0062] 示例性的,在补偿阶段 D 内,第一扫描信号 VSCAN1 为高电平,则第二开关管 201 和第三开关管 202 导通,第三扫描信号 VSCAN3 为高电平,则第四开关管 203 导通,驱动晶体管 205 的栅极和源极连接,所述第二极点 A 通过驱动晶体管 205 和第四开关管 203 放电,数据信号通过第三开关管保持电容 206 的第一极点 B 的电压,电容 206 两端的电压差为第一电压差,第二扫描信号 VSCAN2 变为低电平使得第一开关管 200 截止,第一控制信号 EM 为低电平,则第五开关管 204 截止,在此过程中,电容 206 的第二极点 A 通过第二开关管 201、驱动晶体管 205 以及第四开关管 203 开始放电,一直放电至驱动晶体管 205 的阈值电压 V_{th} 为止,也就是说,电容 206 的第二极点 A 放电后, A 点的电压为 V_{th} ,由于电容 206 的第一极点 B 通过第三开关管 202 与数据信号 Vdata 连接,数据信号 Vdata 的电压无变化,因此, B 点电压仍为 V_{data} 。

[0063] 需要说明的是,该补偿阶段 D 持续时间相对较长,一方面是为了能够使得电容 206 的第二极点 A 充分放电,另一方面可以更好地稳定电容 206 两端,即第二极点 A 和第一极点 B 之间的电压差值。

[0064] 进一步地,在补偿阶段 D 内,驱动电路中电流的流向分别为由电容 206 流至第二开关管 201,由第二开关管 201 流至驱动晶体管 205,由驱动晶体管 205 流至第四开关管 203,再由第四开关管 203 流至地线,及由数据信号 Vdata 流至第三开关管 202,再由第三开关管 202 流至电容 206。

[0065] 可以理解的是,在该补偿过程 D 中,由于第四开关管 203 导通,使得放电电流不会流过 OLED 207,因此,在一定程度上降低了 OLED207 的损耗。

[0066] S103、在缓冲阶段 E 内,第一扫描信号 VSCAN1 控制所述第二开关管 201 和第三开关管 202 截止,第三扫描信号 VSCAN3 控制第四开关管 203 导通,第一控制信号 EM 控制第五开关管 204 导通,电源电压信号 Vdd 通过第五开关管 204 继续保持第一极点 B 与第二极点 A 之间的电压差仍为第一电压差,第一开关管 200、第二开关管 201 以及第三开关管 202 截止。

[0067] 示例性的,在缓冲阶段 E 内,第三扫描信号 VSCAN3 为高电平,则第四开关管 203 导通,第二扫描信号 VSCAN2 为低电平,则第一开关管 200 截止,第一控制信号 EM 变为高电平,

则第五开关管 204 导通,第一扫描信号 VSCAN1 变为低电平,则第二开关管 201 和第三开关管 202 均截止,在此过程中,由于电容 206 的第一极点 B 通过第五开关管 204 接电源电压信号 V_{dd},因此, B 点的电压由 V_{data} 变为 V_{dd},又由于电容 206 的第二极点 A 在该像素电路中是浮接的,所述浮接是指电容器件在电路中既不接电源也不接地线的一种连接方法,正是由于电容 206 的第二极点 A 是浮接的,因此,才使得电容 206 两端,即第二极点 A 和第一极点 B 的电压实现等量跳变,也就是说,电容 206 两端,即第二极点 A 和第一极点 B 之间的电压差仍然保持原来的电压差,即该电压差为上述补偿阶段中电容 206 两端第二极点 A 和第一极点 B 之间的电压差,为 V_{th}-V_{data},此时, A 点的电压变为 V_{dd}+V_{th}-V_{data}。

[0068] 需要说明的是, V_{data} 在重置阶段 C 内和补偿阶段 D 内设置为低电平的目的是为了保证第三开关管 202 在这两个阶段内能够更好的导通;相反的, V_{data} 在缓冲阶段 E 内和发光阶段 F 内设置为高电平的目的是为了保证第三开关管 202 在这两个阶段内能够更好的截止,那么,可以理解的是, V_{data} 的高低电平设置可根据实际驱动电路的设计进行适应性调整,本发明不做限制。

[0069] 需要说明的是,在缓冲阶段 E 内,驱动电路中电流的流向为由电源电压信号 V_{dd} 流至第五开关管 204,再由第五开关管 204 流至电容 206。

[0070] S104、在发光阶段 F 内,第二扫描信号 VSCAN2 控制第一开关管 200 导通,电源电压信号 V_{dd} 通过第一开关管 200 和驱动晶体管 205 驱动发光元件发光,第二开关管 201、第三开关管 202、第四开关管 203 以及第五开关管 204 截止。

[0071] 示例性的,在发光阶段 F 内,第二扫描信号 VSCAN2 变为高电平,则第一开关管 200 导通,第一扫描信号 VSCAN1 为低电平,则第二开关管 201 和第三开关管 202 均截止,第一控制信号 EM 变为低电平,则第五开关管 204 截止,第三扫描信号 VSCAN3 变为低电平,则第四开关管 203 截止,在此过程中,电流由电源电压信号 V_{dd} 流至第一开关管 200,由第一开关管 200 流至驱动晶体管 205,最终由驱动晶体管 205 驱动 OLED 207 发光,此时,驱动晶体管 205 的栅极电压即为上述缓冲阶段 E 内的电容 206 的第二极点 A 的电压 V_{dd}+V_{th}-V_{data},驱动晶体管 205 的源极电压即为电源电压 V_{dd},根据驱动晶体管 205 的饱和电流公式可得,流过 OLED 207 的电流 I_{OLED} = K(V_{GS}-V_{th})²,其中, V_{GS} 表示驱动晶体管 205 栅极和源极的电压差, V_{th} 表示驱动晶体管 205 的阈值电压, K 为一个常数,它是由材料的迁移率、晶体管沟道的长度和宽度以及电容的容量来决定的。

[0072] 也就是说, V_{GS} = V_{dd}+V_{th}-V_{data}-V_{dd} = V_{th}-V_{data},根据上述计算的各个电压值,可得:

$$[0073] \quad I_{OLED} = K(V_{th}-V_{data}-V_{th})^2 = K \cdot V_{data}^2$$

[0074] 由上式可以看出,此时 OLED 207 的发光电流已经完全不受驱动晶体管 205 的阈值电压 V_{th} 的影响了,而仅仅由数据信号 V_{data} 的电压 V_{data} 来决定,这样,彻底解决了驱动晶体管 205 的阈值电压由于工艺制程和器件老化等原因出现漂移时对流过像素点 OLED 207 的电流产生影响的问题,从而保证了流过像素点 OLED 207 的电流保持均一和 OLED 207 能正常工作,以使得图像显示均匀。

[0075] 进一步地,本发明实施例还提供一种像素电路的驱动方法,该方法对应于第四开关管为 P 型薄膜晶体管,包括:

[0076] 在所述重置阶段内,所述第一扫描信号控制所述第二开关管和所述第三开关管导通,所述第二扫描信号控制所述第一开关管导通,所述电源电压信号通过所述第一开关管

和所述第二开关管为所述第二极点充电,所述数据信号通过所述第三开关管为所述第一极点充电,所述第四开关管和所述第五开关管截止;

[0077] 在所述补偿阶段内,所述第一扫描信号控制所述第二开关管和所述第三开关管导通,所述第二扫描信号控制所述第四开关管导通,驱动晶体管的栅极和源极连接,所述第二极点通过所述驱动晶体管和所述第四开关管放电,所述数据信号通过所述第三开关管保持所述电容的所述第一极点的电压,所述电容两端的电压差为第一电压差,所述第一开关管和所述第五开关管截止;

[0078] 在所述缓冲阶段内,所述第二扫描信号控制所述第四开关管导通,所述第一控制信号控制所述第五开关管导通,所述电源电压信号通过所述第五开关管继续保持所述第一极点与所述第二极点之间的电压差仍为所述第一电压差,所述第一开关管、所述第二开关管以及所述第三开关管截止;

[0079] 在所述发光阶段内,所述第二扫描信号控制所述第一开关管导通,所述电源电压信号通过所述第一开关管和所述驱动晶体管驱动所述发光元件发光,所述第二开关管、所述第三开关管、所述第四开关管以及所述第五开关管截止。

[0080] 进一步地,第一开关管 200、第二开关管 201、第三开关管 202、第五开关管 204 及驱动晶体管 205 均为 N 型薄膜晶体管,第四开关管 203 为 P 型薄膜晶体管。

[0081] 需要说明的是,上述两种像素电路的驱动方法中不同的地方是:如图 2 所示的像素电路中,第四开关管 203 为 N 型薄膜晶体管,且通过第三扫描信号 VSCAN3 控制第四开关管 203 的导通或截止,另,参照图 4,由于在重置阶段 C 内,第三扫描信号 VSCAN3 为高电平,因此,第四开关管 203 导通,从而,保证无电流流过 OLED 207;如图 3 所示的像素电路中,第四开关管 203 为 P 型薄膜晶体管,且通过第二扫描信号 VSCAN2 控制第四开关管 203 的导通或截止,另,参照图 5,由于在重置阶段 C 内,第二扫描信号 VSCAN2 为高电平,因此,第四开关管 203 截止,从而,将有少量电流流过 OLED 207。

[0082] 进一步地,上述两种像素电路的驱动方法,除了以上描述的第四开关管 203 及其控制信号的不同之外,其余在重置阶段、补偿阶段、缓冲阶段和发光阶段的驱动方法均是类似的,此处将不再赘述。

[0083] 需要说明的是,如图 3 所示,第四开关管 203 为 P 型薄膜晶体管时,参照图 5,在上述重置阶段 C 内,由于第四开关管 203 是截止的,因此,会有少量的电流流过 OLED 207,但是这个过程持续的时间非常短,基本上不会对像素点产生影响。可以看到的是,这种像素电路中第一开关管 200 和第四开关管 203 同时受第二扫描信号 VSCAN2 的控制,这样,虽然可以实现信号线的兼容,减少信号线的数量,但是第四开关管 203 是整个像素电路中唯一的 P 型薄膜晶体管,在制作该像素电路的过程中,使得工艺制程相对增加。

[0084] 进一步地,如图 2 所示的像素电路,为在图 3 所示的像素电路中增加一条第三扫描信号 VSCAN3 的同时,再将第四开关管 203 设置为 N 型薄膜晶体管,如图 4 所示,该电路在重置阶段 C 内,由于第三扫描信号 VSCAN3 为高电平,则通过第三扫描信号 VSCAN3 控制第四开关管 203 导通,以使得在重置阶段 C 内,电容 206 的第二极点 A 充电过程中无电流流过 OLED 207。

[0085] 需要说明的是,若需要克服如图 3 所示的像素电路在重置阶段 C 内,有少量电流流过 OLED 207 的情况,则除了采用上述如图 2 所示的增加第三扫描信号 VSCAN3 的同时将第

四开关管 203 设置为 N 型薄膜晶体管的方式以外,还可以采用其他方式,如在本发明实施例提供的如图 3 所示的像素电路的基础上,再在驱动晶体管 205 的源极或漏极增加一个开关管,从而以使得如图 3 所示的像素电路在重置阶段 C 内无电流通过驱动晶体管 205 和 / 或 OLED 207,对于克服重置阶段 C 内,有少量电流流过 OLED 207 的情况的实现方式,本发明不做限制。

[0086] 本发明实施例提供的像素电路的驱动方法,包括在重置阶段内,第一扫描信号控制第二开关管和第三开关管导通,第二扫描信号控制第一开关管导通,电源电压信号通过第一开关管和第二开关管为第二极点充电,数据信号通过第三开关管为第一极点充电,第三扫描信号控制第四开关管导通,第五开关管截止,在补偿阶段内,第一扫描信号控制第二开关管和第三开关管导通,第三扫描信号控制第四开关管导通,通过驱动晶体管和第四开关管为第二极点放电,数据信号通过第三开关管保持第一极点的电压,以保持第一极点与第二极点之间的电压差为第一电压差,第一开关管和第五开关管截止,在缓冲阶段内,第三扫描信号控制第四开关管导通,第一控制信号控制第五开关管导通,通过第四开关管和第五开关管保持第一极点与第二极点之间的电压差仍为第一电压差,第一开关管、第二开关管以及第三开关管截止,在发光阶段内,第二扫描信号控制第一开关管导通,电源电压信号通过第一开关管驱动发光元件发光,第二开关管、第三开关管、第四开关管以及第五开关管截止。通过该方案,由于该像素电路的设计,以使得流过每个像素点 OLED 的电流不随着驱动晶体管阈值电压的变化而变化,从而保证了图像显示的均匀性,同时由于像素电路的补偿阶段和缓冲阶段无电流流过 OLED,因此,提高了 OLED 的使用寿命。

[0087] 本发明实施例提供一种显示装置,包括以上实施例提供的像素电路,所述像素电路已在上述实施例中做了详细的说明,此处不再赘述。

[0088] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

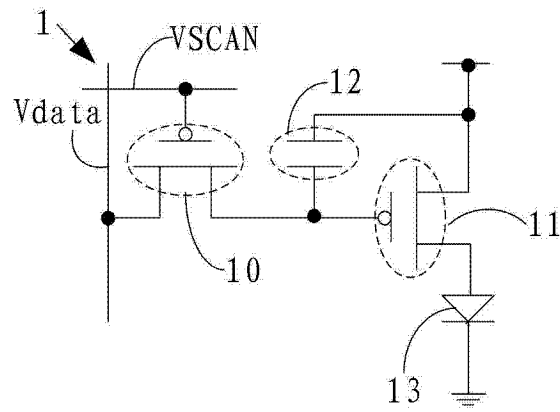


图 1

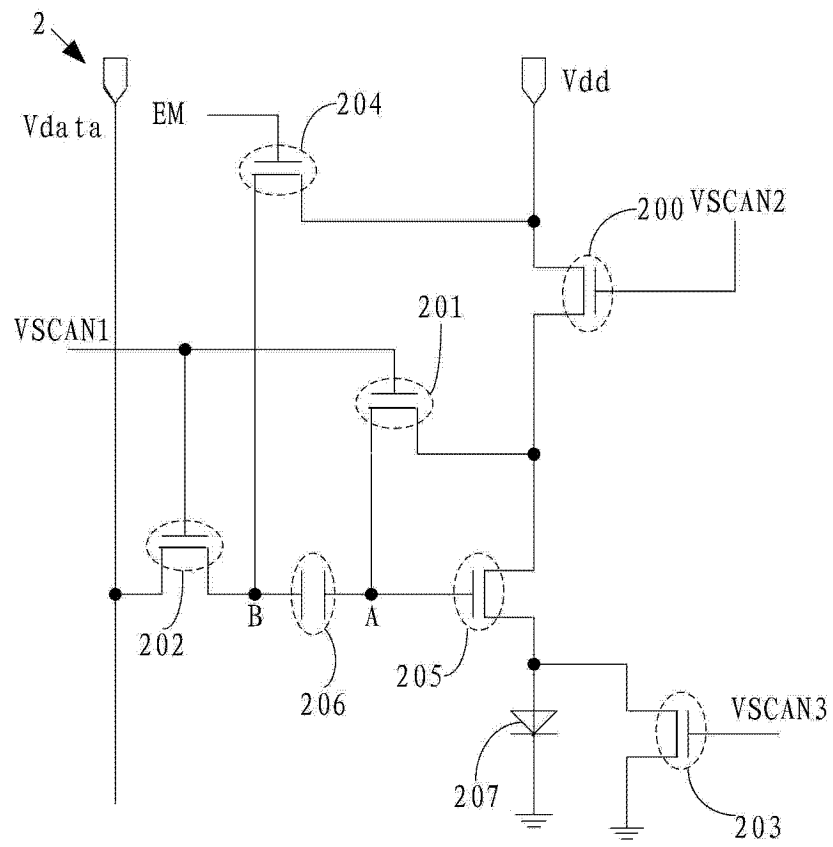


图 2

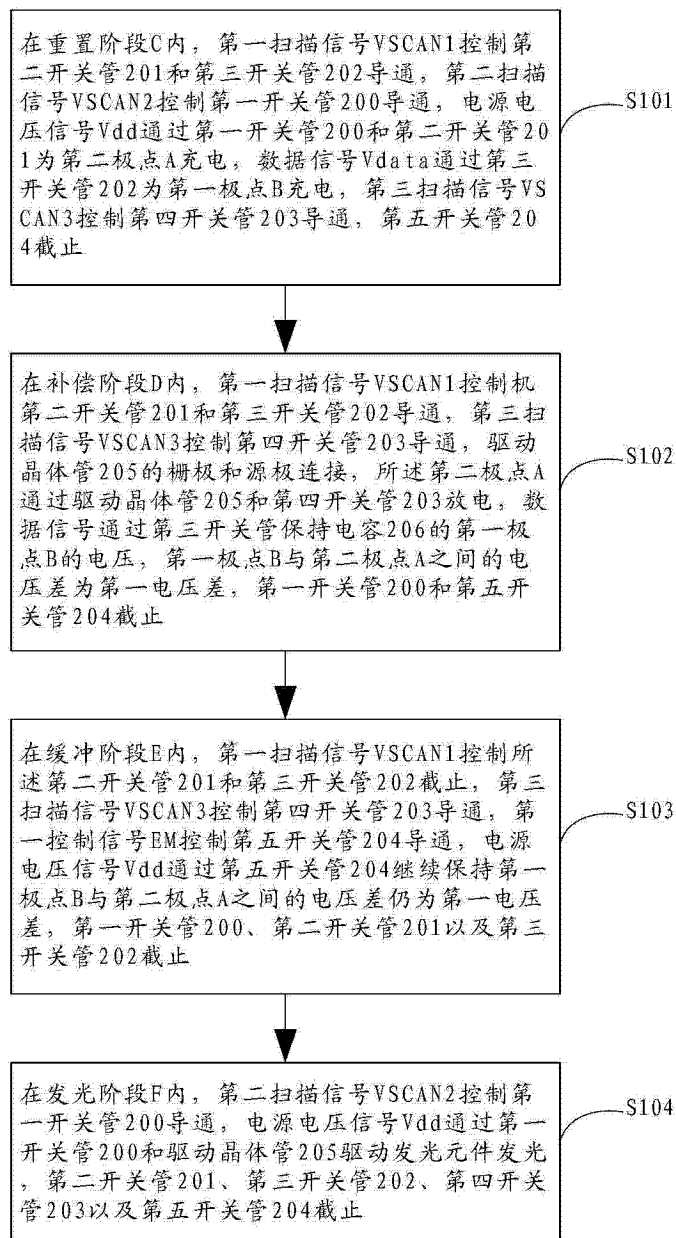


图 6

专利名称(译)	像素电路及其驱动方法、显示装置		
公开(公告)号	CN103021338B	公开(公告)日	2015-08-05
申请号	CN201210568606.6	申请日	2012-12-24
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	杨盛际		
发明人	杨盛际		
IPC分类号	G09G3/32 G09G3/3266 G09G3/3291		
代理人(译)	申健		
其他公开文献	CN103021338A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供像素电路及其驱动方法、显示装置，涉及显示技术领域，能够解决图像显示不均匀的问题，同时提高OLED的使用寿命。本发明的像素电路包括：第一开关管的源极输入电源电压信号；与第一开关管的漏极连接的第二开关管的源极；第三开关管的栅极与第二开关管的栅极连接，第三开关管的源极接收数据信号；与第三开关管的漏极连接的第五开关管的漏极，第五开关管的源极与第一开关管的源极连接；与第二开关管的漏极连接的驱动晶体管的栅极，驱动晶体管的源极与第二开关管的源极连接；与驱动晶体管的漏极连接的第四开关管的源极，第四开关管的漏极与地线连接；设置于第一极点与第二极点之间的电容。

