



(12)发明专利申请

(10)申请公布号 CN 110875013 A

(43)申请公布日 2020.03.10

(21)申请号 201910753860.5

(22)申请日 2019.08.15

(30)优先权数据

10-2018-0101922 2018.08.29 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 李珠硕

(74)专利代理机构 北京集佳知识产权代理有限公司

11227

代理人 康建峰 杨华

(51)Int.Cl.

G09G 3/3258(2016.01)

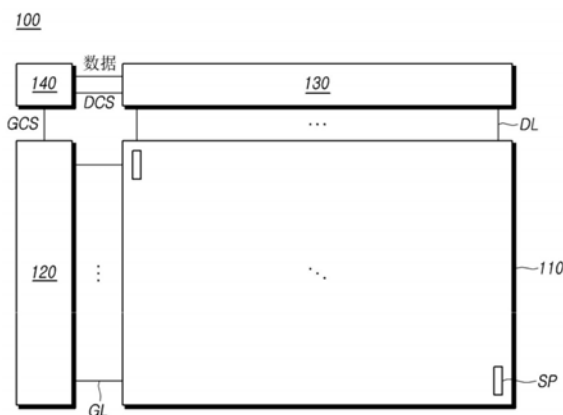
权利要求书3页 说明书16页 附图14页

(54)发明名称

驱动电压供应电路、显示面板和显示装置

(57)摘要

提供了一种驱动电压供应电路、显示面板和显示装置。通过在设置在每个子像素中的有机发光二极管的感测劣化的时段中供应低于用于显示驱动的驱动电压的驱动电压,有机发光二极管的工作电压保持恒定,并且有机发光二极管的劣化程度能够被精确地感测。通过在供应用于劣化感测的驱动电压之前对供应至显示面板的驱动电压进行放电并控制在放电过程中流动的电流,能够在显示驱动时段和劣化感测时段中稳定地供应不同电平的驱动电压。



1. 一种显示装置,包括:

其中布置有多个栅极线、多个数据线 and 多个子像素的显示面板;

驱动所述多个栅极线的栅极驱动电路;

驱动所述多个数据线的的数据驱动电路;

向所述显示面板供应驱动电压的驱动电压供应电路;以及

控制所述栅极驱动电路、所述数据驱动电路和所述驱动电压供应电路的控制器,

其中,所述多个子像素中的每个子像素包括有机发光二极管、驱动所述有机发光二极管的驱动晶体管、电连接在所述驱动晶体管的栅极节点与对应的数据线之间的开关晶体管、以及电连接在所述驱动晶体管的源极节点或漏极节点与参考电压线之间的感测晶体管,并且

其中,所述驱动电压供应电路在显示驱动时段中向所述显示面板供应第一驱动电压,在劣化感测时段中向所述显示面板供应低于所述第一驱动电压的第二驱动电压,并且在所述显示驱动时段与所述劣化感测时段之间对供应至所述显示面板的所述第一驱动电压进行放电。

2. 根据权利要求1所述的显示装置,其中,所述驱动电压供应电路包括:

与设置在所述显示面板中的驱动电压线电连接的驱动电压输出端子;

电连接在所述驱动电压输出端子与外部电源之间的第一驱动电压输出单元,所述第一驱动电压输出单元将所述第一驱动电压输出到所述驱动电压输出端子;

电连接到所述驱动电压输出端子的第二驱动电压输出单元,所述第二驱动电压输出单元将所述第二驱动电压输出到所述驱动电压输出端子;以及

电连接在所述驱动电压输出端子与地之间的放电单元。

3. 根据权利要求2所述的显示装置,其中,所述放电单元包括:

电连接在所述驱动电压输出端子与地之间的放电控制晶体管,所述放电控制晶体管根据从所述控制器输出的放电控制信号来工作;

电连接到所述放电控制晶体管的栅极节点的放电速度控制电阻器;以及

电连接在所述驱动电压输出端子与所述放电控制晶体管的栅极节点之间的第一电容器。

4. 根据权利要求3所述的显示装置,其中,所述放电单元还包括电连接在所述放电控制晶体管的栅极节点与地之间的第二电容器,所述第二电容器具有大于所述第一电容器的电容的电容。

5. 根据权利要求3所述的显示装置,其中,所述放电控制晶体管的栅极节点电连接到地。

6. 根据权利要求2所述的显示装置,其中,所述驱动电压供应电路还包括电连接在所述外部电源与所述第二驱动电压输出单元之间的第二驱动电压生成单元,所述第二驱动电压生成单元基于从所述外部电源供应的电压来生成所述第二驱动电压。

7. 根据权利要求2所述的显示装置,其中,所述驱动电压供应电路还包括电连接在所述第二驱动电压输出单元与所述驱动电压输出端子之间的二极管。

8. 根据权利要求1所述的显示装置,其中,所述控制器在所述显示驱动时段中向所述驱动电压供应电路输出用于输出所述第一驱动电压的显示控制信号,在所述劣化感测时段中

向所述驱动电压供应电路输出用于输出所述第二驱动电压的感测控制信号,并且在所述显示驱动时段与所述劣化感测时段之间的时段的至少部分时段中向所述驱动电压供应电路输出用于对所述第一驱动电压进行放电的放电控制信号。

9. 根据权利要求8所述的显示装置,其中,在所述控制器输出所述放电控制信号的时段与所述控制器输出所述感测控制信号的时段之间存在预设时间间隔。

10. 根据权利要求1所述的显示装置,其中,所述数据驱动电路在所述劣化感测时段中经由所述数据线向所述多个子像素中的至少一些子像素供应感测数据电压,并且感测设置在已被供应了所述感测数据电压的所述至少一些子像素中的所述有机发光二极管中充载的电荷量。

11. 一种显示面板,包括:

多个栅极线;

多个数据线;

在所述栅极线和所述数据线彼此交叉的区域中限定的多个子像素;以及

至少一个驱动电压线,

其中,所述多个子像素中的每个子像素包括有机发光二极管、驱动所述有机发光二极管的驱动晶体管、电连接在所述驱动晶体管的栅极节点与对应的数据线之间的开关晶体管、以及电连接在所述驱动晶体管的源极节点或漏极节点与参考电压线之间的感测晶体管,并且

其中,所述至少一个驱动电压线在显示驱动时段中被供应有第一驱动电压,在劣化感测时段中被供应有低于所述第一驱动电压的第二驱动电压,并且在所述显示驱动时段与所述劣化感测时段之间对所述第一驱动电压缓慢地放电。

12. 一种驱动电压供应电路,包括:

电连接到驱动电压线的驱动电压输出端子;

电连接在所述驱动电压输出端子与外部电源之间的第一驱动电压输出单元,所述第一驱动电压输出单元在显示驱动时段中向所述驱动电压输出端子输出第一驱动电压;

电连接到所述驱动电压输出端子的第二驱动电压输出单元,所述第二驱动电压输出单元在劣化感测时段中向所述驱动电压输出端子输出低于所述第一驱动电压的第二驱动电压;以及

电连接在所述驱动电压输出端子与地之间的放电单元,所述放电单元在所述显示驱动时段与所述劣化感测时段之间对供应至所述驱动电压线的所述第一驱动电压进行放电。

13. 根据权利要求12所述的驱动电压供应电路,其中所述放电单元包括:

电连接在所述驱动电压输出端子与地之间的放电控制晶体管;

电连接到所述放电控制晶体管的栅极节点的放电速度控制电阻器;以及

电连接在所述驱动电压输出端子与所述放电控制晶体管的栅极节点之间的第一电容器。

14. 根据权利要求13所述的驱动电压供应电路,其中,所述放电单元还包括电连接在所述放电控制晶体管的栅极节点与地之间的第二电容器,所述第二电容器具有大于所述第一电容器的电容的电容。

15. 根据权利要求13所述的驱动电压供应电路,其中,所述放电控制晶体管的栅极节点

电连接到地。

16. 根据权利要求12所述的驱动电压供应电路,还包括电连接在所述外部电源与所述第二驱动电压输出单元之间的第二驱动电压生成单元,所述第二驱动电压生成单元基于从所述外部电源供应的电压来生成所述第二驱动电压。

17. 根据权利要求12所述的驱动电压供应电路,还包括电连接在所述第二驱动电压输出单元与所述驱动电压输出端子之间的二极管。

驱动电压供应电路、显示面板和显示装置

[0001] 对相关申请的交叉引用

[0002] 本申请要求于2018年8月29日提交的韩国专利申请第10-2018-0101922号的优先权,出于所有目的通过引用将其如在本文中完全阐述的那样并入本文。

技术领域

[0003] 本发明涉及驱动电压供应电路、显示面板和显示装置。

背景技术

[0004] 随着信息导向社会的发展,对显示图像的显示装置的需求在各种类型均有所增加,并且已广泛使用诸如液晶显示装置和有机发光显示装置的各种显示装置。

[0005] 这样的显示装置中的有机发光显示装置具有高响应速度并且在对比度范围、发光效率、亮度和视角方面优异,原因是其采用自发光的有机发光二极管。

[0006] 这样的有机发光显示装置包括设置在在显示面板中布置的多个子像素中的每个子像素中的有机发光二极管,并且可以通过控制流入有机发光二极管的电流使得有机发光二极管发光来控制子像素呈现的亮度并显示图像。

[0007] 在此,包括在每个子像素中的有机发光二极管可能随着时间的推移而劣化,并且由于劣化可能不会显示每个子像素要呈现的亮度。还存在的问题是,由于在子像素中包括的有机发光二极管的劣化偏差而引起图像质量降低。

发明内容

[0008] 本发明的实施方式的目的是提供一种显示面板和显示装置,所述显示面板和显示装置可以感测设置在显示面板的每个子像素中的有机发光二极管的劣化,并且基于所感测的劣化来执行补偿。

[0009] 本发明的实施方式的另一目的是提供一种可以提高有机发光二极管的劣化感测的准确度的劣化感测方法、以及能够实现这样的劣化感测的驱动电压供应电路、显示面板和显示装置。

[0010] 本发明的实施方式的另一目的是提供用于防止驱动电压供应电路的损坏的措施,所述措施可以提高劣化感测的准确度并且使得驱动电压供应电路能够在显示驱动时段和劣化感测时段中正常工作。

[0011] 根据本发明的实施方式的一个方面,提供了一种显示装置,包括:其中布置有多个栅极线、多个数据线和多个子像素的显示面板;驱动多个栅极线的栅极驱动电路;驱动多个数据线的的数据驱动电路;向显示面板供应驱动电压的驱动电压供应电路;以及控制栅极驱动电路、数据驱动电路和驱动电压供应电路的控制器。

[0012] 在该显示装置中,多个子像素中的每个子像素包括有机发光二极管、驱动有机发光二极管的驱动晶体管、电连接在驱动晶体管的栅极节点与对应的数据线之间的开关晶体管、以及电连接在驱动晶体管的源极节点或漏极节点与参考电压线之间的感测晶体管。

[0013] 驱动电压供应电路在显示驱动时段中向显示面板供应第一驱动电压,在劣化感测时段中向显示面板供应低于第一驱动电压的第二驱动电压,并且在显示驱动时段与劣化感测时段之间对供应至显示面板的第一驱动电压进行放电。

[0014] 根据本发明的实施方式的另一方面,提供了一种显示面板,包括:多个栅极线;多个数据线;在栅极线和数据线彼此交叉的区域中限定的多个子像素;以及至少一个驱动电压线。多个子像素中的每个子像素包括有机发光二极管、驱动有机发光二极管的驱动晶体管、电连接在驱动晶体管的栅极节点与对应的数据线之间的开关晶体管、以及电连接在驱动晶体管的源极节点或漏极节点与参考电压线之间的感测晶体管。

[0015] 在该显示面板中,至少一个驱动电压线在显示驱动时段中被供应有第一驱动电压,在劣化感测时段中被供应有低于第一驱动电压的第二驱动电压,并且在显示驱动时段与劣化感测时段之间对第一驱动电压缓慢地放电。

[0016] 根据本发明的实施方式的另一方面,提供了一种驱动电压供应电路,包括:电连接到驱动电压线的驱动电压输出端子;电连接在驱动电压输出端子与外部电源极之间的第一驱动电压输出单元,第一驱动电压输出单元在显示驱动时段中向驱动电压输出端子输出第一驱动电压;电连接到驱动电压输出端子的第二驱动电压输出单元,第二驱动电压输出单元在劣化感测时段中向驱动电压输出端子输出低于第一驱动电压的第二驱动电压;以及电连接在驱动电压输出端子与地之间的放电单元,放电单元在显示驱动时段与劣化感测时段之间对供应至驱动电压线的第一驱动电压进行放电。

[0017] 根据本发明的实施方式,可以通过在劣化感测时段中感测根据在每个子像素中的有机发光二极管中流动的电流而充载的电荷量的变化来测量有机发光二极管的劣化,并且基于所测量的劣化来执行补偿。

[0018] 根据本发明的实施方式,可以通过降低在有机发光二极管的劣化感测时段中供应至显示面板的驱动电压实现基于在有机发光二极管中充载的电荷量的变化的有机发光二极管的劣化的精确感测。

[0019] 根据本发明的实施方式,可以通过控制在显示驱动时段和劣化感测时段中供应至显示面板的驱动电压的放电速度来防止驱动电压供应电路的损坏并供应显示驱动和劣化感测所需的驱动电压。

[0020] 还可以通过将驱动电压供应电路的放电单元保持在关断状态,使得驱动电压供应电路能够稳定地供应驱动电压。

附图说明

[0021] 图1是示意性地示出根据本发明的实施方式的显示装置的配置的图;

[0022] 图2是示出根据本发明的实施方式的显示装置中的子像素的电路结构的示例的图;

[0023] 图3是示出感测根据本发明的实施方式的显示装置中的子像素的劣化的系统的示例的图;

[0024] 图4是示出图3所示的子像素的劣化感测时序的示例的图;

[0025] 图5至图7是示出图3所示的感测子像素的劣化的过程的示例的图;

[0026] 图8是示出图3所示的在子像素的劣化前后在感测劣化的过程中在有机发光二极

管中充载的电荷量的示例的图；

[0027] 图9是示出根据本发明的实施方式的显示装置中的驱动电压供应电路的示例的图；

[0028] 图10是示出图9所示的驱动电压供应电路的结构示例的图；

[0029] 图11是示出图10所示的驱动电压供应电路的工作时序的示例的图；

[0030] 图12至图14是示出图10所示的驱动电压供应电路的工作过程的示例的图；

[0031] 图15是示出图9所示的驱动电压供应电路的结构另一示例的图；

[0032] 图16是示出在图15所示的驱动电压供应电路的放电的过程中供应至显示面板的驱动电压的放电波形的示例的图；以及

[0033] 图17是示出当通过图15所示的驱动电压供应电路开始供应用于显示驱动的驱动电压时放电单元中包括的晶体管的栅极节点的电压状态的示例的图。

具体实施方式

[0034] 在下文中，将参考附图详细描述本发明的一些实施方式。在参考附图描述本发明时，无论附图标记如何，相同的元件将用相同的附图标记或符号表示。当确定本发明所涉及的已知配置或功能的详细描述使得本发明的要点模糊时，将不对其做出详细描述。

[0035] 诸如第一、第二、A、B、(a) 和 (b) 的术语可以用于描述本发明的元件。这些术语仅用于将一个元件与另一元件区分开，并且元件的本质、顺序、序列、数目等不限于这些术语。如果提到元件被“链接”、“耦合”或“连接”到另一元件，则应该理解元件可以直接耦合或连接到另一元件，或者其间可以“插入”又一元件，或者元件可以在其间插入又一元件的情况下彼此“链接”、“耦合”或“连接”。

[0036] 图1是示意性地示出根据本发明的实施方式的显示装置100的配置的图。

[0037] 参照图1，根据本发明的实施方式的显示装置100包括其中布置有多个子像素SP的显示面板110、以及用于驱动显示面板110的栅极驱动电路120、数据驱动电路130和控制器140。

[0038] 在显示面板110中，布置有多个栅极线GL和多个数据线DL，并且在栅极线GL和数据线DL彼此交叉的区域处布置有子像素SP。

[0039] 栅极驱动电路120由控制器140控制，并用于向布置在显示面板110中的多个栅极线GL顺序地输出扫描信号并且控制多个子像素SP的驱动时序。

[0040] 栅极驱动电路120包括一个或更多个栅极驱动器集成电路GDIC，并且可以根据其驱动系统设置在显示面板110的仅一侧或两侧。可替代地，栅极驱动电路120可以以面板中栅极(GIP)的形式并入显示面板110的边框区域中。

[0041] 数据驱动电路130从控制器140接收图像数据，并且将图像数据转换为模拟类型的数据电压。然后，数据驱动电路130在经由栅极线GL供应扫描信号的定时处将数据电压输出到数据线DL，使得子像素SP基于图像数据表现亮度。

[0042] 数据驱动电路130包括一个或更多个源极驱动器集成电路SDIC。

[0043] 控制器140向栅极驱动电路120和数据驱动电路130供应各种控制信号，并且控制栅极驱动电路120和数据驱动电路130。

[0044] 控制器140使得栅极驱动电路120在每帧中实现的定时处输出扫描信号，并用于将

从外部接收的图像数据转换为在数据驱动电路130中使用的数据信号格式,并且将转换后的图像数据输出到数据驱动电路130。

[0045] 控制器140从外部(例如,主机系统)接收包括垂直同步信号VCYNC、水平同步信号HSYNC、输入数据使能信号DE和时钟信号CLK的各种时序信号。

[0046] 控制器140使用从外部接收的各种时序信号来生成各种控制信号,并将所生成的控制信号输出到栅极驱动电路120和数据驱动电路130。

[0047] 例如,控制器140输出包括栅极起始脉冲GSP、栅极移位时钟GSC和栅极输出使能信号GOE的各种栅极控制信号,以便控制栅极驱动电路120。

[0048] 在此,栅极起始脉冲GSP控制栅极驱动电路120的一个或更多个栅极驱动器集成电路GDIC的工作起始时序。栅极移位时钟GSC是共同输入到一个或更多个栅极驱动器集成电路GDIC的时钟信号,并且控制扫描信号的移位时序。栅极输出使能信号GOE指定一个或更多个栅极驱动器集成电路GDIC的时序信息。

[0049] 控制器140输出包括源极起始脉冲SSP、源极采样时钟SSC和源极输出使能信号SOE的各种数据控制信号DCS,以便控制数据驱动电路130。

[0050] 在此,源极起始脉冲SSP控制数据驱动电路130的一个或更多个源极驱动器集成电路的数据采样起始时序。源极采样时钟SSC是用于控制一个或更多个源极驱动器集成电路中的数据的采样时序的时钟信号。源极输出使能信号SOE控制数据驱动电路130的输出时序。

[0051] 显示装置100还可以包括供电管理集成电路,所述供电管理集成电路向显示面板110、栅极驱动电路120、数据驱动电路130等供应各种电压或电流,或者控制要供应的各种电压或电流。

[0052] 每个子像素SP由一条栅极线GL和一条数据线DL的交叉限定,并且发光元件可以设置在每个子像素SP中。

[0053] 例如,显示装置100包括在每个子像素中的诸如发光二极管LED或有机发光二极管OLED的发光元件,并且可以通过根据数据电压控制在发光元件中流动的电流来显示图像。

[0054] 图2是示出根据本发明的实施方式的显示装置100中的子像素SP的电路结构的示例的图。

[0055] 参照图2,设置在根据本发明的实施方式的显示装置100中的每个子像素SP包括一个或更多个晶体管和电容器,并且有机发光二极管OLED可以设置为发光二极管。

[0056] 例如,每个子像素SP包括驱动晶体管DRT、开关晶体管SWT、感测晶体管SENT、存储电容器Cstg和有机发光二极管OLED。

[0057] 驱动晶体管DRT包括第一节点N1、第二节点N2和第三节点N3。

[0058] 驱动晶体管DRT的第一节点N1当开关晶体管SWT接通时经由数据线DL被供应有数据电压Vdata并且可以是栅极节点。

[0059] 驱动晶体管DRT的第二节点N2电连接到有机发光二极管OLED的阳极电极并且可以是源节点或漏极节点。

[0060] 驱动晶体管DRT的第三节点N3电连接到被供应有驱动电压EVDD的驱动电压线DVL并且可以是漏极节点或源极节点。

[0061] 在此,可以在显示驱动时段中将显示驱动所需的第一驱动电压EVDD1供应至驱动

电压线DVL。例如,第一驱动电压EVDD1可以是27V。

[0062] 开关晶体管SWT电连接在驱动晶体管DRT的第一节点N1与数据线DL之间,并且响应于供应至栅极线GL的扫描信号而工作。开关晶体管SWT通过将经由数据线DL供应的数据电压Vdata施加到驱动晶体管DRT的栅极节点来控制驱动晶体管DRT的栅极节点的电压。

[0063] 感测晶体管SENT电连接在驱动晶体管DRT的第二节点N2与参考电压线RVL之间,并且响应于经由栅极线GL供应的扫描信号而工作。感测晶体管SENT使得经由参考电压线RVL供应的参考电压Vref被供应至驱动晶体管DRT的第二节点N2。

[0064] 也就是说,通过控制开关晶体管SWT和感测晶体管SENT,可以通过控制驱动晶体管DRT的第一节点N1的电压和第二节点N2的电压来供应用于驱动有机发光二极管OLED的电流。

[0065] 开关晶体管SWT和感测晶体管SENT可以连接到相同的栅极线GL,或者可以连接到不同的栅极线GL。图2示出了开关晶体管SWT和感测晶体管SENT连接到同一栅极线GL的结构示例。通过经由一条栅极线GL控制开关晶体管SWT和感测晶体管SENT,可以提高子像素SP的开口率。

[0066] 设置在子像素SP中的晶体管是n型的。在一些情况下,每个子像素SP可以包括p型晶体管。

[0067] 存储电容器Cstg电连接在驱动晶体管DRT的第一节点N1与第二节点N2之间,并且在一帧期间保持数据电压Vdata。

[0068] 存储电容器Cstg可以根据驱动晶体管DRT的类型连接在驱动晶体管DRT的第一节点N1与第三节点N3之间。

[0069] 有机发光二极管OLED的阳极电极可以电连接到驱动晶体管DRT的第二节点N2。基极电压EVSS可以被供应至有机发光二极管OLED的阴极电极。

[0070] 有机发光二极管OLED根据通过驱动晶体管DRT的工作而供应的电流来发光,并且允许子像素SP表现与图像数据对应的亮度。

[0071] 在此,有机发光二极管OLED会随着时间的流逝而劣化。有机发光二极管OLED可能由于劣化不表现与被供应至子像素Sp的数据电压Vdata对应的亮度。由于子像素SP中包括的有机发光二极管OLED之间的劣化上的差异,可能发生亮度不均匀。

[0072] 在本发明的实施方式中,可以防止由于劣化差异而引起的亮度不均匀,并且通过感测设置在子像素SP中的有机发光二极管OLED的劣化来允许有机发光二极管OLED表现出与数据电压Vdata对应的亮度,并且基于劣化来执行补偿。

[0073] 图3是示出感测根据本发明的实施方式的显示装置100中的子像素SP的劣化的系统的示例的图。

[0074] 参照图3,根据本发明的实施方式的显示装置100可以通过在劣化感测时段中向子像素SP供应感测数据电压Vsdata而使得电流在有机发光二极管OLED中流动。可以通过检测在有机发光二极管OLED的寄生电容器Coled中充载的电荷量的变化来测量每个有机发光二极管OLED的劣化。

[0075] 可以在与显示驱动时段不同的时段中执行劣化感测。例如,可以在显示装置100开启以开始显示驱动之前或者在显示装置100关闭之后执行劣化感测。可替代地,可以在水平消隐时段或垂直消隐时段中执行劣化感测,或者可以响应于用户的输入来执行劣化感测。

[0076] 例如,可以通过包括在数据驱动电路130中的感测单元131来执行劣化感测。

[0077] 具体地,数据驱动电路130在劣化感测时段中经由数据线DL供应感测数据电压V_{sdata},并且经由参考电压线RVL供应感测参考电压V_{pre}。因此,因为在驱动晶体管DRT的第一节点N1与第二节点N2之间生成电压差,所以电流可以被供应至有机发光二极管OLED,并且可以用电荷对有机发光二极管OLED的寄生电容器C_{oled}充电。

[0078] 在此,可以在劣化感测时段中供应低于在显示驱动时段中经由驱动电压线DVL供应的第一驱动电压EVDD1的第二驱动电压EVDD2。

[0079] 第二驱动电压EVDD2可以是例如10V。通过在劣化感测时段中供应低于第一驱动电压EVDD1的第二驱动电压EVDD2,无论有机发光二极管OLED的劣化如何,有机发光二极管OLED的阳极电极的电压都可以保持恒定。

[0080] 也就是说,通过在固定有机发光二极管OLED的阳极电极的电压的状态下测量根据在有机发光二极管OLED中流动的电流而充载的电荷量的变化,可以准确地感测有机发光二极管OLED的劣化程度。

[0081] 感测单元131感测在有机发光二极管OLED的寄生电容器C_{oled}中充载的电荷量,并输出与感测的电荷量对应的感测电压V_{sen}。输出的感测电压V_{sen}可以被传输到控制器140,并且控制器140根据感测电压V_{sen}确定有机发光二极管OLED的劣化程度。通过向对应的子像素S_p供应已由于劣化而补偿的数据电压V_{data},子像素S_p可以表现与数据电压V_{data}对应的亮度,并且可以防止由于劣化上的差异而引起的亮度不均匀。

[0082] 感测单元131可以具有各种结构,并且可以由例如反馈电容器C_{fb}构成。感测单元131可以包括用于初始化反馈电容器C_{fb}的第一开关SW1和用于对感测电压V_{sen}进行采样的第二开关SW2。

[0083] 在放大器中,感测参考电压V_{pre}被供应至(+)输入端子,并且(-)输入端子连接到参考电压线RVL。反馈电容器C_{fb}可以电连接在放大器的(-)输入端子与输出端子之间。

[0084] 因此,在有机发光二极管OLED的寄生电容器C_{oled}中充载的电荷在反馈电容器C_{fb}中充载,并且可以感测到由于有机发光二极管OLED的劣化而引起的有机发光二极管OLED的寄生电容器C_{oled}中充载的电荷量的变化。

[0085] 在此,因为当反馈电容器C_{fb}中充载的电荷量增加时放大器输出(-)方向上的值,所以当由于有机发光二极管OLED的劣化而在有机发光二极管OLED的寄生电容器C_{oled}中充载的电荷量减少时,可以输出高于劣化之前的感测电压V_{sen}的感测电压V_{sen}。

[0086] 图4是示出图3所示的子像素SP的劣化感测时序的示例的图。

[0087] 参照图4,劣化感测时段包括初始化时段Initial、升压时段Boosting、感测时段Sensing和恢复时段Recovery。

[0088] 初始化时段Initial是用于感测有机发光二极管OLED的劣化的电压被充载的时段,具有高电平的扫描信号被供应至栅极线,并且感测单元131的第一开关SW1和第二开关SW2保持在接通状态。

[0089] 感测数据电压V_{sdata}被供应至数据线DL,并且感测参考电压V_{pre}被供应至参考电压线RVL。因此,驱动晶体管DRT的第一节点N1被供应有感测数据电压V_{sdata},并且驱动晶体管DRT的第二节点N2被供应有感测参考电压V_{pre}。

[0090] 在此,供应至驱动电压线DVL的驱动电压EVDD可以是低于在显示驱动时段中供应

的第一驱动电压EVDD1的第二驱动电压EVDD2。

[0091] 通过降低在劣化感测时段中供应的驱动电压EVDD的电平并且保持有机发光二极管OLED的阳极电极的电压电平、即驱动晶体管DRT的第二节点N2恒定,可以精确地感测在驱动晶体管DRT的寄生电容器Coled中充载的电荷量。

[0092] 升压时段Boosting是通过当用于劣化感测的电压的施加完成时使电流在有机发光二极管OLED中流动而用电荷对寄生电容器Coled充电的时段。

[0093] 在升压时段Boosting中,具有低电平的信号被供应至栅极线GL。感测单元131的第一开关SW1和第二开关SW2保持在接通状态,并且可以在感测时段Sensing开始之前关断第一开关SW1。

[0094] 当具有低电平的扫描信号被供应至栅极线GL时,开关晶体管SWT和感测晶体管SENT关断,因此驱动晶体管DRT的第一节点N1和第二节点N2变为浮置状态。因此,第一节点N1和第二节点N2的电压逐渐增大。

[0095] 电流流入有机发光二极管OLED,并且用电荷对有机发光二极管OLED的寄生电容器Coled充电。

[0096] 在此,因为驱动电压EVDD的电平已降低到第二驱动电压EVDD2,所以驱动晶体管DRT的第二节点N2的电压变为恒定,并且有机发光二极管OLED的寄生电容器Coled可以在有机发光二极管OLED的阳极电极的电压恒定的状态下被充电。

[0097] 因为在寄生电容器Coled中充载的电荷量可以随着有机发光二极管OLED的劣化过程而减少,所以可以检测电荷量的变化以感测有机发光二极管OLED的劣化。

[0098] 感测时段Sensing是在对有机发光二极管OLED的寄生电容器Coled充电之后检测在寄生电容器Coled中充载的电荷的时段。

[0099] 在感测时段Sensing中,具有高电平的扫描信号被供应至栅极线,并且感测单元131的第一开关SW1保持在关断状态。第二开关SW2保持在接通状态。

[0100] 因为经由数据线DL供应具有关断驱动晶体管DRT的电平的电压并且感测晶体管SENT接通,所以感测单元131的反馈电容器Cfb经由参考电压线RVL充载有在有机发光二极管OLED的寄生电容器Coled中充载的电荷。

[0101] 当反馈电容器Cfb中充载的电荷量增加时,感测单元131的放大器输出(-)方向上的值。因此,当由于有机发光二极管OLED的劣化而在寄生电容器Coled中充载的电荷量减少时,由于反馈电容器Cfb中充载的电荷量的减少,放大器输出的感测电压Vsen高于劣化之前的感测电压。

[0102] 恢复时段Recovery是劣化感测时段已结束之前和显示驱动开始之前的预定时段,并且是在执行劣化感测之后重置供应至电压线的电压以用于显示驱动的时段。

[0103] 图5至图7是示出图3所示的感测子像素的劣化的过程的示例的图,并且示出了在图4所示的定时处的子像素SP和感测单元131的状态。

[0104] 参照图5,开关晶体管SWT和感测晶体管SENT在初始化时段Initial中接通。

[0105] 当开关晶体管SWT接通时,感测数据电压Vsdata被供应至驱动晶体管DRT的第一节点N1。感测数据电压Vsdata可以是例如14V。

[0106] 当感测晶体管SENT接通时,感测参考电压Vpre被供应至驱动晶体管DRT的第二节点N2。感测参考电压Vpre可以是例如4V。

[0107] 低于在显示驱动时段中供应的第一驱动电压EVDD1的第二驱动电压EVDD2被供应至驱动电压线DVL。第二驱动电压EVDD2可以是例如10V。

[0108] 在此,感测单元131的第一开关SW1保持在接通状态以初始化反馈电容器Cfb。

[0109] 参照图6,开关晶体管SWT和感测晶体管SENT在升压时段Boosting中关断。

[0110] 因为开关晶体管SWT和感测晶体管SENT关断,所以驱动晶体管DRT的第一节点N1和第二节点N2的电压逐渐增大。然后,驱动晶体管DRT接通,并且电流在有机发光二极管OLED中流动。

[0111] 在此,因为第二驱动电压EVDD2被供应至驱动晶体管DRT的第三节点N3,所以无论有机发光二极管OLED的劣化如何,有机发光二极管OLED的工作电压、即驱动晶体管DRT的第二节点N2的电压,都保持在恒定水平。

[0112] 当电流在有机发光二极管OLED中流动时,有机发光二极管OLED的寄生电容器Coled被充电。

[0113] 参照图7,开关晶体管SWT和感测晶体管Sense在感测时段Sensing中接通。然后,具有这样的关断驱动晶体管DRT的电平的电压被供应至数据线DL。例如,电压可以是0.5V。

[0114] 因此,驱动晶体管DRT在感测时段期间处于关断状态。因为感测单元131的第一开关SW1处于关断状态,所以感测单元131的反馈电容器Cfb可以用经由参考电压线RVL充载有在有机发光二极管OLED的寄生电容器Coled中充载的电荷。

[0115] 感测单元131的放大器输出与在反馈电容器Cfb中充载的电荷量对应的感测电压Vsen,并且可以使用输出的感测电压Vsen的值来感测有机发光二极管OLED的劣化。

[0116] 图8是示出图3所示的在子像素的劣化前后在感测劣化的过程中在有机发光二极管OLED中充载的电荷量的示例的图。

[0117] 参照图8,随着有机发光二极管OLED劣化的进行,流入其中的电流可以根据供应至有机发光二极管OLED的电压而减小。在有机发光二极管OLED的寄生电容器Coled中充载的电荷量可以由于电流的减小而减小。

[0118] 当有机发光二极管OLED劣化进行时,有机发光二极管OLED的工作电压可以增大。当有机发光二极管OLED的工作电压增大时,在有机发光二极管OLED的寄生电容器Coled中充载的电荷量可以增加。

[0119] 也就是说,充载的电荷量可以根据向有机发光二极管OLED施加电压而在有机发光二极管OLED中流动的电流来增加,并因此可能难以准确地感测有机发光二极管OLED的劣化。

[0120] 然而,根据本发明的实施方式,因为在劣化感测时段中具有降低的电压电平的第二驱动电压EVDD2被供应至驱动电压线DVL的状态下感测有机发光二极管OLED的劣化,所以电流可以在有机发光二极管OLED的工作电压保持恒定的状态下在有机发光二极管OLED中流动。

[0121] 因此,因为随着有机发光二极管OLED劣化的进行,在有机发光二极管OLED的寄生电容器Coled中充载的电荷量减少,所以可以使用在有机发光二极管OLED的寄生电容器Coled中充载的电荷量的变化准确地感测有机发光二极管OLED的劣化程度。

[0122] 以此方式,本发明的实施方式提供了一种电路,该电路可以准确地感测有机发光二极管OLED的劣化并控制在劣化感测时段和显示驱动时段中供应的驱动电压EVDD。

[0123] 图9是示出根据本发明的实施方式的显示装置100中的驱动电压供应电路150的配置的示例的图。

[0124] 参照图9,根据本发明的实施方式的驱动电压供应电路150包括输出用于显示驱动的第一驱动电压EVDD1的第一驱动电压输出单元151、以及输出用于劣化感测的第二驱动电压EVDD2的第二驱动电压输出单元152。驱动电压供应电路150还可以包括在显示驱动时段与劣化感测时段之间对供应至显示面板110的第一驱动电压EVDD1进行放电的放电单元153。

[0125] 驱动电压供应电路150可以根据从控制器140输出的控制信号来工作。例如,驱动电压供应电路150可以以模块的形式设置在控制印刷电路板上。

[0126] 第一驱动电压输出单元151被供应有来自位于驱动电压供应电路150外部的电源单元200的源极电压,并输出显示驱动所需的第一驱动电压EVDD1。第一驱动电压输出单元151可以根据从控制器140输出的控制信号来工作,并且在显示驱动时段中向显示面板110供应第一驱动电压EVDD1。

[0127] 第二驱动电压输出单元152输出劣化感测所需的第二驱动电压EVDD2。第二驱动电压EVDD2可以是低于第一驱动电压EVDD1的电压。第二驱动电压输出单元152包括调节器(例如,LDO),该调节器降低从外部输入的电源电压的电压电平,并且用来降低从外部输入的电压电平并输出劣化感测所需的第二驱动电压EVDD2。

[0128] 第二驱动电压输出单元152可以根据从控制器140输出的控制信号来工作,并且在劣化感测时段中向显示面板110供应第二驱动电压EVDD2。

[0129] 放电单元153在显示驱动时段与劣化感测时段之间对供应至显示面板110的第一驱动电压EVDD1进行放电。

[0130] 也就是说,因为在显示驱动时段中具有高电平的第一驱动电压EVDD1将被供应至显示面板110,并且在劣化感测时段中将供应具有低电平的第二驱动电压EVDD2,所以放电单元153在显示驱动时段与劣化感测时段之间对供应至显示面板110的第一驱动电压EVDD1进行放电。

[0131] 当放电单元153在执行劣化感测之前对供应至显示面板110的第一驱动电压EVDD1进行放电时,可以在劣化感测时段中将劣化感测所需的第二驱动电压EVDD2稳定地供应至显示面板110。

[0132] 图10是示出图9所示的驱动电压供应电路150的结构示例的图。

[0133] 参照图10,驱动电压供应电路150包括将第一驱动电压EVDD1输出到驱动电压输出端子EVDD_Out的第一驱动电压输出单元151、以及将第二驱动电压EVDD2输出到驱动电压输出端子EVDD_Out的第二驱动电压输出单元152。驱动电压供应电路150还包括放电单元153,放电单元153电连接到驱动电压输出端子EVDD_Out,并且对供应至显示面板110的第一驱动电压EVDD1进行放电。

[0134] 第一驱动电压输出单元151可以包括例如由从控制器140输出的第一控制信号CS1控制的第一晶体管T1、以及控制第一驱动电压EVDD1的输出的第二晶体管T2。第一驱动电压输出单元151还可以包括电连接在第一晶体管T1的栅极节点与第二晶体管T2的栅极节点之间的第一电阻器R1、以及电连接在第一驱动电压EVDD1的输入端子与第二晶体管T2的栅极节点之间的第二电阻器R2。

[0135] 第一晶体管T1根据从控制器140输出的第一控制信号CS1关断。当供应具有高电平的第一控制信号CS1时,第一晶体管T1接通以允许地电压被供应至第二晶体管T2的栅极节点。在此,第一控制信号CS1也称为“显示控制信号”。

[0136] 第二晶体管T2电连接在第一驱动电压EVDD1的输入端子与驱动电压输出端子EVDD_Out之间。

[0137] 当第一晶体管R1接通并且地电压被供应至第二晶体管T2的栅极节点时,第二晶体管T2通过基于第二电阻器R2的分压而接通,并且将第一驱动电压EVDD1输出到驱动电压输出端子EVDD_Out。

[0138] 在此,第一晶体管T1是n型晶体管,并且第二晶体管T2是p型晶体管,但在某些情况下晶体管可以是其他类型。

[0139] 以此方式,第一驱动电压输出单元151可以在显示驱动时段中从控制器140接收具有高电平的第一控制信号CS1并且向显示面板110供应第一驱动电压EVDD1。

[0140] 在除显示驱动时段之外的时段中,第一驱动电压输出单元151可以从控制器140接收具有低电平的第一控制信号CS1,并且关断第一晶体管T1和第二晶体管T2,使得第一驱动电压EVDD1不被输出到驱动电压输出端子EVDD_Out。

[0141] 第二驱动电压输出单元152可以包括例如根据从控制器140输出的第二控制信号CS2来工作的第三晶体管T3、以及控制第二驱动电压EVDD2的输出的第四晶体管T4。第二驱动电压输出单元152还可以包括电连接在第三晶体管T3的栅极节点与第四晶体管T4的栅极节点之间的第三电阻器R3、以及电连接在第二驱动电压EVDD2的输入端子与第四晶体管T4的栅极节点之间的第四电阻器R4。

[0142] 第三晶体管T3由从控制器140输出的第三控制信号CS3关断,并且由具有高电平的第三控制信号CS3接通,以允许地电压被供应至第四晶体管T4的栅极节点。在此,第二控制信号CS2也称为“感测控制信号”。

[0143] 第四晶体管T4电连接在第二驱动电压EVDD2的输入端子与驱动电压输出端子EVDD_Out之间。当第三晶体管T3接通并且地电压被供应至第四晶体管T4的栅极节点时,第四晶体管T4通过基于第四电阻器R4的分压接通,以允许第二驱动电压EVDD2被输出到驱动电压输出端子EVDD_Out。

[0144] 在此,第三晶体管T3是n型晶体管,并且第四晶体管T4是p型晶体管,但在某些情况下晶体管可以是其他类型。

[0145] 第一二极管D1可以连接在第二驱动电压输出单元152与驱动电压输出端子EVDD_Out之间。第一二极管D1可以防止电流流到电压电平相对低的第二驱动电压输出单元152。

[0146] 在劣化感测时段中,第二驱动电压输出单元152从控制器140接收具有高电平的第二控制信号CS2,并且将第二驱动电压EVDD2输出到驱动电压输出端子EVDD_Out,以使得能够准确地感测设置在每个子像素SP中的有机发光二极管OLED的劣化。在除劣化感测时段之外的时段中,第二驱动电压输出单元152接收具有低电平的第二控制信号CS2,使得第二驱动电压EVDD2不从其输出。

[0147] 放电单元153可以包括电连接在驱动电压输出端子EVDD_Out与地之间的第五晶体管T5,并且根据从控制器140输出的第三控制信号CS3来工作。放电单元153还可以包括连接到第五晶体管T5的栅极节点的第五电阻器R5。

[0148] 因为第五晶体管T5的栅极节点电连接到地,所以第五晶体管T5在显示驱动时段或劣化感测时段中保持在关断状态,并且允许驱动电压EVDD稳定地输出到驱动电压输出端EVDD_Out。

[0149] 当第五晶体管T5在显示驱动时段与劣化感测时段之间的时段中接收到来自控制器140的具有高电平输出的第三控制信号CS3时,第五晶体管T5接通以对供应至显示面板110的第一驱动电压EVDD1进行放电。

[0150] 第三控制信号CS3也称为“放电控制信号”,并且第五晶体管T5也称为“放电控制晶体管”。

[0151] 因此,放电单元153的第五晶体管T5在显示驱动时段与劣化感测时段之间的时段中接通,以对供应至显示面板110的第一驱动电压EVDD1进行放电,使得可以供应用于劣化感测的第二驱动电压EVDD2。

[0152] 在除放电时段之外的时段中,第五晶体管T5保持在关断状态,使得第一驱动电压EVDD1或第二驱动电压EVDD2可以稳定地被供应至显示面板110。

[0153] 图11是示出图10所示的驱动电压供应电路150的工作时序的示例的图。

[0154] 参照图11,具有高电平的第一控制信号CS1、具有低电平的第二控制信号CS2和具有低电平的第三控制信号CS3可以在显示驱动时段中被供应至驱动电压供应电路150。

[0155] 因此,第一驱动电压输出单元151可以根据第一控制信号CS1来工作,以向显示面板110供应显示驱动所需的第一驱动电压EVDD1。

[0156] 在显示驱动时段与劣化感测时段之间的放电时段中,放电单元153可以工作成对供应至显示面板110的第一驱动电压EVDD1进行放电。

[0157] 例如,放电时段可以包括三个时间部分。在时间部分(1)中,具有低电平的第一控制信号CS1被输入到第一驱动电压输出单元151。因此,第一驱动电压输出单元151停止输出第一驱动电压EVDD1,并且显示面板110的驱动电压线DVL可以处于浮置状态。

[0158] 在时间部分(2)中,具有高电平的第三控制信号CS3被输入到放电单元153。然后,第一驱动电压输出单元151和第二驱动电压输出单元152接收具有低电平的第一控制信号CS1和第二控制信号CS2。在时间部分(2)中,因为放电单元153的第五晶体管T5处于接通状态,所以对供应至显示面板110的第一驱动电压EVDD1进行放电。

[0159] 在时间部分(3)中,所有第一控制信号CS1、第二控制信号CS2和第三控制信号CS3都以低电平输入。通过在第一驱动电压EVDD1已放电之后并且在供应第二驱动电压EVDD2之前设置预定时间段,可以在执行劣化感测之前稳定驱动电压线DVL的电压状态。

[0160] 以此方式,当在放电时段中完成供应至显示面板110的第一驱动电压EVDD1的放电时,在劣化感测时段中将具有高电平的第二控制信号CS2输入到第二驱动电压输出单元152。第二驱动电压输出单元152根据第二控制信号CS2来工作,并且第二驱动电压EVDD2被供应至显示面板110。

[0161] 因此,通过在供应具有低于第一驱动电压EVDD1的电平的第二驱动电压EVDD2的状态下执行劣化感测,可以准确地感测有机发光二极管OLED的劣化程度。

[0162] 通过在显示驱动时段与劣化感测时段之间对供应至显示面板110的第一驱动电压EVDD1进行放电,可以在劣化感测时段中稳定地供应第二驱动电压EVDD2。

[0163] 图12至图14是示出图10所示的驱动电压供应电路150的工作过程的示例的图。

[0164] 参照图12,在显示驱动时段中,具有高电平的第一控制信号CS1、具有低电平的第二控制信号CS2和具有低电平的第三控制信号CS3被输入到驱动电压供应电路150。

[0165] 因此,第一驱动电压输出单元151的第一晶体管T1和第二晶体管T2接通,并且第一驱动电压EVDD1被输出到驱动电压输出端子EVDD_Out并被供应至显示面板110。

[0166] 第二驱动电压输出单元152的第三晶体管T3和第四晶体管T4保持在关断状态。放电单元153的第五晶体管T5也保持在关断状态,并且在显示驱动时段中第一驱动电压EVDD1可以被稳定地供应至显示面板110。

[0167] 参照图13,具有高电平的第三控制信号CS3、具有低电平的第一控制信号CS1和具有低电平的第二控制信号CS2在显示驱动时段与劣化感测时段之间的放电时段中被输入到驱动电压供应电路150。

[0168] 因此,第一驱动电压输出单元151的第一晶体管T1和第二晶体管T2关断,并因此不输出第一驱动电压EVDD1。第二驱动电压输出单元152的第三晶体管T3和第四晶体管T4关断,并因此不输出第二驱动电压EVDD2。

[0169] 因为放电单元153的第五晶体管T5接通并且驱动电压输出端子EVDD_Out电连接到地,所以供应至显示面板110的第一驱动电压EVDD1被放电。

[0170] 如上所述,可以通过停止第一驱动电压EVDD1的输出、对显示面板110的第一驱动电压EVDD1进行放电、以及稳定驱动电压线DVL的步骤来执行该放电过程。

[0171] 参照图14,具有高电平的第二控制信号CS2、具有低电平的第一控制信号CS1和具有低电平的第三控制信号C3在劣化感测时段中被输入到驱动电压供应电路150。

[0172] 因此,第一驱动电压输出单元151的第一晶体管T1和第二晶体管T2保持在关断状态,并且不输出第一驱动电压EVDD1。放电单元153的第五晶体管T5关断,并因此驱动电压输出端子EVDD_Out的电压不会放电到地。

[0173] 在此,因为第二驱动电压输出单元152的第三晶体管T3和第四晶体管T4接通,所以第二驱动电压EVDD2被供应至显示面板110的驱动电压线DVL。

[0174] 因为低于显示驱动所需的第一驱动电压EVDD1的第二驱动电压EVDD2被供应至显示面板110的驱动电压线DVL,所以有机发光二极管OLED的工作电压可以保持恒定以感测劣化。

[0175] 以此方式,通过在显示驱动时段与劣化感测时段中供应具有不同电平的驱动电压,根据本发明的实施方式的驱动电压供应电路150使得能够实现稳定的显示驱动和精确的劣化感测。

[0176] 通过在显示驱动时段与劣化感测时段之间对供应至显示面板110的第一驱动电压EVDD1进行放电,可以在劣化感测时段中稳定地供应第二驱动电压EVDD2。

[0177] 通过该放电过程可以稳定地供应劣化感测所需的第二驱动电压EVDD2,但是因为诸如第一驱动电压EVDD1的高电平电压被放电,所以放电单元153的电路元件可能在放电过程中被损坏。

[0178] 本发明的实施方式提供了驱动电压供应电路150,驱动电压供应电路150可以使用放电单元153对供应至显示面板110的第一驱动电压EVDD1进行放电,通过控制放电速度来防止放电单元153的损坏,并且稳定地供应第一驱动电压EVDD1和第二驱动电压EVDD2。

[0179] 图15是示出图9所示的驱动电压供应电路150的结构另一示例的图。

[0180] 参照图15,根据本发明的实施方式的驱动电压供应电路150可以包括第一驱动电压输出单元151、第二驱动电压输出单元152和放电单元153。

[0181] 第一驱动电压输出单元151电连接在从外部电源供应的第一驱动电压EVDD1的输入端子与驱动电压输出端子EVDD_Out之间,并且可以根据从控制器140输出的第一控制信号CS1来工作。

[0182] 第一驱动电压输出单元151包括根据第一控制信号CS1接通或关断的第一晶体管T1、以及控制第一驱动电压EVDD1的输出的第二晶体管T2。第一驱动电压输出单元151还包括连接在第一晶体管T1的栅极节点与第二晶体管T2的栅极节点之间的第一电阻器R1、以及连接在第一驱动电压EVDD1的输入端子与第二晶体管T2的栅极节点之间的第二电阻器R2。

[0183] 当具有高电平的第一控制信号CS1从控制器140输入到第一驱动电压输出单元151时,第一晶体管T1接通,并且地电压被供应至第二晶体管T2的栅极节点。然后,第二晶体管T2接通,并且第一驱动电压EVDD1输出到驱动电压输出端子EVDD_Out。

[0184] 因此,第一驱动电压输出单元151可以在显示驱动时段中向显示面板110供应第一驱动电压EVDD1。

[0185] 第二驱动电压输出单元152电连接在第二驱动电压EVDD2的输入端子与驱动电压输出端子EVDD_Out之间,并且可以根据从控制器140输出的第二控制信号CS2来工作。

[0186] 第二驱动电压输出单元152包括根据第二控制信号CS2接通或关断的第三晶体管T3、以及控制第二驱动电压EVDD2的输出的第四晶体管T4。第二驱动电压输出单元152还包括连接在第三晶体管T3的栅极节点与第四晶体管T4的栅极节点之间的第三电阻器R3、以及连接在第二驱动电压EVDD的输入端子与第四晶体管T4的栅极节点之间的第四电阻器R4。

[0187] 输入到第二驱动电压输出单元152的第二驱动电压EVDD2可以由与供应第一驱动电压EVDD1的电源分开设置的电源供应。可替代地,第二驱动电压EVDD2可以是通过降低从供应第一驱动电压EVDD1的电源输入的电压的电平而生成的电压。

[0188] 当具有高电平的第二控制信号CS2从控制器140输入到第二驱动电压输出单元152时,第三晶体管T3接通,并且地电压被供应至第四晶体管T4的栅极节点以接通第四晶体管T4。当第四晶体管T4接通时,第二驱动电压EVDD2输出到驱动电压输出端EVDD_Out。

[0189] 第一二极管D1设置在第二驱动电压输出单元152与驱动电压输出端子EVDD_Out之间,以防止电流以相对低的电压电平流到第二驱动电压输出单元152。

[0190] 以此方式,第二驱动电压输出单元152可以被供应有第二控制信号CS2并且在劣化感测时段中输出第二驱动电压EVDD2,从而使得能够在第二驱动电压EVDD2被供应至显示面板110的状态下进行劣化感测。

[0191] 放电单元153连接到驱动电压输出端子EVDD_Out,并且可以根据从控制器140输入的第二控制信号CS3来工作。

[0192] 放电单元153可以包括电连接在驱动电压输出端子EVDD_Out与地之间的第五晶体管T5、以及连接到第五晶体管T5的栅极节点的第五电阻器R5。

[0193] 放电单元153还可以包括电连接在驱动电压输出端子EVDD_Out与第五晶体管T5的栅极节点之间的第一电容器C1。放电单元153还可以包括电连接在第五晶体管T5的栅极节点与地之间的第二电容器C2。

[0194] 放电单元153在显示驱动时段与劣化感测时段之间被供应有具有来自控制器140

的高电平输出的第三控制信号CS3。

[0195] 当供应具有高电平的第三控制信号CS3时,第五晶体管T5接通,并且供应至显示面板110的第一驱动电压EVDD1可以放电到地。

[0196] 在此,因为第一电容器C1设置在驱动电压输出端子EVDD_Out与第五晶体管T5的栅极节点之间,所以可以控制由放电单元153放电的第一驱动电压EVDD1的放电速度。

[0197] 也就是说,通过设置具有恒定电容的第一电容器C1,可以基于第一电容器C1的放电速度来控制由放电单元153放电的第一驱动电压EVDD1的放电速度。

[0198] 例如,当包括在放电单元153中的电路元件为如下时,可以如下来计算第一电容器C1的放电速度。

[0199]	CS3 (V)	R5 (k Ω)	C1 (nF)	EVDD1 (V)	Vth (V)	放电时间 (ms)
	3.3	10	4.7	27	1	0.552
	2.2	10	4.7	27	2.5	1.586

[0200] 当第三控制信号CS3的高电平电压为3.3V时,第五电阻器R5的电阻为10k Ω ,第一电容器C1的电容为4.7nF,第五晶体管T5的阈值电压为1V,第一电容器C1的放电时间可以计算为 $4.7\text{nF} \times 27\text{V} / \{ (3.3\text{V} - 1\text{V}) / 10\text{k}\Omega \} = 0.552\text{ms}$ 。可替代地,当第五晶体管T5的阈值电压为2.5V时,第一电容器C1的放电时间可以计算为 $4.7\text{nF} \times 27\text{V} / \{ (3.3\text{V} - 2.5\text{V}) / 10\text{k}\Omega \} = 1.586\text{ms}$ 。

[0201] 以此方式,通过将具有恒定电阻的第五电阻器R5连接到第五晶体管T5的栅极节点并且将具有恒定电容的第一电容器C1设置在驱动电压输出端子EVDD_Out与连接到地的第五晶体管的栅极节点之间,可以计算第一电容器C1的放电速度。

[0202] 在供应至显示面板110的第一驱动电压EVDD1的放电过程中流动的电流可以基于第一电容器C1的放电速度如下来计算。

[0203]	放电时间 (ms)	EVDD电容 (μF)	EVDD1 (V)	电流 (A)
	0.552	200	27	9.79
	1.586	200	27	3.40

[0204] 当第一电容器C1的放电时间为0.552ms并且显示面板110的驱动电压电容为200 μF 时,放电过程中流动的电流可以计算为 $200\mu\text{F} \times 27\text{V} / 0.552\text{ms} = 9.79\text{A}$ 。可替代地,当第一电容器C1的放电时间为1.586ms时,放电过程中流过的电流可以计算为 $200\mu\text{F} \times 27\text{V} / 1.586\text{ms} = 3.40\text{A}$ 。

[0205] 也就是说,随着第一电容器C1的放电时间增加,在放电过程中流动的电流减小。通过减小在放电过程中流动的电流,可以防止第五晶体管T5在放电过程中被损坏。

[0206] 以此方式,在本发明的实施方式中,可以通过调节供应至显示面板110的第一驱动电压EVDD1的放电时间来防止包括在放电单元153中的电路元件被损坏并且对第一驱动电压EVDD1放电,以控制在显示驱动时段与劣化感测时段之间的放电过程中流动的电流。因此,可以在劣化感测时段中有效地对第一驱动电压EVDD1放电并稳定地供应第二驱动电压EVDD2。

[0207] 图16是示出在图15所示的驱动电压供应电路150中的放电过程中供应至显示面板110的第一驱动电压EVDD1的放电波形的示例的图。

[0208] 参照图16,在显示驱动时段与劣化感测时段之间的时段中,具有高电平的第三控

制信号CS3被供应至驱动电压供应电路150的放电单元153。因此,第五晶体管T5的栅极节点的电压增大,并且由放电单元153对供应至显示面板110的第一驱动电压EVDD1进行放电。

[0209] 在此,因为具有恒定电阻的第五电阻器R5和具有恒定电容的第一电容器C1设置在放电单元153中,所以可以控制放电时间,使得在放电过程中流动的电流不会快速增大。

[0210] 因此,驱动电压输出端子EVDD_Out的电压,即,供应至显示面板110的第一驱动电压EVDD1逐渐放电,并且可以在不会损坏包括在放电单元153中的电路元件的情况下稳定地执行放电。

[0211] 另一方面,可以通过设置第一电容器C1来控制放电过程中流动的电流,但是在开始供应用于显示驱动的第一驱动电压EVDD1的时间点处,第五晶体管T5的栅极节点的电压可以由于第一电容器C1的耦合而增大。

[0212] 根据本发明的实施方式,因为具有大于第一电容器C1的电容的第二电容器C2设置在第五晶体管T5的栅极节点与地之间,所以可以在供应第一驱动电压EVDD1的时间点处防止第五晶体管T5的栅极节点的电压增大。

[0213] 图17是示出当由图15所示的驱动电压供应电路150开始供应用于显示驱动的第一驱动电压EVDD1时包括在放电单元153中的放电控制晶体管T5的栅极节点的电压状态的示例的图。

[0214] 参照图17,驱动电压供应电路150的第一驱动电压输出单元151在显示装置100接通的时间点处输出第一驱动电压EVDD1并开始显示驱动,或者在劣化感测时段之后开始显示驱动的时间点处输出第一驱动电压EVDD1。

[0215] 当第一驱动电压输出单元151输出第一驱动电压EVDD1时,驱动电压输出端子EVDD_Out的电压电平增大。

[0216] 在此,因为第一电容器C1设置在驱动电压输出端子EVDD_Out与第五晶体管T5的栅极节点之间,所以第五晶体管T5的栅极节点的电压可以由于耦合到驱动电压输出端子EVDD_Out而增大。

[0217] 在这种情况下,第五晶体管T5接通,并且放电单元153可以工作以对第一驱动电压EVDD1进行放电。

[0218] 然而,因为具有大于第一电容器C1的电容的第二电容器C2设置在第五晶体管T5的栅极节点与地之间,所以即使在驱动电压输出端子EVDD_Out的电压增大的时段中,也可以防止第五晶体管T5的栅极节点的电压增大。

[0219] 也就是说,通过在第五晶体管T5的栅极节点与地之间连接具有较大电容的第二电容器C2,可以保持第五晶体管T5的栅极节点的电压恒定并且防止第五晶体管T5在供应第一驱动电压EVDD1的时间点处接通。

[0220] 根据本发明的实施方式,通过在每个有机发光二极管OLED的劣化感测时段中供应低于显示驱动所需的第一驱动电压EVDD1的第二驱动电压EVDD2,可以保持有机发光二极管OLED的工作电压恒定并且准确地感测有机发光二极管OLED的劣化。

[0221] 通过提供在显示驱动时段中供应第一驱动电压EVDD1、在劣化感测时段中供应第二驱动电压EVDD2、并且在显示驱动时段与劣化感测时段之间对供应至显示面板110的第一驱动电压EVDD1进行放电的驱动电压供应电路150,可以稳定地供应显示驱动和劣化感测所需的驱动电压EVDD。

[0222] 通过在驱动电压供应电路150的放电单元153中设置具有恒定电阻的电阻器和具有恒定电容的电容器并控制第一驱动电压EVDD1的放电时间,可以防止电路元件由于放电过程中电流的快速增大而损坏并且可以稳定地供应驱动电压EVDD。

[0223] 以上描述仅举例说明了本发明的技术构思,并且本领域技术人员可以在不脱离本发明的基本特征的情况下做出各种修改和改变。本发明中公开的实施方式不是用于限制本发明的技术构思,而是用于说明本发明的技术构思。因此,本发明的技术范围不受实施方式的限制。本发明的范围由所附权利要求限定,并且在与其等效的范围内的所有技术思想应被解释为属于本发明的范围。

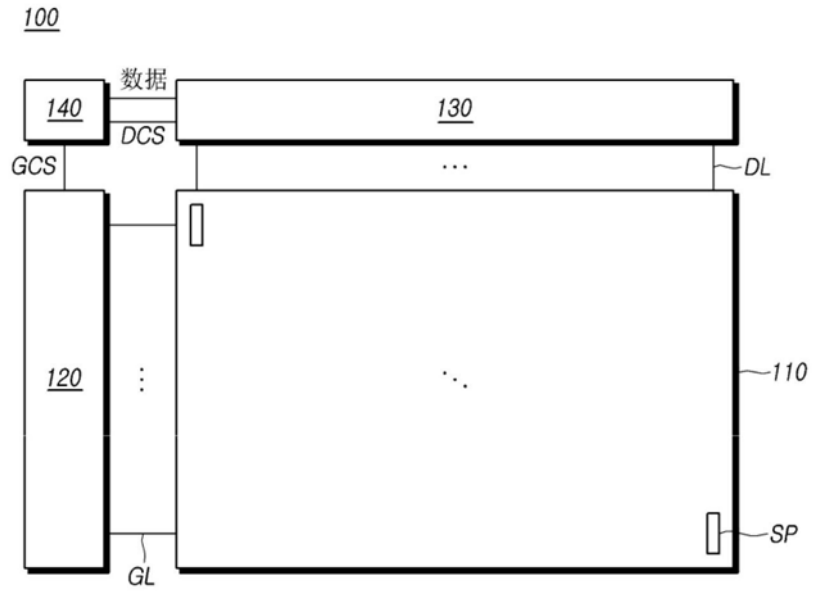


图1

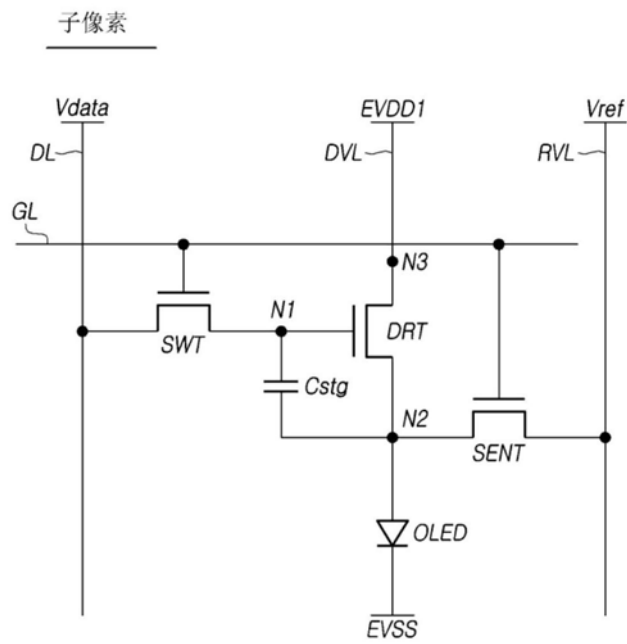


图2

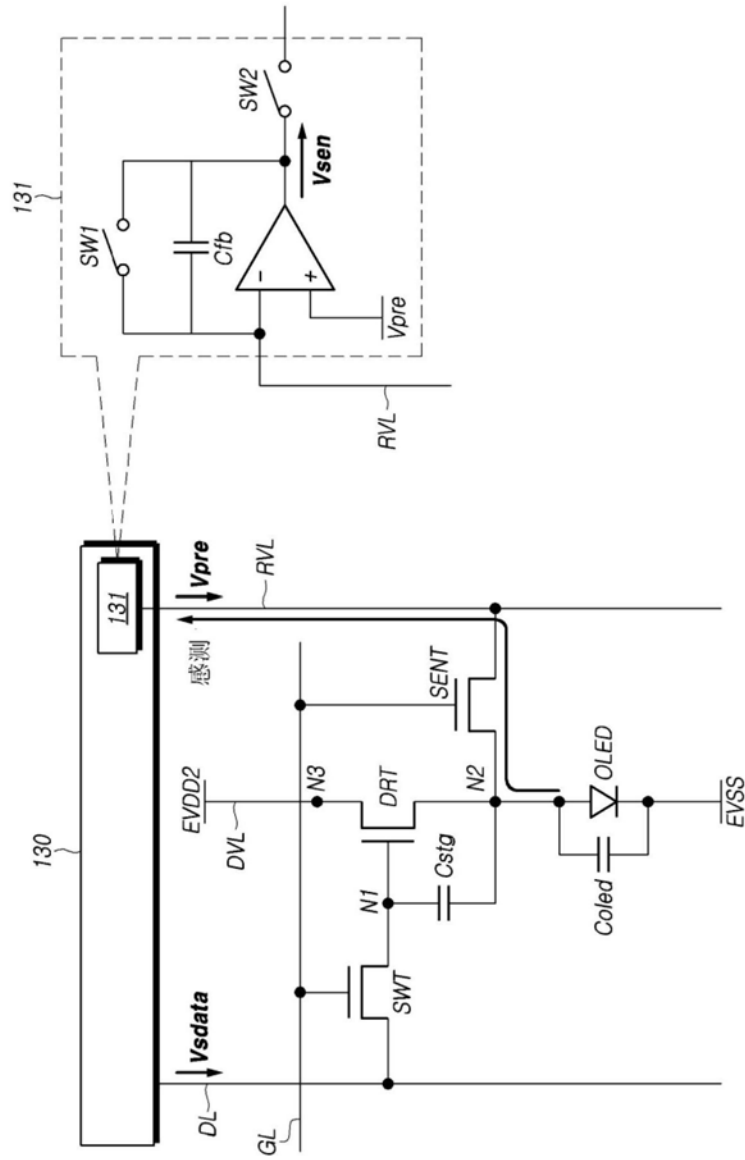


图3

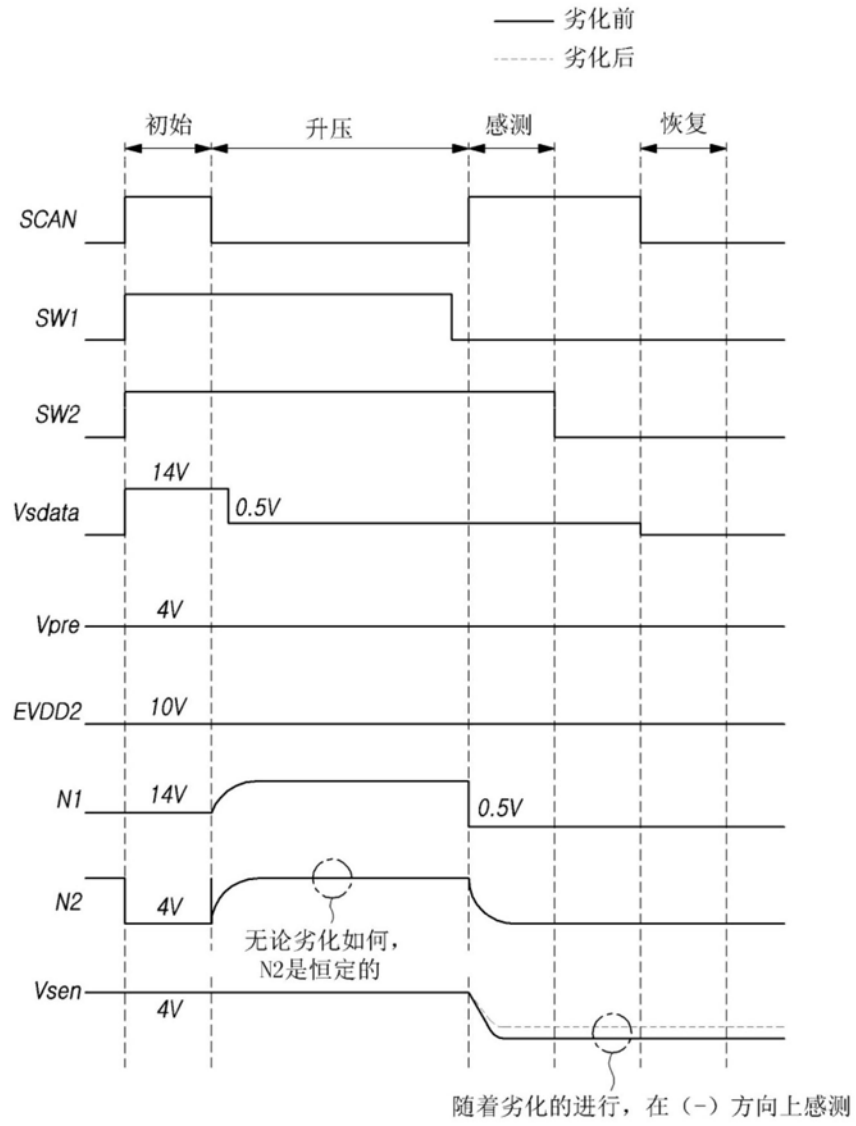


图4

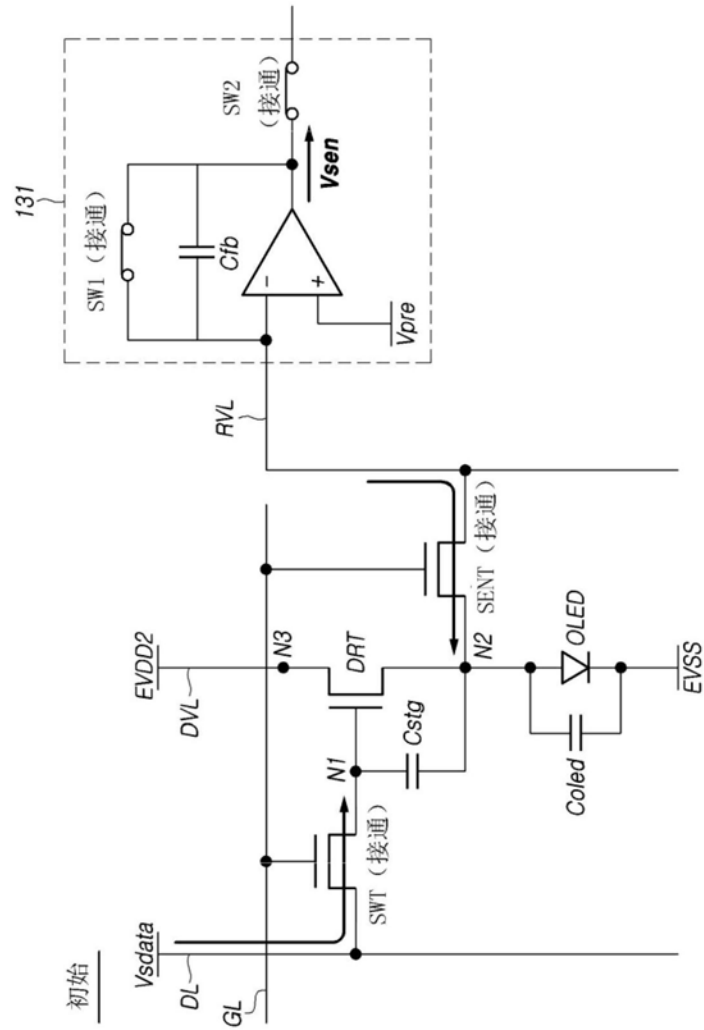


图5

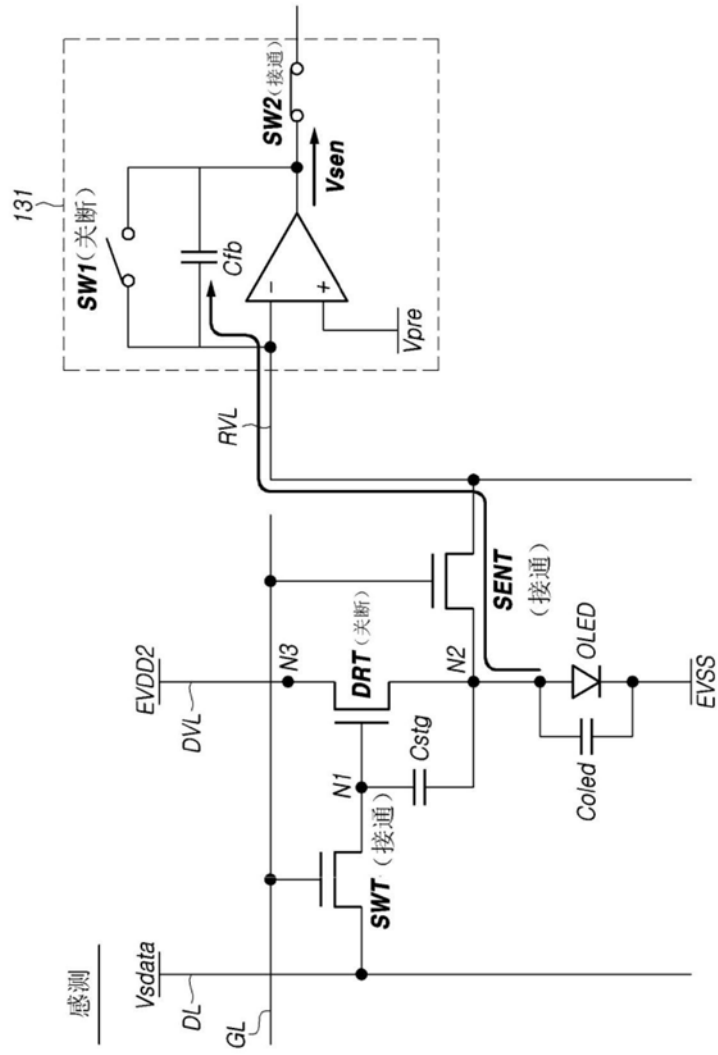


图7

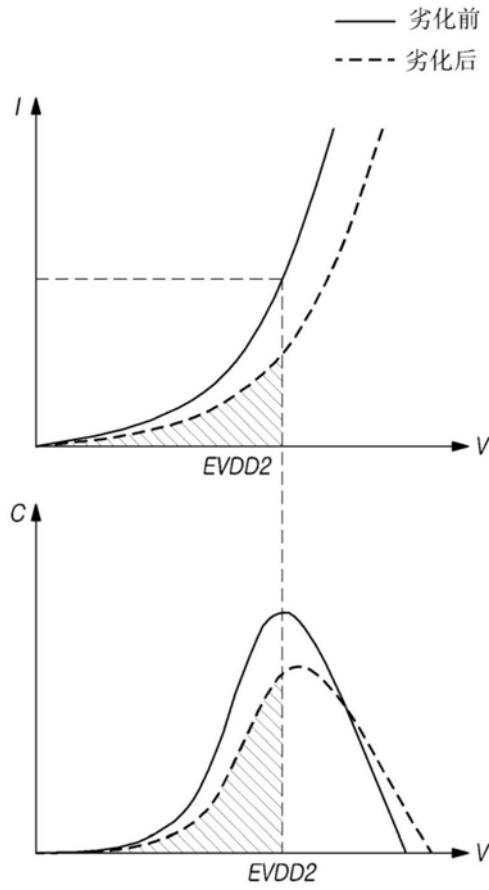


图8

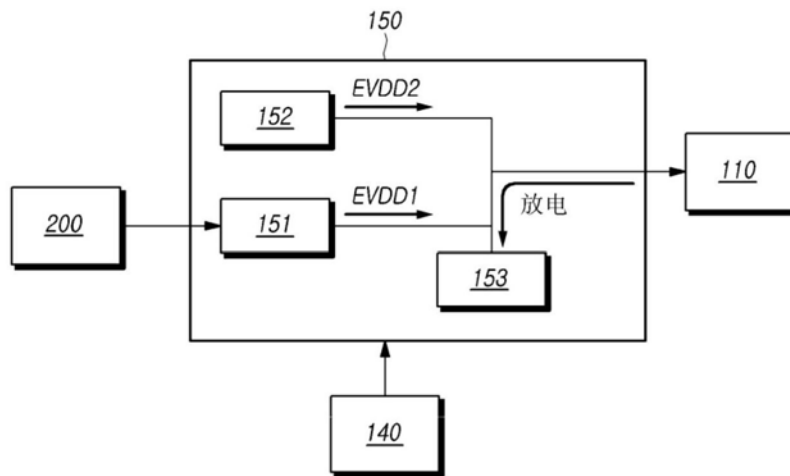


图9

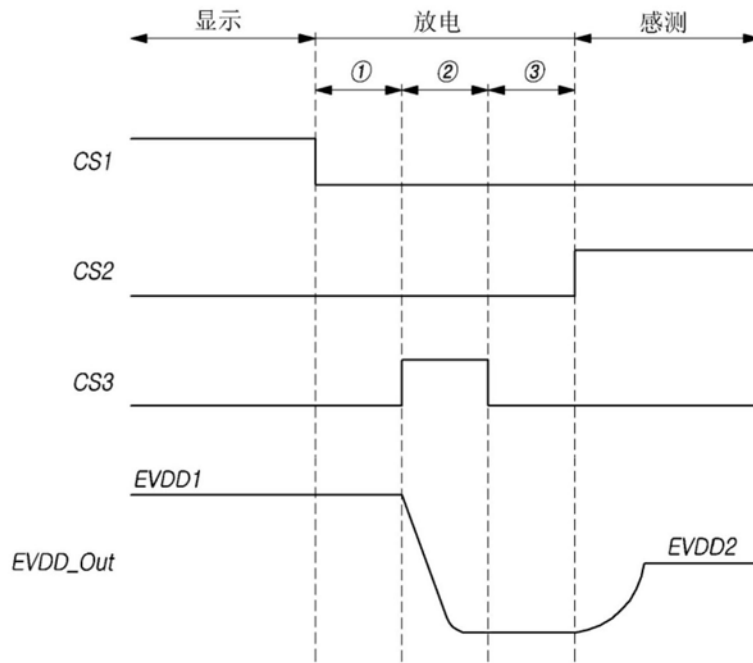


图11

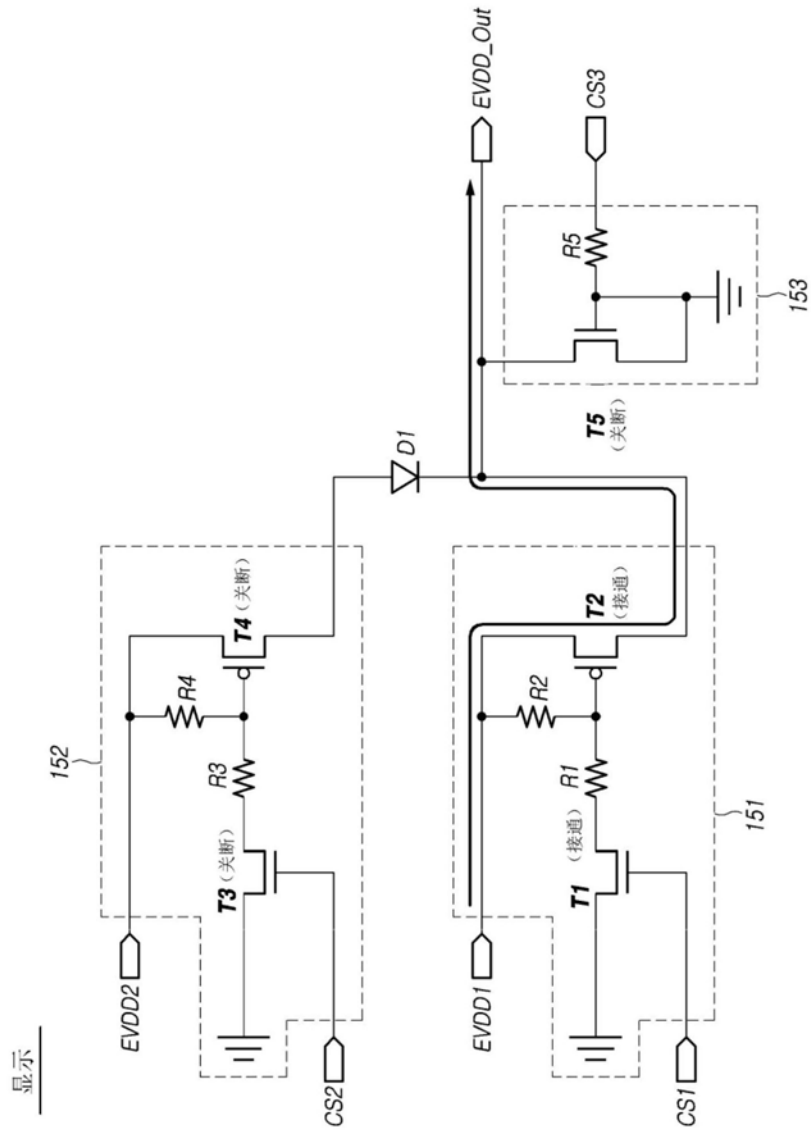


图12

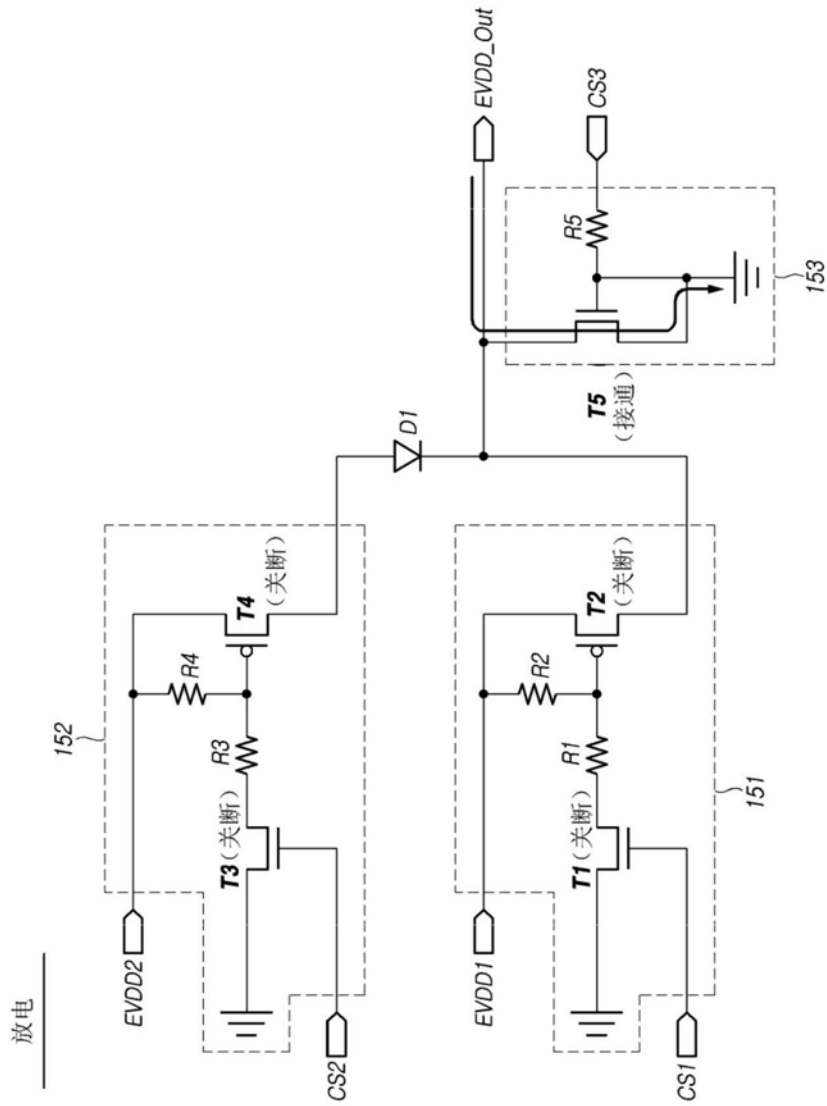


图13

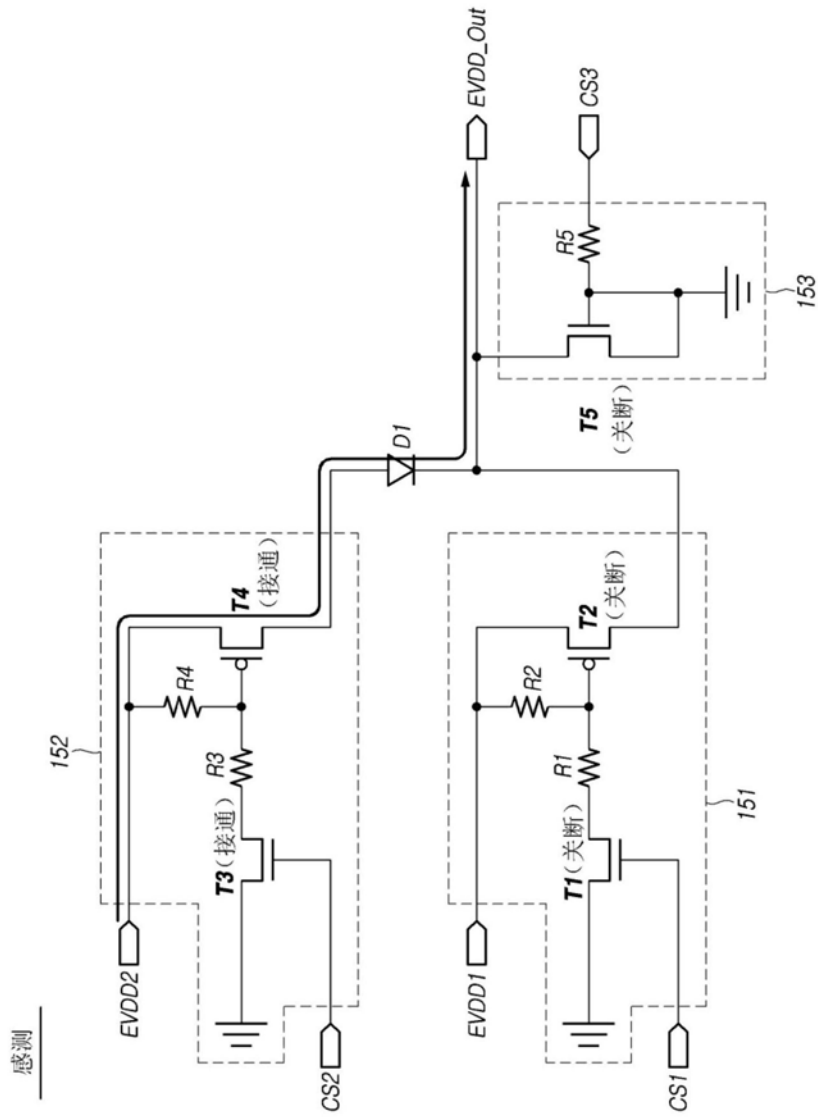


图14

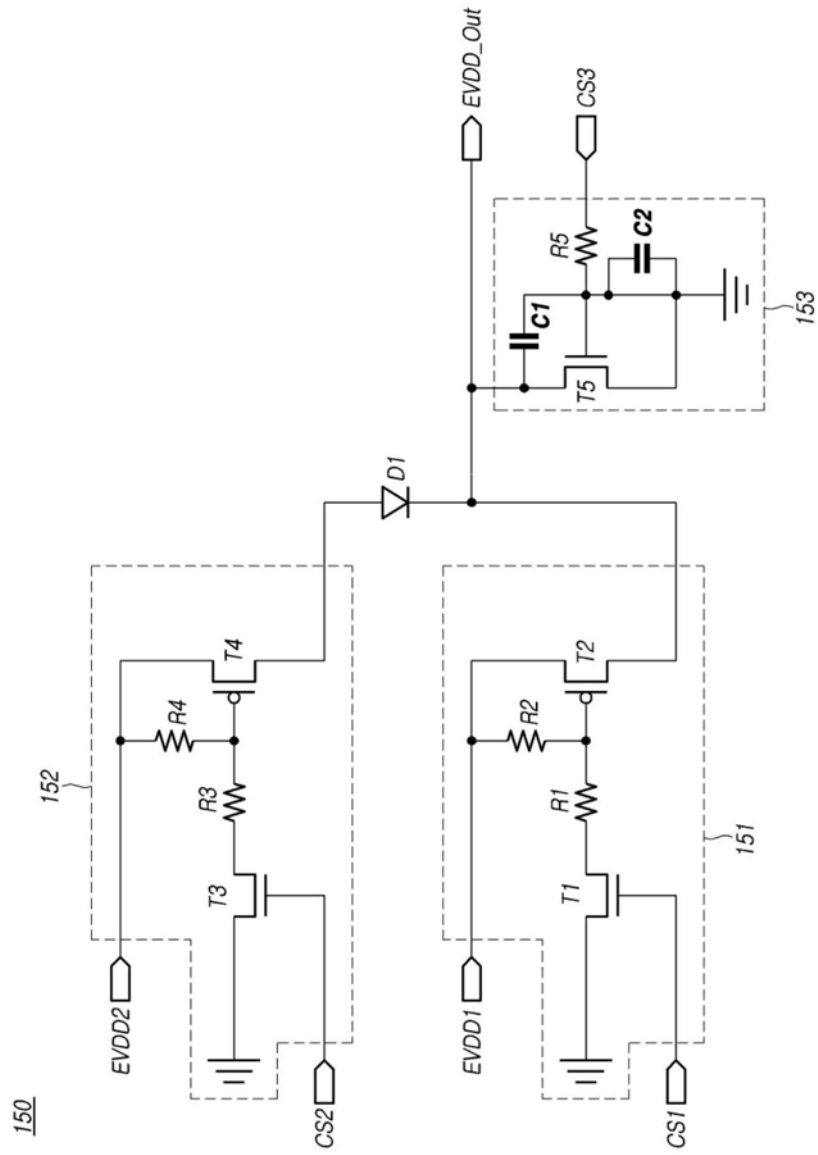


图15

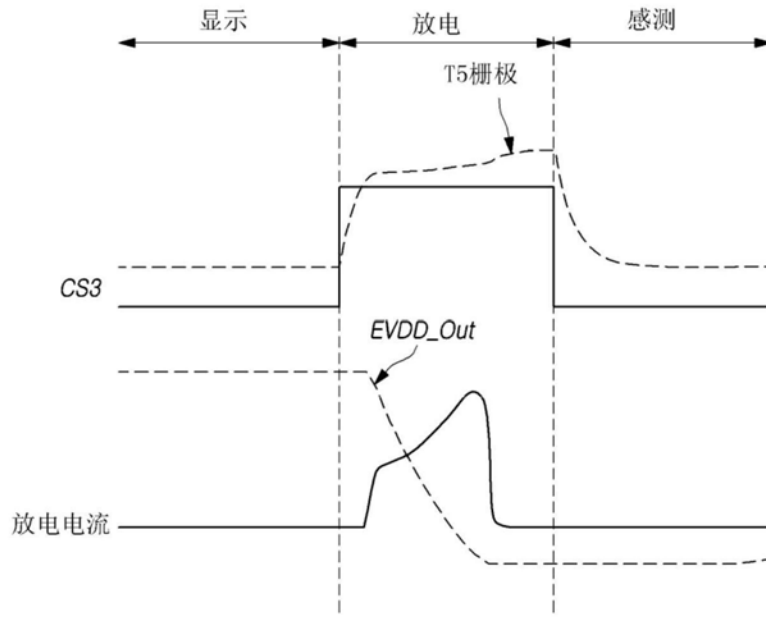


图16

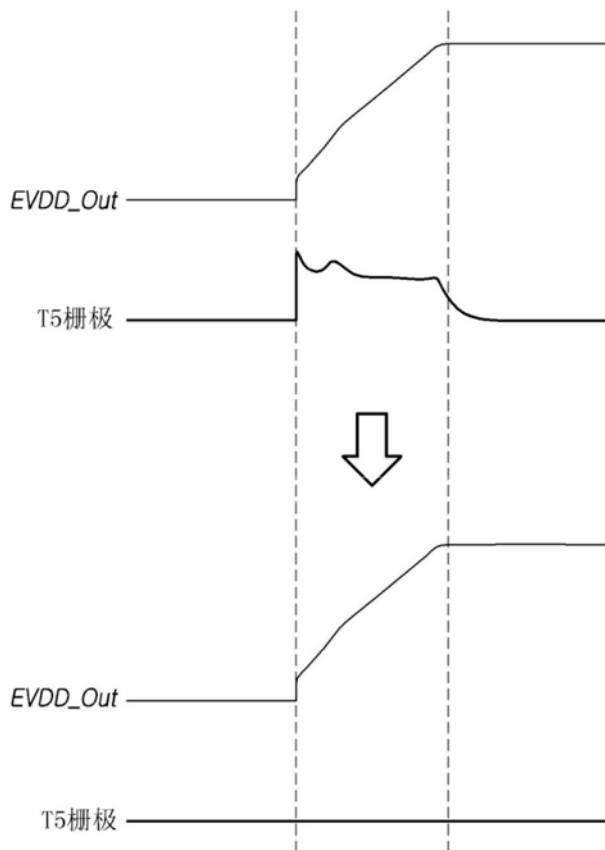


图17

专利名称(译)	驱动电压供应电路、显示面板和显示装置		
公开(公告)号	CN110875013A	公开(公告)日	2020-03-10
申请号	CN201910753860.5	申请日	2019-08-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	李珠硕		
发明人	李珠硕		
IPC分类号	G09G3/3258		
CPC分类号	G09G3/3258 G09G2320/046 G05F1/571 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2310/0243 G09G2310/0251 G09G2320/0233 G09G2320/0295 G09G2320/045 G09G2330/021 G09G2330/028 G09G2330/12		
代理人(译)	康建峰 杨华		
优先权	1020180101922 2018-08-29 KR		
外部链接	Espacenet SIPO		

摘要(译)

提供了一种驱动电压供应电路、显示面板和显示装置。通过在设置在每个子像素中的有机发光二极管的感测劣化的时段中供应低于用于显示驱动的驱动电压的驱动电压，有机发光二极管的工作电压保持恒定，并且有机发光二极管的劣化程度能够被精确地感测。通过在供应于劣化感测的驱动电压之前对供应至显示面板的驱动电压进行放电并控制在放电过程中流动的电流，能够在显示驱动时段和劣化感测时段中稳定地供应不同电平的驱动电压。

