



(12)发明专利申请

(10)申请公布号 CN 110796981 A

(43)申请公布日 2020.02.14

(21)申请号 201910665667.6

(22)申请日 2019.07.23

(30)优先权数据

10-2018-0089163 2018.07.31 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 刘载星

(74)专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 徐金国

(51)Int.Cl.

G09G 3/32(2016.01)

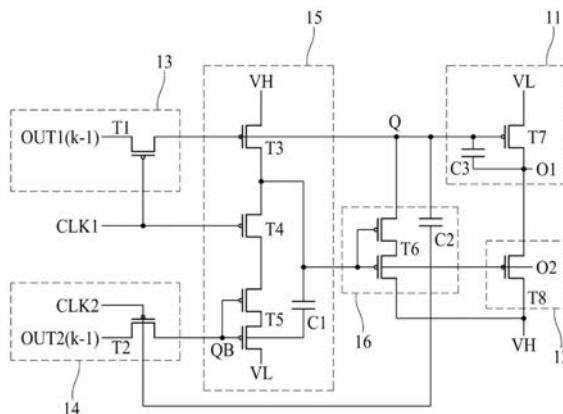
权利要求书3页 说明书12页 附图5页

(54)发明名称

栅极驱动器和使用栅极驱动器的电致发光显示装置

(57)摘要

提供一种栅极驱动器和使用栅极驱动器的电致发光显示装置。所述电致发光显示装置包括：发光线(EL)；子像素，连接到EL；和发光驱动器，向EL提供发光信号并包括多个级，其中，多个级的第k级包括：连接到EL的第一输出节点(O1)；第二输出节点(O2)；Q节点；下拉电路和上拉电路，分别由Q节点和O2节点控制并向所述O1节点提供电压；第一控制器，接收第(k-1)级的O1节点的电压或者第一起始信号；第二控制器，接收第(k-1)级的O2节点的电压或者第二起始信号；第三控制器，控制O2节点的电压；和第四控制器，由O2节点控制，其中k是1或更大的自然数。



1. 一种电致发光显示装置,包括:
发光线;
子像素,连接到所述发光线;和
发光驱动器,配置成向所述发光线提供发光信号并包括多个级,其中,所述多个级的第k级包括:
连接到所述发光线的第一输出节点;
第二输出节点;
Q节点;
下拉电路和上拉电路,分别由Q节点和所述第二输出节点控制并配置成向所述第一输出节点提供电压;
第一控制器,配置成接收所述多个级的第(k-1)级的第一输出节点的电压或者第一起始信号;
第二控制器,配置成接收所述多个级的第(k-1)级的第二输出节点的电压或者第二起始信号;
第三控制器,配置成控制所述第二输出节点的电压;和
第四控制器,由所述第二输出节点控制,
其中k是1或更大的自然数。
2. 根据权利要求1所述的电致发光显示装置,其中,所述第四控制器包括Q节点稳定器,所述Q节点稳定器配置成将Q节点分成主要Q节点和Q'节点。
3. 根据权利要求2所述的电致发光显示装置,其中,所述第四控制器还包括操作裕度增大部分,所述操作裕度增大部分配置成减少或防止在所述第四控制器中的电压之间的冲突。
4. 根据权利要求1所述的电致发光显示装置,其中,所述第三控制器还包括电容器,并且连接至所述电容器的至少一个晶体管在所述第三控制器和所述第四控制器的每一个中,所述至少一个晶体管是双栅极型晶体管。
5. 根据权利要求1所述的电致发光显示装置,其中,所述下拉电路包括连接到Q节点和所述第一输出节点的电容器。
6. 根据权利要求1所述的电致发光显示装置,其中,所述第一控制器还配置成由第一时钟信号控制,所述第二控制器还配置成由第二时钟信号控制,所述第一时钟信号和所述第二时钟信号以1个水平时段的循环在低电压和高电压之间摆动,并且它们各自的相位彼此相反。
7. 根据权利要求1所述的电致发光显示装置,其中所述第四控制器包括:
T6晶体管,配置成由所述第二输出节点控制并连接至Q节点;
T9晶体管,连接至Q节点并配置成将Q节点分成主要Q节点和Q'节点;以及
C2电容器,连接至Q节点和第二时钟信号线。
8. 根据权利要求7所述的电致发光显示装置,其中所述第四控制器还包括:
T10晶体管,配置成由第二时钟信号控制并且连接至Q节点和所述T6晶体管;
C4电容器,连接至所述第二输出节点和所述高电压线。
9. 一种栅极驱动器,包括多个级,其中所述多个级的第k级包括:

第一输出节点；
第二输出节点；
配置成控制所述第一输出节点的下拉晶体管 and 上拉晶体管；
配置成控制所述第二输出节点的控制器的；以及
输出信号稳定器，
其中所述控制器包括：
T3晶体管，配置成由Q节点控制；
T4晶体管，配置成由第一时钟信号控制；
T5晶体管，配置成由QB节点控制；以及
第一电容器，所述第一电容器包括连接至QB节点的第一电极和连接至所述第二输出节点的第二电极，

其中所述输出信号稳定器连接至Q节点和所述第二输出节点，其中施加到所述第一输出节点和所述第二输出节点的电压被施加作为第(k+1)级的起始信号，其中k是1或更大的自然数。

10. 根据权利要求9所述的栅极驱动器，其中，所述T5晶体管是双栅极型晶体管。

11. 根据权利要求9所述的栅极驱动器，其中，第k级还包括：

配置成控制Q节点的电压的T1晶体管；和

配置成控制QB节点的电压的第二晶体管，

其中所述第一晶体管连接到第(k-1)级的第一输出节点，并且所述T2晶体管连接到第(k-1)级的第二输出节点。

12. 根据权利要求11所述的栅极驱动器，其中，第k级包括：

在所述输出信号稳定器中连接到Q节点并配置成由所述第二输出节点控制的T6晶体管；以及

连接到Q节点和第二时钟信号线的第二电容器。

13. 根据权利要求12所述的栅极驱动器，其中，所述下拉晶体管 and 所述T5晶体管连接到低电压线，并且所述上拉晶体管、所述T3晶体管 and 所述T6晶体管连接到高电压线。

14. 根据权利要求12所述的栅极驱动器，其中，所述T6晶体管是双栅极型晶体管。

15. 根据权利要求11所述的栅极驱动器，其中，第k级包括连接到Q节点和所述第一输出节点的第三电容器。

16. 根据权利要求11所述的栅极驱动器，其中，第k级包括：

在所述输出信号稳定器中的T6晶体管，配置成由所述第二输出节点控制并连接到Q节点；

T9晶体管，连接到Q节点并配置成将Q节点分成主要Q节点和Q'节点；和

第二电容器，连接到Q节点的和第二时钟信号线。

17. 根据权利要求16所述的栅极驱动器，其中，所述下拉晶体管、所述T5晶体管 and 所述T9晶体管连接到栅极低电压线，并且所述上拉晶体管、所述T3晶体管 and 所述T6晶体管连接到栅极高电压线。

18. 根据权利要求16所述的栅极驱动器，其中，所述T6晶体管是双栅极型晶体管。

19. 根据权利要求11所述的栅极驱动器，其中，第k级在所述输出信号稳定器中包括：

T9晶体管,连接到Q节点并配置成将Q节点分成主要Q节点和Q'节点;
T6晶体管,配置成由所述第二输出节点控制;
T10晶体管,配置成由第二时钟信号控制,并连接到Q节点和所述T6晶体管;
第二电容器,连接到第二时钟信号线,所述第二电容器配置成接收所述Q节点和所述第二时钟信号;和
第四电容器,连接到所述第二输出节点和所述高电压线。

20. 根据权利要求19所述的栅极驱动器,其中,所述下拉晶体管、所述T5晶体管和所述T9晶体管连接到栅极低电压线,并且所述上拉晶体管、所述T3晶体管和所述T6晶体管连接到栅极高电压线。

21. 根据权利要求19所述的栅极驱动器,其中,所述T6晶体管是双栅极型晶体管。

栅极驱动器和使用栅极驱动器的电致发光显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求2018年7月31日提交的韩国专利申请No.10-2018-0089163的权益,在此通过引用将其全部内容并入本文,如同在本文完全阐述一样。

技术领域

[0003] 本发明涉及一种栅极驱动器和使用栅极驱动器的电致发光显示装置,更具体地,涉及一种具有改进的驱动能力的栅极驱动器和使用栅极驱动器的电致发光显示装置。

背景技术

[0004] 随着信息技术的进步,作为用户和信息之间的连接介质的显示装置的市场已经增加。因此,各种类型的显示装置如电致发光显示装置、液晶显示(LCD)装置、有机发光显示(OLED)装置和量子点发光显示(QLED)装置的使用已经增加。

[0005] 在显示装置中,电致发光显示装置的优点在于响应速度快、发光效率高并且视角宽。通常,电致发光显示装置通过使用由扫描信号导通的晶体管将数据电压施加到驱动晶体管的栅极,并且将提供给驱动晶体管的数据电压充入到存储电容器中。电致发光显示装置使得发光二极管通过使用发光控制信号输出在存储电容器中充入的数据电压来发光。发光二极管可包括有机发光二极管和无机发光二极管。

[0006] 栅极信号和数据信号被提供给电致发光显示装置,并且栅极信号包括扫描信号和发光信号。电致发光显示装置通过使用发光信号和一个或多个扫描信号被驱动。通常,产生扫描信号的栅极驱动器可包括用于依次输出栅极信号的移位寄存器。

[0007] 作为用于显示图像的基本装置的显示面板可以被分为:显示区域,其中布置像素阵列并显示图像;以及非显示区域,其中不显示图像。栅极驱动器以膜上芯片(COF)或玻璃上芯片(COG)的形式附接到显示面板,或者以通过在作为显示面板的非显示区域的边框区域中组合薄膜晶体管而形成的面板内栅极(GIP)的形式实现。GIP型栅极驱动器包括与栅极线的数量对应的级,其中每级输出提供给栅极线的栅极脉冲,级与栅极线一对一地对应。栅极线将栅极信号提供给布置在显示区域中的像素阵列,以使发光二极管发光。因此,已经研究了一种用于提高栅极驱动器的驱动能力和可靠性以将精确信号传输到像素阵列的方法。

[0008] 如上所述,使用发光信号和一个或多个扫描信号来驱动电致发光显示装置。为了驱动电致发光显示装置,需要用于扫描数据信号的扫描信号和用于暂停发光二极管发光的发光信号。

[0009] 操作裕度(operation margin)(例如操作范围)由于对应于显示面板高分辨率的时钟信号和发光信号的负载的增加而减小,可能发生发光驱动电路的缺陷。而且,GIP型栅极驱动器增大了电致发光显示装置的边框区域的尺寸。

发明内容

[0010] 因此,本发明旨在提供一种栅极驱动器和使用栅极驱动器的电致发光显示装置,

其基本上克服了由于相关技术的限制和缺点导致的一个或多个问题。

[0011] 本发明的一个方面是提供一种栅极驱动器和使用栅极驱动器的显示装置,其中可以减小显示面板的边框区域的尺寸。

[0012] 本发明的附加特征和方面将在下文描述中阐述,部分地根据下文描述将很清楚,或者可通过本文提供的发明构思的实践而获悉。发明构思的其他特征和方面可通过书面描述或其衍生物和权利要求书及附图中具体指出的结构来实现和获得。

[0013] 为了实现发明构思的这些和其他方面,如在此具体化和广义描述的,提供一种电致发光显示装置,包括:发光线;子像素,连接到所述发光线;和发光驱动器,配置成向所述发光线提供发光信号并包括多个级,其中,所述多个级的第k级包括:连接到所述发光线的第一输出节点;第二输出节点;Q节点;下拉电路和上拉电路,分别由Q节点和所述第二输出节点控制并配置成向所述第一输出节点提供电压;第一控制器,配置成接收所述多个级的第(k-1)级的第一输出节点的电压或者第一起始信号;第二控制器,配置成接收所述多个级的第(k-1)级的第二输出节点的电压或者第二起始信号;第三控制器,配置成控制所述第二输出节点的电压;和第四控制器,由所述第二输出节点控制,其中k是1或更大的自然数。因此,构成级的元件的操作裕度可以得到增大,并且栅极驱动器的可靠性可以得到提高。此外,由级保留的区域可以减小,从而减小边框区域的尺寸。

[0014] 根据本发明的另一方面,提供一种栅极驱动器,包括:多个级,其中所述多个级的第k级包括:第一输出节点;第二输出节点;配置成控制所述第一输出节点的下拉晶体管和上拉晶体管;配置成控制所述第二输出节点的控制器;以及输出信号稳定器,其中k是1或更大的自然数,其中所述控制器包括:T3晶体管,配置成由Q节点控制;T4晶体管,配置成由第一时钟信号控制;T5晶体管,配置成由QB节点控制;以及第一电容器,所述第一电容器包括连接至QB节点的第一电极和连接至所述第二输出节点的第二电极,其中所述输出信号稳定器连接至Q节点和所述第二输出节点,其中施加到所述第一输出节点和所述第二输出节点的电压被施加作为第(k+1)级的起始信号。因此,构成级的元件的操作裕度可以得到增大,并且栅极驱动器的可靠性可以得到提高。此外,由级保留的区域可以减小,从而减小边框区域。

[0015] 在研究附图和详细描述之后,其他系统、方法、特征和优点对于所属领域普通技术人员将是或者将变成显而易见的。所有这些附加系统、方法、特征和优点都旨在涵盖在本说明书中,落入本发明的范围内,并且由所附权利要求书保护。本部分的任何内容都不应视为对权利要求书的限制。下文将结合本发明的实施方式讨论进一步的方面和优点。将理解,本发明的前述大体描述和下文详细描述都是示例性和解释性的,旨在对所要求保护的本发明提供进一步解释。

附图说明

[0016] 可被包括来给本发明提供进一步理解且并入本申请文件构成本申请文件一部分的附图图解了本发明的实施方式,并与说明书一起用于解释本发明的各种原理,其中:

[0017] 图1是示出根据本发明的示例性实施方式的电致发光显示装置的框图;

[0018] 图2是示出根据本发明的示例性实施方式的栅极驱动器的框图;

[0019] 图3是示出根据本发明的示例性实施方式的级的框图;

[0020] 图4是示出根据本发明示范性实施方式的级的电路图；

[0021] 图5是示出根据本发明示范性实施方式的级的电路图；

[0022] 图6是示出根据本发明示范性实施方式的级的电路图；

[0023] 图7是示出根据本发明的示范性实施方式的级驱动的波形图。

[0024] 在整个附图和详细描述中,除非有相反说明,否则相同的附图标记都应当理解为指代相同的要素、特征和结构。为了清楚、例示和方便的目的,这些要素的相对尺寸和图示可能被夸大。

具体实施方式

[0025] 现在将详细参考本发明的实施方式进行描述,其中的一些例子可在附图中示出。在下文描述中,当确定对本文涉及的公知功能或构造的详细描述会不必要地模糊本发明构思的要点时,将省略其详细描述。作为例子描述了处理步骤和/或操作的进程,但是步骤和/或操作的顺序不限于本文所描述的,可以如本领域已知的那样进行改变,除非步骤和/或操作必须以特定顺序发生。相似的附图标记通篇表示相似的要素。在下文说明中使用的各要素的名称仅是为了便于撰写说明书而选择的,因而其可能与实际产品中的名称不同。

[0026] 将理解到,尽管本文可使用术语“第一”、“第二”等来描述各要素,但是这些要素不应受这些术语的限制。这些术语仅用于将要素彼此区分开。例如,在不脱离本发明的范围的条件下,第一要素可称为第二要素,类似地,第二要素可称为第一要素。

[0027] 术语“至少一个”应当理解为包括相关所列项目的一个或多个的任何和所有组合。例如,“第一项、第二项和第三项的至少之一”的含义是指从第一项、第二项和第三项中的两个或更多个提出的所有项目的组合,以及第一项、第二项或第三项。

[0028] 在描述实施方式时,当一结构被描述为位于另一结构“上或上方”或“下或下方”时,这种描述应被解释为包括这些结构彼此接触的情形以及在它们之间设置有第三结构的情形。图中示出的每个要素的尺寸和厚度仅是为了便于描述而给出,本发明的实施方式不限于此。

[0029] 术语“第一水平轴方向”、“第二水平轴方向”和“垂直轴方向”不应仅基于相应方向彼此严格垂直的集合关系来解释,而是可以指在本发明的组件在功能上可操作的范围内具有更宽方向性的方向。

[0030] 本发明的各种实施方式的特征可以部分地或整体地彼此结合或组合,并且可以按照各种方式彼此相互操作以及在技术上被驱动,如所属领域技术人员能够充分理解的那样。本发明的实施方式可以彼此独立地执行,或者可以以相互依赖的关系一起执行。

[0031] 在本发明中,在显示面板的基板上的栅极驱动器可以用n型或p型晶体管实现。例如,晶体管可以用具有金属氧化物半导体场效应晶体管(MOSFET)结构的晶体管实现。晶体管可以是三电极器件,包括栅极、源极和漏极。源极可向晶体管提供载流子。在晶体管中,载流子可开始从源极移动。漏极可以是载流子从晶体管移动到外部所通过的电极。

[0032] 例如,在晶体管中,载流子可从源极移动到漏极。在n型晶体管中,由于载流子是电子,所以源极的电压低于漏极的电压,使得电子从源极移动到漏极。在n型晶体管中,由于电子从源极移动到漏极,电流从漏极移动到源极。在p型晶体管中,由于载流子是空穴,所以源极的电压高于漏极的电压,使得空穴从源极移动到漏极。在p型晶体管中,由于空穴从源极

移动到漏极,所以电流从源极移动到漏极。晶体管的源极和漏极可以不固定,可以根据施加的电压进行切换。因此,源极和漏极可以分别称为“第一电极”和“第二电极”或“第二电极”和“第一电极”。

[0033] 在下文中,栅极导通电压可以是用于导通晶体管的栅极信号的电压。栅极截止电压可以是用于使晶体管截止的电压。例如,在p型晶体管中,栅极导通电压可以是逻辑低电压VL,栅极截止电压可以是逻辑高电压VH。在n型晶体管中,栅极导通电压可以是逻辑高电压,栅极截止电压可以是逻辑低电压。在下文中,将参照附图描述根据本发明的栅极驱动器和使用栅极驱动器的电致发光显示装置。

[0034] 本发明的发明人认识到上述问题,并且发明了一种栅极驱动器和使用栅极驱动器的电致发光显示装置,其中栅极驱动器可布置在小区域中并且操作裕度(例如操作范围)和可靠性得到改善。

[0035] 下文,将参照附图详细描述根据本发明实施方式的栅极驱动器以及使用栅极驱动器的电致发光显示装置。

[0036] 图1是示出根据本发明的示例性实施方式的电致发光显示装置的框图。

[0037] 参照图1,电致发光显示装置100可包括图像处理器110、时序控制器120、栅极驱动器130、数据驱动器140、显示面板150和电源单元180。图像处理器110可输出驱动信号以与外部提供的图像数据一起用于驱动各种器件。从图像处理器110输出的驱动信号可以包括数据使能信号、垂直同步信号、水平同步信号和时钟信号。

[0038] 时序控制器120可从图像处理器110接收图像数据和驱动信号等。时序控制器120可基于驱动信号输出用于控制栅极驱动器130的操作时序的栅极时序控制信号GDC、用于控制数据驱动器140的操作时序的数据时序控制信号DDC、以及数据信号DATA,数据信号DATA具有要在显示面板150上显示的图像的亮度信息。

[0039] 栅极驱动器130可响应于从时序控制器120提供的栅极时序控制信号GDC输出扫描信号。栅极驱动器130可通过栅极线GL1至GLn输出栅极信号。栅极驱动器130可以以IC(集成电路)的形式提供,或者可以以内置在显示面板150中的面板内栅极(GIP)的形式提供。栅极驱动器130可以布置在显示面板150的左侧和右侧中的每一侧,或者可以布置在左侧和右侧中的一侧,但是实施方式不限于这些布置。栅极驱动器130可包括多个级。例如,栅极驱动器130的第一级可输出待施加到显示面板150的第一栅极线的第一栅极信号。

[0040] 数据驱动器140可响应于从时序控制器120提供的数据时序控制信号DDC输出数据电压。数据驱动器140可采样和锁存从时序控制器120提供的数字数据信号DATA,并可基于伽马参考电压将数字数据信号DATA转换为模拟数据信号。数据驱动器140可通过数据线DL1至DLm输出数据信号。数据驱动器140可以以IC(集成电路)的形式设置在显示面板150上,或者可以以膜上芯片(COF)的形式设置在显示面板150上。

[0041] 电源单元180可输出高电位电源电压VDD和低电位电源电压VSS。从电源单元180输出的高电位电源电压VDD和低电位电源电压VSS可被提供给显示面板150。高电位电源电压VDD可通过高电位电源线被提供给显示面板150,并且低电位电源电压VSS可通过低电位电源线被提供给显示面板150。从电源单元180输出的电压可以由栅极驱动器130或数据驱动器140使用。

[0042] 显示面板150可响应于分别从栅极驱动器130和数据驱动器140提供的栅极信号和

数据信号以及从电源单元180提供的电源电压而显示图像。显示面板150可包括用于显示图像的像素阵列,并且像素阵列可包括多个子像素SP。

[0043] 显示面板150可包括:显示区域DA,其中可布置子像素SP;以及非显示区域,其中各种信号线或焊盘可形成在显示区域DA的外部。由于显示区域DA是显示图像的区域,因此子像素SP可在显示区域中。由于非显示区域是不显示图像的区域,因此子像素SP可不在非显示区域中,而是可以在其中布置虚拟像素。而且,栅极驱动器130和数据驱动器140可以在非显示区域中。

[0044] 显示区域DA可包括多个子像素SP,并且可基于由每个子像素SP显示的灰度显示图像。每个子像素SP可与沿列线布置的数据线DL连接,并且可连接到沿像素行或行线布置的栅极线。在同一像素行上的子像素SP可在共享相同的栅极线的同时被同时驱动。当连接到第一栅极线的子像素SP被定义为第一子像素并且连接到第n栅极线的子像素SP被定义为第n子像素时,第一子像素到第n子像素可被依次驱动。

[0045] 子像素SP可以矩阵的形式排列以构成像素阵列,但是实施方式不限于这种情况。例如,除了矩阵形式之外,子像素SP可以被布置成各种形式,比如共享子像素SP的形式、条纹形式和菱形形式。

[0046] 子像素SP可以包括红色子像素、绿色子像素和蓝色子像素,或者可以包括红色子像素、绿色子像素、蓝色子像素和白色子像素。根据发光特性,子像素SP可以具有一个或多个不同的发光区域。

[0047] 图2是示出根据本发明的示例性实施方式的栅极驱动器的框图。

[0048] 例如,图2示出了根据本发明的示例性实施方式的栅极驱动器以及从栅极驱动器输出的信号可应用的像素行。如上所述,显示面板150可包括:显示区域DA,其中可基于子像素SP显示图像;以及非显示区域NDA,其中可设置信号线或驱动器并且可不显示图像。

[0049] 子像素可包括发光二极管和像素驱动电路,像素驱动电路用于控制施加到发光二极管的阳极的电流。像素驱动电路可以包括驱动晶体管,用于控制电流从而使一定的电流流到发光二极管。发光二极管可在发光时段发光,而可在另一时段不发光。对于除了发光时段之外的时段,可启动像素驱动电路,可将扫描信号输入到像素驱动电路,并且可以执行编程和像素驱动电路补偿时段。例如,像素驱动电路的补偿可以是驱动晶体管的阈值电压的补偿。由于允许发光二极管以具体亮度发光的电流在发光时段以外的时间段内不均匀地提供,因此发光二极管可不发光。例如,作为不允许发光二极管发光的方法,发光晶体管可以连接在发光二极管的阳极和驱动晶体管之间。发光晶体管可连接到发光线,并可由从发光驱动器输出的发光信号控制。对于发光时段,发光信号可以是导通电压,并且对于除了发光时段之外的时段,发光信号可以是截止电压。

[0050] 用于驱动包括在显示面板150中的子像素SP的栅极信号可包括扫描信号和发光信号。因此,栅极驱动器130可以分离地包括用于施加扫描信号的驱动部分和用于施加发光信号的驱动部分。扫描信号可通过扫描线施加到子像素SP,发光信号可通过发光线施加到子像素。

[0051] 图2的栅极驱动器130可仅显示用于施加发光信号的驱动部分。根据本发明的栅极驱动器130可包括第一级EM(1)至第n级EM(n)。在图2中,将作为示例描述第k级EM(k)。在这种情况下,k是自然数并且 $1 < k \leq n$ 。

[0052] 栅极驱动器130可包括多条线,输入到第k级EM(k)的第一时钟信号CLK1、第二时钟信号CLK2、低电压VL、高电压VH和起始电压VST可分别施加至多条线。例如,低电压VL可以是-8V至-7V,发光高电压VH可以是7V至8V。第k级EM(k)可向第k像素行H(k)提供发光信号,同时将起始电压VST移位以对应于第一时钟信号CLK1和第二时钟信号CLK2。例如,起始电压VST可被输入到第一级EM(1),并且第二级EM(2)到第n级EM(n)可通过接收从它们各自的在前级(previous stage)输出的发光信号作为起始信号来操作。例如,第k级EM(k)的第一输出信号OUT1可被输入到第(k+1)级EM(k+1)和第k像素行H(k)的起始信号。第(k+1)级EM(k+1)可向第(k+1)像素行H(k+1)提供发光信号。第k级EM(k)的第二输出信号OUT2可被输入到第(k+1)级EM(k+1)的起始信号。第(k+1)级EM(k+1)可以使用从第k级EM(k)输出的两个信号作为起始信号,可以减小由级保留的区域以减小边框区域并且可以增大包括在级中的元件的操作裕度(例如,操作范围)。类似地,第(k+2)级EM(k+2)可使用从第(k+1)级EM(k+1)输出的两个信号作为起始信号。第(k+2)级EM(k+2)可向第(k+2)像素行H(k+2)提供发光信号。

[0053] 第一时钟信号CLK1和第二时钟信号CLK2可在高电压和低电压之间摆动,并且可以具有彼此相反的相位。例如,尽管第一时钟信号CLK1和第二时钟信号CLK2可具有彼此相反的相位,但是它们之间的时钟周期可能存在差异。例如,第一时钟信号CLK1的时钟周期可以长于第二时钟信号CLK2的时钟周期。图2显示了(但实施方式不限于此)第一时钟信号CLK1和第二时钟信号CLK2的2相电路输入到栅极驱动器130。

[0054] 图3是示出根据本发明的示例性实施方式的级的框图。

[0055] 在图3中,将作为示例描述构成栅极驱动器130的第k级EM(k)。在这种情况下,级可以是发光级。参照图3,第k级EM(k)可包括下拉单元(例如电路)11、上拉单元(例如电路)12、Q节点控制器13、QB节点控制器14、O2节点控制器15和输出信号稳定器16。

[0056] 下拉单元11可响应Q节点Q的电压输出第一输出信号OUT1。上拉单元12可响应O2节点O2的电压通过截止电压控制第一输出信号OUT1。第一输出信号OUT1可被施加到O1节点O1和第k像素行。O2节点将在稍后描述。Q节点可以被称为“第一节点”,O2节点可以被称为“第二节点”,并且O1节点可以被称为“第三节点”。

[0057] Q节点控制器13可以是用于对Q节点Q进行充电或放电的元件,并且可通过使用第(k-1)级EM(k-1)的第一输出信号OUT1(k-1)作为起始信号将导通电压施加到Q节点Q。第(k-1)级EM(k-1)可向第(k-1)像素行H(k-1)提供发光信号。Q节点控制器13可以被称为“第一控制器”。

[0058] QB节点控制器14可以是用于对QB节点QB充电或放电的元件,并且可通过使用第(k-1)级EM(k-1)的第二输出信号OUT2(k-1)作为起始信号将导通电压施加到QB节点QB。QB节点控制器14可以被称为“第二控制器”。

[0059] O2节点控制器15可以是用于对O2节点O2充电或放电的元件,并且可接收施加到QB节点QB的信号并将该信号输出到O2节点O2。O2节点控制器15可在Q节点Q为截止电压时输出导通电压至O2节点O2,并且可在Q节点Q为导通电压时输出截止电压至O2节点O2。如果Q节点Q的电压是低电压,则O2节点控制器15可将O2节点O2的电压保持在高电压。O2节点控制器15可以被称为“第三控制器”。

[0060] 输出信号稳定器16可通过根据O2节点O2的电压将Q节点Q的电压保持在高电压来稳定第一输出信号OUT1。输出信号稳定器16可以被称为“第四控制器”。

[0061] 如上所述,截止电压可依赖于可被施加截止电压的晶体管的类型而变化。在p型晶体管的情况下,截止电压可以是高电压;而在n型晶体管的情况下,截止电压可以是低电压。在p型晶体管的情况下,导通电压是低电压;而在n型晶体管的情况下,导通电压是高电压。在下文中,将作为示例描述包括在p型晶体管中的第k级EM(k)。

[0062] 图4是示出根据本发明示例性实施方式的级的电路图。

[0063] 图4是图3的框图示例的详细电路图,将参照图4描述构成栅极驱动器130的第k级EM(k)作为例子。参照图4,第k级EM(k)可包括下拉单元11、上拉单元12、Q节点控制器13、QB节点控制器14、O2节点控制器15和输出信号稳定器16。

[0064] Q节点控制器13可包括第一晶体管T1。第一晶体管T1的栅极可连接到可被输入第一时钟信号CLK1的第一时钟信号线,第一晶体管T1的源极可连接到第(k-1)级的第一输出节点,并且第一晶体管T1的漏极可连接到Q节点Q。第一晶体管T1可通过第一时钟信号CLK1的导通电压导通,以提供第(k-1)级的第一输出信号OUT1(k-1)给Q节点Q。

[0065] QB节点控制器14可包括第二晶体管T2。第二晶体管T2的栅极可连接到被输入第二时钟信号CLK2的第二时钟信号线,第二晶体管T2的源极可连接到第(k-1)级的第二输出节点,并且第二晶体管T2的漏极可连接到QB节点QB。第二晶体管T2可通过第二时钟信号CLK2的导通电压导通,以提供第(k-1)级的第二输出信号OUT2(k-1)给QB节点QB。

[0066] O2节点控制器15可包括第三晶体管T3、第四晶体管T4和第五晶体管T5。第三晶体管T3、第四晶体管T4和第五晶体管T5可彼此串联连接。第三晶体管T3的漏极可连接到第四晶体管T4的漏极,第四晶体管T4的源极可连接到第五晶体管T5的源极。第三晶体管T3的栅极可连接到第一晶体管T1的栅极,第四晶体管T4的栅极可连接到第一时钟信号线,第五晶体管T5的栅极可连接到QB节点QB。第三晶体管T3的源极可连接到被输入高电压VH的高电压线,第五晶体管T5的源极连接到可被输入低电压VL的低电压线。

[0067] 当第一时钟信号CLK1和QB节点QB的电压是导通电压时,低电压VL可被施加到O2节点O2。施加到O2节点O2的电压可变为第(k+1)级的起始信号。例如,可被施加高于其他晶体管的应力的第五晶体管T5可连接到第一电容器并可以为双栅极型晶体管,可以提高第五晶体管T5的可靠性。

[0068] O2节点控制器15还可包括第一电容器C1。第一电容器C1的第一电极可连接到O2节点O2,并且第一电容器C1的第二电极可连接到QB节点QB。当低电压VL施加到O2节点O2时,第一电容器C1可通过自举使得QB节点QB的电压低于低电压VL,第五晶体管T5可以稳定地保持在导通状态。当低电压被提供给Q节点Q时,第三晶体管T3可导通,从而可将高电压VH施加到O2节点O2。

[0069] 输出信号稳定器16可包括第六晶体管T6。第六晶体管T6的栅极可连接到O2节点O2,第六晶体管T6的源极可连接到可被输入高电压VH的高电压线,并且第六晶体管T6的漏极可连接到Q节点Q。当低电压施加到O2节点O2时,第六晶体管T6可导通并因此第六晶体管T6可将高电压施加到Q节点Q。第六晶体管T6可关断下拉单元11,并且可以允许在O1节点O1中稳定地保持截止电压。可被施加高于其他晶体管的应力的第六晶体管T6可连接到第一电容器并可以为双栅极型晶体管,可以提高第六晶体管T6的可靠性。

[0070] 输出信号稳定器16还可包括第二电容器C2。第二电容器C2的第一电极可连接到Q节点Q,并且第二电容器C2的第二电极连接到第二时钟信号线。当Q节点Q是低电压时,第二

电容器C2可通过电荷泵浦动作将Q节点Q的电压保持为低电压。

[0071] 下拉单元11可包括第七晶体管T7。第七晶体管T7的栅极可连接到Q节点Q，第七晶体管T7的源极可连接到低电压线，并且第七晶体管T7的漏极可连接到O1节点O1。如果低电压施加到O1节点O1，则第七晶体管T7可导通，从而可将低电压VL施加到O1节点O1。施加到O1节点O1的电压可作为第k级的第一输出信号被传送到第k像素行。下拉单元11还可包括第三电容器C3。第三电容器C3的第一电极可连接到Q节点Q，并且第三电容器C3的第二电极可连接到O1节点O1。当低电压VL施加到O1节点O1时，第三电容器C3可通过自举来使得Q节点Q的电压低于低电压VL，第七晶体管T7可以稳定地保持在导通状态。

[0072] 上拉单元12可包括第八晶体管T8。第八晶体管T8的栅极可连接到O2节点O2，第八晶体管T8的源极可连接到高电压线，并且第八晶体管T8的漏极可连接到O1节点O1。如果低电压施加到O2节点O2，则第八晶体管T8可导通，从而可将高电压VH施加到O1节点O1。

[0073] 除了在根据本发明示例性方式的第k级中包括的晶体管中示出为双栅极型晶体管的第五晶体管T5和第六晶体管T6之外，第一晶体管T1、第二晶体管T2、第三晶体管T3和第四晶体管T4都可被实现为双栅极型晶体管，并且可以提高栅极驱动器的可靠性。

[0074] 根据图4的示例的第k级可具有可包括8个晶体管的相对简单的电路，并且可使用第(k-1)级的两个输出信号作为输入信号。由此可以减小由级所占据的区域以减小边框区域，并且可以增大包括在级中的元件的操作裕度。

[0075] 图5是示出根据本发明示例性实施方式的级的电路图。

[0076] 图5是图3的框图示例的详细电路图。将参照图5描述构成栅极驱动器130的第k级EM(k)作为例子。

[0077] 在图5中，第九晶体管T9被添加到图4的示例性电路图，电路的可靠性可提高。因此，对与图4的那些元件重复的元件的描述可以省略或简要地进行。

[0078] 参照图5，第k级EM(k)可包括下拉单元11'、上拉单元12、Q节点控制器13、QB节点控制器14、O2节点控制器15和输出信号稳定器16'。上拉单元12、Q节点控制器13、QB节点控制器14和O2节点控制器15与上述的那些基本相似。

[0079] 输出信号稳定器16'可包括第六晶体管T6'和第九晶体管T9。第九晶体管T9可连接到Q节点Q，并可将Q节点分成Q节点Q和Q'节点Q'。由于第九晶体管T9的栅极连接到低电压线，所以第九晶体管T9可保持导通状态。第九晶体管T9的源极和漏极可分别连接到Q节点Q和Q'节点Q'。当Q节点Q分离时，第六晶体管T6'的漏极可连接到Q'节点Q'。例如，第九晶体管T9可以称为Q节点稳定器。

[0080] 包括在O2节点控制器15中并连接到Q节点Q的第三晶体管T3的阈值电压可发生退化，并且与其他晶体管相比，包括在输出信号稳定器16'中的第六晶体管T6'的阈值电压的退化更严重。为了解决这个问题，可添加第九晶体管T9以分离Q节点Q。由此，可以减轻第三晶体管T3和第六晶体管T6'的阈值电压的退化水平，并且可以提高栅极驱动器的可靠性。

[0081] 图4的示例中的第三电容器可以从图5的示例中的下拉单元11'中省略。如果省略第九晶体管T9，则在Q节点Q中可形成大量寄生电容。然而，当添加第九晶体管T9时，Q节点Q可被分离，可减少Q节点Q中形成的寄生电容。因此，第三电容器可被省略。

[0082] 除了在图5的示例中的第k级中包括的晶体管中示出为双栅极型晶体管的第五晶体管T5和第六晶体管T6'之外，第一晶体管T1、第二晶体管T2、第三晶体管T3和第四晶体管

T4都可被实现为双栅极型晶体管,并且可以提高栅极驱动器的可靠性。根据图5的示例的第k级使用第(k-1)级的两个输出信号作为输入信号。可以减小由级所占据的区域以减小边框区域并且可以增大构成级的元件的操作裕度。

[0083] 图6是示出根据本发明示例性实施方式的级的电路图。

[0084] 图6是图3的框图示例的详细电路图。将参照图6描述构成栅极驱动器130的第k级EM(k)作为例子。

[0085] 在图6中,第十晶体管T10可被添加到图5的电路图,由此可以增大晶体管的操作裕度,并且由于阈值电压的偏移引起的不可操作问题可以得到解决。而且,另外可提供第四电容器C4,施加到O1节点O1的电压的失真问题可以得到解决。在下文中,对与图4或图5的那些元件重复的元件的描述可以省略或简要地进行。

[0086] 参照图6,第k级EM(k)可包括下拉单元11'、上拉单元12、Q节点控制器13、QB节点控制器14、O2节点控制器15和输出信号稳定器16"。下拉单元11'、上拉单元12、Q节点控制器13、QB节点控制器14和O2节点控制器15与根据图5的示例中的那些的基本相似。

[0087] 输出信号稳定器16"可包括第六晶体管T6"、第九晶体管T9、第十晶体管T10、第二电容器C2和第四电容器C4。由于第九晶体管T9和第二电容器C2与在图5中的那些基本相似,将省略其描述。

[0088] 第十晶体管10的栅极可连接到第二时钟信号线,第十晶体管10的源极可连接到第六晶体管T6"的漏极,并且第十晶体管10的漏极可连接到Q'节点Q'。第六晶体管T6"的栅极可连接到O2节点O2,第六晶体管T6"的源极可连接到高电压线,并且第六晶体管T6"的漏极可连接到第十晶体管T10的源极。如果第一时钟信号CLK是导通电压,则第十晶体管T10可减少或防止通过第一晶体管T1传送的导通电压和通过第六晶体管T6"传送的高电压之间发生冲突。由此,即使第三晶体管T3的阈值电压可由于第三晶体管T3的退化而偏移,第(k-1)级的第一输出信号也可通过第一晶体管T1正常地传送。

[0089] 第四电容器C4的第一电极可连接到O2节点O2,并且第四电容器C4的第二电极连接到高电压线。当在O1节点OQ从高电压移位到低电压之前QB节点QB从低电压移位到高电压时,第四电容器C4可以减少或防止O2节点O2的电压被第一电容器C1移位到高电压,并且可以将O2节点保持在低电压状态,并将O1节点O1保持在高电压状态。例如,第十晶体管T10和第四电容器C4可以被称为操作裕度增大部分。

[0090] 除了在根据图6的示例的第k级中包括的晶体管中示出为双栅极型晶体管的第五晶体管T5和第六晶体管T6'之外,第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4和第六晶体管T6"可被应用为双栅极型晶体管。由此,可以提高栅极驱动器的可靠性。

[0091] 根据图6的示例的第k级可使用第(k-1)级的两个输出信号作为输入信号。由此可以减少由级保留的区域以减小边框区域并且可以增大构成级的元件的操作裕度。

[0092] 图7是示出根据本发明的示例性实施方式的级驱动的波形。

[0093] 图7的波形同样可以应用于图4-6中的任一示例。参照图4-7,当第(k-1)级EM(k-1)的第二输出信号OUT2(k-1)和第二时钟信号CLK2对应于第一时段①的低电压时,第二晶体管T2可导通,可将低电压施加到QB节点QB。由于施加到QB节点QB的低电压,第五晶体管T5可导通,由此低电压VL可被施加到第五晶体管的漏极。

[0094] 当第一时钟信号CLK1对应于第二时段②的低电压时,第一晶体管T1和第四晶体管

T4可导通,第(k-1)级的第一输出信号OUT1(k-1)的高电压可被施加到Q节点Q,并且第五晶体管T5的漏极的低电压可被施加到O2节点O2。由于第一电容器C1的自举使得QB节点QB可具有低于低电压的电压,所以第五晶体管T5可以稳定地保持在导通状态。当第八晶体管T8通过施加到O2节点O2的低电压而导通时,高电压可被施加到O1节点O1。因此,第k级的第一输出信号OUT1可以是第二时段②的高电压。

[0095] 高电压和低电压可相对于第(k-1)级的第一输出信号OUT1(k-1)和第二输出信号OUT2(k-1)保持4个水平时段。因此,高电压和低电压可相对于第k级的第一输出信号OUT1和第二输出信号OUT2保持4个水平时段。

[0096] 另外,在图4和5的示例中,第六晶体管T6和T6'可由于施加到O2节点O2的低电压而在包括第二时段②的3个水平时段导通,高电压可被施加到Q节点Q和Q'节点Q'。因此第一输出信号OUT1可以稳定地输出高电压。在图6的示例中,第六晶体管T6''可由于施加到O2节点O2的低电压而在包括第二时段②的3个水平时段导通,但是第十晶体管T10可仅在第二时钟信号CLK2对应于低电压时导通。高电压可间歇地被施加到Q'节点Q'。

[0097] 对于第三时段③,当第(k-1)级的第二输出信号OUT2(k-1)被移位到高电压而第二时钟信号CLK2对应于低电压,因此高电压可被施加到QB节点QB。第五晶体管T5可截止。

[0098] 对于第四时段④,当第(k-1)级的第一输出信号OUT1(k-1)和第一时钟信号CLK1对应于低电压时,第一晶体管T1可导通从而可将低电压施加到Q节点Q。因此,第三晶体管T3可导通,从而可将高电压施加到O2节点O2。高电压可使第八晶体管T8截止并且高电压可输入到第(k+1)级作为第k级的第二输出信号OUT2。而且,当第七晶体管T7通过施加到Q节点Q的低电压而导通时,低电压可被施加到O1节点O1。例如,由于第七晶体管T7的阈值电压值,完整的低电压可不会被施加到O1节点O1。这可以通过第二电容器C2在第五时段⑤补偿。

[0099] 对于第五时段⑤,第二时钟信号CLK2可被移位到低电压,并且Q节点Q的电压可由于第二电容器C2的自举而稳定地移位到低电压,第二晶体管T7可保持在导通状态,并且低电压可被施加到O1节点O1。施加到O1节点O1的电压可作为第k级的第一输出信号OUT1施加到第k像素行。

[0100] 根据本发明的示例性实施方式,一个级可以使用从前级输出的两个信号作为起始信号,可以减小由级保留的区域从而减小边框区域,并且构成级的元件的操作裕度可以得到增大。根据本发明的示例性实施方式,连接到电容器两端的晶体管可以形成双栅极型晶体管,构成级的电路的可靠性可以得到提高。

[0101] 根据本发明的示例性实施方式,控制下拉晶体管的Q节点可以使用晶体管被分离,在Q节点中形成的寄生电容可以减少。由此,在下拉单元中形成的电容器可以省略。

[0102] 根据本发明的示例性实施方式,第十晶体管可布置在Q'节点和第六晶体管之间,以避免在第一时钟信号为导通电压的情形下,通过第一晶体管传输的导通电压与通过第六晶体管传输的高电压之间的冲突。由此,即使阈值电压由于第三晶体管的退化而偏移,通过第一晶体管输入的信号也可以正常传输。

[0103] 根据本发明的示例性实施方式,连接在第二输出信号线和高电压线之间的第四电容器可以防止:在第一输出信号从高电压转换为低电压之前QB节点从低电压转换为高电压时,第二输出信号的电压通过第一电容器移位到高电压,并且可以将第二输出信号保持在低电压状态,以将第一输出信号保持在高电压状态。

- [0104] 根据本发明示例性实施方式的栅极驱动器和电致发光显示装置可以被描述如下。
- [0105] 根据本发明的实施方式,一种电致发光显示装置包括:发光线;子像素,连接到所述发光线;和发光驱动器,配置成向所述发光线提供发光信号并包括多个级,其中,所述多个级的第k级包括:连接到所述发光线的第一输出节点;第二输出节点;Q节点;下拉电路和上拉电路,分别由Q节点和所述第二输出节点控制并配置成向所述第一输出节点提供电压;第一控制器,配置成接收所述多个级的第(k-1)级的第一输出节点的电压或者第一起始信号;第二控制器,配置成接收所述多个级的第(k-1)级的第二输出节点的电压或者第二起始信号;第三控制器,配置成控制所述第二输出节点的电压;和第四控制器,由所述第二输出节点控制,其中k是1或更大的自然数。因此,构成级的元件的操作裕度可以得到增大,并且栅极驱动器的可靠性可以得到提高。此外,由级保留的区域可以减小,从而减小边框区域。
- [0106] 例如,在根据本发明实施方式的电致发光显示装置中,所述第四控制器还可包括Q节点稳定器,Q节点稳定器配置成将Q节点分成主要Q节点和Q'节点。例如,在根据本发明实施方式的电致发光显示装置中,所述第四控制器还可包括操作裕度增大部分,所述操作裕度增大部分配置成减少或防止在所述第四控制器中发生电压之间的冲突。
- [0107] 例如,在根据本发明实施方式的电致发光显示装置中,所述第三控制器还可包括电容器,并且连接至所述电容器的至少一个晶体管可在所述第三控制器和所述第四控制器的每一个中,所述至少一个晶体管可以是双栅极型晶体管。例如,在根据本发明实施方式的电致发光显示装置中,所述下拉电路可包括连接到Q节点和所述第一输出节点的电容器。例如,在根据本发明实施方式的电致发光显示装置中,所述第一控制器还可配置成由第一时钟信号控制,所述第二控制器还可配置成由第二时钟信号控制,所述第一时钟信号和所述第二时钟信号以1个水平时段的循环在低电压和高电压之间摆动,并且它们各自的相位彼此相反。
- [0108] 例如,在根据本发明实施方式的电致发光显示装置中,所述第四控制器可包括:T6晶体管,配置成由所述第二输出节点控制并连接至Q节点;T9晶体管,连接至Q节点并配置成将Q节点分成主要Q节点和Q'节点;以及C2电容器,连接至Q节点和第二时钟信号线。例如,在根据本发明实施方式的电致发光显示装置中,所述第四控制器还可包括:T10晶体管,配置成由第二时钟信号控制并且连接至Q节点和所述T6晶体管;C4电容器,连接至所述第二输出节点和所述高电压线。
- [0109] 根据本发明的实施方式,一种栅极驱动器可包括:多个级,其中所述多个级的第k级包括:第一输出节点;第二输出节点;配置成控制所述第一输出节点的下拉晶体管和上拉晶体管;配置成控制所述第二输出节点的控制器;以及输出信号稳定器,其中k可以是1或更大的自然数,其中所述控制器包括:T3晶体管,配置成由Q节点控制;T4晶体管,配置成由第一时钟信号控制;T5晶体管,配置成由QB节点控制;以及第一电容器,所述第一电容器包括连接至QB节点的第一电极和连接至所述第二输出节点的第二电极,其中所述输出信号稳定器连接至Q节点和所述第二输出节点,其中施加到所述第一输出节点和所述第二输出节点的电压可被施加作为第(k+1)级的起始信号。
- [0110] 例如,在根据本发明实施方式的栅极驱动器中,所述T5晶体管可以是双栅极型晶体管。例如,在根据本发明实施方式的栅极驱动器中,第k级还可包括:配置成控制Q节点的电压的T1晶体管和配置成控制QB节点的电压的T2晶体管,所述T1晶体管可连接到第(k-1)

级的第一输出节点,并且所述T2晶体管可连接到第(k-1)级的第二输出节点。

[0111] 例如,在根据本发明实施方式的栅极驱动器中,第k级可包括:在所述输出信号稳定器中连接到Q节点并配置成由所述第二输出节点控制的T6晶体管;以及连接到Q节点和第二时钟信号线的第二电容器。例如,在根据本发明实施方式的栅极驱动器中,所述下拉晶体管和所述T5晶体管可连接到低电压线,并且所述上拉晶体管、所述T3晶体管和所述T6晶体管可连接到高电压线。例如,在根据本发明实施方式的栅极驱动器中,所述T6晶体管可以是双栅极型晶体管。

[0112] 例如,在根据本发明实施方式的栅极驱动器中,第k级可包括连接到Q节点和所述第一输出节点的第三电容器。例如,在根据本发明实施方式的栅极驱动器中,第k级可包括:在所述输出信号稳定器中的T6晶体管,配置成由所述第二输出节点控制并连接到Q节点;T9晶体管,连接到Q节点并配置成将Q节点分成主要Q节点和Q'节点;和第二电容器,连接到Q节点和第二时钟信号线。

[0113] 例如,在根据本发明实施方式的栅极驱动器中,所述下拉晶体管、所述T5晶体管和所述T9晶体管可连接到栅极低电压线,并且所述上拉晶体管、所述T3晶体管和所述T6晶体管可连接到栅极高电压线。例如,在根据本发明实施方式的栅极驱动器中,所述T6晶体管可以是双栅极型晶体管。

[0114] 例如,在根据本发明实施方式的栅极驱动器中,第k级在所述输出信号稳定器中可包括:T9晶体管,连接到Q节点并配置成将Q节点分成Q节点和Q'节点;T6晶体管,配置成由所述第二输出节点控制;T10晶体管,配置成由第二时钟信号控制,并连接到Q节点和所述T6晶体管;第二电容器,连接到所述第二时钟信号线,配置成接收Q节点和所述第二时钟信号;和第四电容器,连接到所述第二输出节点和所述高电压线。例如,在根据本发明实施方式的栅极驱动器中,所述下拉晶体管、所述T5晶体管和所述T9晶体管可连接到栅极低电压线,并且所述上拉晶体管、所述T3晶体管和所述T6晶体管可连接到栅极高电压线。例如,在根据本发明实施方式的栅极驱动器中,所述T6晶体管可以是双栅极型晶体管。

[0115] 对于所属领域技术人员显而易见的是,在不脱离本发明的技术构思或范围的情况下可在本发明中进行各种修改和变化。因此,本发明的实施方式可旨在涵盖落入所附权利要求书范围内及其等效范围内的对本发明的所有修改和变化。

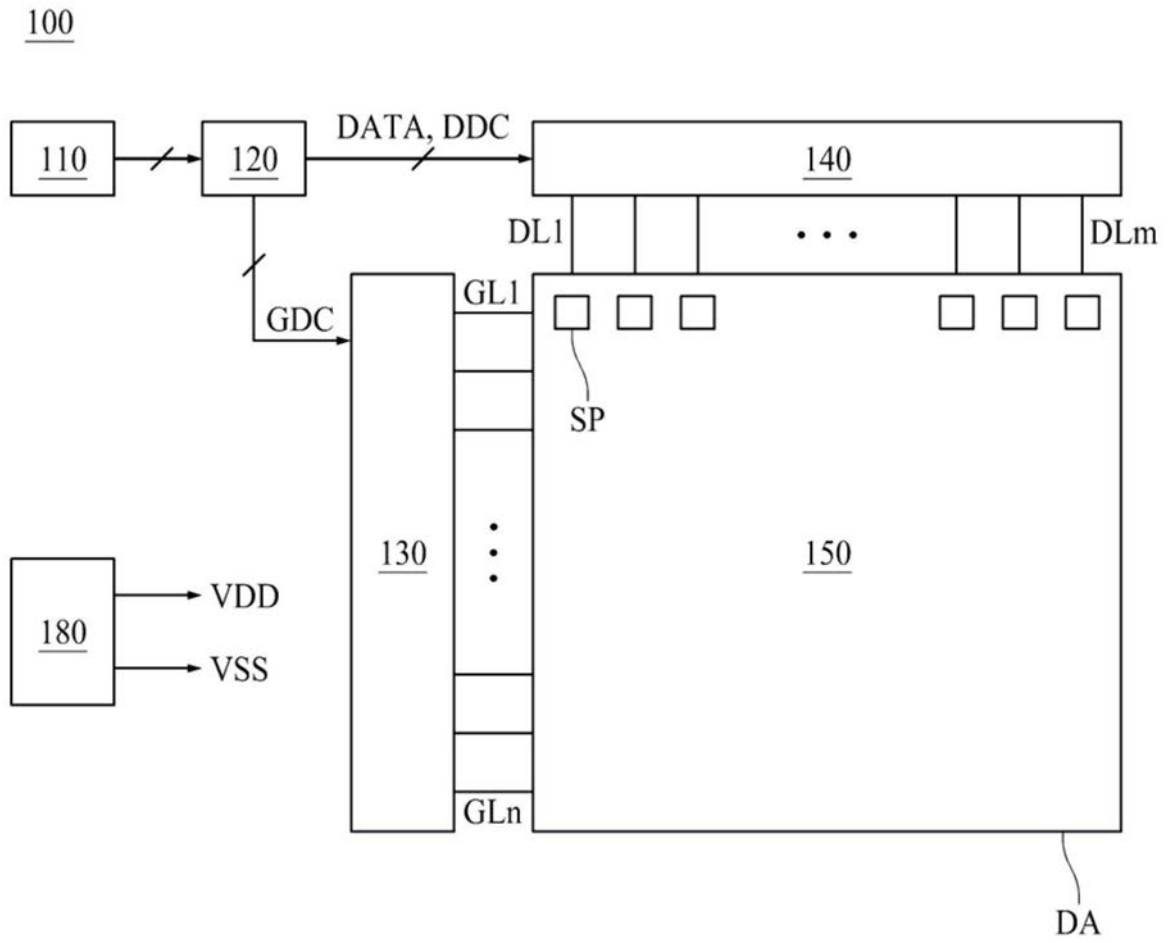


图1

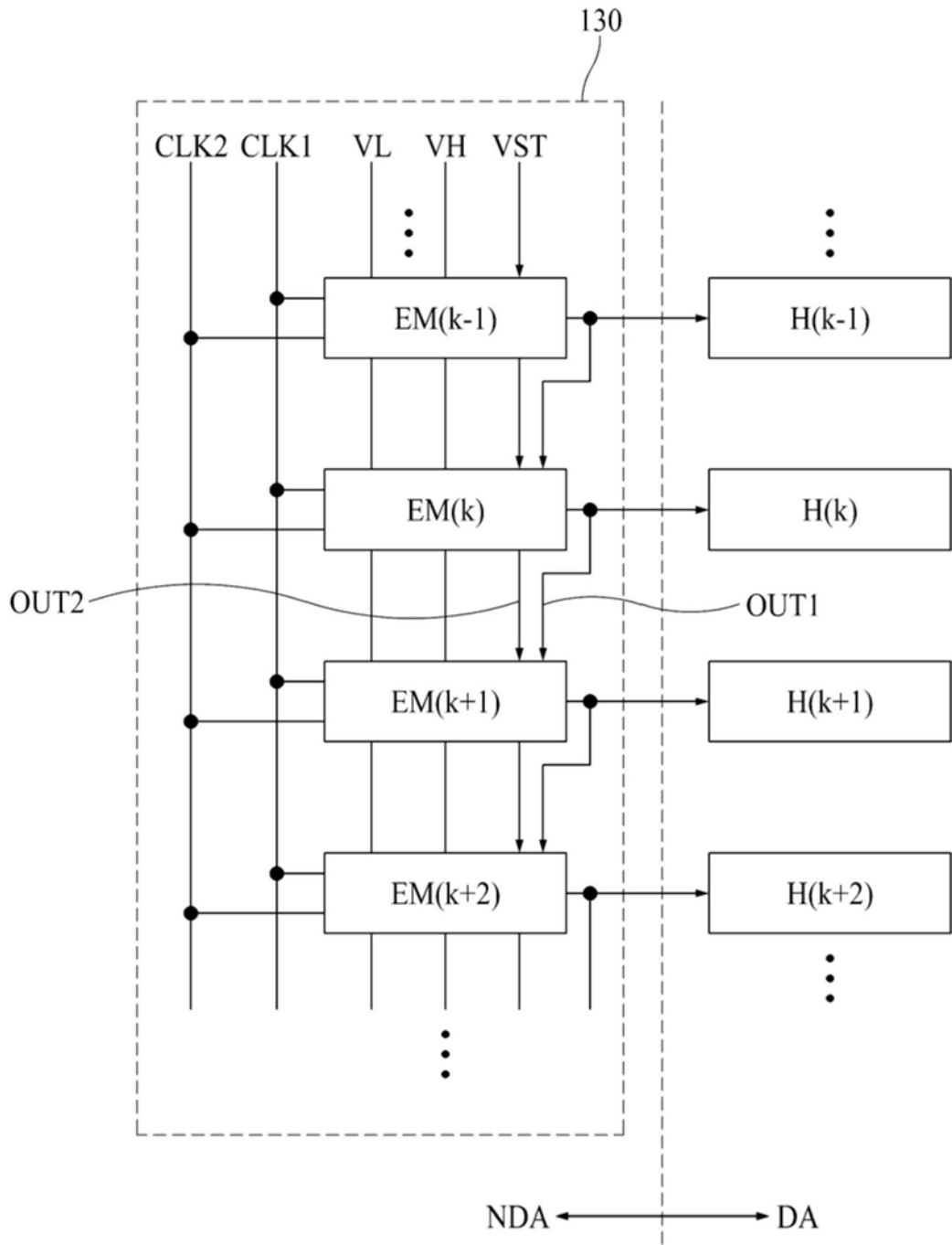


图2

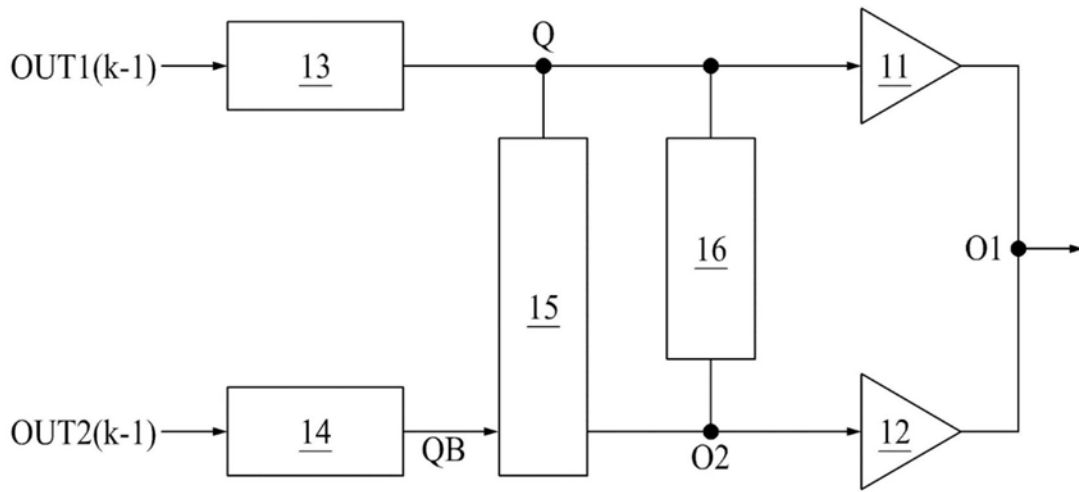


图3

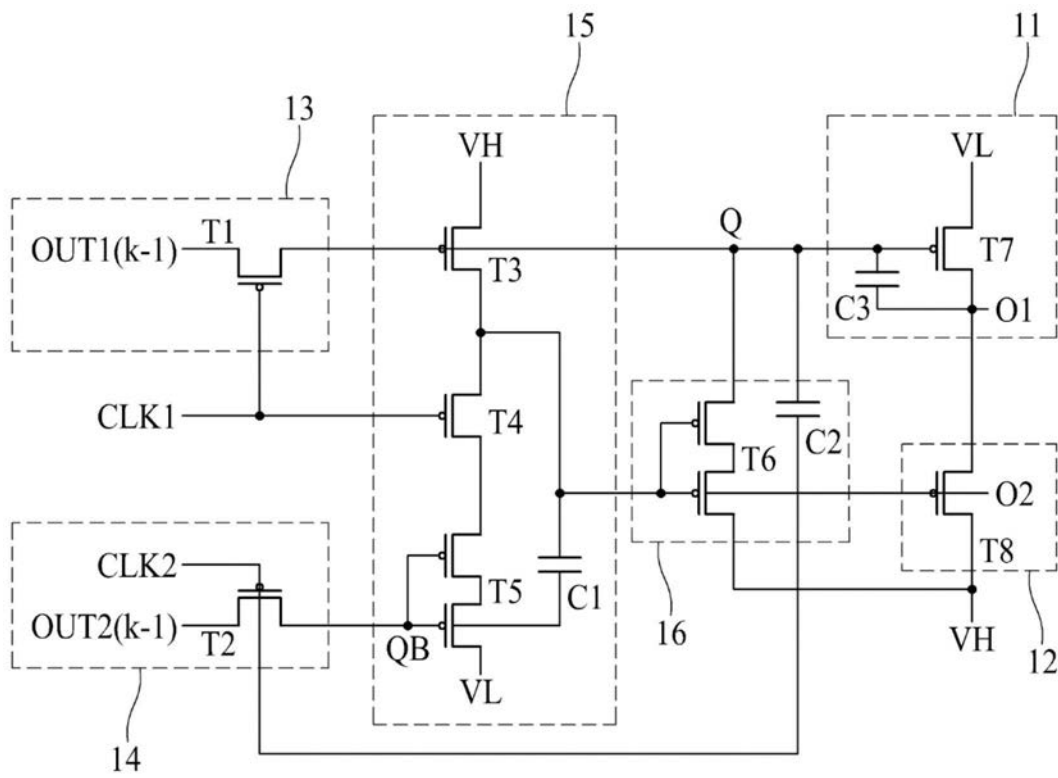


图4

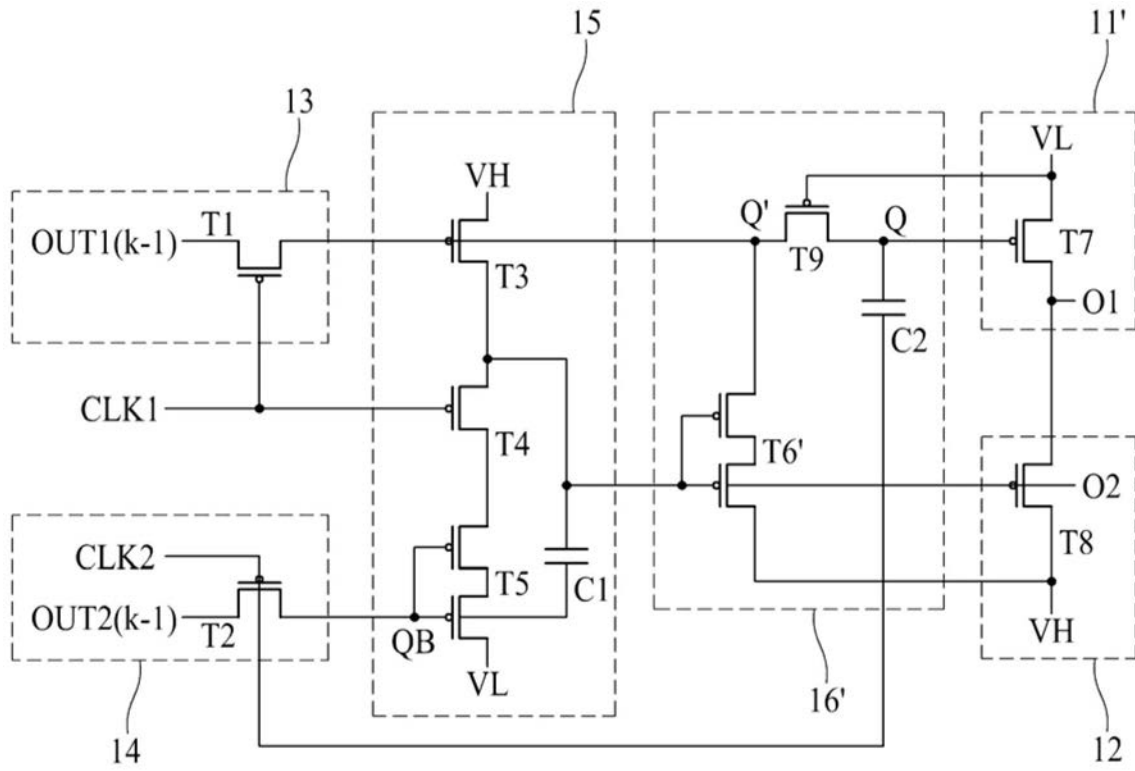


图5

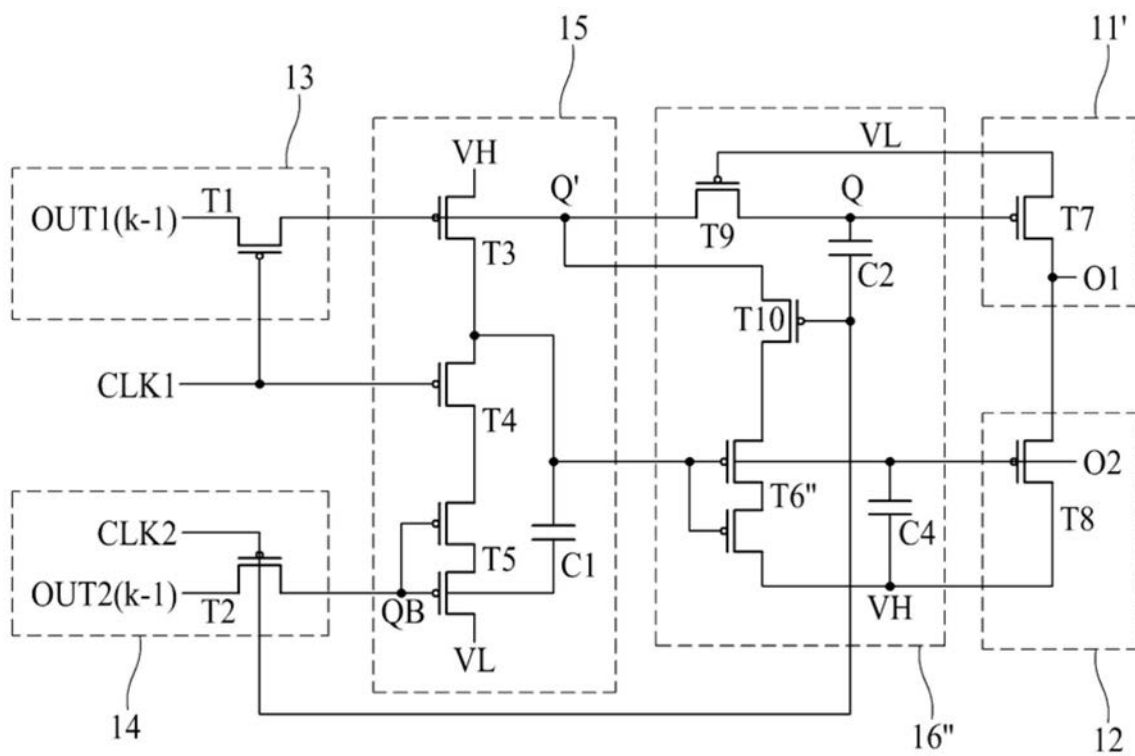


图6

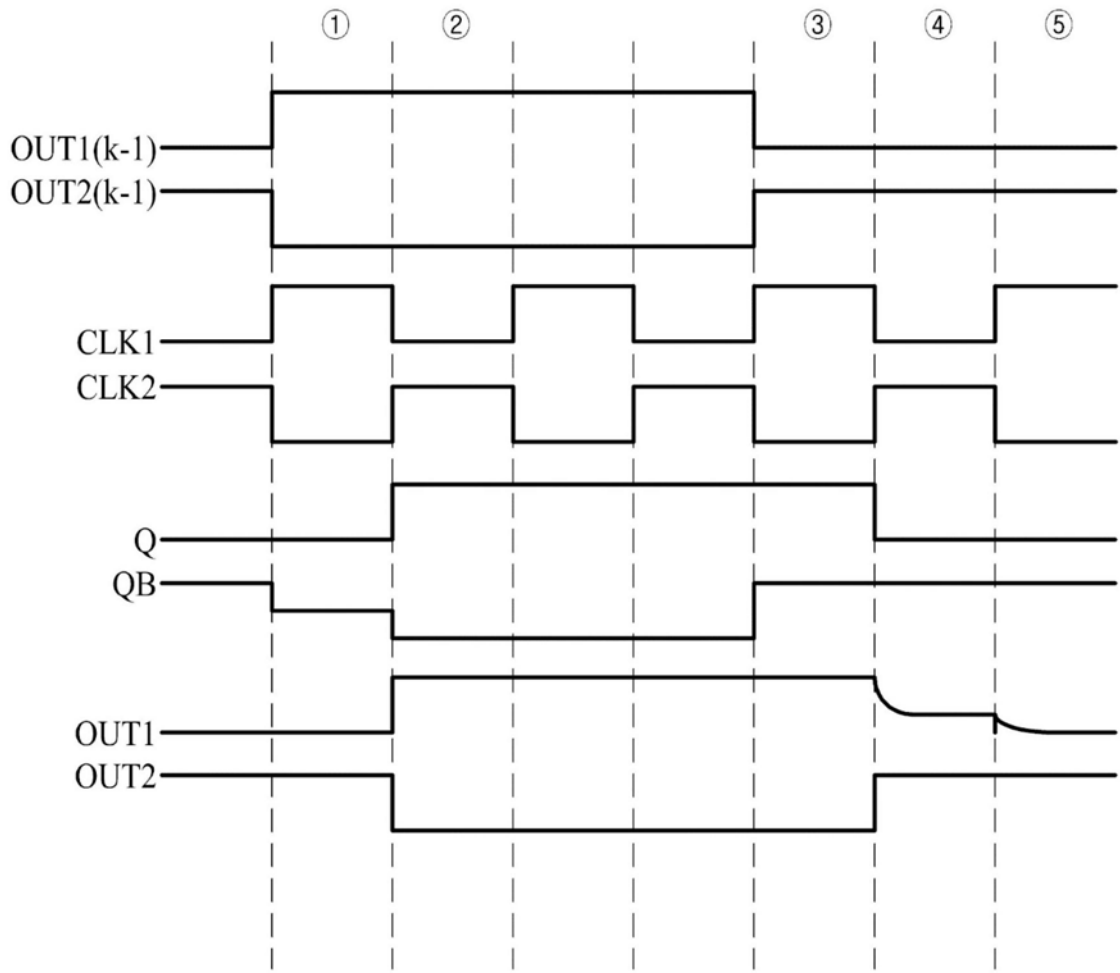


图7

专利名称(译)	栅极驱动器和使用栅极驱动器的电致发光显示装置		
公开(公告)号	CN110796981A	公开(公告)日	2020-02-14
申请号	CN201910665667.6	申请日	2019-07-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	刘载星		
发明人	刘载星		
IPC分类号	G09G3/32		
CPC分类号	G09G3/32 G09G3/3266 G09G2310/0286 G09G2300/08 G09G2310/08 G09G2320/0626		
代理人(译)	徐金国		
优先权	1020180089163 2018-07-31 KR		
外部链接	Espacenet SIPO		

摘要(译)

提供一种栅极驱动器和使用栅极驱动器的电致发光显示装置。所述电致发光显示装置包括：发光线(EL)；子像素，连接到EL；和发光驱动器，向EL提供发光信号并包括多个级，其中，多个级的第k级包括：连接到EL的第一输出节点(O1)；第二输出节点(O2)；Q节点；下拉电路和上拉电路，分别由Q节点和O2节点控制并向所述O1节点提供电压；第一控制器，接收第(k-1)级的O1节点的电压或者第一起始信号；第二控制器，接收第(k-1)级的O2节点的电压或者第二起始信号；第三控制器，控制O2节点的电压；和第四控制器，由O2节点控制，其中k是1或更大的自然数。

