



(12)发明专利申请

(10)申请公布号 CN 108877655 A

(43)申请公布日 2018.11.23

(21)申请号 201810719226.5

(22)申请日 2018.07.03

(71)申请人 深圳吉迪思电子科技有限公司
地址 518000 广东省深圳市南山区粤海街
道文心五路海岸城东座601室

(72)发明人 孙丽娜

(74)专利代理机构 苏州集律知识产权代理事务
所(普通合伙) 32269
代理人 安纪平

(51) Int. Cl.
G09G 3/3208(2016.01)

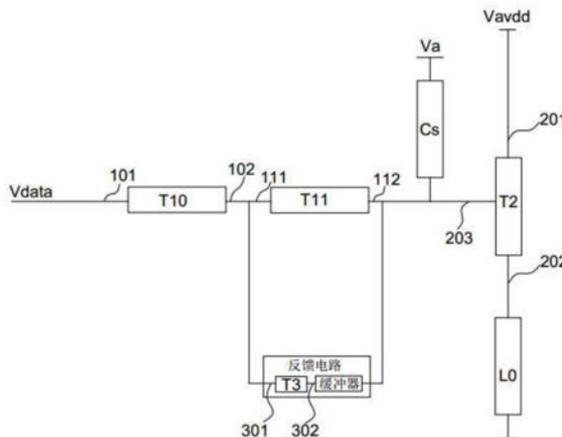
权利要求书1页 说明书5页 附图3页

(54)发明名称

一种像素电路、显示屏及电子设备

(57)摘要

本发明揭示了一种像素电路、显示屏及电子设备,像素电路包括驱动晶体管、第一开关晶体管、第二开关晶体管、电容以及反馈电路,第一开关晶体管的一端连接一数据线,另一端通过第二开关晶体管连接驱动晶体管的栅极,电容的一端连接驱动晶体管的栅极,另一端连接一电源,反馈电路在驱动晶体管工作时,将驱动晶体管的栅极电压反馈至第一开关晶体管和第二开关晶体管的连接点处。本发明在不改变CMOS工艺的条件下,有效解决了开关晶体管和寄生二极管漏电,以及漏电导致的亮度和对比度下降的问题,适用于硅基OLED微显示器。



1. 一种像素电路,其特征在于,包括:
驱动晶体管,所述驱动晶体管连接第一电源;
串联相接的第一开关晶体管和第二开关晶体管,所述第一开关晶体管连接一数据线,所述第二开关晶体管连接所述驱动晶体管;
电容,所述电容连接于所述驱动晶体管与所述第二开关晶体管的中间节点和第二电源之间;以及
反馈电路,所述反馈电路连接于所述第一开关晶体管与所述第二开关晶体管的中间节点和所述驱动晶体管之间,用于在所述驱动晶体管工作时将所述驱动晶体管的栅极电压反馈至所述第一开关晶体管与所述第二开关晶体管的中间节点处。
2. 根据权利要求1所述的像素电路,其特征在于,所述反馈电路包括缓冲器和第三开关晶体管,所述第三开关晶体管的一端连接在第一开关晶体管与第二开关晶体管之间,另一端通过所述缓冲器与所述驱动晶体管的栅极相连接。
3. 根据权利要求2所述的像素电路,其特征在于,所述第一开关晶体管、第二开关晶体管和第三开关晶体管的栅极端均与一扫描线电连接。
4. 根据权利要求2或3所述的像素电路,其特征在于,所述第三开关晶体管为NMOS管。
5. 根据权利要求1所述的像素电路,其特征在于,所述第一开关晶体管和第二开关晶体管为NMOS管,且第一开关晶体管的衬底与接地端电连接,第二开关晶体管的衬底与它的源极电连接。
6. 根据权利要求1所述的像素电路,其特征在于,所述第一开关晶体管和第二开关晶体管为PMOS管,且第一开关晶体管的衬底与第一电源电连接,第二开关晶体管的衬底与它的源极电连接。
7. 根据权利要求1所述的像素电路,其特征在于,所述驱动晶体管选自NMOS管、PMOS管中的一种。
8. 根据权利要求2所述的像素电路,其特征在于,当驱动晶体管为Native NMOS管时,所述缓冲器复用驱动晶体管,所述第三开关晶体管的一端连接在第一开关晶体管与第二开关晶体管之间,另一端与所述驱动晶体管的源极相连接。
9. 根据权利要求1所述的像素电路,其特征在于,所述像素电路还包括与驱动晶体管电连接的发光器件,所述驱动晶体管可驱动发光器件发光。
10. 一种显示屏,其特征在于,包含权利要求1~9任意一项所述的像素电路。
11. 一种电子设备,其特征在于,包括权利要求10所述的显示屏。

一种像素电路、显示屏及电子设备

技术领域

[0001] 本发明涉及显示技术领域,尤其是涉及一种像素电路、显示屏及电子设备。

背景技术

[0002] 像素电路,通常被布置在以行方向排列的用于提供控制信号的扫描线Vsel和以列方向排列的用于提供数据信号的数据线Vdata相互交叉之处,通过电流或者电压驱动每个像素内的发光器件发光。结合图1和图2所示,一种像素电路结构,其包括开关晶体管T1、驱动晶体管T2,电容Cs,以及发光器件。开关晶体管T1和驱动晶体管T2可以选自PMOS、NMOS管中的一种。图1所示的像素电路中开关晶体管T1和驱动晶体管T2均为PMOS管。

[0003] 对于硅基OLED微显示器,像素尺寸较小,每个子像素尺寸约为 $9\mu\text{m}\times 3\mu\text{m}$ 。当在硅基OLED微显示器集成更多的MOS管和电容时,电容会很小。硅基OLED微显示器的工作分为两个阶段:数据写入阶段和发光器件发光阶段。当处于数据写入阶段时,扫描线Vsel为低电平,此时开关晶体管T1闭合,数据线Vdata上的电压通过开关晶体管T1在较短的时间内写入到像素电路中并保存在电容Cs上。当处于发光器件发光阶段时,扫描线Vsel为高电平,开关晶体管T1断开,驱动晶体管T2驱动发光器件发光。若刷新频率为60Hz,则发光时间通常为16.67ms。

[0004] 发光器件发光过程中,流过发光器件的电流受存储在电容Cs上的电荷控制。理想情况下,在发光过程中电容Cs上的电荷不变,发光亮度能够完全受Vdata控制。如图1所示,当Vdata为0V时,流过发光器件的电流达到最大 I_{max} 。Vdata=Vdd (Vdd为驱动晶体管T2连接的电源电位)时,流过发光器件的电流达到最小 I_{min} 。对比度是屏幕上同一点最亮时(白色)与最暗时(黑色)的亮度的比值,高对比度意味着相对较高的亮度和呈现颜色的艳丽程度。由于发光器件的发光强度与流过它的电流成正比,因此 $I_{\text{max}}/I_{\text{min}}$ 越高代表对比度越高。

[0005] 然而,由于硅基OLED微显示器的像素尺寸较小,电容Cs受像素尺寸的限制存储的电荷很少。开关晶体管T1虽然在发光阶段处于关断状态,但是其漏电以及寄生二极管的漏电在pA(皮安)量级,漏电会导致存储在电容Cs上的电荷发生变化,导致在发光阶段时 I_{max} 不能保持恒定,电流慢慢减小,或者 I_{min} 不能保持恒定,电流慢慢变大,最终使得最高亮度降低以及对比度降低,影响显示效果。

发明内容

[0006] 本发明的目的在于克服现有技术的缺陷,提供一种能够解决开关晶体管和寄生二极管漏电的问题,提高显示亮度和对比度的像素电路,还提供一种应用该像素电路的显示屏和电子设备。

[0007] 为实现上述目的,本发明提出如下技术方案:一种像素电路,包括

[0008] 驱动晶体管,所述驱动晶体管连接第一电源;

[0009] 串联相接的第一开关晶体管和第二开关晶体管,所述第一开关晶体管连接一数据线,所述第二开关晶体管连接所述驱动晶体管;

[0010] 电容,所述电容连接于所述驱动晶体管与所述第二开关晶体管的中间节点和第二电源之间;以及

[0011] 反馈电路,所述反馈电路连接于所述第一开关晶体管与所述第二开关晶体管的中间节点和所述驱动晶体管之间,用于在所述驱动晶体管工作时将所述驱动晶体管的栅极电压反馈至所述第一开关晶体管与所述第二开关晶体管的中间节点处。

[0012] 优选地,所述反馈电路包括缓冲器和第三开关晶体管,所述第三开关晶体管的一端连接在第一开关晶体管与第二开关晶体管之间,另一端通过所述缓冲器与所述驱动晶体管的栅极相连接。

[0013] 优选地,所述第一开关晶体管、第二开关晶体管和第三开关晶体管的栅极端均与一扫描线电连接。

[0014] 优选地,所述第三开关晶体管为NMOS管。

[0015] 优选地,所述第一开关晶体管和第二开关晶体管为NMOS管,且第一开关晶体管的衬底与接地端电连接,第二开关晶体管的衬底与它的源极电连接。

[0016] 优选地,所述第一开关晶体管和第二开关晶体管为PMOS管,且第一开关晶体管的衬底与第一电源电连接,第二开关晶体管的衬底与它的源极电连接。

[0017] 优选地,所述驱动晶体管选自NMOS管、PMOS管中的一种。

[0018] 优选地,当驱动晶体管为Native NMOS管时,所述缓冲器复用驱动晶体管,所述第三开关晶体管的一端连接在第一开关晶体管与第二开关晶体管之间,另一端与所述驱动晶体管的源极相连接。

[0019] 优选地,所述像素电路还包括与驱动晶体管电连接的发光器件,所述驱动晶体管可驱动发光器件发光。

[0020] 一种显示屏,包含上述像素电路。

[0021] 一种电子设备,包括上述显示屏。

[0022] 本发明的有益效果是:

[0023] 与现有技术相比,本发明所述的像素电路在不改变CMOS工艺的条件下,通过设置反馈电路,有效解决了开关晶体管和寄生二极管漏电的问题,提高了显示亮度及对比度,尤其适用于硅基OLED微显示器,可提高其显示效果。

附图说明

[0024] 图1是本现有技术中像素电路示意图;

[0025] 图2是图1中电流变化示意图;

[0026] 图3是本发明结构框图示意图;

[0027] 图4是本发明的实施例一电路图示意图;

[0028] 图5是本发明的实施例二电路图示意图。

具体实施方式

[0029] 下面将结合本发明的附图,对本发明实施例的技术方案进行清楚、完整的描述。

[0030] 本发明所揭示的一种像素电路,应用于硅基OLED微显示器中,可在不改变CMOS (Complementary Metal Oxide Semiconductor,互补金属氧化物半导体) 工艺的条件下,解

决开关晶体管和寄生二极管漏电的问题,以及漏电导致的亮度和对比度下降的问题。

[0031] 如图3所示,一种像素电路,包括驱动晶体管T2、第一开关晶体管T10、第二开关晶体管T11、电容Cs、以及反馈电路。其中,第一开关晶体管T10与第二开关晶体管T11相串联,并且第一开关晶体管T10与一数据线Vdata电连接;第二开关晶体管T11与驱动晶体管T2的栅极电连接,驱动晶体管T2还与第一电源Vavdd电连接;电容Cs连接于驱动晶体管T2与第二开关晶体管T11的中间节点和第二电源Va之间;反馈电路,其输入端连接于第二开关晶体管T11与驱动晶体管T2的中间节点,输出端连接于第一开关晶体管T10与第二开关晶体管T11的中间节点,用于在驱动晶体管T2工作时将驱动晶体管T2的栅极电压反馈至第一开关晶体管T10与第二开关晶体管T11的中间节点处。

[0032] 该像素电路还包括发光器件L0,其与驱动晶体管T2电连接,驱动晶体管T2可驱动其发光。

[0033] 具体地,驱动晶体管T2具有第一电极端201、第二电极端202和栅极端203,第一电极端201与第一电源Vavdd电连接,第二电极端202与发光器件L0的阳极电连接,发光器件L0的阴极与接地端电连接。

[0034] 第一开关晶体管T10具有第一电极端101、第二电极端102和栅极端,第二开关晶体管T11具有第一电极端111、第二电极端112和栅极端。其中,第一开关晶体管T10的第一电极端101与数据线Vdata电连接,第一开关晶体管T10的第二电极端102通过第二开关晶体管T11与驱动晶体管T2的栅极端203电连接,即第一开关晶体管T10的第二电极端102与第二开关晶体管T11的第一电极端111电连接,第二开关晶体管T11的第二电极端112与驱动晶体管T2的栅极端203电连接。

[0035] 在数据写入阶段时,通过控制第一开关晶体管T10和第二开关晶体管T11的导通或关断,将数据信号输送至该像素电路中。具体实施时,第一开关晶体管T10和第二开关晶体管T11的栅极端均与扫描线Vsel电连接,通过扫描线Vsel控制第一开关晶体管T10和第二开关晶体管T11的导通或关断。

[0036] 电容Cs的一端与第二电源Va电连接,另一端与驱动晶体管T2的栅极端203电连接。具体实施时,第二电源Va为一固定电平,可以是0V或者是其他某一电压值,也可与第一电源Vavdd相同,第二电源Va的选择可根据驱动晶体管T2的类型进行选择。

[0037] 反馈电路用于在发光器件L0处于发光阶段(即电容Cs上电荷保持阶段)时,将驱动晶体管T2的栅极电压反馈至第二开关晶体管T11的第一电极端111。具体地,反馈电路包括第三开关晶体管T3和缓冲器,第三开关晶体管T3同样具有第一电极端301、第二电极端302和栅极端,缓冲器的输入端与驱动晶体管T2的栅极端203电连接,输出端与第三开关晶体管T3的第二电极端302电连接,第三开关晶体管T3的第一电极端301与第二开关晶体管T11的第一电极端111电连接。具体实施时,第三开关晶体管T3优选NMOS管,当第三开关晶体管T3为NMOS管时,第三开关晶体管T3的第二电极端302为漏极D,第三开关晶体管T3的第一电极端301为源极S,栅极端与扫描线Vsel电连接。当然,开关晶体管也可以选用PMOS管,可通过设置单独的控制信号控制PMOS管的导通或关断。

[0038] 本实施例中,第一开关晶体管T10、第二开关晶体管T11可以为PMOS管或NMOS管。当第一开关晶体管T10、第二开关晶体管T11均为PMOS管时,第一开关晶体管T10的第一电极端101为源极S,第一开关晶体管T10的第二电极端102为漏极D,并且具体实施时第一开关晶体

管T10的衬底还与第一电源 V_{avdd} 电连接;第二开关晶体管T11的第一电极端111为源极S,第二开关晶体管T11的第二电极端112为漏极D,并且具体实施时第二开关晶体管T11的衬底与它的源极S电连接。

[0039] 当第一开关晶体管T10和第二开关晶体管T11均为NMOS管时,第一开关晶体管T10的第一电极端101为漏极D,第一开关晶体管T10的第二电极端102为源极S,并且具体实施时第一开关晶体管T10的衬底还与接地端电连接;第二开关晶体管T11的第一电极端111为漏极D,第二开关晶体管T11的第二电极端102为源极S,并且具体实施时第二开关晶体管T11的衬底与它的源极S电连接。

[0040] 同样的,驱动晶体管T2可选自PMOS管、NMOS管中的一种。当驱动晶体管T2选用耗尽型晶体管(Native NMOS),第三开关晶体管T3的第二电极端302与驱动晶体管T2的第二电极端202(源极S)电连接,即缓冲器与驱动晶体管T2共用Native NMOS管,驱动晶体管T2充当缓冲器。

[0041] 本实施例中,以第一开关晶体管T10、第二开关晶体管T11为PMOS管、驱动晶体管T2为Native NMOS管为例,对像素电路进行详细的说明。

[0042] 如图3所示,一种像素电路,包括驱动晶体管T2、第一开关晶体管T10、第二开关晶体管T11、电容 C_s 、反馈电路以及发光器件L0。驱动晶体管T2的第一电极端201(漏极D)与第一电源 V_{avdd} 电连接,第二电极端202(源极S)与发光器件L0的阳极电连接,发光器件L0的阴极与接地端电连接。第一开关晶体管T10的第一电极端101(源极S)与数据线 V_{data} 电连接,第二电极端102(漏极D)与第二开关晶体管T11的第一电极端111(源极S)电连接,并且第一开关晶体管T10的衬底与第一电源电连接。第二开关晶体管T11的第二电极端112(漏极D)与驱动晶体管T2的栅极端203电连接,并且第二开关晶体管T11的衬底与源极S电连接。电容 C_s 的一端与第二电源 V_a 电连接,另一端与驱动晶体管T2的栅极G电连接。

[0043] 如图4所示,该像素电路中,由于驱动晶体管T2为Native NMOS管,阈值电压 V_{th} 近似为0,驱动晶体管T2起到缓冲器的作用,因此,反馈电路中的缓冲器由驱动晶体管T2充当。具体实施时,第三开关晶体管T3的第二电极端(漏极D)与驱动晶体管T2的源极电连接。

[0044] 同时,第一开关晶体管T10、第二开关晶体管T11以及第三开关晶体管T3的栅极端G均与扫描线 V_{sel} 电连接。

[0045] 具体的,数据写入阶段时,扫描线 V_{sel} 为低电平,此时第一开关晶体管T10和第二开关晶体管T11均导通,反馈电路中的第三开关晶体管T3关断,数据线 V_{data} 上的电压通过第一开关晶体管T10和第二开关晶体管T11写入到像素电路中,即数据线上的电压通过第一开关晶体管T10和第二开关晶体管T11对电容 C_s 充电,电容 C_s 的电压控制驱动晶体管T2的漏极电流;发光器件L0发光时,扫描线 V_{sel} 为高电平,第一开关晶体管T10和第二开关晶体管T11均关断,此时,电容 C_s 的电荷可继续维持驱动晶体管T2的栅极电压。反馈电路中的第三开关晶体管T3在扫描线 V_{sel} 为高电平时导通,由于驱动晶体管T2的阈值电压 V_{th} 近似为0,驱动晶体管T2充当缓冲器,其将栅极电压通过第三开关晶体管T3反馈至第二开关晶体管T11的源极S,进而使得第二开关晶体管T11的漏电消失,同时寄生二极管的PN结两端的电压同样为0,漏电消失。

[0046] 进一步地,以第一开关晶体管T10、第二开关晶体管T11为PMOS管、驱动晶体管T2为PMOS管为例,对像素电路进行详细的说明。

[0047] 如图3所示,一种像素电路包括驱动晶体管T2、第一开关晶体管T10、第二开关晶体管T11、电容Cs、反馈电路以及发光器件L0。驱动晶体管T2的第一电极端201(源极S)与第一电源电连接,第二电极端202(漏极D)与发光器件L0的阳极电连接,发光器件L0的阴极与接地端电连接。第一开关晶体管T10的第一电极端101(源极S)与数据线Vdata电连接,第二电极端102(漏极D)与第二开关晶体管T11的第一电极端111(源极S)电连接,并且第一开关晶体管T10的衬底与第一电源电连接。第二开关晶体管T11的第二电极端112(漏极D)与驱动晶体管T2的栅极端203电连接,并且第二开关晶体管T11的衬底与它的第一电极端(源极S)电连接。电容Cs的一端与第二电源电连接,另一端与驱动晶体管T2的栅极端203电连接。

[0048] 如图5所示,反馈电路中,缓冲器的输入端与驱动晶体管T2的栅极端203电连接,输出端与第三开关晶体管T3的第二电极端302(漏极D)电连接,第三开关晶体管T3的第一电极端301(源极S)与第二开关晶体管T11的第一电极端(源极S)电连接。

[0049] 同时,第一开关晶体管T10、第二开关晶体管T11以及第三开关晶体管T3的栅极端G均与扫描线Vsel电连接。

[0050] 具体地,数据写入阶段时,扫描线Vsel为低电平,此时第一开关晶体管T10和第二开关晶体管T11均导通,反馈电路中的第三开关晶体管T3关断,数据线Vdata上的电压通过第一开关晶体管T10和第二开关晶体管T11写入到像素电路中,即数据线上的电压通过第一开关晶体管T10和第二开关晶体管T11对电容Cs充电,电容Cs的电压可控制驱动晶体管T2的漏极电流;发光器件L0发光时,扫描线Vsel为高电平,第一开关晶体管T10和第二开关晶体管T11均关断,此时电容Cs上的电荷可继续维持驱动晶体管T2的栅极电压。反馈电路中的第三开关晶体管T3在扫描线Vsel为高电平时导通,缓冲器将驱动晶体管T2的栅极电压Vgate通过第三开关晶体管T3反馈至第二开关晶体管T11的源极S,使得第二开关晶体管T11上Vds为0,进而使得第二开关晶体管T11的漏电消失,同时第二开关晶体管T11上寄生二极管的PN结两端的电压同样为0,漏电消失。

[0051] 本发明还揭示了一种应用上述像素电路的显示屏及电子设备。显示屏主要为硅基OLED显示屏,电子设备可以是VR头盔、AR眼镜等等。

[0052] 本发明的技术内容及技术特征已揭示如上,然而熟悉本领域的技术人员仍可能基于本发明的教示及揭示而作种种不背离本发明精神的替换及修饰,因此,本发明保护范围应不限于实施例所揭示的内容,而应包括各种不背离本发明的替换及修饰,并为本专利申请权利要求所涵盖。

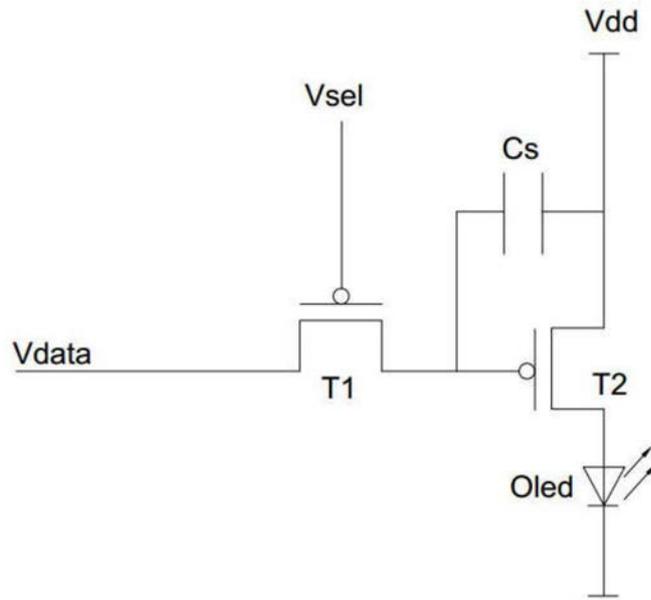


图1

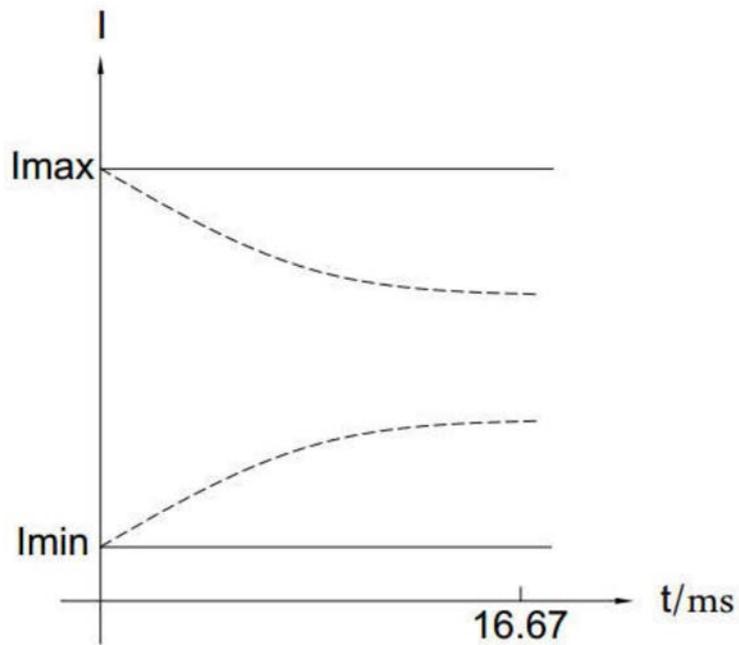


图2

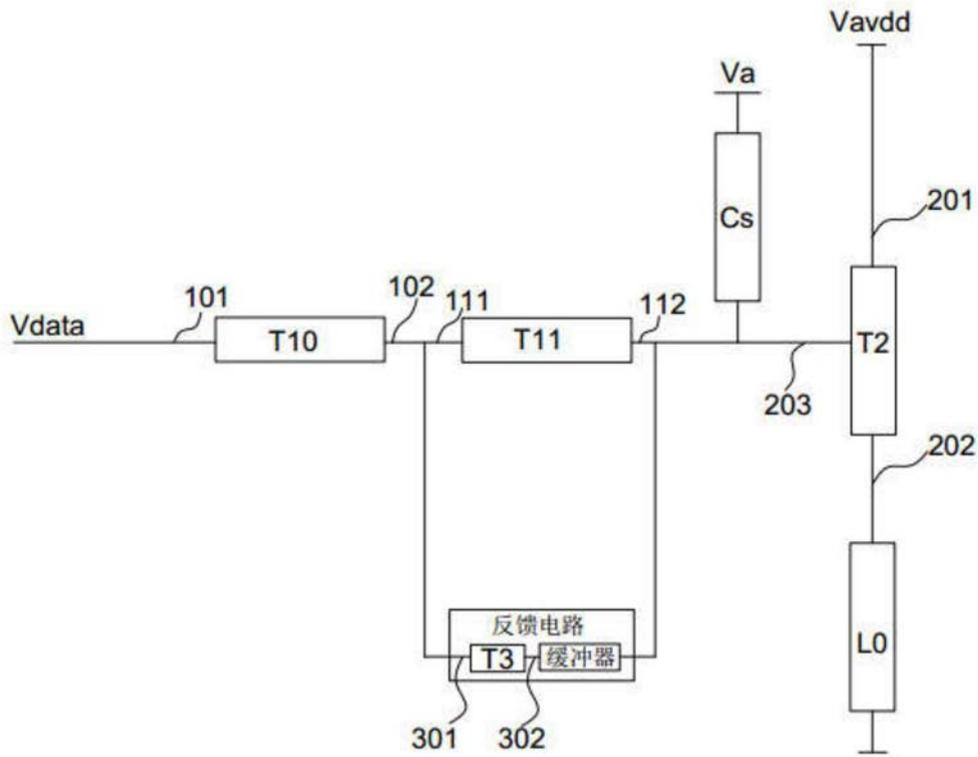


图3

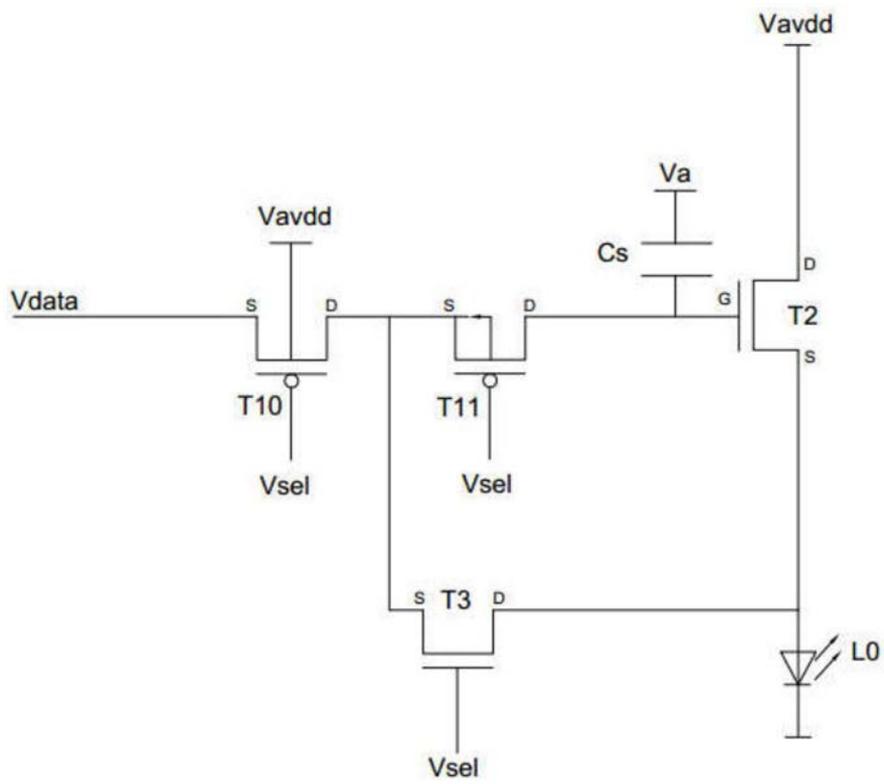


图4

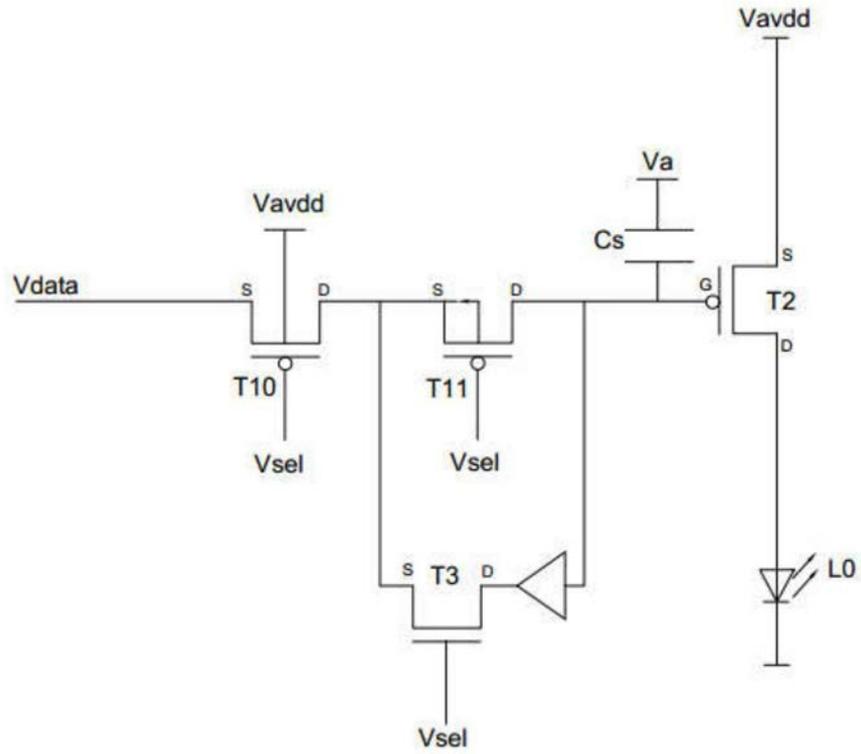


图5

专利名称(译)	一种像素电路、显示屏及电子设备		
公开(公告)号	CN108877655A	公开(公告)日	2018-11-23
申请号	CN201810719226.5	申请日	2018-07-03
[标]发明人	孙丽娜		
发明人	孙丽娜		
IPC分类号	G09G3/3208		
外部链接	Espacenet SIPO		

摘要(译)

本发明揭示了一种像素电路、显示屏及电子设备，像素电路包括驱动晶体管、第一开关晶体管、第二开关晶体管、电容以及反馈电路，第一开关晶体管的一端连接一数据线，另一端通过第二开关晶体管连接驱动晶体管的栅极，电容的一端连接驱动晶体管的栅极，另一端连接一电源，反馈电路在驱动晶体管工作时，将驱动晶体管的栅极电压反馈至第一开关晶体管和第二开关晶体管的连接点处。本发明在不改变CMOS工艺的条件下，有效解决了开关晶体管和寄生二极管漏电，以及漏电导致的亮度和对比度下降的问题，适用于硅基OLED微显示器。

