



(12)发明专利申请

(10)申请公布号 CN 108269822 A

(43)申请公布日 2018.07.10

(21)申请号 201710419260.6

(22)申请日 2017.06.06

(30)优先权数据

10-2016-0182953 2016.12.29 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 金重铁 权峻瑩

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 蔡胜有

(51)Int.Cl.

H01L 27/15(2006.01)

G09G 3/32(2016.01)

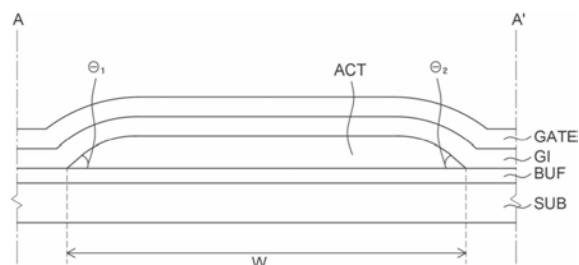
权利要求书2页 说明书10页 附图9页

(54)发明名称

电致发光显示设备及其制备方法

(57)摘要

提供了一种电致发光显示设备及其制造方法。一种电致发光显示设备包括像素，所述像素具有：电致发光二极管、被配置成将电流提供至电致发光二极管的驱动晶体管、和被配置成开关提供至驱动晶体管的信号的开关晶体管，其中驱动晶体管的沟道区尺寸不同于开关晶体管的沟道区尺寸，且其中驱动晶体管和开关晶体管的沟道区的倾斜角度偏差小于或等于 10° 。



1. 一种电致发光显示设备,包括:
像素,所述像素包括:
电致发光二极管;
驱动晶体管,所述驱动晶体管被配置成将电流提供至电致发光二极管;和
开关晶体管,所述开关晶体管被配置成开关被提供至驱动晶体管的信号,
其中所述驱动晶体管的沟道区尺寸不同于所述开关晶体管的沟道区尺寸,和
其中所述驱动晶体管和所述开关晶体管的沟道区的边缘的倾斜角度偏差小于或等于 10° 。
2. 如权利要求1所述的电致发光显示设备,其中在用于图案化所述驱动晶体管和所述开关晶体管的沟道区的干法蚀刻工艺期间,根据 O_2 气流比率调整所述倾斜角度偏差。
3. 如权利要求1所述的电致发光显示设备,其中所述倾斜角度偏差小于或等于 5° 。
4. 如权利要求3所述的电致发光显示设备,其中使用等于或大于40%的 O_2 气流比率干法蚀刻所述驱动晶体管和所述开关晶体管的沟道区。
5. 如权利要求1所述的电致发光显示设备,其中所述倾斜角度偏差小于或等于 1° 。
6. 如权利要求5所述的电致发光显示设备,其中使用大于或等于50%的 O_2 气流比率干法蚀刻所述驱动晶体管和所述开关晶体管的沟道区。
7. 如权利要求1所述的电致发光显示设备,其中所述驱动晶体管的沟道区的边缘的倾斜角度和所述开关晶体管的沟道区的边缘的倾斜角度分别小于或等于 20° 。
8. 如权利要求7所述的电致发光显示设备,其中所述驱动晶体管的沟道区的边缘的倾斜角度和所述开关晶体管的沟道区的边缘的倾斜角度分别小于或等于 10° 。
9. 如权利要求8所述的电致发光显示设备,其中所述倾斜角度偏差小于或等于 5° 。
10. 如权利要求1所述的电致发光显示设备,其中所述驱动晶体管的沟道区尺寸大于所述开关晶体管的沟道区尺寸。
11. 如权利要求1所述的电致发光显示设备,其中所述驱动晶体管和所述开关晶体管的沟道区包括低温多晶硅层。
12. 一种电致发光显示设备的制造方法,所述方法包括:
在基板上提供用于形成驱动晶体管的沟道区和开关晶体管的沟道区的半导体层;
通过光刻工艺图案化所述半导体层上的光致抗蚀剂;和
通过使用至少30%的 O_2 气流比率的干法蚀刻工艺,图案化驱动晶体管的沟道区和开关晶体管的沟道区,以使所述驱动晶体管的沟道区的边缘和所述开关晶体管的沟道区的边缘分别具有倾斜角度。
13. 如权利要求12所述的制造方法,其中所述半导体层是由激光结晶化的低温多晶硅层。
14. 如权利要求12所述的制造方法,其中所述倾斜角度小于或等于 20° 。
15. 如权利要求14所述的制造方法,其中:
所述倾斜角度小于或等于 10° ;和
所述 O_2 气流比率大于或等于50%。
16. 如权利要求12所述的制造方法,其中用于干法蚀刻工艺的气体混合物包括 O_2 气体以及 CF_4 、 SF_6 、He、HCl和 Cl_2 当中的至少一种气体。

17. 如权利要求12所述的制造方法,其中所述驱动晶体管和所述开关晶体管的沟道区的边缘的倾斜角度偏差小于或等于 5° 。

18. 如权利要求17所述的制造方法,其中使用等于或大于40%的 O_2 气流比率干法蚀刻所述驱动晶体管和所述开关晶体管的沟道区。

电致发光显示设备及其制备方法

[0001] 相关申请的交叉引用

[0002] 本申请要求2016年12月29日提交的韩国申请No.10-2016-0182953的优先权,在此通过参考将其整体并入本文。

技术领域

[0003] 本公开涉及一种显示设备,且特别地,涉及一种电致发光显示设备及其制备方法。

背景技术

[0004] 电致发光元件是自发光元件,其包括阳极、阴极和形成在阳极与阴极间的电致发光层。电致发光层包括空穴传输层(HTL)、发光层(EML)和电子传输层(ETL)。当将电压施加到阳极和阴极时,通过组合经由空穴传输层(HTL)传输的空穴和经由电子传输层(ETL)传输的电子产生激子,从而在发光层(EML)产生可见光。包括自发光电致发光元件矩阵的有源矩阵型电致发光显示设备的有利之处在于快响应速度、发光效率、亮度和宽视角特性。由于这些原因,电致发光显示设备被广泛使用。

[0005] 电致发光显示设备的多个像素(P)被设置成矩阵,每个像素都分别包括电致发光二极管(ELD),其根据视频数据的灰度级控制多个像素的亮度。每个像素都进一步包括驱动晶体管和至少一个开关晶体管,驱动晶体管根据驱动晶体管的栅极和源极之间的电势差控制提供至电致发光二极管的驱动电流,开关晶体管编程驱动晶体管的栅极和源极之间的电势差。根据驱动晶体管的栅极和源极之间的电势差以及驱动晶体管的阈值电压确定驱动电流。像素亮度与提供至电致发光二极管的驱动电流量成比例。

[0006] 由此,应当以精确且稳定的方式保持驱动晶体管的栅极和源极之间的电势差以按照所需亮度值显示像素。但是,由于各种原因,每个电极的电压可能存在不希望的偏差。

[0007] 例如,会存在晶体管阈值电压(V_{th})偏差。而且,栅极线、发光线和数据线会与任意邻近电极产生寄生电容。结果,当改变栅极信号、发光信号和数据信号时,在相邻电极处产生回扫电压(kickback voltage)。此时,对于产生回扫电压的相邻电极,会根据位置关系以不均匀方式产生回扫电压。

[0008] 已经尝试通过执行内部补偿电路或者外部补偿电路技术补偿这种阈值电压偏差(ΔV_{th})。

发明内容

[0009] 由此,本公开涉及一种电致发光显示设备及其制备方法,其基本避免了由于现有技术的限制和缺陷导致的一个或多个问题。

[0010] 本公开的一方面提供了一种电致发光显示设备,其包括具有驱动晶体管和开关晶体管的像素,两种晶体管具有不同的沟道区域尺寸,并且减小了倾斜角度偏差。

[0011] 在下文的描述中列出了其他特征和方面,且根据下文描述一部分特征和方面是显而易见的,或者是通过实践本文提供的发明理念可获知的。可通过所撰写的描述中特别指

出或引申出的结构以及权利要求和所附附图,认识到或获得该发明理念的其他特征和方面。

[0012] 为了实现该发明理念的这些或其他方面,如所体现且广泛描述的,一种电致发光显示设备可包括:像素,所述包括:电致发光二极管、被配置成将电流提供至电致发光二极管的驱动晶体管、和被配置成开关提供至驱动晶体管的信号的开关晶体管,其中驱动晶体管的沟道区域尺寸不同于开关晶体管的沟道区域尺寸,且其中驱动晶体管和开关晶体管的沟道区域的边缘的倾斜角度偏差小于或等于 10° 。

[0013] 而且,在一种电致发光显示设备的制造方法中,所述方法可包括:在基板上提供用于形成驱动晶体管的沟道区和开关晶体管的沟道区的半导体层;通过光刻工艺图案化所述半导体层上的光致抗蚀剂;和通过使用至少30%的 O_2 气流比率的干法蚀刻工艺,图案化驱动晶体管的沟道区和开关晶体管的沟道区,以使所述驱动晶体管的沟道区的边缘和所述开关晶体管的沟道区的边缘分别具有倾斜角度。

[0014] 一旦查阅了以下附图及具体描述,其他系统、方法、特征和优势将会或者将变得对于本领域技术人员显而易见。意在所有这些其他系统、方法、特征和优势都包括在该描述中,或者在本公开的范围内,且由以下的权利要求保护。上述部分全部都不作为对权利要求的限制。在下文中将结合本公开的实施例讨论其他方面和优势。将理解,本公开上文的一般描述和下文的具体描述都是实例和说明性的,且意在提供如所要求保护的本公开的进一步解释。

附图说明

[0015] 本文包括附图以提供本公开的进一步理解,且附图结合到说明书中并构成说明书的一部分,附图示出了本公开的实施例且与文字描述一起用于解释本公开的各原理。

[0016] 图1是示出根据本公开实施例的电致发光显示设备的图。

[0017] 图2是示出图1的显示面板的像素的电路图。

[0018] 图3是示出用于驱动像素的扫描信号和像素相应节点电压的示意性波形图。

[0019] 图4A是初始化周期期间的像素电路图。

[0020] 图4B是取样周期期间的像素电路图。

[0021] 图4C是发光周期期间的像素电路图。

[0022] 图5是示出在取样周期和发光周期的瞬变时间(transition time)由驱动晶体管的栅极和另一电极(或信号线)产生的寄生电容的电路图。

[0023] 图6A是示出根据本公开一实施例的电致发光显示设备的像素的驱动晶体管DT的平面图。

[0024] 图6B表示沿着图6A中的线A-A'取得的截面图。

[0025] 图7A是示出根据本公开一实施例的电致发光显示设备的像素的开关晶体管的平面图。

[0026] 图7B是沿着图7A的线B-B'取得的截面图。

[0027] 在所有附图和具体描述中,除非另外描述,相同附图参考数字应理解为表示相同元件、特征和结构。可为了清楚、说明和简便起见,放大这些元件的相对尺寸和描述。

具体实施方式

[0028] 现在将具体参考本公开的一些实施例,其实例于附图中示出。在以下描述中,当确定涉及到该文献的公知的功能或结构的具体描述会模糊发明理念的要点时,将省略其具体描述。所描述的工艺步骤或者操作的进程是示例;但是,步骤和/或操作的顺序不限于本文列出的这些,且除了必须以特定顺序进行的步骤和/或操作之外,可以如本领域中公知的那样进行改变。全文中相似参考数字表示相似元件。仅为了便于撰写说明书的目的选择在以下说明中使用的各元件的名称,且由此该名称可不同于在实际产品中使用的那些名称。

[0029] 在描述实施例时,当将一结构描述为位于另一结构“上或上方”或者“下或下方”时,该描述应当解释为包括其中该结构彼此接触的情况以及其中在其间设置第三结构的情况。

[0030] 尽管将本公开实施例的晶体管示出为P型,但是本公开的技术理念不限于此且可认为该晶体管是N型。

[0031] 本公开的发明人研究了一种用于电致发光显示设备的结构及其制造方法,其能够提供优良的图像质量。

[0032] 特别是,本公开的发明人认识到电致发光显示设备的像素的多个晶体管的沟道区域的倾斜角度偏差影响到了电致发光显示设备的图像质量。而且,认识到该倾斜角度倾向于根据晶体管的沟道区域尺寸而变化。换句话说,发现了随着沟道区域尺寸变小,倾斜角度变大。而且,发现了沟道区域之间的尺寸差越大,倾斜角度偏差越大。

[0033] 而且,本公开的发明人认识到随着倾斜角度偏差变大,晶体管的阈值电压偏差倾向于增加。因此,像素的回扫电压变大,从而发生图像滞留问题。

[0034] 而且,本公开的发明人认识到当驱动晶体管和开关晶体管之间存在阈值电压偏差时,常规补偿电路的补偿性能会变差。

[0035] 图1是示出根据本公开一实施例的电致发光显示设备的图。

[0036] 参考图1描述根据本公开实例性实施例的电致发光显示设备100。根据本公开实施例的电致发光显示设备100可包括:其上形成了多个像素P的显示面板10;用于驱动多条数据线(DL(1)至DL(m))的数据驱动器12;用于驱动多条栅极线,例如EL(1)至EL(n)、SL1(1)至SL1(n)和SL2(1)至SL2(n)的栅极驱动器13;以及用于控制数据驱动器12和栅极驱动器13的时序控制器11。

[0037] 显示面板10的多个像素P可被设置成显示图像。第n条水平线上的像素P可电连接至第n条发光线EL、第n条第一扫描线SL1和第n条第二扫描线SL2。每一列中的像素P可分别电连接至相应的数据线DL。构成像素P的晶体管TFT可由多晶硅(poly-Si)形成。

[0038] 像素区中的多个像素P可被配置成自电源单元接收高电势电压ELVDD、低电势电压ELVSS以及初始电压Vini。可从充分低于电致发光二极管ELD的运行电压的范围内选择初始电压,从而在初始化周期和取样周期期间可抑制电致发光二极管ELD的不必要发光。也就是,初始电压Vini可设置成等于或者低于低电势电压ELVSS。由此,初始电压Vini可低于所述低电势电压ELVSS,从而能延长电致发光二极管ELD的寿命。

[0039] 时序控制器11可将接收自外部系统的数字视频数据RGB重新排列成与显示面板10的分辨率兼容,之后将重新排列的数字视频数据RGB提供至数据驱动器12。而且,时序控制

器11可产生信号,诸如用于控制数据驱动器12的操作时序的数据控制信号DDC和用于控制栅极驱动器13的操作时序的栅极控制信号GDC,可基于诸如垂直同步信号Vsync、水平同步信号Hsync、点时钟信号DCLK和数据使能信号DE的时序信号产生所述信号。

[0040] 数据驱动器12可基于数据控制信号DCC将接收自时序控制器11的数字视频数据RGB转换成模拟数据电压。栅极驱动器13可基于栅极控制信号GDC产生扫描和发光信号。栅极驱动器13可包括扫描驱动器和发光驱动器。扫描驱动器可将第一扫描信号SCAN1提供至第一扫描线SL1和将第二扫描信号SCAN2提供至第二扫描线SL2。发光驱动器可将发光信号EM提供至发光线EL。栅极驱动器13可通过面内栅极驱动器(GIP)技术直接形成在显示面板10的外围区域中。但是,本公开的实施例不限于上述元件,其仅仅是示例。

[0041] 图2是示出图1的显示面板的像素的电路图。

[0042] 将参考图2描述根据本公开实例性实施例的电致发光显示设备100的显示面板10的像素P。每个像素P可包括电致发光二极管ELD、驱动晶体管DT、第一至第六晶体管(T1至T6)和电容器Cst。但是,本公开的实施例不限于上述元件,其仅仅是示例。第一至第六晶体管(T1至T6)被称作“开关晶体管ST”。

[0043] 由于驱动晶体管DT提供的驱动电流,电致发光二极管ELD发光。电致发光二极管ELD可包括阳极、阴极、和形成在阳极和阴极之间的功能层。功能层可包括在空穴传输层(HTL)、电子传输层(ETL)和发光层(EML)当中的至少一层。

[0044] 空穴传输层是用于注入空穴或传输空穴的层。例如,空穴注入层(HIL)、空穴传输层(HTL)、电子阻挡层(EBL)等可被认为是“空穴传输层”。

[0045] 电子传输层是用于自阴极或阳极向EML注入电子或传输电子的层。例如,电子传输层(ETL)、电子注入层(EIL)、空穴阻挡层(HBL)等可被认为是“电子传输层”。

[0046] 电致发光二极管ELD的阳极可连接至第四节点N4。电致发光二极管ELD的阴极可连接至低电势电压ELVSS的输入,其可以是接地电压。

[0047] 驱动晶体管DT可根据其栅极和源极之间的电势差控制提供至电致发光二极管ELD的驱动电流。驱动晶体管DT的源极可连接至第一节点N1,栅极可连接至第二节点N2,漏极可连接至第三节点N3。

[0048] 第一晶体管T1可包括连接至第三节点N3的源极、连接至第二节点N2的漏极和连接至第n条第一扫描线SL1(N)的栅极。响应于第n个第一扫描信号SCAN1(N),第一晶体管T1可具有电短路驱动晶体管DT的栅极和源极以用作二极管的二极管连接。

[0049] 第二晶体管T2可包括连接至数据线DL(例如DL2)的源极、连接至第一节点N1的漏极和连接至第n条第一扫描线SL1(N)的栅极。结果,响应于第一扫描信号SCAN1(N),第二晶体管T2可将来自数据线(例如数据线DL2)的数据电压Vdata提供至第一节点N1。

[0050] 第三晶体管T3可包括连接至高电势线VDD的源极、连接至第一节点N1的漏极和连接至发光线EL(N)的栅极。结果,响应于发光信号EM(例如发光信号EM(N)),第三晶体管T3可将高电势电压ELVDD(例如VDD)提供至第一节点N1。

[0051] 第四晶体管T4可包括连接至第三节点N3的源极、连接至第四节点N4的漏极和连接至发光线EL(N)的栅极。响应于发光信号EM(N),第四晶体管T4可在第三节点N3和第四节点N4之间提供电流路径。

[0052] 第五晶体管T5可包括连接至第二节点N2的漏极、连接至初始电压Vini的输入的源

极和连接至第(N-1)条第二扫描线SL2(N-1)的栅极。响应于第(N-1)个第二扫描信号SCAN2(N-1),第五晶体管T5可将初始电压Vini提供至第二节点N2。

[0053] 第六晶体管T6可包括连接至第四节点N4的漏极、连接至初始电压Vini的输入的源极和连接至第n条第二扫描线SL2(N)的栅极。响应于第n个第二扫描信号SCAN2(N),第六晶体管T6可将初始电压Vini提供至第四节点N4。

[0054] 存储电容器Cst可包括连接至第二节点N2的第一电极和连接至高电压线VDD的第二电极。本公开的实施例不限于上述示例。

[0055] 图3是示出用于驱动像素的扫描信号和像素的相应节点电压的波形图。图4A是初始化周期期间像素P的电路图。图4B是取样周期期间像素P的电路图。图4C是发光周期期间像素的电路图。

[0056] 将参考图2至图4C描述根据本公开实例性实施例的电致发光显示设备100的操作。在根据本公开实例性实施例的电致发光显示设备100中,帧周期可划分成初始周期Ti、取样周期Ts和发光周期Te。但是,本公开的实施例不限于此。

[0057] 初始周期Ti是用于初始化驱动晶体管的栅极的周期。取样周期Ts是用于在初始化电致发光二极管ELD的阳极电压之后取样驱动晶体管DT的阈值电压Vth和将阈值电压Vth存储到第二节点N2的周期。发光周期Te是用于通过驱动电流使得电致发光二极管ELD发光的周期,所述驱动电流由包括经取样的阈值电压Vth的驱动晶体管DT的栅极和源极之间的被编程电势差确定。

[0058] 第n条水平线的初始周期Ti可与第(N-1)条水平线的取样周期Ts交叠。也就是,可充分保证取样周期Ts,从而阈值电压Vth的补偿可更精确。应当注意,随着开关晶体管ST和驱动晶体管DT的阈值电压偏差(ΔV_{th})增加,阈值电压Vth的补偿精确度会降低。

[0059] 在初始周期Ti期间,响应于第n个第二扫描信号SCAN2(N),第五晶体管T5可将初始电压Vini提供至第二节点N2。由此,驱动晶体管DT的栅极可被初始化为初始电压Vini。可在充分低于电致发光二极管ELD的运行电压的电压范围内选择初始电压Vini,且可将初始电压Vini设置成等于或低于所述低电势电压ELVSS的电压。在初始周期Ti期间,在第一节点N1中保持前一帧的数据电压Vdata。

[0060] 在取样周期Ts期间,响应于第n个第二扫描信号SCAN2(N),第六晶体管T6可将初始电压Vini提供至第四节点N4。结果,电致发光二极管ELD的阳极可被初始化成初始电压Vini。

[0061] 响应于第n个第一扫描信号SCAN1(N),第二晶体管T2可提供数据电压Vdata,数据电压Vdata自数据线DL2被提供至第一节点N1。响应于第n个第一扫描信号SCAN1(N),第一晶体管T1导通从而驱动晶体管DT处于二极管连接模式。

[0062] 在取样周期Ts期间,电流流过驱动晶体管DT的源极和漏极。由于驱动晶体管DT的栅极和漏极处于二极管连接模式,自源极流动到漏极的电流会导致第二节点N2的电压逐步上升。在取样周期Ts期间,第二节点N2的电压会从初始电压Vini增加至通过从数据电压Vdata(例如Vdata(n))减掉驱动晶体管DT的阈值电压Vth获得的值(Vdata(n)-Vth)。

[0063] 在发光周期Te期间,响应于发光信号EM(例如发光信号EM(N)),第三晶体管T3可将高电势电压VDD提供至第一节点N1。响应于第n个发光信号EM(N),第四晶体管T4可在第三节点N3和第四节点N4之间形成电流路径。由此,流过驱动晶体管DT的源极和漏极的驱动电流

Ield可被提供至电致发光二极管ELD。

[0064] 在发光周期Te期间,流过电致发光二极管ELD的驱动电流Ield的关系式可由以下等式1表达。

[0065] [等式1]

$$[0066] \quad I_{eld} = (k/2) (V_{gs} + |V_{th}|)^2 = (k/2) (V_g - V_s + |V_{th}|)^2 = (k/2) (V_{data} - |V_{th}| - V_{DD} + |V_{th}|)^2 = (k/2) (V_{data} - V_{DD})^2$$

[0067] 在等式1中, (k/2) 表示由电子迁移率、寄生电容和驱动晶体管DT沟道区的宽度(W)和长度(L)确定的比例常数。可根据沟道区的宽度(W)和长度(L)确定沟道区域尺寸。

[0068] 根据等式1,在驱动电流Ield的关系式中可消除驱动晶体管DT的阈值电压Vth分量。这意味着对于根据一实施例的电致发光显示设备,驱动电流Ield不会改变。也就是,根据本公开一实施例的电致发光显示设备的数据电压可以被编程,而不管在取样周期Ts期间阈值电压Vth偏差如何。

[0069] 但是,在取样周期Ts期间,即使驱动晶体管DT的栅极和源极之间的电势差被编程为所需电压,如果驱动晶体管DT的栅极电压变化,则也不能实现目标亮度。驱动晶体管DT的栅极可与相邻电极或信号线形成寄生电容,且由寄生电容引起的回扫效应导致第二节点N2处的电压变化。现在将描述由于连接至驱动晶体管栅极的第二节点N2处的寄生电容引起的电压变化。

[0070] 图5是在取样周期和发光周期的瞬变时间由驱动晶体管的栅极和另一电极(或信号线)产生的寄生电容的电路图。

[0071] 参考图5,第一寄生电容C1可以是第二节点N2和发光线EL(N)之间的电容,第二寄生电容C2可以是第二节点N2和第一扫描线SL1(N)之间的电容,第三寄生电容C3可以是第二节点N2和数据线DL(例如数据线DL2)之间的电容。

[0072] 参考图4B和图5,在取样周期Ts期间,第二节点N2可被编程为值(Vdata-Vth),在发光周期Te期间,值(Vdata-Vth)可保持在浮置状态下。但是,浮置状态下的第二节点N2的电压可受到寄生电容的影响。因此,当相邻信号线的电压在发光周期Te开始时变化时,由于第一至第三寄生电容C1至C3中每一个的回扫效应,导致第二节点N2的电压也发生变化。例如,随着开关晶体管ST的阈值电压和驱动晶体管DT的阈值电压之间的阈值电压偏差(ΔV_{th})增加,回扫电压增加。

[0073] 例如,在发光周期Te开始时,发光信号EM可从高电势电压转换为低电势电压,第一扫描信号SCAN1(N)可从低电势电压转换成高电势电压。也就是,可与第二节点N2产生寄生电容的电极处的电压会发生变化,从而第二节点N2处的电压会由于回扫效应而改变。以下,将描述根据驱动晶体管DT的回扫电压和均匀性偏差,像素P的开关晶体管ST(例如晶体管T1至T6)的均匀性。

[0074] 图6A是根据本公开一实施例的电致发光显示设备100的像素P的驱动晶体管DT的平面图。图6B是沿着图6A的线A-A'取得的截面图。图7A是示出根据本公开一实施例的电致发光显示设备100的像素P的开关晶体管ST的平面图。图7B是沿着图7A中的线B-B'取得的截面图。

[0075] 参考图6A至7B,多个像素P可形成在基板SUB上。基板SUB例如可由玻璃或柔性材料制成。缓冲层BUF可形成在基板SUB上。缓冲层BUF例如可由氮化硅(SiNx)和/或氧化硅

(SiO_x) 形成,且可形成为单层或者多层结构。

[0076] 根据本公开实施例的像素P的晶体管(例如DT和ST)的半导体层ACT例如可由低温多晶硅(LTPS)形成,可通过用激光熔化非晶硅(a-Si)将半导体层结晶化。与非晶半导体层相比,结晶的半导体层ACT在电流驱动能力方面较佳。因此,与非晶沟道区相比,结晶的沟道区相对较小。从而,可实现高分辨率显示设备。但是取决于沟道区的结晶程度,会发生性能偏差。也就是,与非晶半导体层相比,结晶的半导体层ACT在保证沟道区特性均匀性方面存在困难。

[0077] 半导体层ACT可沉积成例如为300Å至700Å的厚度。光致抗蚀剂可涂覆在沉积的半导体层ACT上。可通过光刻工艺图案化光致抗蚀剂。在光刻工艺之后,可通过干法蚀刻工艺图案化半导体层ACT。例如,可通过在O₂、四氟化碳(CF₄)、六氟化硫(SF₆)、氦(He)、氢氯酸(HCl)、氯气(Cl₂)等当中选择性使用气体执行干法蚀刻工艺。O₂气体可用于调整半导体层ACT的倾斜角度。可通过干法蚀刻工艺蚀刻掉去除了光致抗蚀剂的部分半导体层ACT,以形成每个晶体管的沟道区和线区。在干法蚀刻工艺之后,可通过剥离工艺去除光致抗蚀剂。作为实例,在干法蚀刻工艺期间,可使用例如CF₄气体和O₂气体图案化根据本公开实例性实施例的电致发光显示设备100的半导体层ACT。

[0078] 栅极绝缘层GI可设置在半导体层ACT上。栅极绝缘层GI例如可由氮化硅(SiN_x)和/或氧化硅(SiO_x)制成,且可形成为单层或多层结构。

[0079] 栅极GATE可设置在栅极绝缘层GI上。栅极GATE和半导体层ACT可通过栅极绝缘层GI电绝缘。栅极GATE例如可由金属材料制成,且可由具有低电阻的金属材料,诸如铜(Cu)、铝(Al)、钼(Mo)和/或钛(Ti)形成。但是,本公开的实施例不限于此。

[0080] 此外,在各自晶体管中的半导体层ACT和栅极GATE彼此交叠的区域可被限定为“沟道区”。半导体层(ACT)中除了沟道区之外的区域可被限定为“线区”。相对于沟道区,线区的一侧可被称作“源极”,另一侧可被称为“漏极”。但是,本公开的实施例不限于此。

[0081] 半导体层ACT的线区可被称作“金属化区”,通过将杂质(例如掺杂剂)掺入到半导体层ACT中形成该金属化区。例如,通过使用掩模,半导体层ACT的沟道区可被遮挡不被杂质影响。例如,与沟道区交叠的栅极GATE可用作阻挡杂质的掩模。但是,本公开的实施例不限于此。例如,可使用单独的掩模限定掺杂杂质的区域。杂质提供工艺可被称作“掺杂工艺”。

[0082] 通过高浓度掺杂工艺,使得半导体层ACT的线区变成导电的。半导体层ACT的线区可被作为受主的3族硼(B)和/或作为施主的5族磷(P)掺杂。但是,本公开的实施例不限于上述内容。

[0083] 此外,半导体层ACT的沟道区可掺杂有低浓度受主,从而沟道区可以是P型的。这种情况下,晶体管是PMOS晶体管。此外,半导体层ACT的沟道区可掺杂有低浓度施主,从而沟道区可以是N型的。这种情况下,晶体管是NMOS晶体管。可基于晶体管类型,将信号电平以及源/漏标识和连接调整成本领域技术人员所理解的。

[0084] 由于像素P的晶体管当中的特定晶体管的半导体层ACT的线区具有金属特性,线区可进一步延伸以成为信号线和/或节点的一部分。也就是,高浓度掺杂、将像素P中不同晶体管的沟道区相互连接的线区可形成为连接线和/或节点。而且,一部分线区可被配置成经由穿过绝缘层的接触孔电连接到金属信号线(例如数据线)。

[0085] 可不同地形成像素P的每个晶体管的半导体层ACT的宽度W和长度L。每个晶体管的

沟道区的形状不限于图6A实例的方形形状。例如,沟道区可形成为多种形状,诸如“S”形、“L”形、“C”形和弯曲形状。而且,可根据具体位置不同地形成沟道区的宽度W。

[0086] 晶体管的性能可由晶体管沟道区的长度L和宽度W确定。沟道区的宽度W和长度L可形成为适当尺寸以通过驱动晶体管DT将足够的电流 I_{eld} 提供到电致发光二极管ELD。

[0087] 开关晶体管ST的沟道区的宽度W和长度L可被制作得相对短于驱动晶体管DT的沟道区。由此,开关晶体管ST的沟道区可被配置成相对小于驱动晶体管DT的沟道区。也就是,驱动晶体管的沟道区面积可宽于开关晶体管的沟道区面积。

[0088] 应当注意,如果不考虑晶体管的不同沟道区的倾斜角度特性的情况下执行干法蚀刻工艺,则半导体层ACT的各倾斜角度会根据晶体管的不同沟道区面积而变化。也就是,为了调整电致发光显示设备100的倾斜角度,可执行下述操作:用于在基板SUB上提供半导体层ACT的操作;用于通过光刻工艺图案化半导体层上的光致抗蚀剂的操作;和用于给干法蚀刻工艺施加至少30%的 O_2 气流比率以图案化具有半导体层ACT的驱动晶体管DT和开关晶体管ST的沟道区的倾斜角度的操作,其中倾斜角度可形成为等于或小于特定度数。

[0089] 参考下述表1,像素P的每个晶体管的半导体层ACT的倾斜角度可根据干法蚀刻工艺中施加的气体比率变化。例如,当干法蚀刻半导体层ACT时,可通过控制 CF_4 气体和 O_2 气体的比率调整半导体层ACT的边缘的倾斜角度(θ)。在表1中,“ O_2 ”表示 O_2 气体和 CF_4 气体当中 O_2 气体的含量(例如百分比)。“($\theta 1$)”表示驱动晶体管DT的沟道区一侧的倾斜角度。“($\theta 2$)”表示驱动晶体管DT的沟道区另一侧的倾斜角度。“($\theta 3$)”表示开关晶体管ST的沟道区一侧的倾斜角度。“($\theta 4$)”表示开关晶体管ST的沟道区另一侧的倾斜角度。

[0090] 作为实例,驱动晶体管DT的沟道区宽度W可以是 $5\mu m$,长度L可以是 $20\mu m$ 。作为实例,开关晶体管ST的沟道区宽度W可以是 $3\mu m$,长度L可以是 $3\mu m$ 。也就是,驱动晶体管DT和开关晶体管ST的沟道区面积可彼此不同。

[0091] 进一步参考表1,随着 O_2 气流比率增加,具有不同沟道区面积的晶体管的整体倾斜角度减小。也就是,可根据 O_2 气体比率调整半导体层的倾斜角度。

[0092] [表1]

[0093]

O_2	DT ($\theta 1$)	DT ($\theta 2$)	ST ($\theta 3$)	ST ($\theta 4$)
30%	14°	13°	28°	26°
40%	10°	9°	18°	18.3°
50%	6°	6°	7°	7.5°

[0094] 将参考下文的表2描述根据具有不同沟道区面积的各晶体管的倾斜角度偏差($\Delta\theta$),每个晶体管的阈值电压偏差(ΔV_{th})和由于回扫电压导致的图像滞留。

[0095] 表2的“ $|\Delta\theta (DT-ST)|$ ”表示沟道区面积彼此不同的驱动晶体管DT和开关晶体管ST的倾斜角度偏差的绝对值。“ $|\Delta V_{th} (DT-ST)|$ ”表示根据 $|\Delta\theta (DT-ST)|$ 的驱动晶体管DT和开关晶体管ST的阈值电压偏差的绝对值。“图像滞留”表示根据 $|\Delta\theta (DT-ST)|$ 的图像滞留的持续时间。

[0096] 参考表2,随着具有不同沟道区面积的晶体管的倾斜角度偏差 $|\Delta\theta (DT-ST)|$ 减小,阈值电压偏差 $|\Delta V_{th} (DT-ST)|$ 和回扫电压也减小。因此,当电致发光显示设备100显示图像时,图像滞留特性得以改善。进一步参考上文表1,公开了随着 O_2 气流比率增加,倾斜角度偏

差 $|\Delta\theta(\text{DT-ST})|$ 也增加,而不管每个晶体管的沟道区面积如何。

[0097] [表2]

[0098]

$ \Delta\theta(\text{DT-ST}) $	$ \Delta V_{th}(\text{DT-ST}) $	图像滞留
1°	0.05V	0秒
5°	0.7V	20秒
10°	1.1V	50秒
15°	1.2V	60秒

[0099] 也就是,进一步参考表2,例如,像素P可包括电致发光二极管ELD、被配置成将电流提供至电致发光二极管的驱动晶体管DT、和被配置成开关提供至驱动晶体管的信号的开关晶体管ST,其中驱动晶体管DT的沟道区面积和开关晶体管ST的沟道区面积彼此不同,且其中驱动晶体管DT和开关晶体管ST的沟道区的倾斜角度偏差 $|\Delta\theta(\text{DT-ST})|$ 可小于或等于 10° 。

[0100] 在一个实例中,驱动晶体管DT和开关晶体管ST的沟道区的倾斜角度偏差 $|\Delta\theta(\text{DT-ST})|$ 可小于或等于 5° 。在另一实例中,驱动晶体管DT和开关晶体管ST的沟道区的倾斜角度偏差 $|\Delta\theta(\text{DT-ST})|$ 可小于或等于 1° 。

[0101] 在一个实例中,为了实现驱动晶体管DT和开关晶体管ST的沟道区的倾斜角度偏差 $|\Delta\theta(\text{DT-ST})|$ 小于或等于 10° , O_2 气流比率至少为30%。在另一实例中,为了实现驱动晶体管DT和开关晶体管ST的沟道区的倾斜角度偏差 $|\Delta\theta(\text{DT-ST})|$ 小于或等于 5° , O_2 气流比率至少为40%。

[0102] 在另一实例中,为了实现驱动晶体管DT和开关晶体管ST的沟道区的倾斜角度偏差 $|\Delta\theta(\text{DT-ST})|$ 小于或等于 1° , O_2 气流比率至少为50%。例如, O_2 气流比率可被设置成从50%至60%。也就是,根据干法蚀刻工艺,根据本公开一实施例的电致发光显示设备100的像素P可包括具有不同沟道区面积的多个晶体管且可最小化沟道区的倾斜角度偏差。

[0103] 而且,根据上述配置,优势在于能减小像素区中多个像素P的晶体管的阈值电压偏差(ΔV_{th})。而且,根据上述配置,优势在于能改善图像滞留特性。而且,由于减小了阈值电压偏差,因此优势在于能改善像素区的发光均匀性。

[0104] 本公开的一些实例性实施例也可描述如下。根据本公开的一方面,一种电致发光显示设备可包括像素,所述像素具有电致发光二极管、被配置成提供电流至电致发光二极管的驱动晶体管、和被配置成开关提供至驱动晶体管的信号的开关晶体管。驱动晶体管的沟道区尺寸不同于开关晶体管的沟道区尺寸。驱动晶体管和开关晶体管的沟道区的倾斜角度偏差可小于或等于 10° 。

[0105] 在干法蚀刻工艺期间,可根据 O_2 气流比率调整驱动晶体管和开关晶体管的沟道区的倾斜角度偏差。倾斜角度偏差可小于或等于 5° 。可使用大于或等于40%的 O_2 气流比率干法蚀刻驱动晶体管和开关晶体管的沟道区。倾斜角度偏差可小于或等于 1° 。可使用大于或等于50%的 O_2 气流比率干法蚀刻驱动晶体管和开关晶体管的沟道区。驱动晶体管的沟道区的倾斜角度和开关晶体管的沟道区的倾斜角度可分别小于或等于 20° 。驱动晶体管的沟道区的倾斜角度和开关晶体管的沟道区的倾斜角度可分别小于或等于 10° 。驱动晶体管和开关晶体管的沟道区的倾斜角度偏差可小于或等于 5° 。驱动晶体管的沟道区尺寸可大于开关

晶体管的沟道区尺寸。构成驱动晶体管和开关晶体管的半导体层包括低温多晶硅层。

[0106] 根据本公开的另一方面,一种电致发光显示设备的制造方法包括:在基板上提供半导体层;通过光刻工艺图案化半导体层上的光致抗蚀剂;和通过使用至少30%的O₂气流比率的干法蚀刻工艺,图案化驱动晶体管的沟道区的倾斜角度和开关晶体管的沟道区的倾斜角度。驱动晶体管和开关晶体管的沟道区都包括半导体层。倾斜角度可小于或等于特定度数。半导体层可以是由激光结晶化的低温多晶硅层。

[0107] 特定度数可低于或等于20°。特定度数可小于或等于10°。O₂气流比率可大于或等于50%。用于干法蚀刻工艺的气体混合物可包括O₂气体和CF₄、SF₆、He、HCl和Cl₂当中的至少一种气体。

[0108] 对本领域技术人员明显的是,在不脱离本公开技术理念和范围的情况下可在本公开中作出多种修改和变化。由此,本公开的实施例意在覆盖本公开的修改和变化,只要其落入所附权利要求及其等价物的范围内即可。

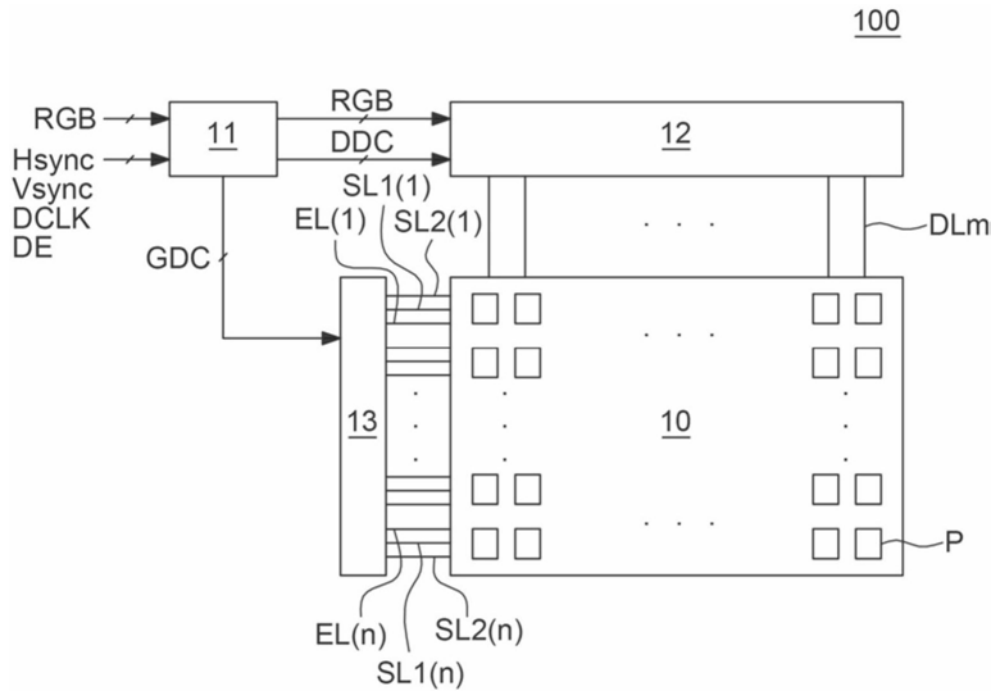


图1

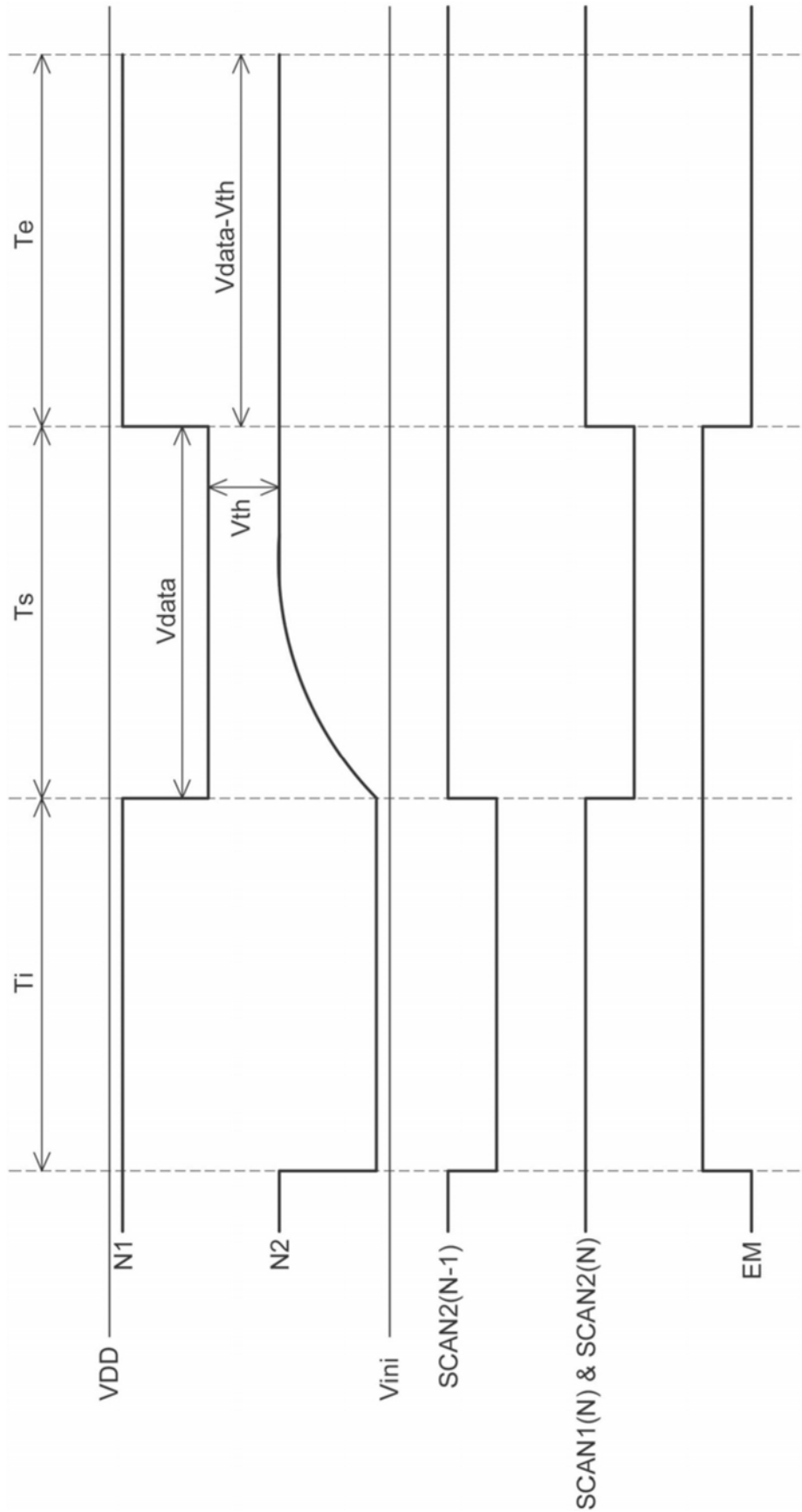


图3

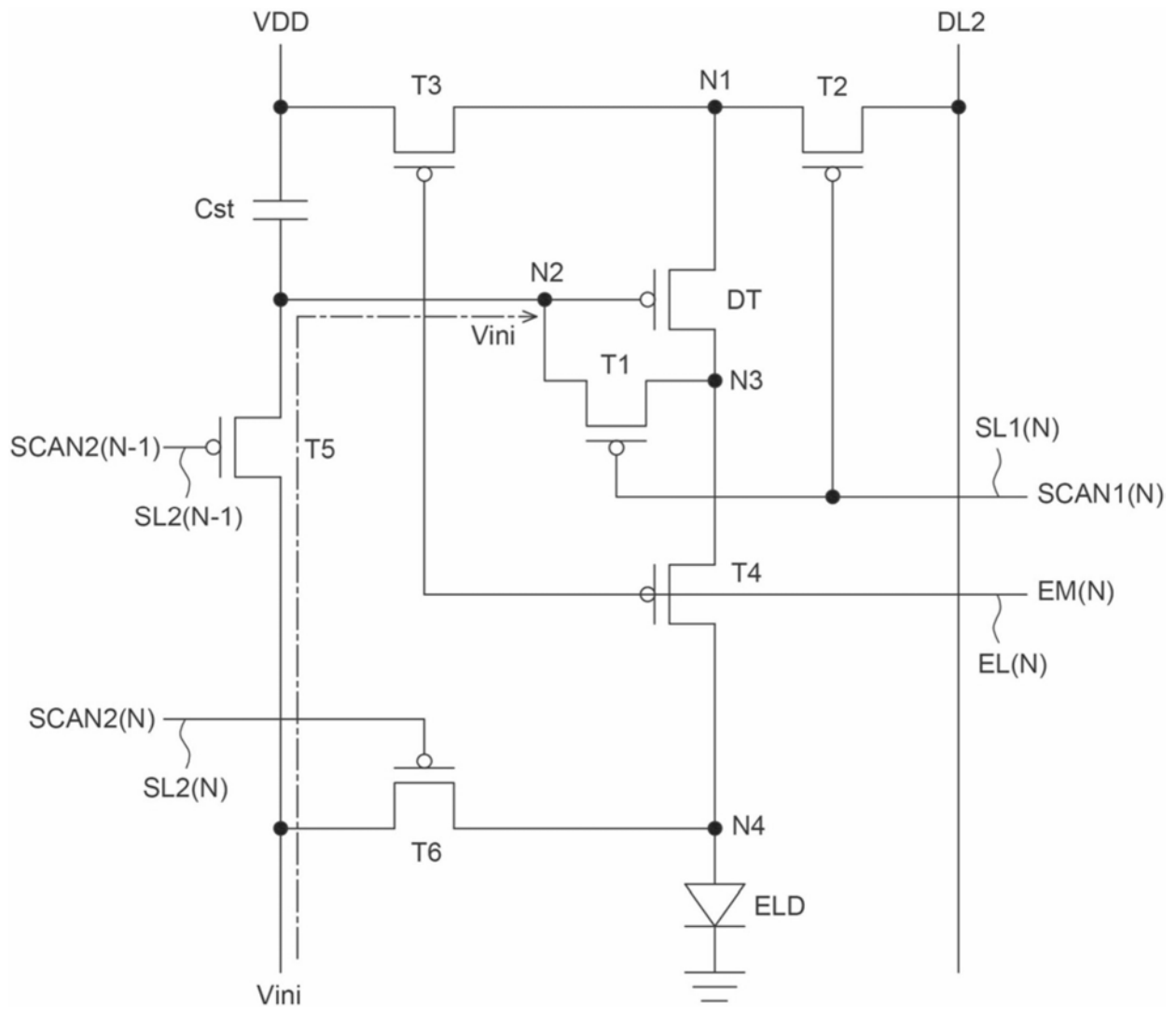


图4A

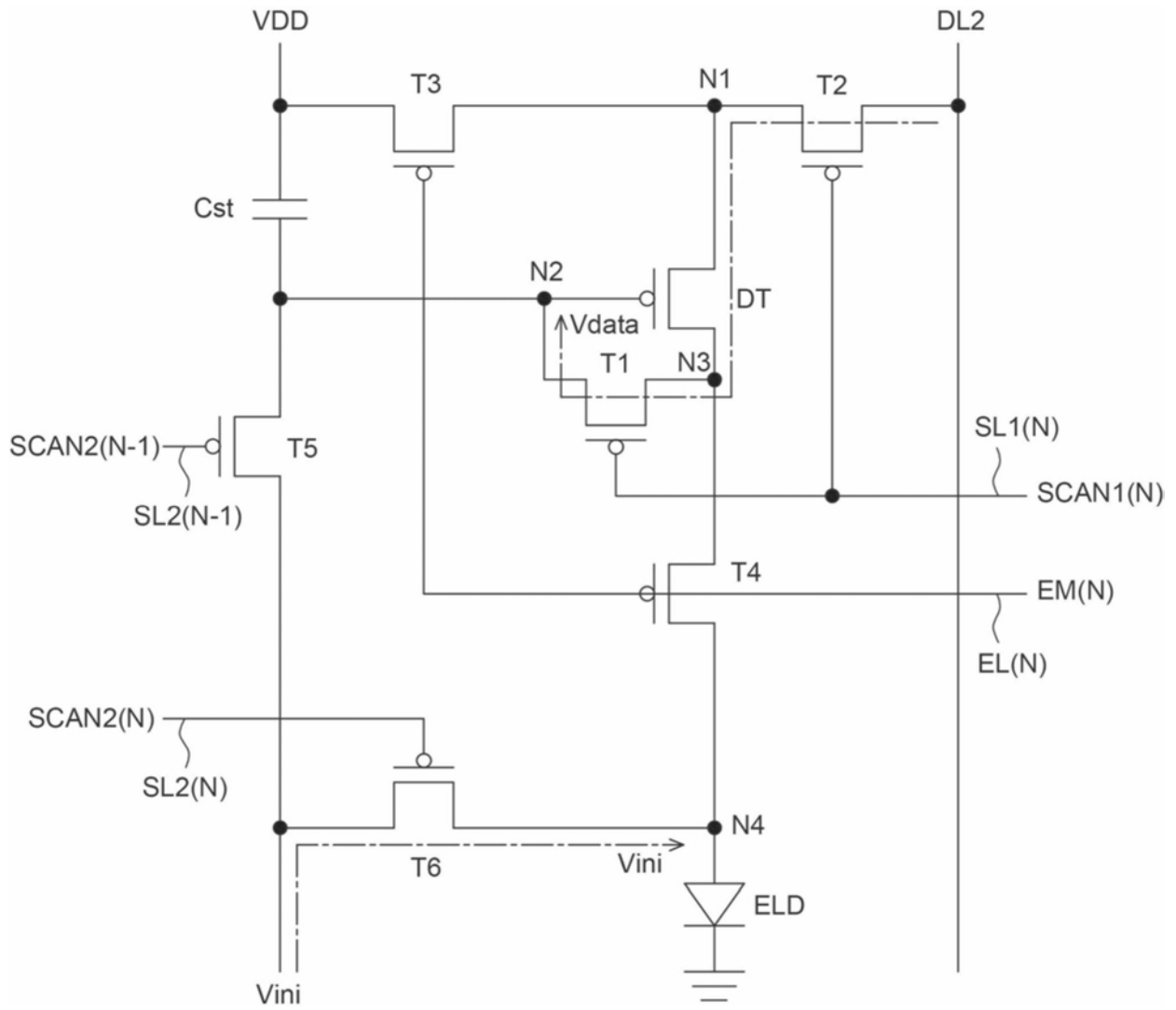


图4B

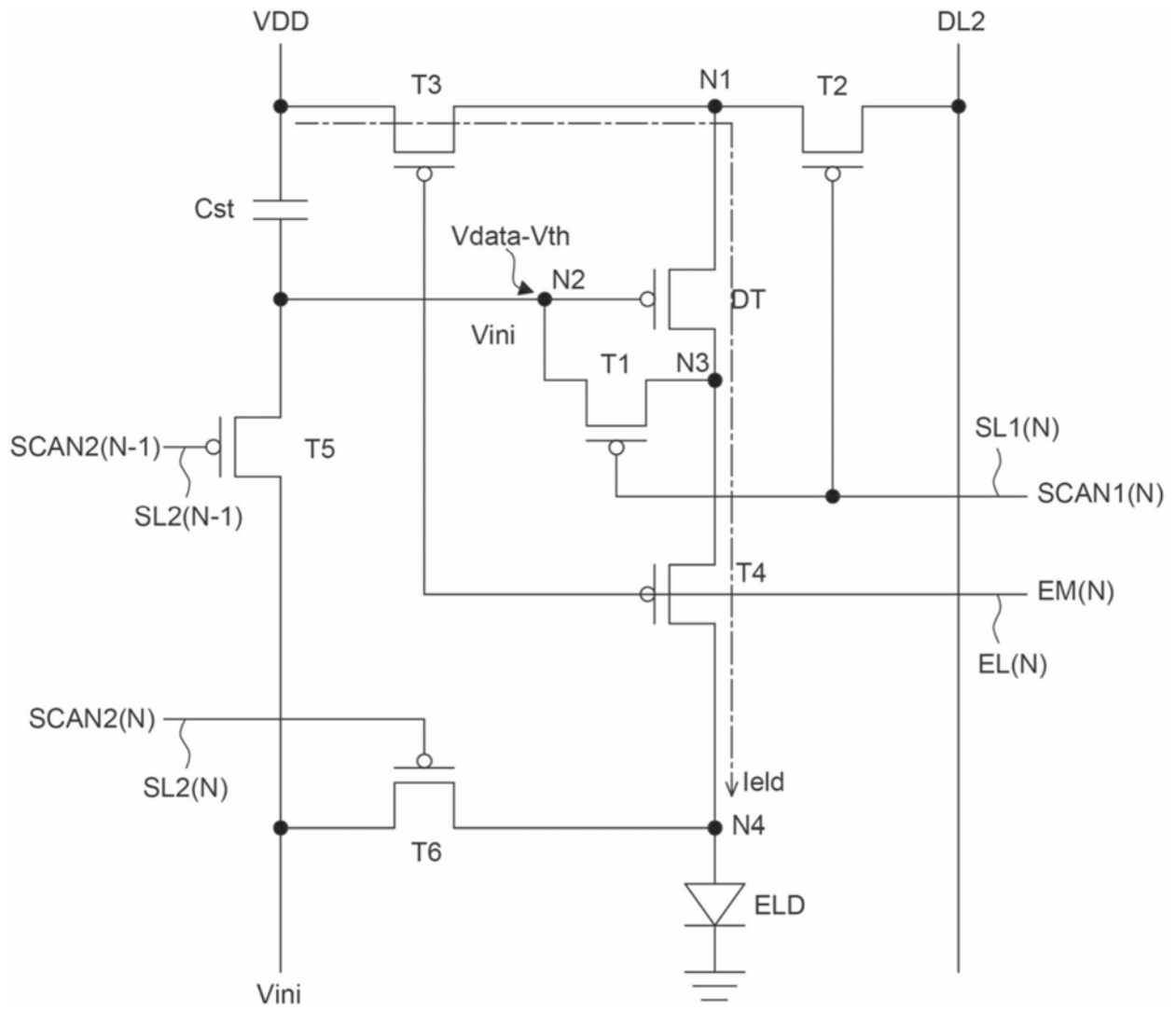


图4C

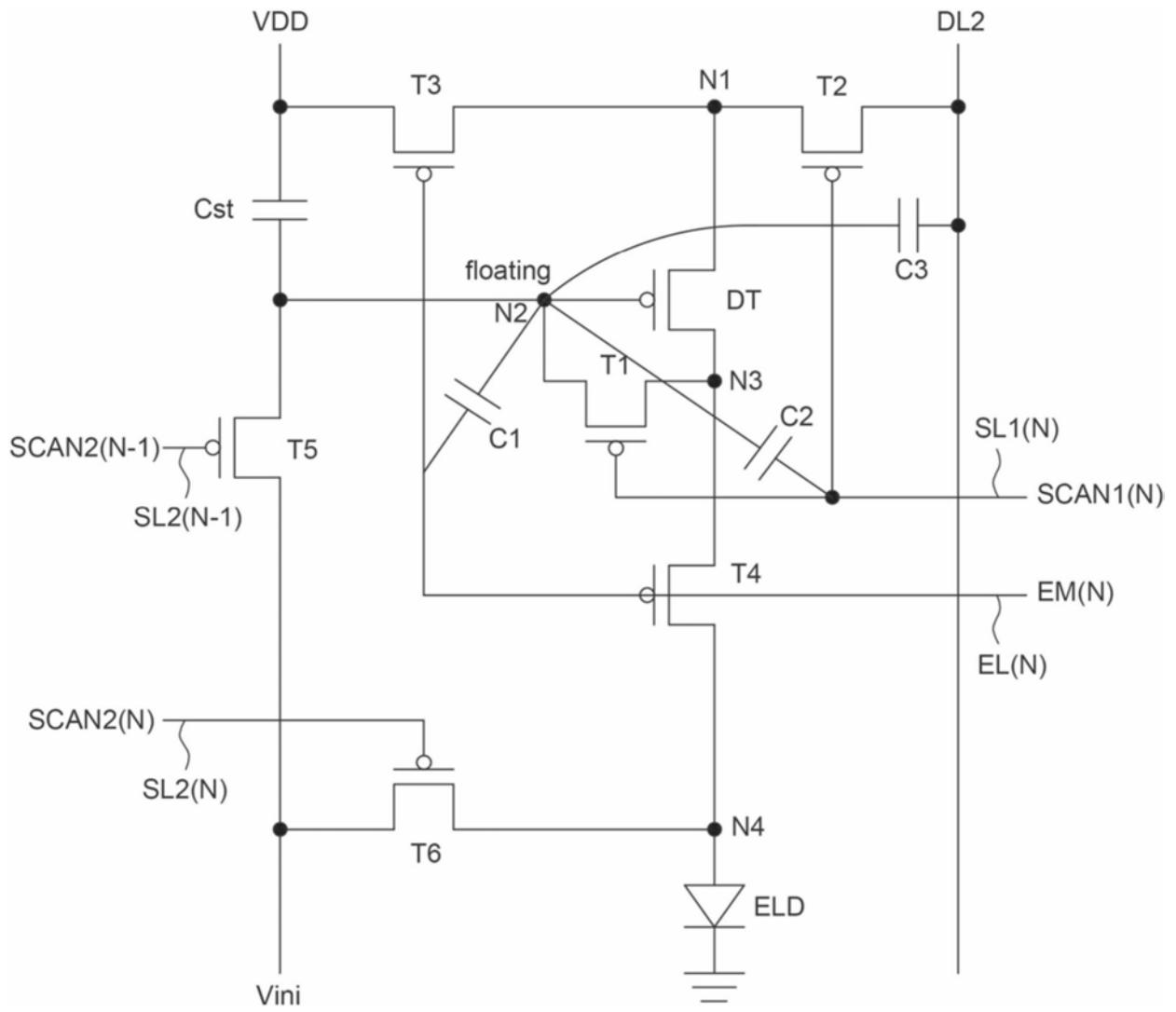


图5

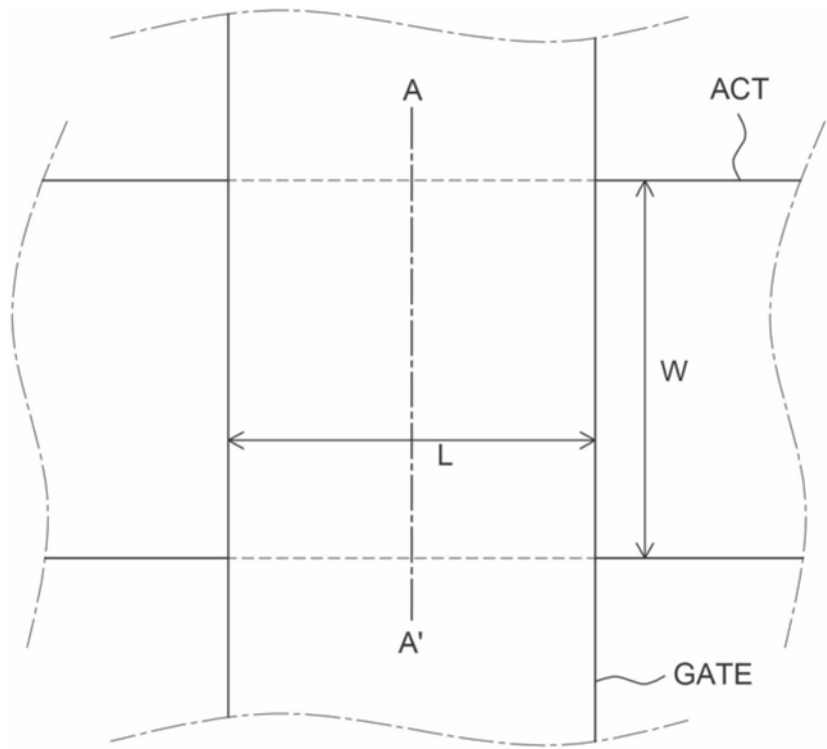


图6A

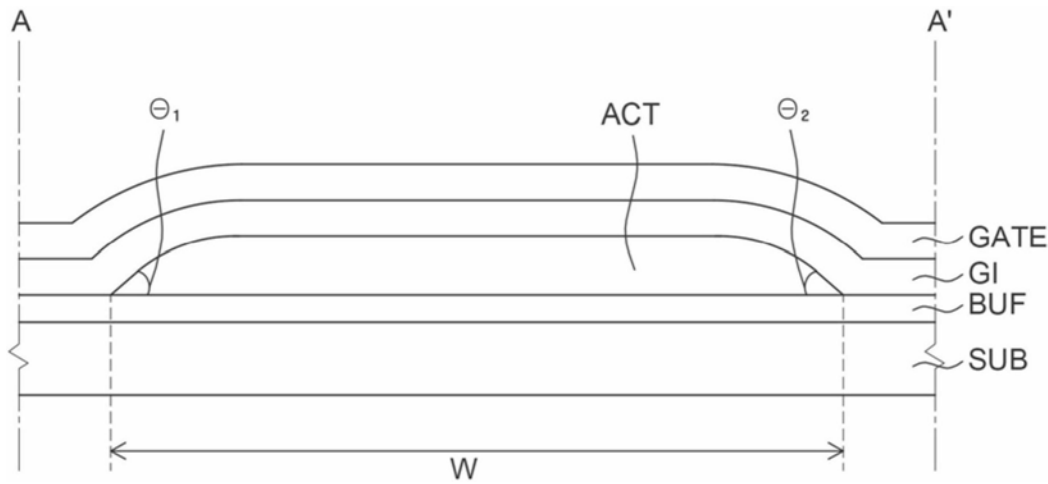


图6B

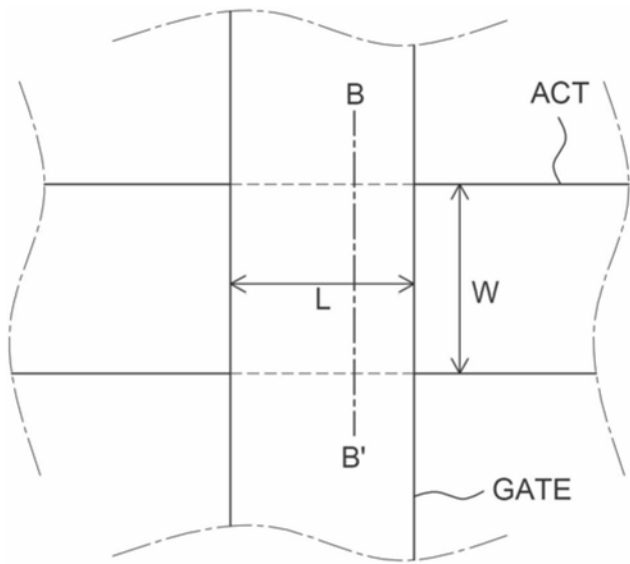


图7A

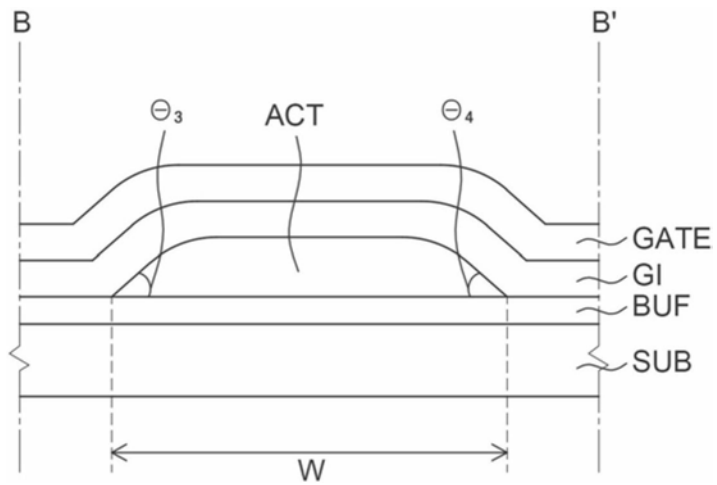


图7B

专利名称(译)	电致发光显示设备及其制备方法		
公开(公告)号	CN108269822A	公开(公告)日	2018-07-10
申请号	CN201710419260.6	申请日	2017-06-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	金重铁 权峻瑩		
发明人	金重铁 权峻瑩		
IPC分类号	H01L27/15 G09G3/32		
CPC分类号	H01L27/156 H01L27/1222 H01L27/1274 H01L27/3262 H01L27/15 G09G3/32		
优先权	1020160182953 2016-12-29 KR		
外部链接	Espacenet SIPO		

摘要(译)

提供了一种电致发光显示设备及其制造方法。一种电致发光显示设备包括像素，所述像素具有：电致发光二极管、被配置成将电流提供至电致发光二极管的驱动晶体管、和被配置成开关提供至驱动晶体管的信号的开关晶体管，其中驱动晶体管的沟道区尺寸不同于开关晶体管的沟道区尺寸，且其中驱动晶体管和开关晶体管的沟道区的倾斜角度偏差小于或等于 10° 。

