



(12)发明专利

(10)授权公告号 CN 105096817 B

(45)授权公告日 2017.07.28

(21)申请号 201410227916.0

(22)申请日 2014.05.27

(65)同一申请的已公布的文献号

申请公布号 CN 105096817 A

(43)申请公布日 2015.11.25

(73)专利权人 北京大学深圳研究生院

地址 518055 广东省深圳市南山区西丽深圳大学城北大园区

(72)发明人 张盛东 王翠翠 冷传利 王龙彦

(74)专利代理机构 深圳鼎合诚知识产权代理有限公司 44281

代理人 郭燕 彭家恩

(51)Int.Cl.

G09G 3/3233(2016.01)

(56)对比文件

CN 203376957 U, 2014.01.01,

CN 103218970 A, 2013.07.24,

CN 101075407 A, 2007.11.21,

CN 101256737 A, 2008.09.03,

CN 102163402 A, 2011.08.24,

US 2012120042 A1, 2012.05.17,

CN 102930824 A, 2013.02.13,

US 2009219232 A1, 2009.09.03,

审查员 顾洪

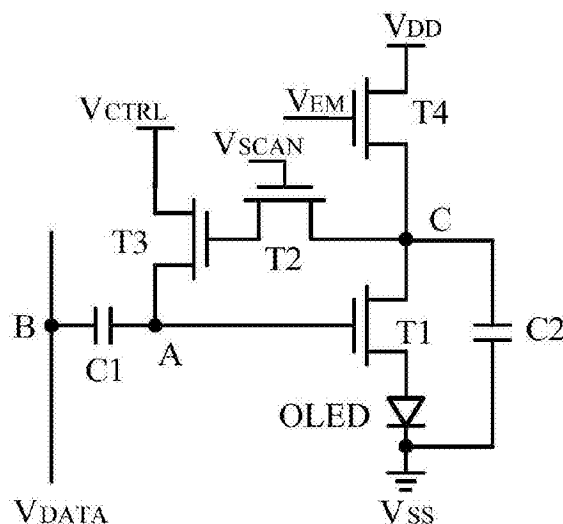
权利要求书2页 说明书10页 附图7页

(54)发明名称

像素电路及其驱动方法和一种显示装置

(57)摘要

本申请公开了一种像素电路,包括:第一电容、第二电容、第二晶体管、第三晶体管以及用于耦合在第一公共电极和第二公共电极之间的发光支路。发光支路包括串联的第一晶体管、第四晶体管和发光元件;第一晶体管的第一极耦合至第四晶体管的第二极,耦合节点为第三节点;第四晶体管的控制极用于输入第二扫描控制信号,第四晶体管响应第二扫描控制信号切换发光支路导通和断开的状态。在编程阶段,将第一晶体管的阈值电压通过第三晶体管输入至第一节点并存储;在发光阶段,根据第一电容两端的压差驱动产生驱动电流驱动发光元件发光。该像素电路能够补偿第一晶体管和发光器件的阈值电压偏移。本申请还公开了基于上述像素电路的驱动方法和一种显示装置。



1. 一种像素电路,其特征在于,包括:

第一电容 (C1)、第二电容 (C2)、第二晶体管 (T2)、第三晶体管 (T3) 以及用于耦合在第一公共电极 (VDD) 和第二公共电极 (VSS) 之间的发光支路;

所述发光支路包括串联的第一晶体管 (T1)、第四晶体管 (T4) 和发光元件;第一晶体管 (T1) 的第一极耦合至第四晶体管 (T4) 的第二极,耦合节点为第三节点 (C);第四晶体管 (T4) 的控制极用于输入第二扫描控制信号 (V_{EM}),第四晶体管 (T4) 响应第二扫描控制信号 (V_{EM}) 切换发光支路导通和断开的状态;

第一电容 (C1) 的第一端为第二节点B,用于耦合至数据信号线,用于输入数据信号 (V_{DATA});第一电容 (C1) 的第二端耦合至第一晶体管 (T1) 的控制极形成第一节点 (A);

第二电容 (C2) 一端耦合至第三节点 (C),另一端用于耦合至第二公共电极 (VSS);

第二晶体管 (T2) 的控制极用于输入第一扫描控制信号 (V_{SCAN}),第一极耦合至第三晶体管 (T3) 的控制极,第二极耦合至第三节点 (C);

第三晶体管 (T3) 的第一极用于输入第三控制信号 (V_{CTRL}),第二极耦合至第一节点 (A);

在编程阶段,第四晶体管 (T4) 响应第二扫描控制信号 (V_{EM}) 断开;第二晶体管 (T2) 响应第一扫描控制信号 (V_{SCAN}) 导通;第三控制信号 (V_{CTRL}) 通过第三晶体管 (T3) 向第一节点 (A) 充电,将数据信号 (V_{DATA}) 和第一晶体管 (T1) 的阈值电压存储于第一电容 (C1);

在发光阶段,第二晶体管 (T2) 和第三晶体管 (T3) 分别响应第一扫描控制信号 (V_{SCAN}) 和第三控制信号 (V_{CTRL}) 断开,第四晶体管 (T4) 响应第二扫描控制信号 (V_{EM}) 导通,且第一晶体管 (T1) 在第一节点 (A) 的电位控制下导通为发光元件提供驱动电流。

2. 如权利要求1所述的像素电路,其特征在于,所述第四晶体管 (T4) 的第一极用于耦合至第一公共电极 (VDD);所述发光元件的第一端耦合至第一晶体管 (T1) 的第二极,发光元件的第二端用于耦合至第二公共电极 (VSS)。

3. 如权利要求1所述的像素电路,其特征在于,所述第一晶体管 (T1) 的第二极用于耦合至第二公共电极 (VSS);所述第四晶体管 (T4) 的第一极耦合至发光元件的第二端;发光元件的第一端用于耦合至第一公共电极 (VDD)。

4. 如权利要求2所述的像素电路,其特征在于,还包括:第五晶体管 (T5);所述第五晶体管 (T5) 的第一极和第二极并联在发光元件的两端,控制极用于输入第一扫描控制信号 (V_{SCAN})。

5. 如权利要求2所述的像素电路,其特征在于,还包括:第五晶体管 (T5);所述第五晶体管 (T5) 的第一极耦合至发光元件的第一端,第二极用于输入旁路电位 V_F ,控制极用于输入第一扫描控制信号 (V_{SCAN})。

6. 如权利要求5所述的像素电路,其特征在于,所述旁路电位 V_F 小于或等于0。

7. 如权利要求2或3所述的像素电路,其特征在于,还包括:第五晶体管 (T5);所述第五晶体管 (T5) 的第一极和第二极并联在发光元件的两端,控制极用于输入第一扫描控制信号 (V_{SCAN})。

8. 如权利要求1-6任意一项所述的像素电路,其特征在于,在第二节点 (B) 和数据信号线之间以及在第一电容 (C1) 和第一晶体管 (T1) 之间还分别耦合有:第七晶体管 (T7) 和第八晶体管 (T8);

所述第七晶体管 (T7) 的第一极用于耦合至数据信号线,第二极耦合至第一电容 (C1) 的

第一端,控制极用于输入第一扫描控制信号 (V_{SCAN});

所述第八晶体管 (T8) 的第一极耦合至第七晶体管 (T7) 的第二极,第八晶体管 (T8) 的第二极耦合至第一晶体管 (T1) 的第二极,第八晶体管 (T8) 的控制极用于输入第二扫描控制信号 (V_{EM})。

9. 一种显示装置,其特征在于,包括:

像素电路矩阵,所述像素电路矩阵包括排列成n行m列矩阵的如权利要求1-8任意一项所述的像素电路,所述n和m为大于0的整数;

栅极驱动电路,用于产生扫描脉冲信号,并通过沿第一方向形成的各行扫描线向像素电路提供第一扫描控制信号;还用于沿第一方向向各行像素电路提供第二扫描控制信号和第三控制信号;

数据驱动电路,用于产生代表灰度信息的数据电压信号,并通过沿第二方向形成的各数据线向像素电路提供数据信号;

控制器,用于向栅极驱动电路和数据驱动电路提供控制时序。

10. 一种如权利要求1-8任一项所述的像素电路的驱动方法,其特征在于,所述像素电路的每一驱动周期包括初始化阶段、编程阶段和发光阶段,所述驱动方法包括:

在所述初始化阶段,第二晶体管 (T2)、第三晶体管 (T3) 和第四晶体管 (T4) 导通,分别初始化第一电容 (C1) 和第二电容 (C2) 两端的电位;

在所述编程阶段,第二晶体管 (T2) 和第三晶体管 (T3) 导通,第二晶体管 (T2) 将第一晶体管 (T1) 的阈值电压或者第一晶体管 (T1) 和发光元件的阈值电压通过第三晶体管 (T3) 输入至第一节点 (A),并通过第一电容 (C1) 存储于该节点;数据信号 (V_{DATA}) 通过第一电容 (C1) 存储于第二节点 (B);

在所述发光阶段,第一晶体管 (T1) 根据第一电容 (C1) 两端的压差驱动产生驱动电流,并驱动发光元件发光。

像素电路及其驱动方法和一种显示装置

技术领域

[0001] 本申请涉及显示器件领域,具体涉及一种像素电路及其驱动方法和一种显示装置。

背景技术

[0002] 有机发光二极管(Organic Light-Emitting Diode,OLED)显示因具有高亮度、高发光效率、宽视角和低功耗等优点,近年来被人们广泛研究,并迅速应用到新一代的显示当中。OLED显示的驱动方式可以为无源矩阵驱动(Passive Matrix OLED,PMOLED)和有源矩阵驱动(Active Matrix OLED,AMOLED)两种。无源矩阵驱动虽然成本低廉,但是存在交叉串扰现象不能实现高分辨率的显示,且无源矩阵驱动电流大,降低了OLED的使用寿命。相比之下,有源矩阵驱动方式在每个像素上设置数目不同的晶体管作为电流源,避免了交叉串扰,所需的驱动电流较小,功耗较低,使OLED的寿命增加,可以实现高分辨的显示,同时,有源矩阵驱动更容易满足大面积和高灰度级显示的需要。

[0003] 传统的AMOLED像素电路由两个薄膜晶体管(TFT:Thin Film Transistor)和一个存储电容构成,如图1所示,该像素电路包括驱动晶体管11、开关晶体管12、存储电容13和发光器件OLED14,扫描控制信号线15上的信号控制开关晶体管12,采样数据信号线16上的数据信号,提供给驱动晶体管11的栅极,使得驱动晶体管11产生OLED14所需要的电流,从而产生所需要的灰度,并将该灰度信息存储在存储电容13中,存储电容13保持采样到的数据信息直到下一帧。该像素电路中流过OLED14的电流可以表示为:

$$[0004] \quad I_{OLED} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_G - V_{OLED} - V_{TH})^2$$

[0005] 其中, μ_n 、 C_{ox} 和 $\frac{W}{L}$ 分别为驱动晶体管11的有效场效应迁移率、单位面积的栅电容和宽长比。 V_G 为驱动晶体管11的栅极电位, V_{OLED} 为OLED14发光过程中两端的偏压, V_{TH} 为驱动晶体管11的阈值电压。这种电路结构虽然简单,但是当驱动晶体管11的阈值电压 V_{TH} 漂移、OLED14随着时间而退化造成 V_{OLED} 增加或采用多晶硅材料导致面板各处驱动晶体管阈值电压不均匀时,流过OLED14的电流会随着时间或空间位置的变化而变化,从而导致显示的不均匀问题。

[0006] 目前提出的在像素点内进行补偿的方法主要分为电流型和电压型两种。电流型像素电路的补偿精度比较高,但是需要一个比较长的建立时间,特别是在小电流并且数据线上具有很大的寄生电容的情况下。这一点严重地限制了电流型像素电路在大面积、高分辨率显示器中的应用。电压型像素电路补偿精度没有电流型像素电路的高,且电路结构或/和驱动信号一般相对复杂,但驱动速度快。目前采用的电压型像素电路绝大部分都是采用二极管充放电的拓扑结构进行阈值电压的提取,如图2所示。在这种方案中,需要合理的设计一个特定的编程时间来精确的提取驱动管的阈值电压。一方面,如果编程时间太短,将导致存储电容22的放电不彻底,从而使得提取的阈值电压(节点23的电压)高出实际值;另一方

面,如果编程时间太长,当驱动管21完成阈值提取以后驱动管21开始进入亚阈区,存储电容22会继续通过驱动管21放电,导致提取到的阈值电压小于真实的阈值电压值。而在实际应用过程中,当驱动管21的阈值电压和发光器件OLED14的阈值电压退化时,将难以准确确定编程时间。

发明内容

[0007] 本申请提供一种像素电路及其驱动方法和一种显示装置,以补偿第一晶体管的阈值电压偏移。

[0008] 根据本申请的第一方面,本申请提供一种像素电路,包括:第一电容、第二电容、第二晶体管、第三晶体管以及用于耦合在第一公共电极和第二公共电极之间的发光支路。其中,

[0009] 发光支路包括串联的第一晶体管、第四晶体管和发光元件;第一晶体管的第一极耦合至第四晶体管的第二极,耦合节点为第三节点;第四晶体管的控制极用于输入第二扫描控制信号,第四晶体管响应第二扫描控制信号切换发光支路导通和断开的状态;

[0010] 第一电容的第一端为第二节点,用于耦合至数据信号线,用于输入数据信号;第一电容的第二端耦合至第一晶体管的控制极形成第一节点;

[0011] 第二电容一端耦合至第三节点,另一端用于耦合至第二公共电极;

[0012] 第二晶体管的控制极用于输入第一扫描控制信号,第一极耦合至第三晶体管的控制极,第二极耦合至第三节点;

[0013] 第三晶体管的第一极用于输入第三控制信号,第二极耦合至第一节点;

[0014] 在编程阶段,第四晶体管响应第二扫描控制信号断开;第二晶体管响应第一扫描控制信号导通;第三控制信号通过第三晶体管向第一节点充电,将数据信号和第一晶体管的阈值电压存储于第一电容;

[0015] 在发光阶段,第二晶体管和第三晶体管分别响应第一扫描控制信号和第三控制信号断开,第四晶体管响应第二扫描控制信号导通,且第一晶体管在第一节点的电位控制下导通为发光元件提供驱动电流。

[0016] 根据本申请的第二方面,本申请提供一种显示装置,包括:

[0017] 像素电路矩阵,像素电路矩阵包括排列成n行m列矩阵的上述像素电路,n和m为大于0的整数;

[0018] 栅极驱动电路,用于产生扫描脉冲信号,并通过沿第一方向形成的各行扫描线向像素电路提供第一扫描控制信号;还用于沿第一方向向各行像素电路提供第二扫描控制信号和第三控制信号;

[0019] 数据驱动电路,用于产生代表灰度信息的数据电压信号,并通过沿第二方向形成的各数据线向像素电路提供数据信号;

[0020] 控制器,用于向栅极驱动电路和数据驱动电路提供控制时序。

[0021] 根据本申请的第三方面,本申请提供一种像素电路驱动方法,每一驱动周期包括:初始化阶段、编程阶段和发光阶段。其中,

[0022] 在初始化阶段,第二晶体管、第三晶体管和第四晶体管导通,分别初始化第一电容和第二电容两端的电位;

[0023] 在编程阶段,第二晶体管和第三晶体管导通,第二晶体管将第一晶体管的阈值电压或者第一晶体管和发光元件的阈值电压通过第三晶体管输入至第一节点,并通过第一电容存储于该节点;数据信号通过第一电容存储于第二节点;

[0024] 在发光阶段,第一晶体管根据第一电容两端的压差驱动产生驱动电流,并驱动发光元件发光。

[0025] 本申请的有益效果是:采用本申请的像素电路,采用非二极管接法的拓扑结构,通过在第一晶体管的第一极和控制极之间耦合第二晶体管和第三晶体管,利用这种电路结构并配合第一电容和第二电容,在编程阶段提取第一晶体管的阈值电压并存储于第一电容,在本级像素电路编程完成后,提取的阈值电压的大小不受持续较长时间的编程影响,兼顾了阈值电压提取过程的速度和精度,该像素电路能够补偿第一晶体管的阈值电压偏移。

附图说明

[0026] 图1为传统的2T1C像素电路结构示意图;

[0027] 图2为采用二极管拓扑结构的像素电路阈值电压提取示意图;

[0028] 图3为本申请实施例一的一种像素电路结构图;

[0029] 图4为本申请实施例一的另一种像素电路结构图;

[0030] 图5为本申请实施例一的像素电路工作信号时序图;

[0031] 图6为本申请实施例二的一种像素电路结构图;

[0032] 图7为本申请实施例二的另一种像素电路结构图;

[0033] 图8为本申请实施例二的像素电路工作信号时序图;

[0034] 图9为本申请实施例三的一种像素电路结构图;

[0035] 图10为本申请实施例三的另一种像素电路结构图;

[0036] 图11为本申请实施例三改进的一种像素电路结构图;

[0037] 图12为本申请实施例四公开的一种显示装置结构图。

具体实施方式

[0038] 下面通过具体实施方式结合附图对本发明作进一步详细说明。

[0039] 首先对一些术语进行说明:本申请中的晶体管可以是任何结构的晶体管,比如双极型晶体管(BJT)或者场效应晶体管(FET)。当晶体管为双极型晶体管时,其控制极是指双极型晶体管的基极,第一极可以为双极型晶体管的集电极或发射极,对应的第二极可以为双极型晶体管的发射极或集电极;当晶体管为场效应晶体管时,其控制极是指场效应晶体管的栅极,第一极可以为场效应晶体管的漏极或源极,对应的第二极可以为场效应晶体管的源极或漏极。显示器中的晶体管通常为一种场效应晶体管:薄膜晶体管(TFT)。下面以晶体管为场效应晶体管为例对本申请做详细的说明,在其它实施例中晶体管也可以是双极型晶体管。

[0040] 发光元件为有机发光二极管(Organic Light-Emitting Diode,OLED),在其它实施例中,也可以是其它发光元件。对于有机发光二极管,发光元件的第一端为阳极,发光元件的第二端为阴极。

[0041] 需要说明的是:第一公共电极VDD和第二公共电极VSS并非本申请像素电路的一部

分,为了使本领域普通技术人员更好地理解本申请的技术方案,而特别引入第一公共电极VDD和第二公共电极VSS予以描述。

[0042] 需要说明的是,为了描述方便,也使本领域技术人员更清楚地理解本申请的技术方案,本申请文件中引入第一节点A、第二节点B和第三节点C对电路结构相关部分进行标识,不能认定为电路中额外引入的端子。

[0043] 实施例一:

[0044] 请参考图3,图3所示为本申请像素电路一种实施例的结构,包括:第一电容C1、第二电容C2、第二晶体管T2、第三晶体管T3以及用于耦合在第一公共电极VDD和第二公共电极VSS之间的发光支路。发光支路包括串联的第一晶体管T1、第四晶体管T4和发光元件OLED。

[0045] 其中,第一晶体管T1的第一极耦合至第四晶体管T4的第二极,耦合节点为第三节点C;第四晶体管T4的控制极用于输入第二扫描控制信号 V_{EM} ,第四晶体管T4响应第二扫描控制信号 V_{EM} 切换发光支路导通和断开的状态。

[0046] 第一电容C1的第一端为第二节点B,用于耦合至数据信号线,用于输入数据信号 V_{DATA} ;第一电容C1的第二端耦合至第一晶体管T1的控制极形成第一节点A。

[0047] 第二电容C2的一端耦合至第三节点C,另一端用于耦合至第二公共电极VSS。

[0048] 第二晶体管T2的控制极用于输入第一扫描控制信号 V_{SCAN} ,第一极耦合至第三晶体管T3的控制极,第二极耦合至第三节点C。

[0049] 第三晶体管T3的第一极用于输入第三控制信号 V_{CTRL} ,第二极耦合至第一节点A。

[0050] 在一具体实施例中,发光元件OLED可以串联在第二公共电极VSS和第一晶体管T1之间,请参考图3。第四晶体管T4的第一极用于耦合至第一公共电极VDD;发光元件OLED的第一端耦合至第一晶体管T1的第二极,发光元件OLED的第二端用于耦合至第二公共电极VSS。

[0051] 在另一种具体实施例中,发光元件OLED也可以串联在第一公共电极VDD和第四晶体管T4之间,请参考图4。第四晶体管T4的第一极耦合至发光元件OLED的第二端,发光元件OLED的第一端用于耦合至第一公共电极VDD;第一晶体管T1的第二极用于耦合至第二公共电极VSS。

[0052] 在本实施例中,以发光元件OLED串联在第二公共电极VSS和第一晶体管T1之间为例进行说明,以所有晶体管均为N沟道型晶体管为例阐述本实施例的工作过程。像素电路驱动过程分为初始化阶段、编程阶段和发光阶段,如图5所示为本实施例的信号时序,下面以发光元件OLED可以串联在第二公共电极VSS和第一晶体管T1之间为例,结合图3和图5具体描述本实施例的驱动过程。

[0053] 在初始化阶段,当前像素行被选通时,第一扫描控制信号 V_{SCAN} 和第二扫描控制信号 V_{EM} 均为高电平,第三控制信号 V_{CTRL} 为低电平。此时,第二晶体管T2和第四晶体管T4分别响应第一扫描控制信号 V_{SCAN} 和第二扫描控制信号 V_{EM} 的高电平被导通。于是,第二电容C2被充电至高电平,即第三节点C为高电平,也即第三晶体管T3的控制极为高电平,此时,第三控制信号 V_{CTRL} 为低电平,于是,存储于第一电容C1的电荷从通过导通的第三晶体管T3放电,于是,第一节点A的电位被放电至低电平,该低电平可能是零电平,也可能是负电平。此时,第一晶体管T1处于关断状态,数据信号线的数据信号 V_{DATA} 输入第二节点B。

[0054] 在编程阶段,第二扫描控制信号 V_{EM} 从高电平转换成低电平,于是第四晶体管T4断开;在编程阶段前期第一扫描控制信号 V_{SCAN} 为高电平,于是第二晶体管T2响应第一扫描控

制信号 V_{SCAN} 导通；第三控制信号 V_{CTRL} 为高电平，此时第三节点C点为高电平，第一节点A为低电平，所以有很大的电流流过第三晶体管T3，对第一电容C1迅速充电。当第一节点A点的电位等于第一晶体管T1的阈值电压和发光元件OLED的阈值电压之和时，第一晶体管T1开始导通，第二电容C2开始放电，当第三节点C和第一节点A之间的电压差等于第三晶体管T3的阈值电压时，第三控制信号 V_{CTRL} 停止对第一节点A充电，于是完成了对第一晶体管T1和发光元件OLED的阈值电压的提取。由于此时第一晶体管T1依旧导通，第三节点C会被迅速放电至发光元件OLED的阈值电压，则第三晶体管T3会彻底关断，编程时间不会再影响第一节点A点的电压。此时第二节点B的电位为数据信号 V_{DATA} ，第一电容C1的两端形成了可以维持整个一帧时间的基准电压。此时第一节点A和第二节点B之间的电压差为：

$$[0055] \quad V_A - V_B = V_{TH_T1} + V_{OLED0} - V_{DATA} \quad (1)$$

[0056] 其中， V_A 为第一节点A的电位， V_B 为第二节点B的电位， V_{TH_T1} 表示第一晶体管T1的阈值电压， V_{OLED0} 表示发光元件OLED的阈值电压， V_{DATA} 表示该像素点此时所需要的灰度信息对应的数据信号电压。

[0057] 当第一扫描控制信号 V_{SCAN} 从高电平变为低电平，结束了编程过程，在预设时间后，如当完成所有行的数据写入之后，数据线开始提供一个稳定的参考电压 V_{REF} ，于是进入发光阶段。需要说明的是，本实施例图3所示的电路，在该像素电路完成编程之后便可以立即进入发光阶段，只是对于多行的像素电路矩阵，需等待所有行的数据写入之后才进入发光阶段。

[0058] 在发光阶段，第一扫描控制信号 V_{SCAN} 为低电平；第二扫描控制信号 V_{EM} 为高电平。于是，第二晶体管T2响应第一扫描控制信号 V_{SCAN} 断开；第四晶体管T4响应第二扫描控制信号 V_{EM} 导通，为第一晶体管T1提供电源电压，从而驱动发光元件OLED的发光。在第一电容C1自举下，编程过程中在第一电容C1两端形成的电压自举到第一节点A，所以，此时第一节点A的电压为：

$$[0059] \quad V_A = V_{TH_T1} + V_{OLED0} - V_{DATA} + V_B \quad (2)$$

[0060] 由于在发光阶段数据线提供稳定参考电压 V_{REF} ，因此，第二节点B的电位 $V_B = V_{REF}$ ，于是，式(2)可以变换为：

$$[0061] \quad V_A = V_{TH_T1} + V_{OLED0} - V_{DATA} + V_{REF} \quad (3)$$

[0062] 导通的第四晶体管T4向第一晶体管T1提供电源电压，使得第一晶体管T1工作在饱和区，所以第一晶体管T1产生的电流，也即为流过发光元件OLED的发光电流可以表示成：

[0063]

$$\begin{aligned} I_{OLED} &= \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{TH_T1} + V_{OLED0} - V_{DATA} + V_{REF} - V_{TH_T1} - V_{OLED1})^2 \\ &= \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{OLED0} - V_{DATA} + V_{REF} - V_{OLED1})^2 \end{aligned} \quad (4)$$

[0064] 其中， I_{OLED} 为流过发光元件OLED的发光电流； μ_n 、 C_{OX} 和 W/L 分别为第一晶体管T1的场效应迁移率、单位面积栅绝缘层电容和管子的宽长比。 V_{OLED1} 表示发光过程中OLED两端的电压， $V_{OLED1} = V_{OLED0} + \Delta V$ ，其中 ΔV 是根据 V_{DATA} 、 V_{REF} 和 I_{OLED} 在设计过程中事先校准的量，为定值。当发光元件OLED退化时，改变的是 V_{OLED0} ，其电压值会增加。因此由公式(4)可以得到：

[0065]

$$\begin{aligned}
 I_{OLED} &= \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{OLED0} - V_{DATA} + V_{REF} - (V_{OLED0} + \Delta V))^2 \\
 &= \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{DATA} + V_{REF} - \Delta V)^2
 \end{aligned} \quad (5)$$

[0066] 式(5)表明:流过发光元件OLED的电流 I_{OLED} 与第一晶体管T1的阈值电压 V_{TH_T1} 及发光元件OLED的阈值电压 V_{OLED0} 无关,只与当前像素点灰度有关的数据信号 V_{DATA} ,设计好的 ΔV 以及已知的参考电压 V_{REF} 有关。

[0067] 本实施例中的像素电路能够补偿驱动晶体管和发光元件的阈值电压漂移,还可以补偿显示面板各处像素电路的驱动晶体管阈值电压不同而导致的显示不均匀问题,并且该像素电路采用了非二极管连接的拓扑结构来实现电压型阈值电压提取,可以同时实现高速度和高精度,精度不再受编程时间的影响,并且发光元件在非发光周期不发光,增加了对比度,减少了发光元件的退化,保证了显示的均匀度。

[0068] 在另一种具体实施例中,当发光元件OLED串联在第一公共电极VDD和第四晶体管T4之间时,请参考图4,在编程阶段只需提取第一晶体管T1的阈值电压,即:当第一节点A的电位等于第一晶体管T1的阈值电压时第一晶体管T1开始导通,第二电容C2开始放电,当第三节点C和第一节点A之间的电压差等于第三晶体管T3的阈值电压时, V_{CTRL} 停止对A点充电,完成了对第一晶体管T1的阈值电压的提取。和上述实施例相比,发光元件OLED的第一端耦合至第一公共电极VDD,发光元件OLED的第二端耦合至第四晶体管T4的第一极,此时,发光元件OLED的退化不会影响第一晶体管T1的栅源电压,流过发光元件OLED的电流与发光元件OLED两端的电压无关,因此,该像素电路就不需要补偿发光元件OLED因为退化而产生的阈值电压偏移,只需补偿第一晶体管T1的阈值电压偏移。该像素电路采用了非二极管连接的拓扑结构来实现电压型阈值电压提取,可以同时实现高速度和高精度,一旦阈值电压提取完成,持续较长的编程时间也不会影响提取到的阈值电压。

[0069] 实施例二:

[0070] 实施例一所提供的电路采用的是集中发光方式,对于显示装置而言,需待所有行的像素阵列的数据信号写入完毕后才进入发光阶段,不妨设像素阵列的行数为 n (n 为正整数),当第 k ($k \leq n$,为正整数)行像素编程阶段执行完毕后,需要等待第 $k+1$ 至第 n 行的像素编程完成后,像素阵列同时进入发光阶段。采用集中式发光的方式,像素阵列的发光时间短,需要的电流大,可能会加速发光元件OLED的退化。

[0071] 为此,本实施例公开了一种非集中式发光方式的像素电路,请参考图6和图7,为本实施例像素电路的结构,与上述实施例不同的是,本实施例在第二节点B和数据信号线之间以及在第一电容C1和第一晶体管T1之间还分别耦合有:第七晶体管T7和第八晶体管T8。其中,第七晶体管T7的第一极用于耦合至数据信号线,第二极耦合至第一电容C1的第一端,控制极用于输入第一扫描控制信号 V_{SCAN} ;第八晶体管T8的第一极耦合至第七晶体管T7的第二极,第八晶体管T8的第二极耦合至第一晶体管T1的第二极,第八晶体管T8的控制极用于输入第二扫描控制信号 V_{EM} 。

[0072] 以发光元件OLED串联在第二公共电极VSS和第一晶体管T1之间为例进行说明,请参考图8,为本实施例的信号时序。

[0073] 在初始化阶段,第一扫描控制信号 V_{SCAN} 和第二扫描控制信号 V_{EM} 为高电平,于是,第七晶体管T7和第八晶体管T8分别响应第一扫描控制信号 V_{SCAN} 和第二扫描控制信号 V_{EM} 导通,在初始化阶段对第一电容C1和第二电容C2进行初始化。此外,在编程阶段,第一扫描控制信号 V_{SCAN} 依旧为高电平,于是,导通的第七晶体管T7依旧能够向第一电容C1提供数据电压 V_{DATA} 。

[0074] 在发光阶段,第二扫描控制信号 V_{EM} 为高电平,于是,第八晶体管T8响应第二扫描控制信号 V_{EM} 导通,将发光元件OLED发光时的第一端电位通过第一电容C1自举到第一晶体管T1的控制极,从而补偿发光元件OLED阈值电压 V_{OLED} 退化造成的不均匀。

[0075] 需要说明的是,在另一种具体实施例中,当发光元件OLED串联在第一公共电极VDD和第四晶体管T4之间时,请参考图7,虽然不需要补偿发光元件OLED因为退化而产生的阈值电压偏移,由于要进行逐行发光,依旧需要第八晶体管T8导通在发光阶段提供一个固定的电压。

[0076] 需要说明的是,本实施例图6和图7所示的电路结构的工作过程也分为三个阶段即初始化阶段、编程阶段和发光阶段,具体可参见实施例一,在此不再赘述。

[0077] 与实施例一相比,本实施例虽然增加了电路结构的复杂度,但是,本实施例公开的像素电路为逐行发光,请参考图8,当当前行的像素电路完成编程阶段后,即可进入发光阶段,从而使得发光时间长,发光元件OLED所需要的驱动电流相对小,从而能够降低发光元件OLED的退化速度。此外,在整个编程过程中,发光元件OLED的退化可以在发光过程中及时地反应到第一晶体管T1的控制极,补偿效果更好。图6所示的电路工作过程如下:

[0078] 在初始化阶段,当前像素行被选通时,第一扫描控制信号 V_{SCAN} 和第二扫描控制信号 V_{EM} 均为高电平,第三控制信号 V_{CTRL} 为低电平。此时,第二晶体管T2、第四晶体管T4、第七晶体管T7和第八晶体管T8分别响应第一扫描控制信号 V_{SCAN} 和第二扫描控制信号 V_{EM} 的高电平被导通。于是,第二电容C2被充电至高电平,即第三节点C为高电平,也即第三晶体管T3的控制极为高电平,此时,第三控制信号 V_{CTRL} 为低电平,于是,存储于第一电容C1的电荷从通过导通的第三晶体管T3放电,于是,第一节点A的电位被放电至低电平,该低电平可能是零电平,也可能是负电平。此时,第一晶体管T1处于关断状态,数据信号线的数据信号 V_{DATA} 输入第二节点B,由于第八晶体管T8导通,此时发光元件OLED的第一端也为数据电压 V_{DATA} ,为了使OLED不发光,应满足 $V_{DATA} < V_{OLED0}$ 。

[0079] 在编程阶段,第二扫描控制信号 V_{EM} 从高电平转换成低电平,于是第四晶体管T4和第八晶体管T8断开;在编程阶段前期第一扫描控制信号 V_{SCAN} 为高电平,于是第二晶体管T2响应第一扫描控制信号 V_{SCAN} 导通;第三控制信号 V_{CTRL} 为高电平,此时第三节点C点为高电平,第一节点A为低电平,所以有很大的电流流过第三晶体管T3,对第一电容C1迅速充电。当第一节点A点的电位等于第一晶体管T1的阈值电压和发光元件OLED的阈值电压之和时,第一晶体管T1开始导通,第二电容C2开始放电,当第三节点C和第一节点A之间的电压差等于第三晶体管T3的阈值电压时,第三控制信号 V_{CTRL} 停止对第一节点A充电,于是完成了对第一晶体管T1和发光元件OLED的阈值电压的提取。由于此时第一晶体管T1依旧导通,第三节点C会被迅速放电至发光元件OLED的阈值电压,则第三晶体管T3会彻底关断,编程时间不会再影响第一节点A点的电压。此时第二节点B的电位也即为第一电容C1的第二电极为数据信号 V_{DATA} ,第一电容C1的两端形成了可以维持整个一帧时间的基准电压。此时第一节点A和第二

节点B之间的电压差为:

$$[0080] \quad V_A - V_B = V_{TH_T1} + V_{OLED0} - V_{DATA} \quad (6)$$

[0081] 其中, V_A 为第一节点A的电位, V_B 为第二节点B的电位, V_{TH_T1} 表示第一晶体管T1的阈值电压, V_{OLED0} 表示发光元件OLED的阈值电压, V_{DATA} 表示该像素点此时所需要的灰度信息对应的数据信号电压。

[0082] 在发光阶段, 第一扫描控制信号 V_{SCAN} 为低电平; 第二扫描控制信号 V_{EM} 为高电平。于是, 第二晶体管T2和第七晶体管T7响应第一扫描控制信号 V_{SCAN} 断开; 第四晶体管T4和地八晶体管T8响应第二扫描控制信号 V_{EM} 导通, 为第一晶体管T1提供电源电压, 同时T8管将OLED发光时的电压耦合在第一电容C1的第二电极, 编程过程中第一电容C1两端形成的基准电压耦合至第一晶体管T1的控制极, 从而驱动发光元件OLED的发光。所以, 此时第一节点A的电压为:

$$[0083] \quad V_A = V_{TH_T1} + V_{OLED0} - V_{DATA} + V_B \quad (7)$$

[0084] 由于在发光阶段数据线提供稳定参考电压 V_{REF} , 因此, 第二节点B的电位 $V_B = V_{OLED1}$, 于是, 式 (2) 可以变换为:

$$[0085] \quad V_A = V_{TH_T1} + V_{OLED0} - V_{DATA} + V_{OLED1} \quad (8)$$

[0086] 导通的第四晶体管T4向第一晶体管T1提供电源电压, 使得第一晶体管T1工作在饱和区, 所以第一晶体管T1产生的电流, 也即为流过发光元件OLED的发光电流可以表示成:

[0087]

$$\begin{aligned} I_{OLED} &= \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{TH_T1} + V_{OLED0} - V_{DATA} + V_{OLED1} - V_{TH_T1} - V_{OLED1})^2 \\ &= \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{OLED0} - V_{DATA})^2 \end{aligned} \quad (9)$$

[0088] 其中, I_{OLED} 为流过发光元件OLED的发光电流; μ_n 、 C_{OX} 和 W/L 分别为第一晶体管T1的场效应迁移率、单位面积栅绝缘层电容和管子的宽长比。当OLED退化时, 其电压值会增加。因此由公式 (9) 可以看出流过OLED的电流会增加, 这样可以补偿OLED因为发光效率下降而造成的退化, 同时也表明流过发光元件OLED的电流 I_{OLED} 与第一晶体管T1的阈值电压 V_{TH_T1} 无关。

[0089] 该像素电路采用了非二极管连接的拓扑结构来实现电压型阈值电压提取, 可以同时实现高速度和高精度, 提取到阈值电压以后, 编程时间不再影响提取到的阈值电压大小。

[0090] 实施例三:

[0091] 请参考图9和图10, 为本实施例公开的像素电路结构图, 和上述实施例不同的是, 本实施例公开的像素电路还包括第五晶体管T5, 第五晶体管T5的第一极和第二极并联在发光元件OLED的两端, 控制极用于输入第一扫描控制信号 V_{SCAN} 。

[0092] 在发光元件OLED处于非发光状态时, 第五晶体管T5导通, 在发光元件OLED处于发光状态, 第五晶体管T5断开。具体为: 在初始化阶段和编程阶段, 第五晶体管T5响应第一扫描控制信号 V_{SCAN} 的高电平导通; 在发光阶段, 第五晶体管T5响应第一扫描控制信号 V_{SCAN} 的低电平断开。由于在非发光阶段, 即初始化阶段和编程阶段, 第五晶体管T5均导通, 将发光元件OLED第一端的电位通过导通的第五晶体管T5旁路至发光元件OLED第二端, 因此, 没有额外的电流流过发光元件OLED, 从而保证了发光元件OLED在非发光阶段不发光, 进而增加了

显示器的对比度且流过OLED的电流只与数据电压 V_{DATA} 有关。

[0093] 在一种具体实施例中,当发光元件OLED串联在第二公共电极VSS和第一晶体管T1之间时,作为优选的实施例,请参考图11,第五晶体管T5还可以引入旁路电位 V_F ,具体为:第五晶体管T5的第一极耦合至发光元件OLED的第一端,第二极用于输入旁路电位 V_F ,控制极用于输入第一扫描控制信号 V_{SCAN} ,优选地,旁路电位 V_F 小于或等于0。当旁路电位 V_F 为负值时, $|V_F|$ 越大,越能够抑制发光元件OLED随时间的退化产生的亮度不均匀问题。

[0094] 本实施例还公开了一种显示电路驱动方法,显示电路采用上述实施例的像素电路,像素电路的每一驱动周期包括初始化阶段、编程阶段和发光阶段,驱动方法具体包括:

[0095] 在初始化阶段,第二晶体管T2、第三晶体管T3和第四晶体管T4导通,分别初始化第一电容C1和第二电容C2两端的电位。

[0096] 在编程阶段,第二晶体管T2和第三晶体管T3导通,第二晶体管T2将第一晶体管T1的阈值电压或者第一晶体管T1和发光元件OLED的阈值电压通过第三晶体管T3输入至第一节点A,并通过第一电容C1存储于该节点。数据信号 V_{DATA} 通过第一电容C1存储于第二节点B。

[0097] 在发光阶段,第四晶体管T4导通从而导通发光支路,并为第一晶体管T1提供电源电压,第一晶体管T1根据第一电容C1两端的压差驱动产生驱动电流,并驱动发光元件OLED发光。

[0098] 以上内容是结合具体的实施方式对本发明所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换,例如N沟道晶体管可以替换成P沟道类型的晶体管,各输入的控制信号的高低电平也会作相应的调整。

[0099] 实施例四:

[0100] 请参考图12,为本实施例公开的一种显示装置,包括显示面板100,显示面板100包括由多个二维像素以 $n \times m$ 矩阵形式布置(即 n 行 m 列,其中 n 和 m 均为正整数)构成的二维像素阵列,以及与每个像素相连的第一方向(例如横向)的多条栅极扫描线Gate,用于提供各像素第一扫描控制信号 V_{SCAN} ,和第二方向(例如纵向)的多条数据线Data,用于提供各像素电路的数据信号 V_{DATA} 。像素阵列中的同一行像素均连接到同一条栅极扫描线Gate,而像素阵列中的同一列像素则连接到同一条数据线Data。显示面板100的每个像素都采用上述实施例提供的像素驱动电路。显示面板100可以是液晶显示面板、有机发光显示面板、电子纸显示面板等,而对应的显示装置可以是液晶显示器、有机发光显示器、电子纸显示器等。

[0101] 栅极驱动电路200,栅极驱动电路200中栅极驱动单元电路的栅极扫描信号输出端耦合到显示面板100中与其对应的栅极扫描线Gate,用于产生像素电路所需要的第一扫描控制信号 V_{SCAN} ,对像素阵列逐行扫描;还用于逐行向各像素电路提供第二扫描控制信号 V_{EM} 和第三控制信号 V_{CTRL} 。栅极驱动电路200可以通过焊接与显示面板100相连或者集成于显示面板100内。

[0102] 数据驱动电路300,数据驱动电路300的信号输出端耦合到显示面板100中与其对应的数据线Data上,数据驱动电路300产生的数据信号 V_{DATA} 通过数据线Data传输到对应的像素单元内以实现图像灰度。数据驱动电路300可以通过焊接与显示面板100相连或者集成于显示面板100内。

[0103] 控制器400,控制器400用于向栅极驱动电路和数据驱动电路提供控制时序。

[0104] 以上内容是结合具体的实施方式对本发明所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换。

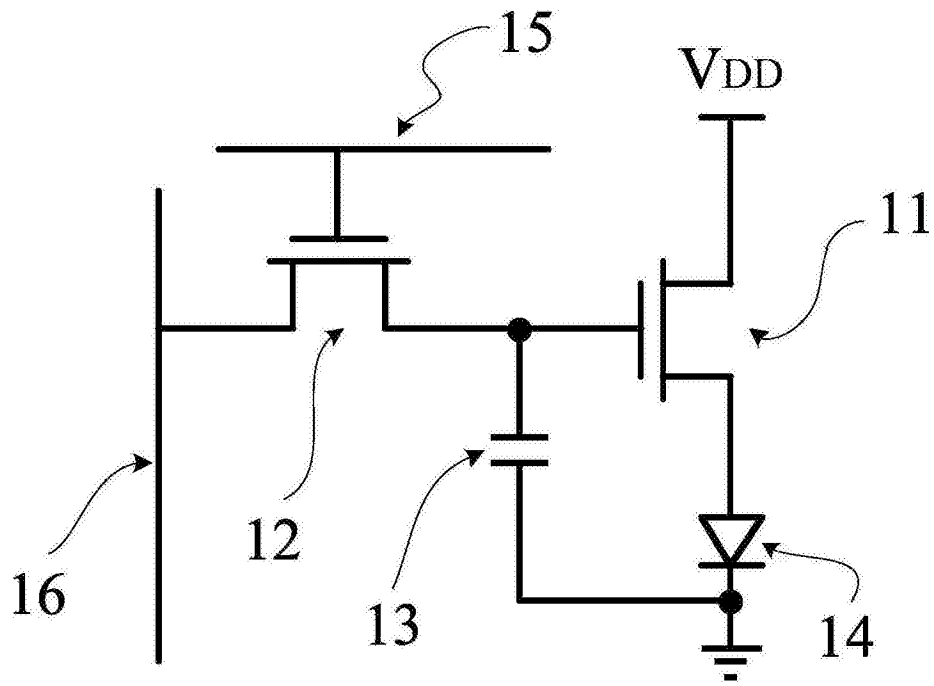


图1

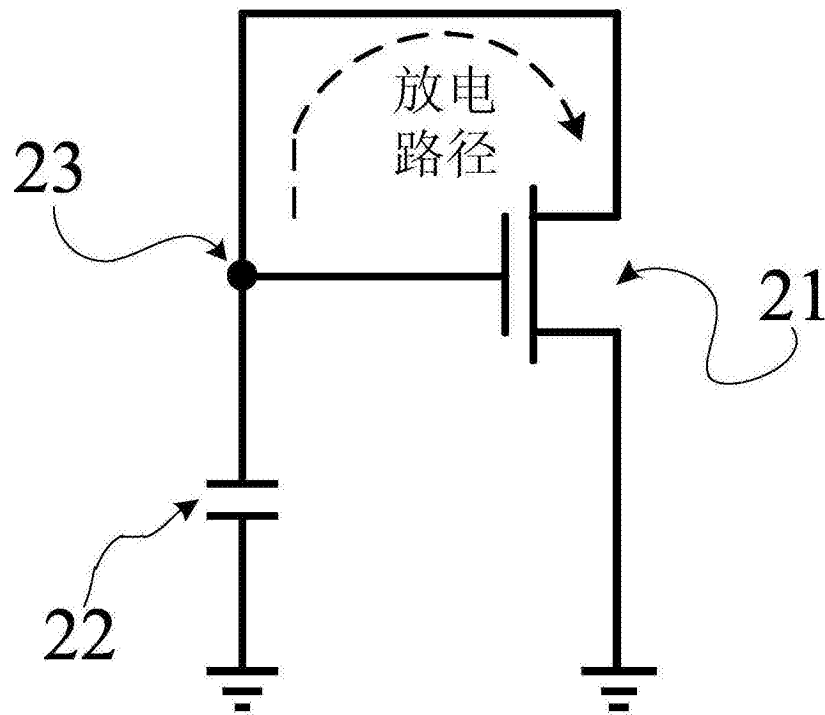


图2

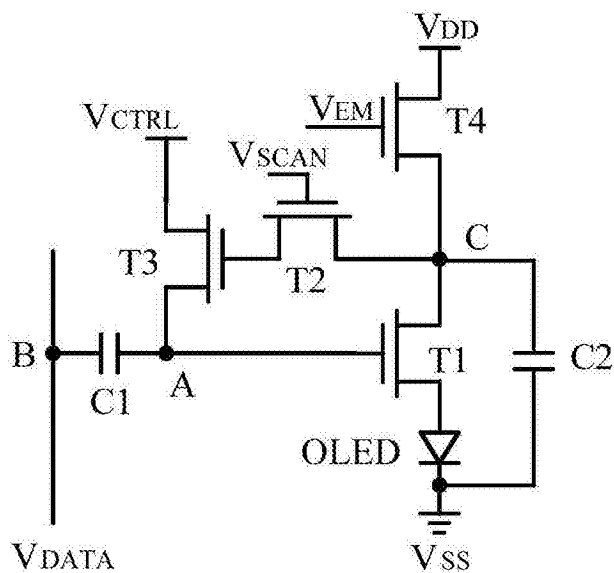


图3

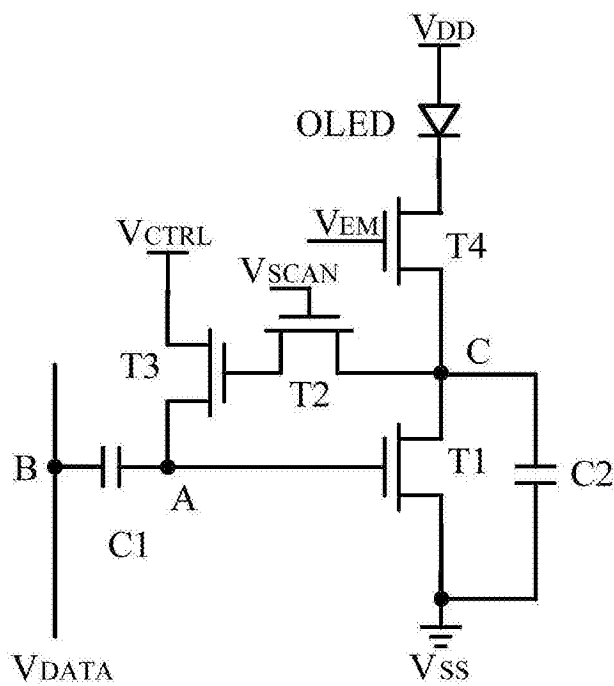


图4

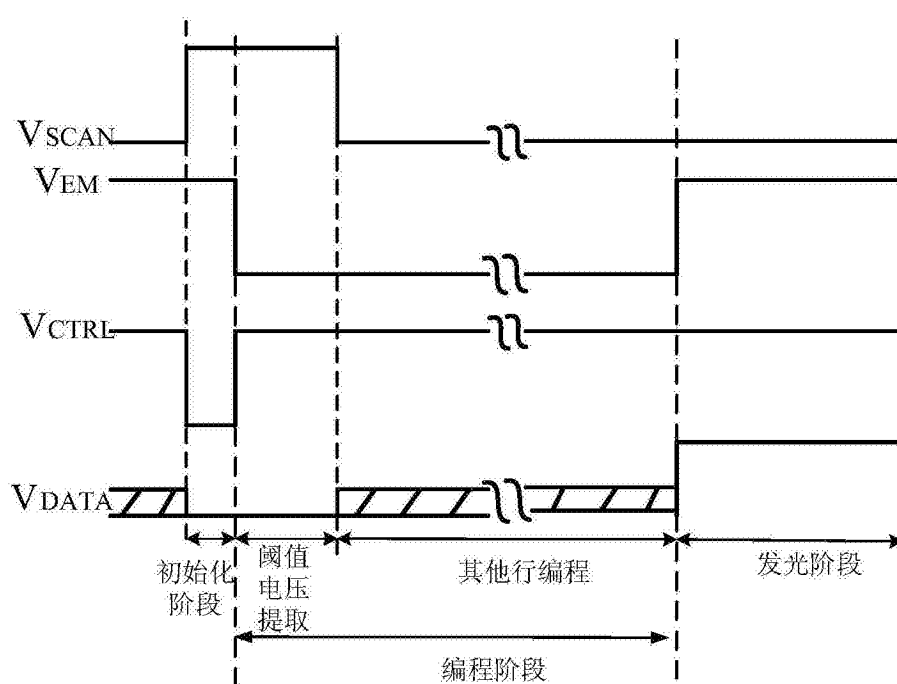


图5

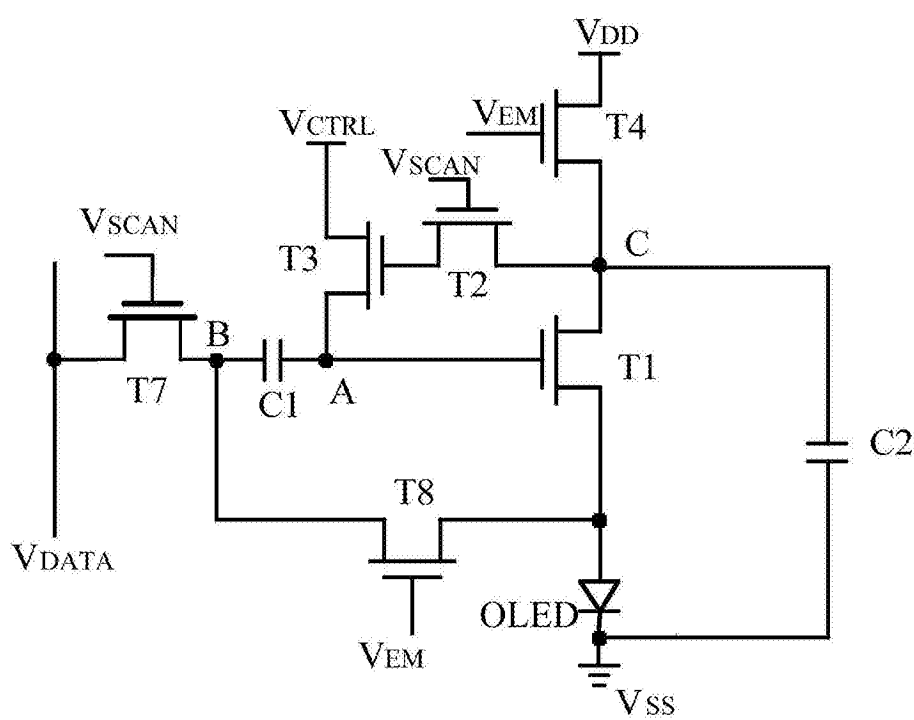


图6

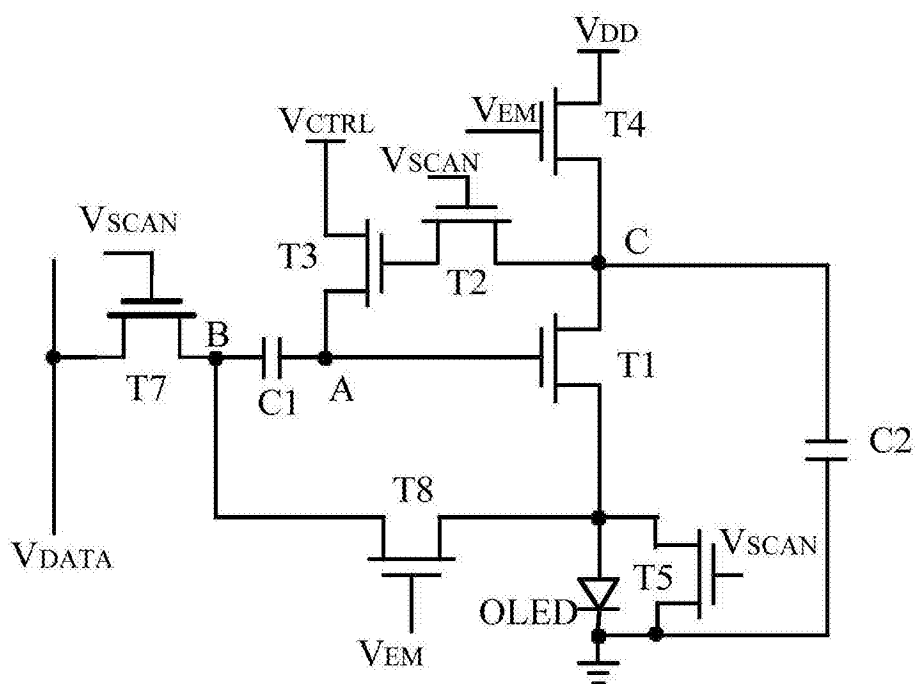


图9

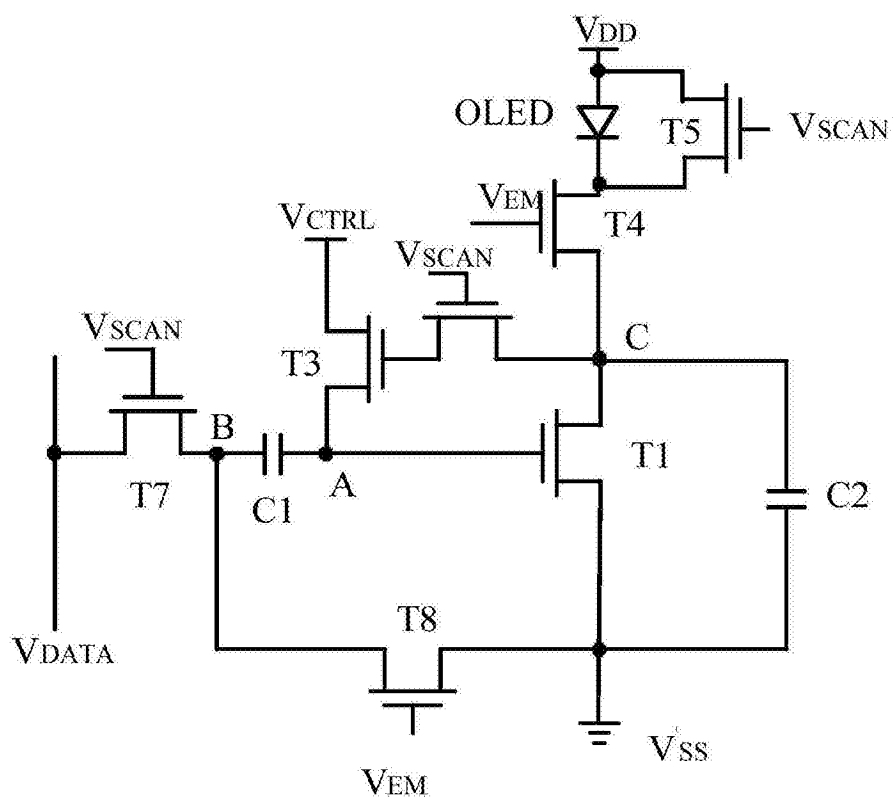


图 10

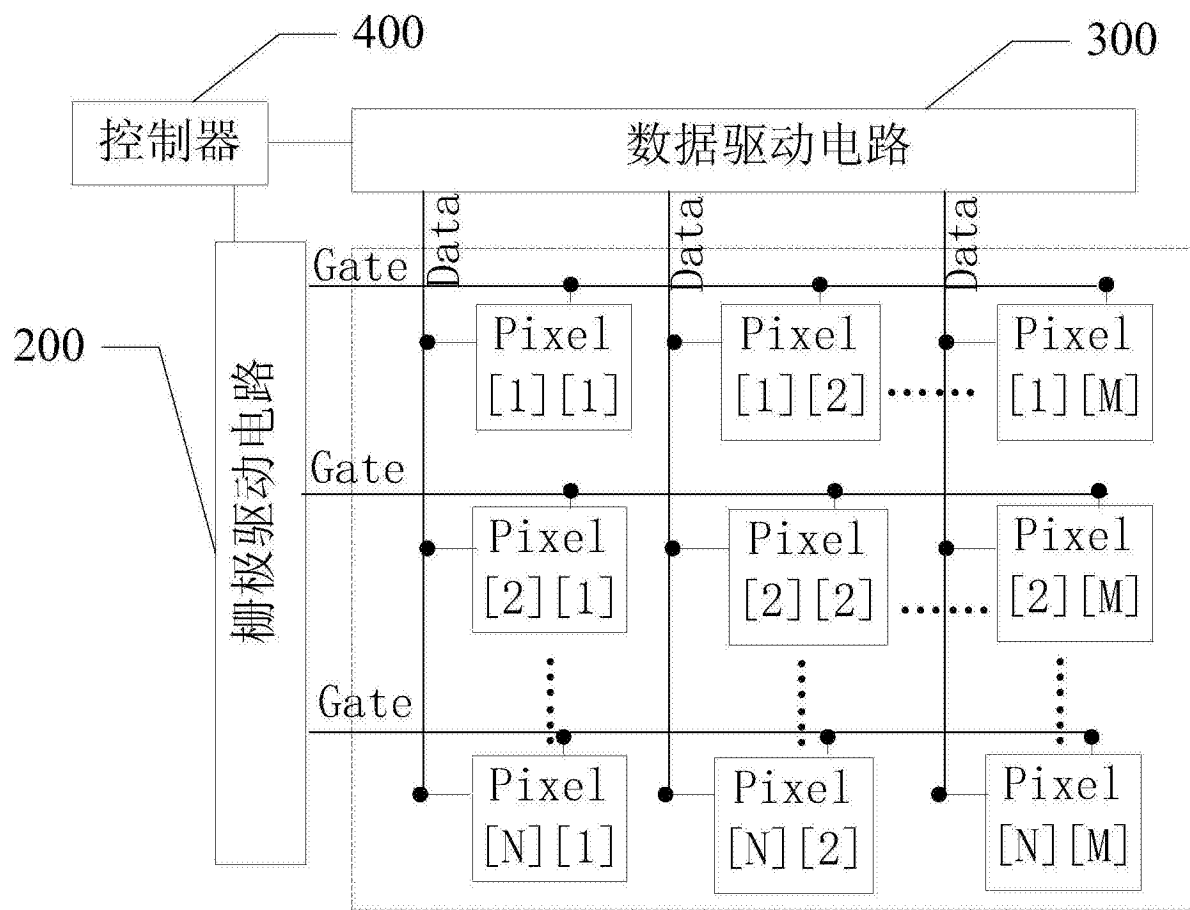


图12

专利名称(译)	像素电路及其驱动方法和一种显示装置		
公开(公告)号	CN105096817B	公开(公告)日	2017-07-28
申请号	CN201410227916.0	申请日	2014-05-27
[标]申请(专利权)人(译)	北京大学深圳研究生院		
申请(专利权)人(译)	北京大学深圳研究生院		
当前申请(专利权)人(译)	北京大学深圳研究生院		
[标]发明人	张盛东 王翠翠 冷传利 王龙彦		
发明人	张盛东 王翠翠 冷传利 王龙彦		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G3/3291 G09G2300/043 G09G2300/0439 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/08 G09G2320/043		
代理人(译)	郭燕		
审查员(译)	顾洪		
其他公开文献	CN105096817A		
外部链接	Espacenet SIPO		

摘要(译)

本申请公开了一种像素电路，包括：第一电容、第二电容、第二晶体管、第三晶体管以及用于耦合在第一公共电极和第二公共电极之间的发光支路。发光支路包括串联的第一晶体管、第四晶体管和发光元件；第一晶体管的第一极耦合至第四晶体管的第二极，耦合节点为第三节点；第四晶体管的控制极用于输入第二扫描控制信号，第四晶体管响应第二扫描控制信号切换发光支路导通和断开的状态。在编程阶段，将第一晶体管的阈值电压通过第三晶体管输入至第一节点并存储；在发光阶段，根据第一电容两端的压差驱动产生驱动电流驱动发光元件发光。该像素电路能够补偿第一晶体管和发光器件的阈值电压偏移。本申请还公开了基于上述像素电路的驱动方法和一种显示装置。

