



(12)发明专利申请

(10)申请公布号 CN 109964316 A

(43)申请公布日 2019.07.02

(21)申请号 201980000521.8

(22)申请日 2019.04.19

(85)PCT国际申请进入国家阶段日

2019.04.23

(86)PCT国际申请的申请数据

PCT/CN2019/083518 2019.04.19

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 王玲 林奕呈 闫光

(74)专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 郭润湘

(51) Int.Cl.

H01L 27/32(2006.01)

H01L 21/77(2017.01)

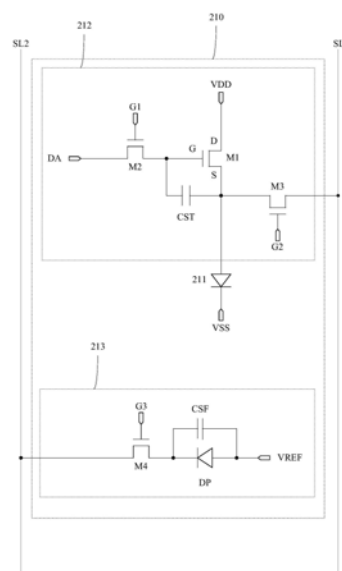
权利要求书3页 说明书13页 附图14页

(54)发明名称

阵列基板、其制备方法及显示装置

(57)摘要

本公开实施例公开了阵列基板、其制备方法
及显示装置,其中,阵列基板包括:衬底基板,多
个像素单元,位于衬底基板上,各像素单元包括
多个子像素;各子像素包括:电致发光器件,像素
电路,包括驱动电致发光器件发光的驱动晶体
管;其中,驱动晶体管为低温多晶硅晶体管;发光
检测电路,包括检测开关晶体管和PIN型光电二
极管;其中,检测开关晶体管为金属氧化物晶体
管。



1. 一种阵列基板, 其中, 包括:
衬底基板;
多个像素单元, 位于所述衬底基板上, 各所述像素单元包括多个子像素; 各所述子像素包括:
电致发光器件,
像素电路, 包括驱动所述电致发光器件发光的驱动晶体管; 其中, 所述驱动晶体管为低温多晶硅晶体管;
发光检测电路, 包括检测开关晶体管和PIN型光电二极管; 其中, 所述检测开关晶体管为金属氧化物晶体管。
2. 如权利要求1所述的阵列基板, 其中, 所述驱动晶体管的第一极与第一电源端耦接, 所述驱动晶体管的第二极与所述电致发光器件的第一端耦接;
所述像素电路还包括: 数据开关晶体管与补偿开关晶体管;
所述数据开关晶体管的栅极与第一扫描信号端耦接, 所述数据开关晶体管的第一极与数据信号端耦接, 所述数据开关晶体管的第二极与所述驱动晶体管的栅极耦接;
所述补偿开关晶体管的栅极与第二扫描信号端耦接, 所述补偿开关晶体管的第一极与预设信号端耦接, 所述补偿开关晶体管的第二极与所述电致发光器件的第一端耦接。
3. 如权利要求2所述的阵列基板, 其中, 所述数据开关晶体管为低温多晶硅晶体管或金属氧化物晶体管。
4. 如权利要求2所述的阵列基板, 其中, 所述补偿开关晶体管为低温多晶硅晶体管或金属氧化物晶体管。
5. 如权利要求2-4任一项所述的阵列基板, 其中, 所述驱动晶体管为N型晶体管, 所述像素电路还包括: 存储电容;
所述存储电容耦接于所述驱动晶体管的栅极与第二极之间。
6. 如权利要求5所述的阵列基板, 其中, 所述数据开关晶体管和所述补偿开关晶体管均为N型晶体管。
7. 如权利要求2-4任一项所述的阵列基板, 其中, 所述驱动晶体管为P型晶体管, 所述像素电路还包括: 存储电容;
所述存储电容耦接于所述驱动晶体管的栅极与第一极之间。
8. 如权利要求7所述的阵列基板, 其中, 所述数据开关晶体管和所述补偿开关晶体管均为P型晶体管。
9. 如权利要求1-8任一项所述的阵列基板, 其中, 所述发光检测电路还包括: 检测电容;
所述检测开关晶体管的栅极与第三扫描信号端耦接, 所述检测开关晶体管的第一极与所述PIN型光电二极管的第二电极耦接, 所述检测开关晶体管的第二极与光学检测信号端耦接;
所述PIN型光电二极管的第一电极与参考电压端耦接;
所述检测电容耦接于所述PIN型光电二极管的第一电极与第二电极之间。
10. 如权利要求1-9任一项所述的阵列基板, 其中, 采用所述金属氧化物晶体管的各晶体管位于采用所述低温多晶硅晶体管的各晶体管和所述PIN型光电二极管背离所述衬底基板一侧。

11. 一种显示装置, 其中, 包括如权利要求1-10任一项所述的阵列基板。

12. 一种如权利要求1-10任一项所述的阵列基板的制备方法, 其中, 包括:

提供一衬底基板;

在所述衬底基板上形成所述像素电路和所述发光检测电路;

在形成有所述像素电路和所述发光检测电路的衬底基板上形成电致发光器件。

13. 如权利要求12所述的制备方法, 其中, 所述在所述衬底基板上形成所述像素电路和所述发光检测电路, 包括:

在所述衬底基板上形成采用低温多晶硅晶体管的各晶体管和所述PIN型光电二极管;

在形成有采用低温多晶硅晶体管的各晶体管和所述PIN型光电二极管的衬底基板上形成采用金属氧化物晶体管的各晶体管。

14. 如权利要求13所述的制备方法, 其中, 所述在所述衬底基板上形成采用低温多晶硅晶体管的各晶体管和所述PIN型光电二极管, 包括:

在所述衬底基板上形成第一电极;

在所述衬底基板上形成多晶硅层; 其中, 所述多晶硅层与所述第一电极间隔设置;

在所述第一电极上形成第一非晶硅层; 其中, 所述第一非晶硅层在所述衬底基板的正投影与所述第一电极在所述衬底基板的正投影重叠;

对所述多晶硅层和所述第一非晶硅层进行第一次离子掺杂;

在所述第一非晶硅层上形成第二非晶硅层; 其中, 所述第二非晶硅层在所述衬底基板的正投影与所述第一电极在所述衬底基板的正投影重叠;

在所述多晶硅层上依次形成第一栅绝缘层和第一栅极, 暴露出所述多晶硅层的源极区和漏极区; 其中, 所述第一栅绝缘层和所述第一栅极在所述衬底基板的正投影覆盖所述多晶硅层的沟道区;

在所述第二非晶硅层上形成第三非晶硅层; 其中, 所述第三非晶硅层在所述衬底基板的正投影与所述第一电极在所述衬底基板的正投影重叠;

对所述多晶硅层的源极区和漏极区以及所述第三非晶硅层进行第二次离子掺杂;

在所述第三非晶硅层上形成第二电极; 其中, 所述第二电极在所述衬底基板的正投影与所述第一电极在所述衬底基板的正投影重叠;

在形成有所述第二电极的衬底基板上形成第一层间介质层。

15. 如权利要求14所述的制备方法, 其中, 所述在形成有采用低温多晶硅晶体管的各晶体管和所述PIN型光电二极管的衬底基板上形成采用金属氧化物晶体管的各晶体管, 包括:

在所述第一层间介质层上依次形成金属氧化物半导体层、第二栅绝缘层以及第二栅极, 暴露出所述金属氧化物半导体层的源极区和漏极区; 其中, 所述第二栅绝缘层和所述第二栅极在所述衬底基板的正投影覆盖所述金属氧化物半导体层的沟道区;

在形成有所述金属氧化物半导体层、所述第二栅绝缘层以及所述第二栅极的衬底基板上形成第二层间介质层;

通过刻蚀形成贯穿所述第一层间介质层和所述第二层间介质层的第一过孔, 以及形成贯穿所述第二层间介质层的第二过孔;

在所述第二层间介质层上形成间隔设置的多个第一连接部、第二连接部以及第三连接部, 使所述第二电极通过所述第一过孔与对应的第一连接部电连接, 使所述多晶硅层的源

极区和漏极区分别通过所述第一过孔与对应的第二连接部电连接,以及使所述金属氧化物半导体层的源极区和漏极区分别通过第二过孔与对应的第三连接部电连接;其中,一个所述PIN型光电二极管对应一个第一连接部,一个低温多晶硅晶体管对应两个第二连接部,一个所述金属氧化物晶体管对应两个第三连接部。

阵列基板、其制备方法及显示装置

技术领域

[0001] 本公开涉及显示技术领域,特别涉及阵列基板、其制备方法及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)显示器是当今显示器研究领域的热点之一,与液晶显示器(Liquid Crystal Display,LCD)相比,OLED显示器具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点。在手机、平板电脑、数码相机等显示领域,OLED显示器已经得到了广泛的应用。

发明内容

[0003] 本公开实施例提供的阵列基板,包括:

[0004] 衬底基板;

[0005] 多个像素单元,位于所述衬底基板上,各所述像素单元包括多个子像素;各所述子像素包括:

[0006] 电致发光器件;

[0007] 像素电路,包括驱动所述电致发光器件发光的驱动晶体管;其中,所述驱动晶体管为低温多晶硅晶体管;

[0008] 发光检测电路,包括检测开关晶体管和PIN型光电二极管;其中,所述检测开关晶体管为金属氧化物晶体管。

[0009] 可选地,在本公开实施例中,所述驱动晶体管的第一极与第一电源端耦接,所述驱动晶体管的第二极与所述电致发光器件的第一端耦接;

[0010] 所述像素电路还包括:数据开关晶体管与补偿开关晶体管;

[0011] 所述数据开关晶体管的栅极与第一扫描信号端耦接,所述数据开关晶体管的第一极与数据信号端耦接,所述数据开关晶体管的第二极与所述驱动晶体管的栅极耦接;

[0012] 所述补偿开关晶体管的栅极与第二扫描信号端耦接,所述补偿开关晶体管的第一极与预设信号端耦接,所述补偿开关晶体管的第二极与所述电致发光器件的第一端耦接。

[0013] 可选地,在本公开实施例中,所述数据开关晶体管为低温多晶硅晶体管或金属氧化物晶体管。

[0014] 可选地,在本公开实施例中,所述补偿开关晶体管为低温多晶硅晶体管或金属氧化物晶体管。

[0015] 可选地,在本公开实施例中,所述驱动晶体管为N型晶体管,所述像素电路还包括:存储电容;

[0016] 所述存储电容耦接于所述驱动晶体管的栅极与第二极之间。

[0017] 可选地,在本公开实施例中,所述数据开关晶体管和所述补偿开关晶体管均为N型晶体管。

[0018] 可选地,在本公开实施例中,所述驱动晶体管为P型晶体管,所述像素电路还包括:

存储电容；

[0019] 所述存储电容耦接于所述驱动晶体管的栅极与第一极之间。

[0020] 可选地，在本公开实施例中，所述数据开关晶体管和所述补偿开关晶体管均为P型晶体管。

[0021] 可选地，在本公开实施例中，所述发光检测电路还包括：检测电容；

[0022] 所述检测开关晶体管的栅极与第三扫描信号端耦接，所述检测开关晶体管的第一极与所述PIN型光电二极管的第二电极耦接，所述检测开关晶体管的第二极与光学检测信号端耦接；

[0023] 所述PIN型光电二极管的第一电极与参考电压端耦接；

[0024] 所述检测电容耦接于所述PIN型光电二极管的第一电极与第二电极之间。

[0025] 可选地，在本公开实施例中，采用所述金属氧化物晶体管的各晶体管位于采用所述低温多晶硅晶体管的各晶体管和所述PIN型光电二极管背离所述衬底基板一侧。

[0026] 相应地，本公开实施例还提供了显示装置，包括上述阵列基板。

[0027] 相应地，本公开实施例还提供了上述阵列基板的制备方法，包括：

[0028] 提供一衬底基板；

[0029] 在所述衬底基板上形成所述像素电路和所述发光检测电路；

[0030] 在形成有所述像素电路和所述发光检测电路的衬底基板上形成电致发光器件。

[0031] 可选地，在本公开实施例中，所述在所述衬底基板上形成所述像素电路和所述发光检测电路，包括：

[0032] 在所述衬底基板上形成采用低温多晶硅晶体管的各晶体管和所述PIN型光电二极管；

[0033] 在形成有采用低温多晶硅晶体管的各晶体管和所述PIN型光电二极管的衬底基板上形成采用金属氧化物晶体管的各晶体管。

[0034] 可选地，在本公开实施例中，所述在所述衬底基板上形成采用低温多晶硅晶体管的各晶体管和所述PIN型光电二极管，包括：

[0035] 在所述衬底基板上形成第一电极；

[0036] 在所述衬底基板上形成多晶硅层；其中，所述多晶硅层与所述第一电极间隔设置；

[0037] 在所述第一电极上形成第一非晶硅层；其中，所述第一非晶硅层在所述衬底基板的正投影与所述第一电极在所述衬底基板的正投影重叠；

[0038] 对所述多晶硅层和所述第一非晶硅层进行第一次离子掺杂；

[0039] 在所述第一非晶硅层上形成第二非晶硅层；其中，所述第二非晶硅层在所述衬底基板的正投影与所述第一电极在所述衬底基板的正投影重叠；

[0040] 在所述多晶硅层上依次形成第一栅绝缘层和第一栅极，暴露出所述多晶硅层的源极区和漏极区；其中，所述第一栅绝缘层和所述第一栅极在所述衬底基板的正投影覆盖所述多晶硅层的沟道区；

[0041] 在所述第二非晶硅层上形成第三非晶硅层；其中，所述第三非晶硅层在所述衬底基板的正投影与所述第一电极在所述衬底基板的正投影重叠；

[0042] 对所述多晶硅层的源极区和漏极区以及所述第三非晶硅层进行第二次离子掺杂；

[0043] 在所述第三非晶硅层上形成第二电极；其中，所述第二电极在所述衬底基板的正

投影与所述第一电极在所述衬底基板的正投影重叠；

[0044] 在形成有所述第二电极的衬底基板上形成第一层间介质层。

[0045] 可选地，在本公开实施例中，所述在形成有采用低温多晶硅晶体管的各晶体管和所述PIN型光电二极管的衬底基板上形成采用金属氧化物晶体管的各晶体管，包括：

[0046] 在所述第一层间介质层上依次形成金属氧化物半导体层、第二栅绝缘层以及第二栅极，暴露出所述金属氧化物半导体层的源极区和漏极区；其中，所述第二栅绝缘层和所述第二栅极在所述衬底基板的正投影覆盖所述金属氧化物半导体层的沟道区；

[0047] 在形成有所述金属氧化物半导体层、所述第二栅绝缘层以及所述第二栅极的衬底基板上形成第二层间介质层；

[0048] 通过刻蚀形成贯穿所述第一层间介质层和所述第二层间介质层的第一过孔，以及形成贯穿所述第二层间介质层的第二过孔；

[0049] 在所述第二层间介质层上形成间隔设置的多个第一连接部、第二连接部以及第三连接部，使所述第二电极通过所述第一过孔与对应的第一连接部电连接，使所述多晶硅层的源极区和漏极区分别通过所述第一过孔与对应的第二连接部电连接，以及使所述金属氧化物半导体层的源极区和漏极区分别通过第二过孔与对应的第三连接部电连接；其中，一个所述PIN型光电二极管对应一个第一连接部，一个低温多晶硅晶体管对应两个第二连接部，一个所述金属氧化物晶体管对应两个第三连接部。

附图说明

[0050] 图1为本公开实施例中的阵列基板的结构示意图；

[0051] 图2为本公开实施例中的像素电路的结构示意图之一；

[0052] 图3为本公开实施例中的发光检测电路的结构示意图；

[0053] 图4为本公开实施例中的阵列基板的局部剖视结构示意图；

[0054] 图5为本公开实施例中的阵列基板的局部俯视结构示意图之一；

[0055] 图6a为本公开实施例提供的电路时序图之一；

[0056] 图6b为本公开实施例提供的电路时序图之二；

[0057] 图7为本公开实施例中的阵列基板的局部俯视结构示意图之二；

[0058] 图8为本公开实施例提供的电路时序图之三；

[0059] 图9为本公开实施例中的阵列基板的制备方法的流程图之一；

[0060] 图10为本公开实施例中的阵列基板的制备方法的流程图之二；

[0061] 图11为本公开实施例中的阵列基板的制备方法的流程图之三；

[0062] 图12a至图12m分别为本公开实施例提供的阵列基板的制备方法中对应每个制作步骤得到的阵列基板的剖视结构示意图。

具体实施方式

[0063] 为了使本公开的目的，技术方案和优点更加清楚，下面结合附图，对本公开实施例提供的阵列基板、其制备方法及显示装置的具体实施方式进行详细地说明。应当理解，下面所描述的优选实施例仅用于说明和解释本公开，并不用于限定本公开。并且在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互组合。需要注意的是，附图中各图形的

尺寸和形状不反映真实比例,目的只是示意说明本公开内容。并且自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。

[0064] 一般OLED属于电流驱动,通过采用像素电路来控制其发光。在基于晶体管的像素电路中,驱动晶体管为OLED提供驱动电流,从而点亮每个子像素,电流的大小直接决定了子像素发光的亮度。在使用过程中,OLED的发光亮度会变化,为了改善OLED发光亮度变化对显示效果的不利影响,一般会在子像素中设置对OLED发出的光的强度进行检测的发光检测电路,以通过发光检测电路对OLED的发光进行补偿。一般发光检测电路可以包括检测开关晶体管和PIN型光电二极管。在发光检测电路对OLED发出的光的强度进行检测时,PIN型光电二极管接收OLED发出的光,并将接收的光转换为电信号,以通过转换后的电信号对OLED发光进行补偿。若检测开关晶体管在关断时的漏电流较大,这样会对检测结果的准确性有不利影响。并且,在PIN型光电二极管的制备工艺中会涉及到H原子,而像素电路中的驱动晶体管一般采用金属氧化物晶体管,这样在PIN型光电二极管的H原子穿过绝缘层进入到驱动晶体管的有源层的沟道区中时,会导致驱动晶体管的阈值电压漂移,从而造成流过OLED的电流发生变化使得显示亮度不均,从而影响整个图像的显示效果。

[0065] 因此,本公开实施例提供了阵列基板,用以提高显示效果。

[0066] 本公开实施例提供的一些阵列基板,如图1至图3所示,可以包括:

[0067] 衬底基板100;

[0068] 多个像素单元200,位于衬底基板100上,各像素单元200包括多个子像素210;各子像素210可以包括:

[0069] 电致发光器件211;

[0070] 像素电路212,包括驱动电致发光器件211发光的驱动晶体管M1;其中,驱动晶体管M1为低温多晶硅晶体管;

[0071] 发光检测电路213,包括检测开关晶体管M4和PIN型光电二极管DP;其中,检测开关晶体管M4为金属氧化物晶体管。

[0072] 本公开实施例提供的阵列基板,每个子像素可以包括:电致发光器件,像素电路以及发光检测电路,由于低温多晶硅晶体管(Low Temperature Poly-Si Thin Film Transistor,LTPS TFT)在H原子的影响下性能比较稳定,因此通过将像素电路中的驱动晶体管设置为低温多晶硅晶体管,可以避免PIN型光电二极管的H原子的影响,以提高驱动晶体管的稳定性,从而可以提高驱动晶体管产生的驱动电流的稳定性,进而提高显示效果。并且,由于金属氧化物晶体管的关态漏电流较小,因此通过将检测开关晶体管设置为金属氧化物晶体管,可以降低漏电流的影响,提高检测结果的准确性,进而可以提高显示效果。

[0073] 下面结合具体实施例,对本公开进行详细说明。需要说明的是,本实施例是为了更好的解释本公开,但不限制本公开。

[0074] 在具体实施时,在本公开实施例中,像素单元可以包括3个子像素。示例性地,这3个子像素可以为红色子像素、绿色子像素以及蓝色子像素。或者,像素单元也可以包括4个子像素。示例性地,这4个子像素可以为红色子像素、绿色子像素、蓝色子像素以及白色子像素。当然,在实际应用中,像素单元中的子像素的数量和具体实施方式可以根据实际应用环境来设计确定,在此不作限定。

[0075] 在具体实施时,在本公开实施例中,电致发光器件的第一端为其正极,第二端为其

负极。且电致发光器件的第二端与第二电源端VSS耦接。以及,一般电致发光器件具有发光阈值电压,在电致发光器件两端的电压差大于或等于发光阈值电压时进行发光。示例性地,电致发光器件可以设置为OLED。或者,电致发光器件也可以设置为量子点发光二极管(Quantum Dot Light Emitting Diodes,QLED)。当然,在实际应用中,电致发光器件的具体实施方式可以根据实际应用环境的需求进行设计,在此不作限定。

[0076] 在具体实施时,在本公开实施例中,如图2所示,驱动晶体管M1的第一极与第一电源端VDD耦接,驱动晶体管M1的第二极与电致发光器件211的第一端耦接;

[0077] 像素电路212还可以包括:数据开关晶体管M2与补偿开关晶体管M3;

[0078] 数据开关晶体管M2的栅极与第一扫描信号端G1耦接,数据开关晶体管M2的第一极与数据信号端DA耦接,数据开关晶体管M2的第二极与驱动晶体管M1的栅极G耦接;

[0079] 补偿开关晶体管M3的栅极与第二扫描信号端G2耦接,补偿开关晶体管M3的第一极与预设信号端VS耦接,补偿开关晶体管M3的第二极与电致发光器件211的第一端耦接。

[0080] 在具体实施时,在本公开实施例中,数据开关晶体管M2在第一扫描信号端G1的信号的控制下处于导通状态时,可以将数据信号端DA的信号提供给驱动晶体管M1的栅极G。补偿开关晶体管M3在第二扫描信号端G2的信号的控制下处于导通状态时,可以将预设信号端VS与电致发光器件211的第一端导通。

[0081] 在具体实施时,在本公开实施例中,如图2所示,驱动晶体管M1可以为N型晶体管;其中,驱动晶体管M1的第一极为其漏极D,驱动晶体管M1的第二极为其源极S,并且该驱动晶体管M1处于饱和状态时,电流由驱动晶体管M1的漏极D流向其源极S,以使电致发光器件211在驱动晶体管M1处于饱和状态时的驱动电流的作用下实现发光。

[0082] 在具体实施时,在本公开实施例中,如图2所示,像素电路212还可以包括:存储电容CST;其中,存储电容CST耦接于驱动晶体管M1的栅极G与第二极之间。即存储电容CST耦接于驱动晶体管M1的栅极G与源极S之间,以对输入存储电容CST的电压进行存储。

[0083] 为了降低漏电流,在具体实施时,可以将数据开关晶体管M2设置为金属氧化物晶体管。这样可以降低漏电流对输入到驱动晶体管M1的栅极G的电压的影响,提高输入到驱动晶体管M1的栅极G的电压的稳定性,进一步提高发光亮度的稳定性。或者,为了统一像素电路的制备工艺,还可以将数据开关晶体管M2设置为低温多晶硅晶体管。当然,在实际应用中,数据开关晶体管M2的具体实施方式可以根据实际应用环境来设计确定,在此不作限定。

[0084] 为了降低漏电流,在具体实施时,可以将补偿开关晶体管M3设置为金属氧化物晶体管。这样可以降低漏电流对流入电致发光器件211的驱动电流的影响,进一步提高发光亮度的稳定性。或者,为了统一像素电路的制备工艺,还可以将补偿开关晶体管M3设置为低温多晶硅晶体管。当然,在实际应用中,补偿开关晶体管M3的具体实施方式可以根据实际应用环境来设计确定,在此不作限定。

[0085] 在具体实施时,在本公开实施例中,如图2所示,数据开关晶体管M2和补偿开关晶体管M3均为N型晶体管。并且,还通过将数据开关晶体管M2和补偿开关晶体管M3均设置为金属氧化物晶体管或低温多晶硅晶体管,从而可以降低制备像素电路的工艺难度。

[0086] 或者,也可以使开关晶体管M2和补偿开关晶体管M3均为P型晶体管。并且,还通过将数据开关晶体管M2和补偿开关晶体管M3均设置为金属氧化物晶体管或低温多晶硅晶体管,从而可以降低制备像素电路的工艺难度。

[0087] 在具体实施时,在本公开实施例中,如图3所示,发光检测电路213还可以包括:检测电容CSF;

[0088] 检测开关晶体管M4的栅极与第三扫描信号端G3耦接,检测开关晶体管M4的第一极与PIN型光电二极管DP的第二电极耦接,检测开关晶体管M4的第二极与光学检测信号端VG耦接;

[0089] PIN型光电二极管DP的第一电极与参考电压端VREF耦接;

[0090] 检测电容CSF耦接于PIN型光电二极管DP的第一电极与第二电极之间。

[0091] 在具体实施时,在本公开实施例中,PIN型光电二极管DP的第一电极可以为PIN型光电二极管DP的正极,PIN型光电二极管DP的第二电极可以为PIN型光电二极管DP的负极。

[0092] 在具体实施时,在本公开实施例中,检测开关晶体管M4在第三扫描信号端G3的信号的控制下处于导通状态时,可以将PIN型光电二极管DP的第二电极与光学检测信号端VG导通。

[0093] 在具体实施时,在本公开实施例中,检测电容CSF可以对输入的电压进行存储。

[0094] 在具体实施时,在本公开实施例中,可以使采用金属氧化物晶体管的各晶体管位于采用低温多晶硅晶体管的各晶体管和PIN型光电二极管背离衬底基板一侧。示例性的,如图4所示,以驱动晶体管M1、检测开关晶体管M4以及PIN型光电二极管DP为例,检测开关晶体管M4位于驱动晶体管M1和PIN型光电二极管DP背离衬底基板一侧,这样可以进一步避免PIN型光电二极管中的H原子对金属氧化物晶体管的影响。

[0095] 由于随着使用时间的增加,驱动晶体管M1会出现老化等情况,导致驱动晶体管M1的阈值电压 V_{th} 与迁移率发生漂移,从而会造成显示亮度差异。在具体实施时,在本公开实施例中,结合图2与图5所示,可以采用图2所示的像素电路,通过外部补偿的方式对驱动晶体管M1的阈值电压 V_{th} 和迁移率进行补偿。这样还需要在阵列基板中设置第一检测线SL1,以使补偿开关晶体管M3的第一极与第一检测线SL1耦接。并且,阵列基板中可以设置多条第一检测线SL1,一列子像素210中像素电路的补偿开关晶体管M3的第一极与一条第一检测线SL1耦接。进一步地,阵列基板中还可以设置多条第二检测线SL2,一列子像素210中发光检测电路213的检测开关晶体管M4的第二极与一条第二检测线SL2耦接,这样可以通过PIN型光电二极管DP对电致发光器件211的发光进行检测,以补偿电致发光器件211的发光亮度。

[0096] 下面以图5所示的一个子像素210中的电路结构为例,结合图6a与图6b所示的电路时序图对本公开实施例提供的阵列基板的工作过程进行说明。其中,图6a与图6b中,g1代表第一扫描信号端G1的信号,g2代表第二扫描信号端G2的信号,g3代表第三扫描信号端G2的信号,da代表数据信号端DA的信号,Vdata代表数据信号端DA的数据电压,vs11代表第一检测线SL1上的电压,vs12代表第二检测线SL2上的电压。具体地,主要选取图6a中的电学补偿阶段T10和图6b中的光学补偿阶段T20。其中,电学补偿阶段T10可以包括:T11、T12以及T13阶段。光学补偿阶段T20可以包括:T21、T22、T23、T24以及T25阶段。

[0097] 在T11阶段,数据开关晶体管M2在第一扫描信号端G1的信号g1的高电平控制下导通,以将数据电压Vs提供给驱动晶体管M1的栅极G,并通过存储电容CST进行存储。补偿开关晶体管M3在第二扫描信号端G2的信号g2的高电平控制下导通,以将第一检测线SL1上的参考电压信号提供给电致发光器件211的第一端,以对电致发光器件211进行复位。其中,参考电压信号的电压值可以小于第二电源端VSS的信号的电压值,以使电致发光器件211处于反

偏状态,进而使电致发光器件211的特性进行恢复。

[0098] 在T12阶段,数据开关晶体管M2在第一扫描信号端G1的信号g1的高电平控制下导通,以将数据电压Vs提供给驱动晶体管M1的栅极G,并通过存储电容CST进行存储。补偿开关晶体管M3在第二扫描信号端G2的信号g2的低电平控制下截止。驱动晶体管M1在其栅极电压与源极电压的共同控制下产生驱动电流I,并且驱动电流I满足公式: $I=K[V_{gs}-V_{th}]^2=K[V_{data}-v_{s11}-V_{th}]^2$;其中, $K=\frac{1}{2}\mu_n C_{ox} \frac{W}{L}$, μ_n 代表驱动晶体管M1的迁移率, C_{ox} 为单位面积栅氧化层电容, $\frac{W}{L}$ 为驱动晶体管M1的宽长比,相同结构中这些数值相对稳定,可以算作常量。这样通过驱动电流I对电致发光器件211的第一端充电,以使电致发光器件211的第一端的电压升高至V1。

[0099] 在T13阶段,数据开关晶体管M2在第一扫描信号端G1的信号g1的高电平控制下导通,以将数据电压Vs提供给驱动晶体管M1的栅极G,并通过存储电容CST进行存储。补偿开关晶体管M3在第二扫描信号端G2的信号g2的高电平控制下导通,从而将电致发光器件211的第一端的电压V1提供给第一检测线SL1。进而,通过驱动IC(Integrated Circuit,集成电路)获取第一检测电压V1,以通过第一检测电压V1进行分析补偿计算,提高画面显示效果。其中,由于驱动晶体管M1采用低温多晶硅晶体管,可以避免PIN型光电二极管的H原子的影响,以提高驱动晶体管M1的稳定性,从而可以提高驱动晶体管M1产生的驱动电流I的稳定性,进而提高显示效果。并且,检测开关晶体管M4在第三扫描信号端G3的信号g3的低电平控制下截止。

[0100] 在T21阶段中,检测开关晶体管M4在第三扫描信号端G3的信号g3的高电平控制下导通,将PIN型光电二极管DP的第二电极与第二检测线SL2导通,以使PIN型光电二极管DP的第二电极加载正电压。并且,参考电压端VREF加载负电压(例如-5V),以使PIN型光电二极管DP的第一电极加载负电压,从而使PIN型光电二极管DP工作在反偏状态。并且,数据开关晶体管M2在第一扫描信号端G1的信号g1的低电平控制下截止,补偿开关晶体管M3在第二扫描信号端G2的信号g2的低电平控制下截止。

[0101] 在T22阶段中,数据开关晶体管M2在第一扫描信号端G1的信号g1的高电平控制下导通,并且补偿开关晶体管M3在第二扫描信号端G2的信号g2的高电平控制下导通。其中导通的数据开关晶体管M2将输入的数据电压Vdata提供给驱动晶体管M1的栅极G,使驱动晶体管M1的栅极G电压为Vdata。导通的补偿开关晶体管M3将第一检测线SL1上传输的参考电压信号(例如0V)提供给电致发光器件211。其中,参考电压信号的电压值可以小于第二电源端VSS的信号的电压值,以使电致发光器件211处于反偏状态,进而使电致发光器件211的特性进行恢复。并且,检测开关晶体管M4在第三扫描信号端G3的信号g3的低电平控制下截止。

[0102] 在T23阶段,数据开关晶体管M2在第一扫描信号端G1的信号g1的低电平控制下截止,补偿开关晶体管M3在第二扫描信号端G2的信号g2的低电平控制下截止。检测开关晶体管M4在第三扫描信号端G3的信号g3的低电平控制下截止。驱动晶体管M1在其栅极电压与源极电压的共同控制下产生驱动电流I,并且驱动电流I满足公式: $I=K[V_{gs}-V_{th}]^2=K[V_{data}-V_s-V_{th}]^2$;其中, V_s 代表驱动晶体管M1的源极电压, $K=\frac{1}{2}\mu_n C_{ox} \frac{W}{L}$, μ_n 代表驱动晶

体管M1的迁移率, C_{ox} 为单位面积栅氧化层电容, $\frac{W}{L}$ 为驱动晶体管M1的宽长比, 相同结构中这些数值相对稳定, 可以算作常量。此时, 驱动晶体管M1产生的驱动电流I可以驱动电致发光器件211发光, 使得PIN型光电二极管DP可以接收电致发光器件211发出的光, 并将接收的光转换为电流, 从而使PIN型光电二极管DP的第二电极的电压变化。

[0103] 在T24阶段, 数据开关晶体管M2在第一扫描信号端G1的信号g1的高电平控制下导通, 并且补偿开关晶体管M3在第二扫描信号端G2的信号g2的高电平控制下导通。其中导通的数据开关晶体管M2将0V的数据电压Vdata提供给驱动晶体管M1的栅极G。并且导通的补偿开关晶体管M3将第一检测线SL1上传输的参考电压信号(例如0V)提供给电致发光器件211。这样可以使电致发光器件211停止发光, 从而保证PIN型光电二极管DP的第二电极的电压稳定。

[0104] 在T25阶段, 检测开关晶体管M4在第三扫描信号端G3的信号g3的高电平控制下导通, 以将PIN型光电二极管DP与第二检测线SL2导通, 从而将PIN型光电二极管DP的第二电极的电压传输给第二检测线SL2, 以使第二检测线SL2充入第二检测电压V2。进而, 通过驱动IC获取第二检测电压V2, 以通过第二检测电压V2进行分析补偿计算, 提高画面显示效果。其中, 由于将检测开关晶体管M4设置为金属氧化物晶体管, 可以降低漏电流的影响, 提高检测结果的准确性, 进而可以提高显示效果。

[0105] 需要说明的是, 电学补偿阶段T10可以在显示装置开机或关机时进行, 光学补偿阶段T20可以在显示装置开机时进行。当然, 在实际应用中, 电学补偿阶段T10和光学补偿阶段T20可以根据实际应用环境来设计确定, 在此不作限定。

[0106] 本公开实施例的另一些阵列基板的结构示意图如图7所示, 其针对图5所示的实施方式进行了变形。下面仅说明本实施例与图5对应的实施例的区别之处, 其相同之处在此不作赘述。

[0107] 在具体实施时, 在本公开实施例中, 如图7所示, 驱动晶体管M1可以为P型晶体管; 其中, 驱动晶体管M1的第一极为其源极S, 驱动晶体管M1的第二极为其漏极D, 并且该驱动晶体管M1处于饱和状态时, 电流由驱动晶体管M1的源极S流向其漏极D, 以使电致发光器件211在驱动晶体管M1处于饱和状态时的驱动电流的作用下实现发光。

[0108] 在具体实施时, 在本公开实施例中, 如图7所示, 像素电路212还可以包括: 存储电容CST; 其中, 存储电容CST耦接于驱动晶体管M1的栅极G与第一极之间。即存储电容CST耦接于驱动晶体管M1的栅极G与源极S之间, 以对输入存储电容CST的电压进行存储。

[0109] 在具体实施时, 在本公开实施例中, 如图7所示, 阵列基板中还可以设置参考信号线VREFL, 所有子像素210中像素电路212的补偿开关晶体管M3的第一极与参考信号线VREFL耦接。

[0110] 下面以图7所示的一个子像素210中的电路结构为例, 结合图8与图6b所示的电路时序图对本公开实施例提供的阵列基板的工作过程进行说明。其中, 图8与图6b中, g1代表第一扫描信号端G1的信号, g2代表第二扫描信号端G2的信号, g3代表第三扫描信号端G2的信号, da代表数据信号端DA的信号, Vdata代表数据信号端DA的数据电压, vs12代表第二检测线SL2上的电压。具体地, 主要选取图8中的显示阶段T30和图6b中的光学补偿阶段T20。其中, 显示阶段T30可以包括: T31与T32阶段。光学补偿阶段T20可以包括: T21、T22、T23、T24以

及T25阶段。

[0111] 在T31阶段,数据开关晶体管M2在第一扫描信号端G1的信号g1的高电平控制下导通,以将数据电压Vd提供给驱动晶体管M1的栅极G,并通过存储电容CST进行存储。补偿开关晶体管M3在第二扫描信号端G2的信号g2的高电平控制下导通,以将参考信号线VREFL上的参考电压信号提供给电致发光器件211的第一端,以对电致发光器件211进行复位。其中,参考电压信号的电压值可以小于第二电源端VSS的信号的电压值,以使电致发光器件211处于反偏状态,进而使电致发光器件211的特性进行恢复。

[0112] 在T32阶段,数据开关晶体管M2在第一扫描信号端G1的信号g1的低电平控制下截止,补偿开关晶体管M3在第二扫描信号端G2的信号g2的低电平控制下截止。驱动晶体管M1在其栅极电压与源极电压的共同控制下产生驱动电流I,并且驱动电流I满足公式: $I = K[V_{gs} - V_{th}]^2 = K[V_{data} - v_{dd} - V_{th}]^2$;其中,vdd代表第一电源端VDD的电压, $K = \frac{1}{2}\mu_n C_{ox} \frac{W}{L}$ 。

从而通过驱动电流I驱动电致发光器件211发光。其中,由于驱动晶体管M1采用低温多晶硅晶体管,可以避免PIN型光电二极管的H原子的影响,以提高驱动晶体管M1的稳定性,从而可以提高驱动晶体管M1产生的驱动电流的稳定性,进而提高显示效果。

[0113] 图7所示的电路结构在光学补偿阶段T20的工作过程可以参考上述过程,在此不作赘述。

[0114] 基于同一发明构思,本公开实施例还提供了上述阵列基板的制备方法,如图9所示,可以包括如下步骤:

[0115] S10、提供一衬底基板;

[0116] S20、在衬底基板上形成像素电路和发光检测电路;

[0117] S30、在形成有像素电路和发光检测电路的衬底基板上形成电致发光器件。

[0118] 本公开实施例提供的制备方法,通过在衬底基板上形成电致发光器件,像素电路以及发光检测电路,由于低温多晶硅晶体管(Low Temperature Poly-Si Thin Film Transistor, LTPS TFT)在H原子的影响下性能比较稳定,因此通过将像素电路中的驱动晶体管设置为低温多晶硅晶体管,可以避免PIN型光电二极管的H原子的影响,以提高驱动晶体管的稳定性,从而可以提高驱动晶体管产生的驱动电流的稳定性,进而提高显示效果。并且,由于金属氧化物晶体管的关态漏电流较小,因此通过将检测开关晶体管设置为金属氧化物晶体管,可以降低漏电流的影响,提高检测结果的准确性,进而可以提高显示效果。

[0119] 在具体实施时,在本公开实施例中,在衬底基板上形成的像素电路和发光检测电路的结构可以与上述阵列基板的实施方式中的像素电路和发光检测电路的结构基本相同,在此不作赘述。

[0120] 在具体实施时,在本公开实施例中,步骤S20在衬底基板上形成像素电路和发光检测电路,如图10所示,可以包括如下步骤:

[0121] S21、在衬底基板上形成采用低温多晶硅晶体管的各晶体管和PIN型光电二极管;

[0122] S22、在形成有采用低温多晶硅晶体管的各晶体管和PIN型光电二极管的衬底基板上形成采用金属氧化物晶体管的各晶体管。

[0123] 在具体实施时,在本公开实施例中,S21、在衬底基板上形成采用低温多晶硅晶体管的各晶体管和PIN型光电二极管,如图11所示,可以包括如下步骤:

- [0124] S2101、在衬底基板上形成第一电极；
- [0125] S2102、在衬底基板上形成多晶硅层；其中，多晶硅层与第一电极间隔设置；
- [0126] S2103、在第一电极上形成第一非晶硅层；其中，第一非晶硅层在衬底基板的正投影与第一电极在衬底基板的正投影重叠；
- [0127] S2104、对多晶硅层和第一非晶硅层进行第一次离子掺杂；其中，可以对多晶硅层和第一非晶硅层分别进行B离子掺杂；
- [0128] S2105、在第一非晶硅层上形成第二非晶硅层；其中，第二非晶硅层在衬底基板的正投影与第一电极在衬底基板的正投影重叠；并且，第二非晶硅层的厚度大于第一非晶硅层的厚度；
- [0129] S2106、在多晶硅层上依次形成第一栅绝缘层和第一栅极，并暴露出多晶硅层的源极区和漏极区；其中，第一栅绝缘层和第一栅极在衬底基板的正投影覆盖多晶硅层的沟道区；多晶硅层的源极区和漏极区分别位于多晶硅层的沟道区两侧；
- [0130] S2107、在第二非晶硅层上形成第三非晶硅层；其中，第三非晶硅层在衬底基板的正投影与第一电极在衬底基板的正投影重叠；并且，第二非晶硅层的厚度大于第三非晶硅层的厚度；
- [0131] S2108、对多晶硅层的源极区和漏极区以及第三非晶硅层进行第二次离子掺杂，使多晶硅层的源极区和漏极区形成导体；其中，可以对多晶硅层的源极区和漏极区以及第三非晶硅层分别进行P离子掺杂。
- [0132] S2109、在第三非晶硅层上形成第二电极；其中，第二电极在衬底基板的正投影与第一电极在衬底基板的正投影重叠；
- [0133] S2110、在形成有第二电极的衬底基板上形成第一层间介质层；其中，第一层间介质层覆盖衬底基板。
- [0134] 在具体实施时，在本公开实施例中，S22、在形成有采用低温多晶硅晶体管的各晶体管和PIN型光电二极管的衬底基板上形成采用金属氧化物晶体管的各晶体管，如图11所示，可以包括如下步骤：
- [0135] S2201、在第一层间介质层上依次形成金属氧化物半导体层、第二栅绝缘层以及第二栅极，暴露出金属氧化物半导体层的源极区和漏极区；其中，第二栅绝缘层和第二栅极在衬底基板的正投影覆盖金属氧化物半导体层的沟道区；
- [0136] S2202、在形成有金属氧化物半导体层、第二栅绝缘层以及第二栅极的衬底基板上形成第二层间介质层；
- [0137] S2203、通过刻蚀形成贯穿第一层间介质层和第二层间介质层的第一过孔，以及形成贯穿第二层间介质层的第二过孔；
- [0138] S2204、在第二层间介质层上形成间隔设置的多个第一连接部、第二连接部以及第三连接部，使第二电极通过第一过孔与对应的第一连接部电连接，使多晶硅层的源极区和漏极区分别通过第一过孔与对应的第二连接部电连接，以及使金属氧化物半导体层的源极区和漏极区分别通过第二过孔与对应的第三连接部电连接；其中，一个PIN型光电二极管对应一个第一连接部，一个低温多晶硅晶体管对应两个第二连接部，一个金属氧化物晶体管对应两个第三连接部。
- [0139] 在具体实施时，在本公开实施例中，在衬底基板上形成第一电极之前，还包括：在

衬底基板上形成覆盖衬底基板的缓冲层。

[0140] 以驱动晶体管M1、检测开关晶体管M4以及PIN型光电二极管DP为例,下面通过实施例列举阵列基板的制备方法,但读者应知,其具体过程不局限于此。

[0141] 本公开实施例提供的阵列基板的制备方法,可以包括如下步骤:

[0142] (1) 提供一个衬底基板。其中,衬底基板例如可以为玻璃基板或者柔性基板。

[0143] (2) 在衬底基板100上沉积形成缓冲层311,如图12a所示。

[0144] (3) 在缓冲层311上沉积形成PIN型光电二极管的第一电极312,如图12b所示。其中,第一电极312可以为反射电极。具体地,第一电极312的材料可以为金属材料,例如,A1、Cu、Ag、Au等。

[0145] (4) 在缓冲层311上形成LTPS晶体管的多晶硅层411;其中,如图12c所示,多晶硅层411与第一电极312间隔设置,以使多晶硅层411与第一电极312绝缘。

[0146] 具体地,在缓冲层311上形成LTPS晶体管的非晶硅半导体层并图形化,之后对非晶硅半导体层进行脱氢处理以及进行激光结晶化,以使非晶硅半导体层形成多晶硅层411。

[0147] (5) 在第一电极312上沉积形成PIN型光电二极管的第一非晶硅层313;其中,如图12d所示,第一非晶硅层313在衬底基板100的正投影与第一电极312在衬底基板100的正投影重叠。

[0148] (6) 对多晶硅层411和第一非晶硅层313分别进行B离子掺杂。

[0149] (7) 在第一非晶硅层313上沉积形成PIN型光电二极管的第二非晶硅层314;其中,如图12e所示,第二非晶硅层314在衬底基板100的正投影与第一电极312在衬底基板100的正投影重叠;并且,第二非晶硅层314的厚度大于第一非晶硅层313的厚度。

[0150] (8) 在多晶硅层411上依次沉积形成LTPS晶体管的第一栅绝缘层412和第一栅极413,并暴露出多晶硅层411的源极区和漏极区;其中,如图12f所示,第一栅绝缘层412和第一栅极413在衬底基板100的正投影覆盖多晶硅层411的沟道区;多晶硅层411的源极区和漏极区分别位于多晶硅层411的沟道区两侧。

[0151] (9) 在第二非晶硅层314上沉积形成PIN型光电二极管的第三非晶硅层315;其中,如图12g所示,第三非晶硅层315在衬底基板100的正投影与第一电极312在衬底基板100的正投影重叠;并且,第二非晶硅层314的厚度大于第三非晶硅层315的厚度。

[0152] (10) 对多晶硅层411的源极区和漏极区以及第三非晶硅层315分别进行P离子掺杂。

[0153] (11) 在第三非晶硅层315上沉积形成第二电极316;其中,如图12h所示,第二电极316在衬底基板100的正投影与第一电极312在衬底基板100的正投影重叠。具体地,第二电极316的材料可以为透明导电材料,例如氧化铟锡(ITO)材料、氧化铟锌(IZO)材料、碳纳米管或石墨烯等。这样可以使第二电极316形成透明电极,从而可以感测到电致发光器件发出的光。

[0154] (12) 在形成有第二电极316的衬底基板100上沉积形成覆盖衬底基板100的第一层间介质层320;其中,如图12i所示。

[0155] (13) 在第一层间介质层320上依次形成金属氧化物晶体管的金属氧化物半导体层511、第二栅绝缘层512以及第二栅极513,暴露出金属氧化物半导体层511的源极区和漏极区;其中,如图12j所示,第二栅绝缘层512和第二栅极513在衬底基板100的正投影覆盖金属

氧化物半导体层511的沟道区。并且,金属氧化物半导体层511的源极区和漏极区采用相应的离子进行掺杂,以实现导体化。示例性地,金属氧化物半导体层511的材料可以为铟镓锌氧化物(Indium Gallium Zinc Oxide,IGZO)。

[0156] (14)在形成有金属氧化物半导体层511、第二栅绝缘层512以及第二栅极513的衬底基板100上沉积形成覆盖衬底基板100的第二层间介质层330,如图12k所示。

[0157] (15)通过刻蚀形成贯穿第一层间介质层320和第二层间介质层330的多个第一过孔611,以及形成贯穿第二层间介质层的多个第二过孔612,如图12k所示。其中,一个PIN型光电二极管对应一个第一过孔611,一个LTPS晶体管对应两个第一过孔611,一个金属氧化物晶体管对应两个第二过孔612。

[0158] (16)在第二层间介质层330上沉积形成间隔设置的多个第一连接部317、第二连接部318以及第三连接部319,使第二电极316通过第一过孔611与对应的第一连接部317电连接,使多晶硅层411的源极区和漏极区分别通过第一过孔611与对应的第二连接部318电连接,以及使金属氧化物半导体层511的源极区和漏极区分别通过第二过孔612与对应的第三连接部319电连接,如图12l所示。

[0159] (17)在形成有第一连接部317、第二连接部318以及第三连接部319的衬底基板100上依次沉积形成覆盖衬底基板100的层间绝缘层340与平坦化层350,如图12m所示。

[0160] (18)在平坦化层350上依次沉积形成阳极711、像素界定层360、发光功能层712以及阴极713,如图4所示。其中,阳极711、发光功能层712以及阴极713形成了电致发光器件。并且,阳极711通过贯穿层间绝缘层340与平坦化层350的第三过孔613与驱动晶体管M1的第二极电连接。阳极711可以具有单层或多层堆叠层结构。示例性的,阳极711可以具有例如ITO/Ag/ITO的堆叠结构。阴极713的材料可以为透明导电材料,例如氧化铟锡(ITO)材料、氧化铟锌(IZO)材料、碳纳米管或石墨烯等。

[0161] 结合图4所示,通过上述步骤,可以使第一电极312、第一非晶硅层313、第二非晶硅层314、第三非晶硅层315、第二电极316形成PIN型光电二极管DP。使多晶硅层411、第一栅绝缘层412、第一栅极413以及离子掺杂后的多晶硅层411的源极区和漏极区形成LTPS晶体管的驱动晶体管M1。以及使金属氧化物半导体层511、第二栅绝缘层512、第二栅极513以及离子掺杂后的金属氧化物半导体层511的源极区和漏极区形成金属氧化物晶体管的检测开关晶体管M4。

[0162] 基于同一发明构思,本公开实施例还提供了显示装置,包括本公开实施例提供的上述阵列基板。该显示装置解决问题的原理与前述阵列基板相似,因此该显示装置的实施可以参见前述阵列基板的实施,重复之处在此不再赘述。

[0163] 在具体实施时,在本公开实施例中,显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本公开的限制。

[0164] 本公开实施例提供的阵列基板、其制备方法以及显示装置,由于低温多晶硅晶体管(Low Temperature Poly-Si Thin Film Transistor,LTPS TFT)在H原子的影响下性能比较稳定,因此通过将像素电路中的驱动晶体管设置为低温多晶硅晶体管,可以避免PIN型光电二极管的H原子的影响,以提高驱动晶体管的稳定性,从而可以提高驱动晶体管产生的驱

动电流的稳定性,进而提高显示效果。并且,由于金属氧化物晶体管的关态漏电流较小,因此通过将检测开关晶体管设置为金属氧化物晶体管,可以降低漏电流的影响,提高检测结果的准确性,进而可以提高显示效果。

[0165] 显然,本领域的技术人员可以对本公开实施例进行各种改动和变型而不脱离本公开实施例的精神和范围。这样,倘若本公开实施例的这些修改和变型属于本公开权利要求及其等同技术的范围之内,则本公开也意图包含这些改动和变型在内。

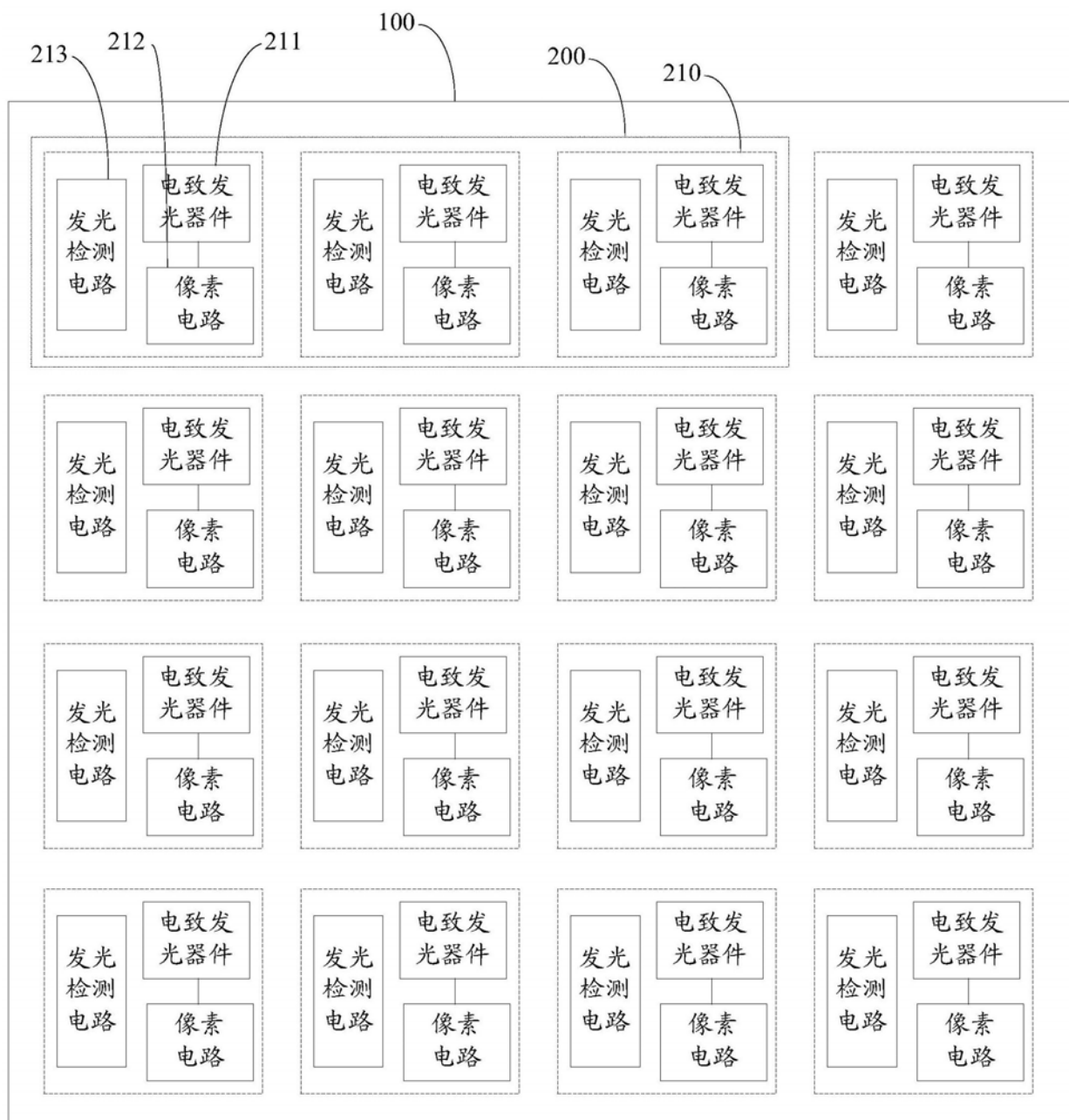


图1

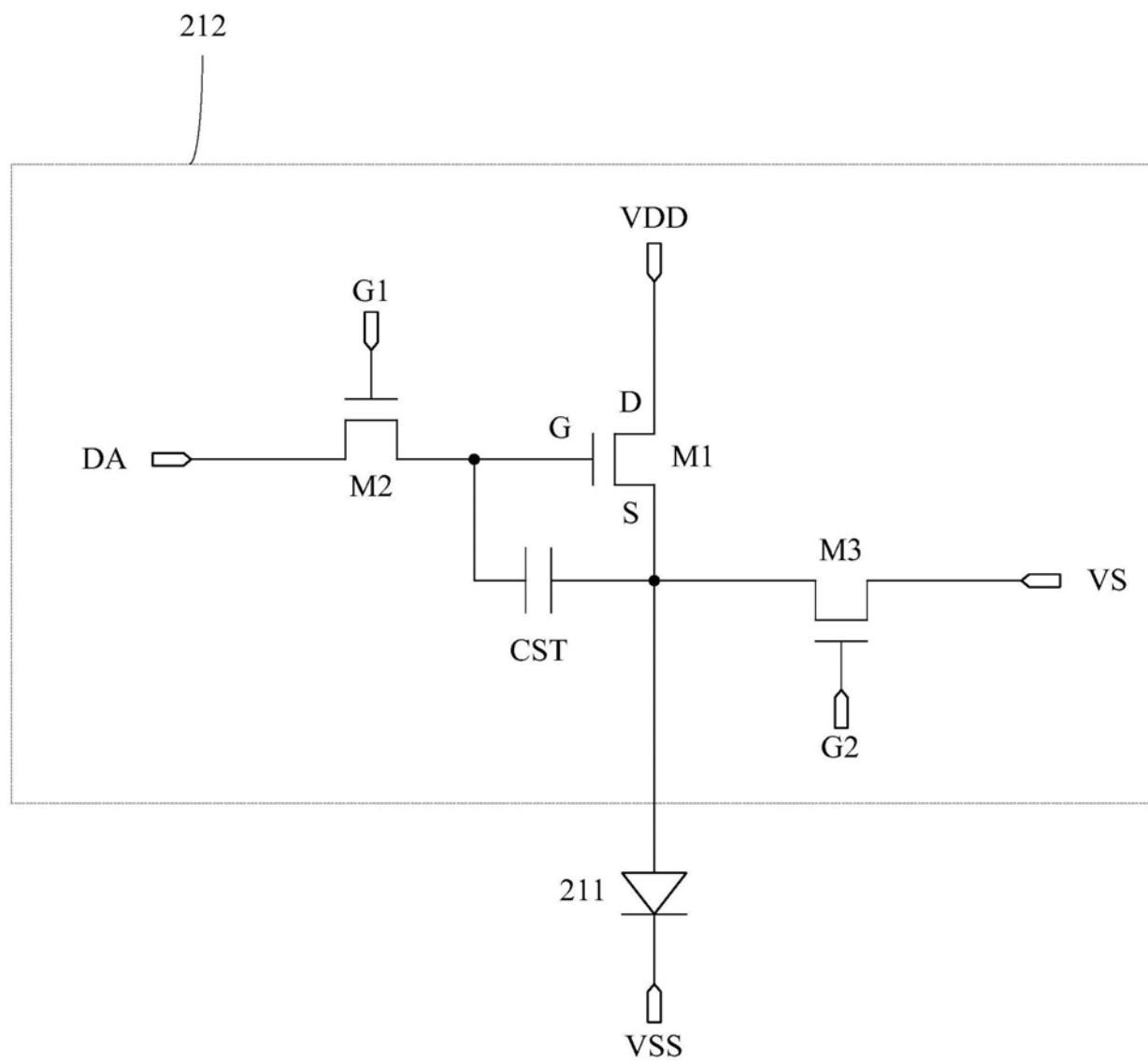


图2

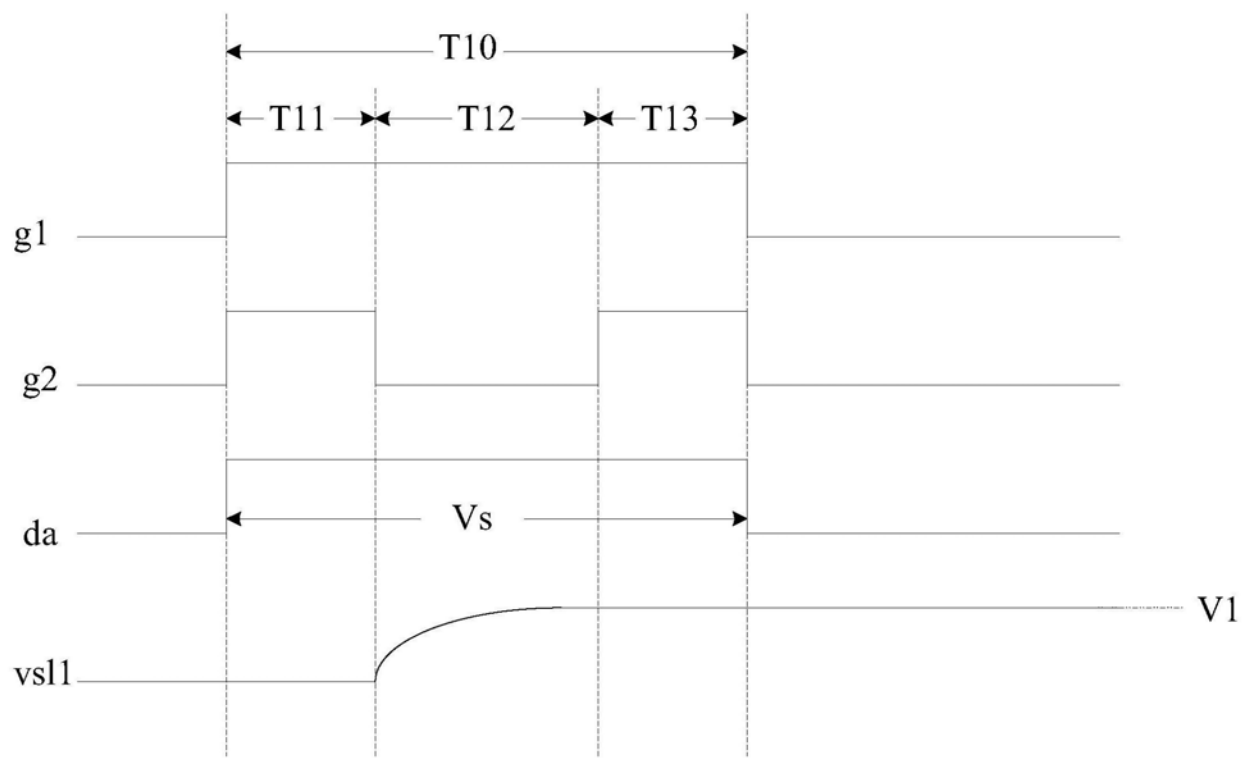


图6a

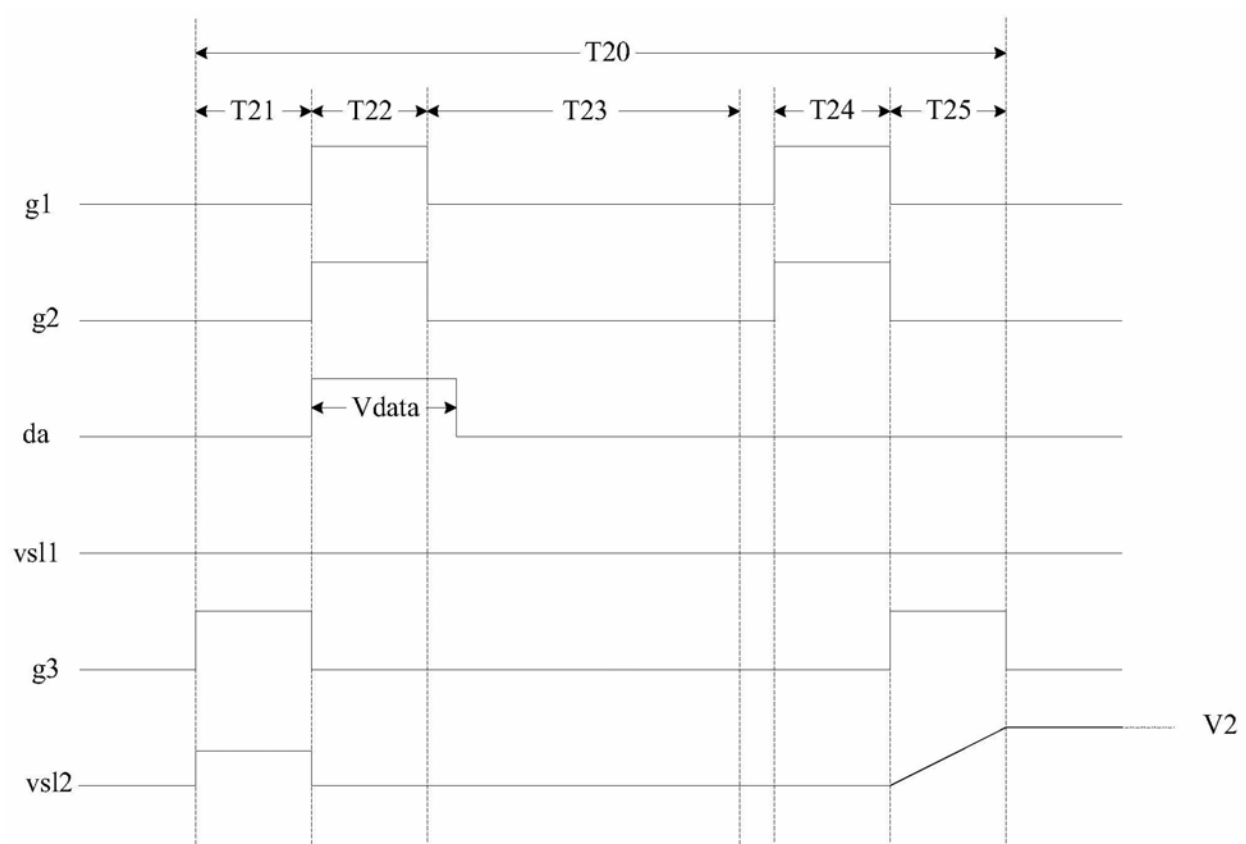


图6b

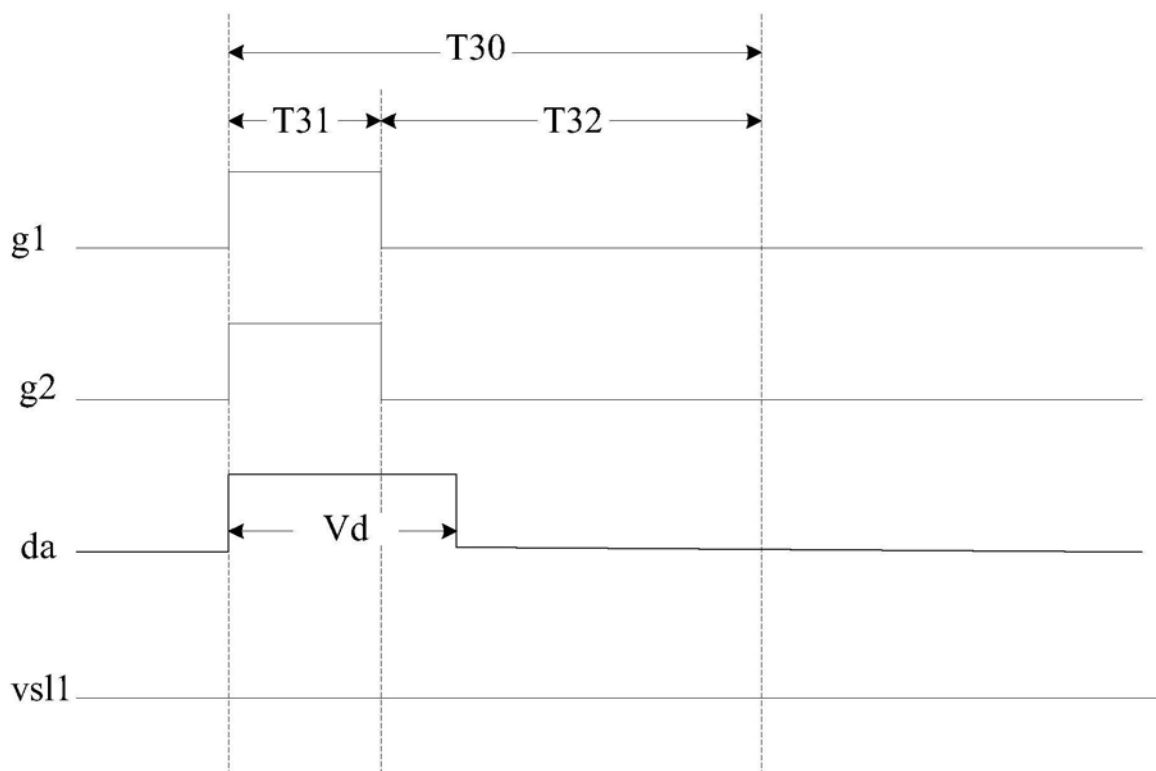


图8

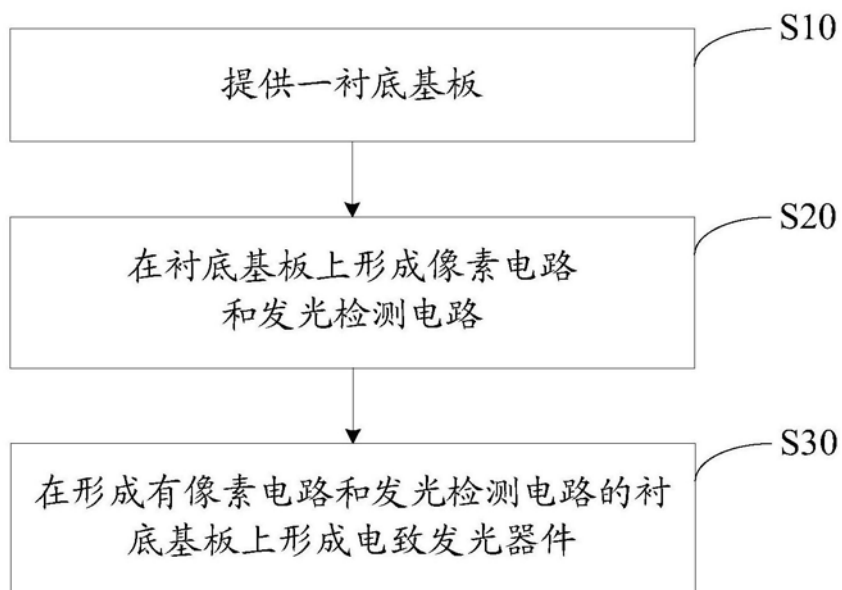


图9

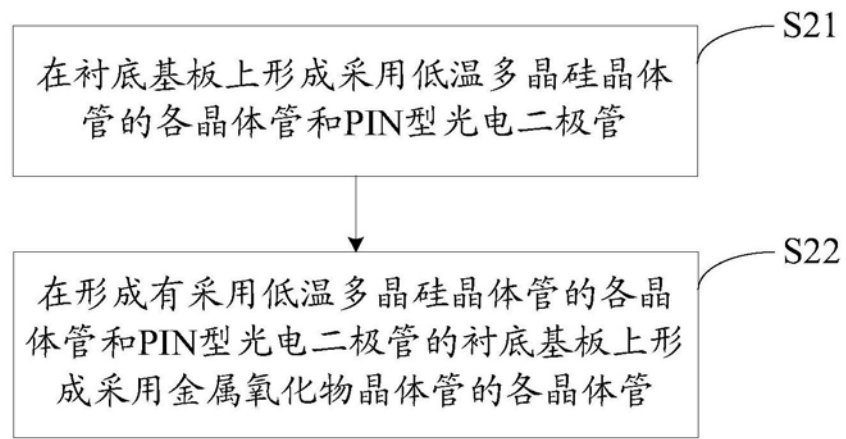


图10

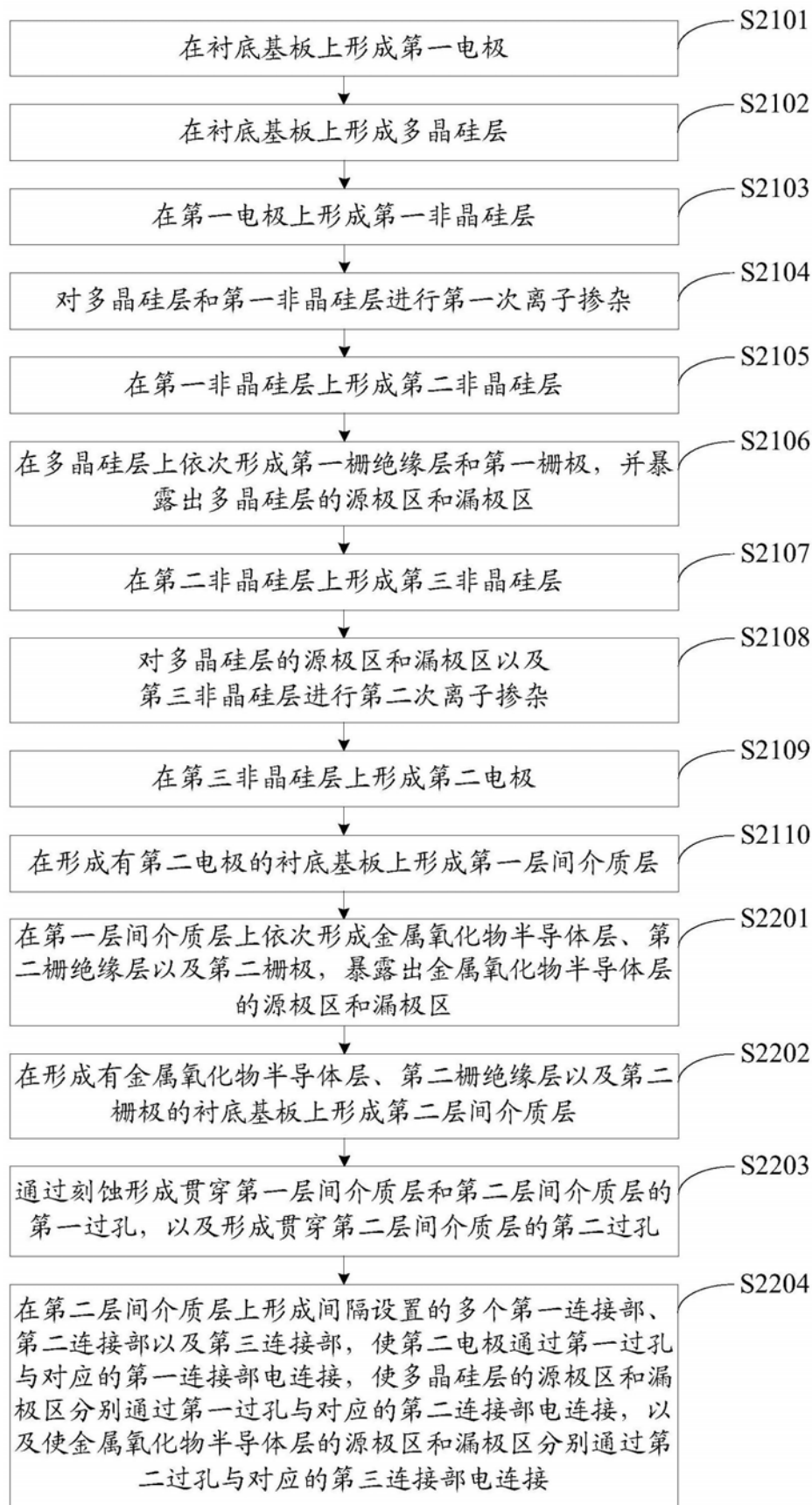


图11

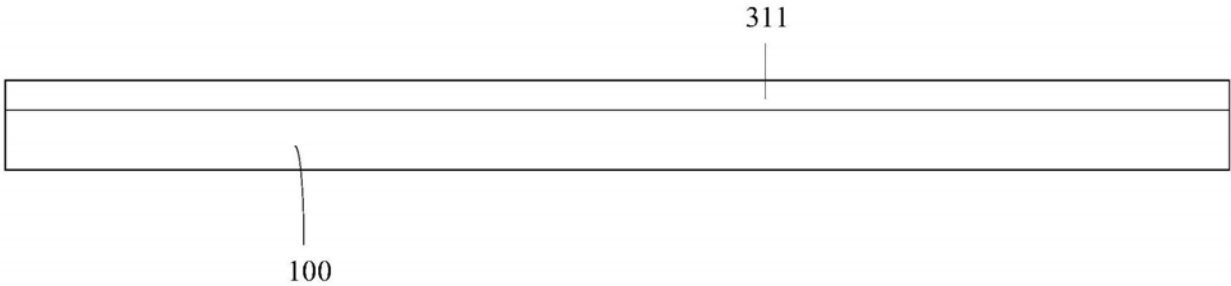


图12a

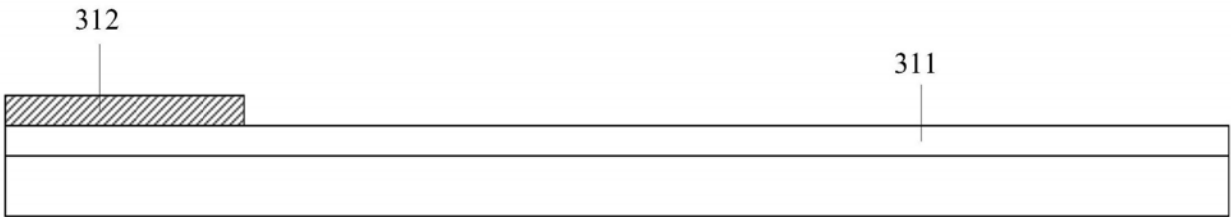


图12b

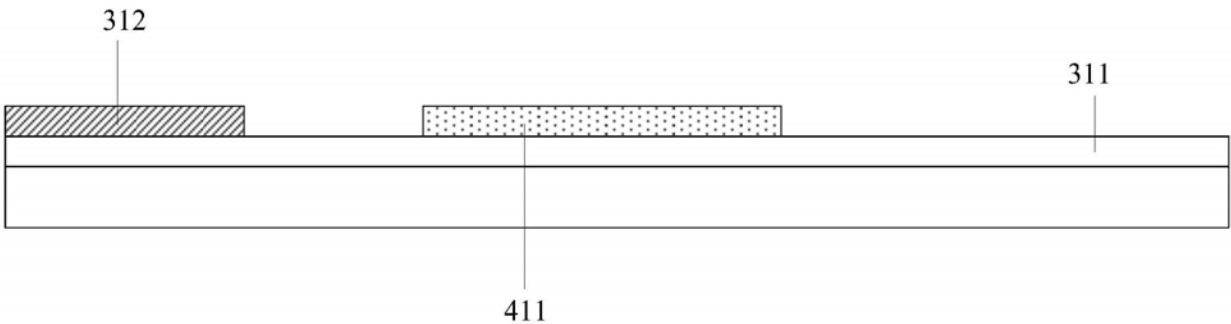


图12c

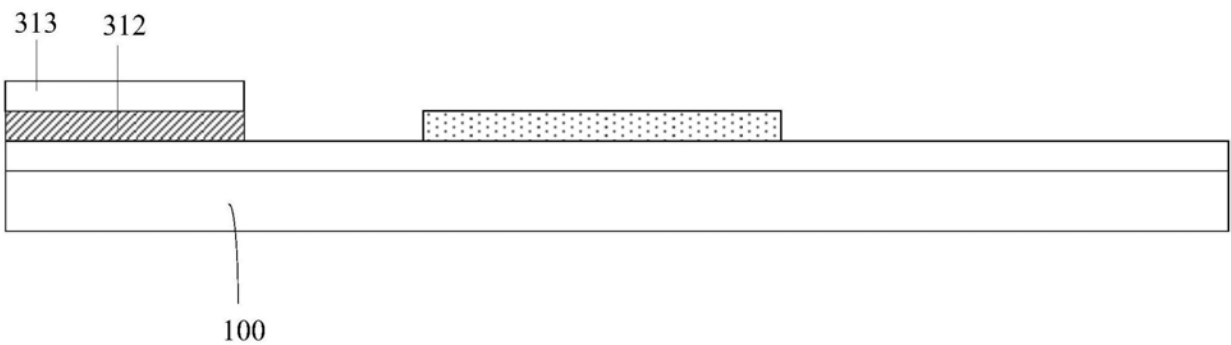


图12d

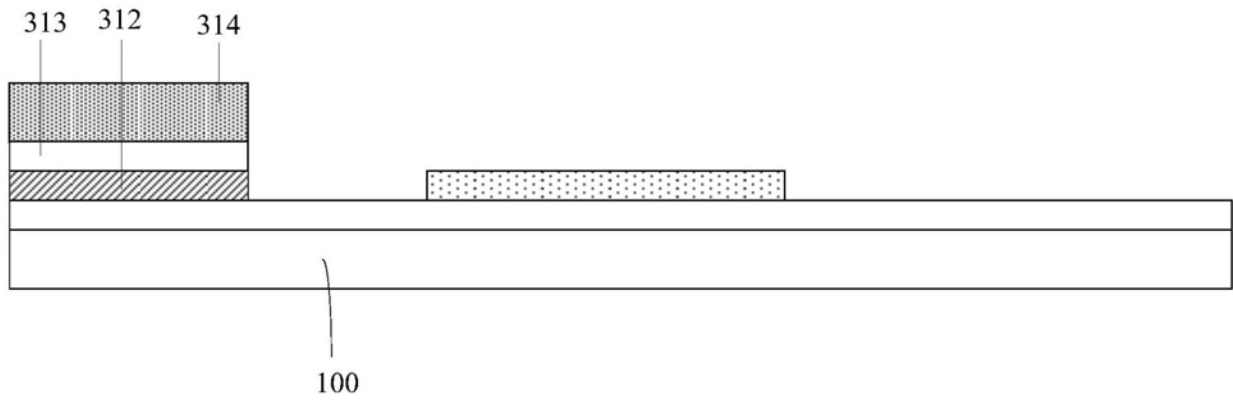


图12e

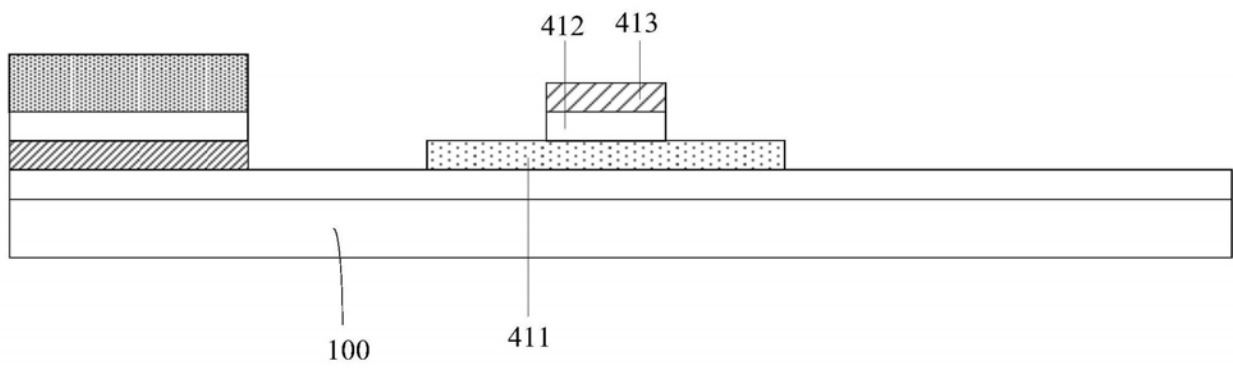


图12f

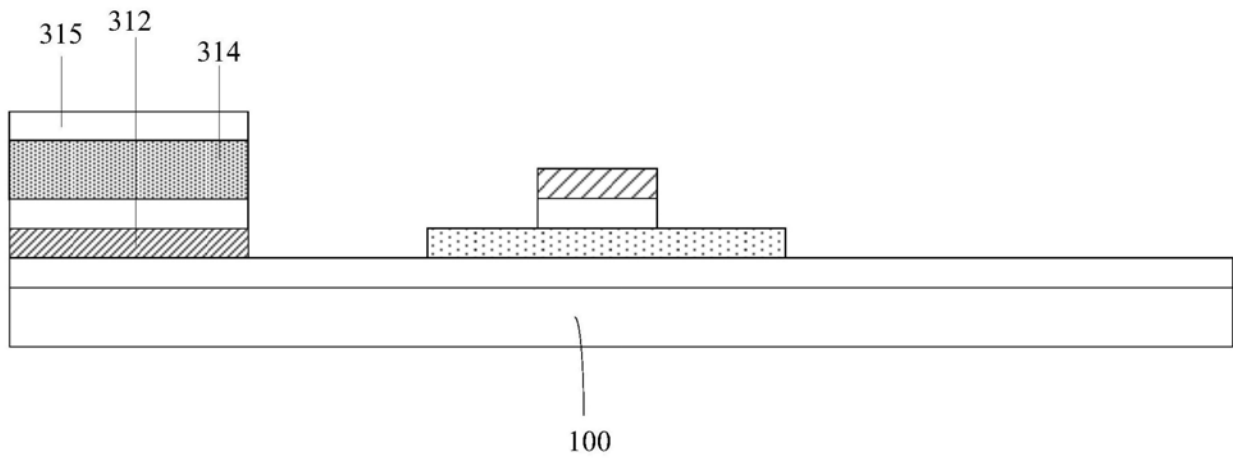


图12g

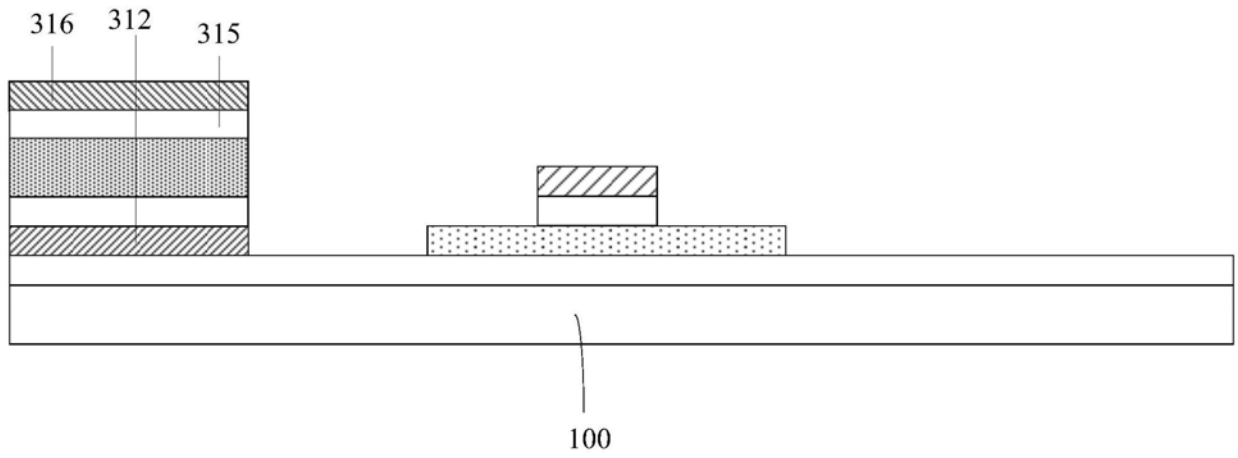


图12h

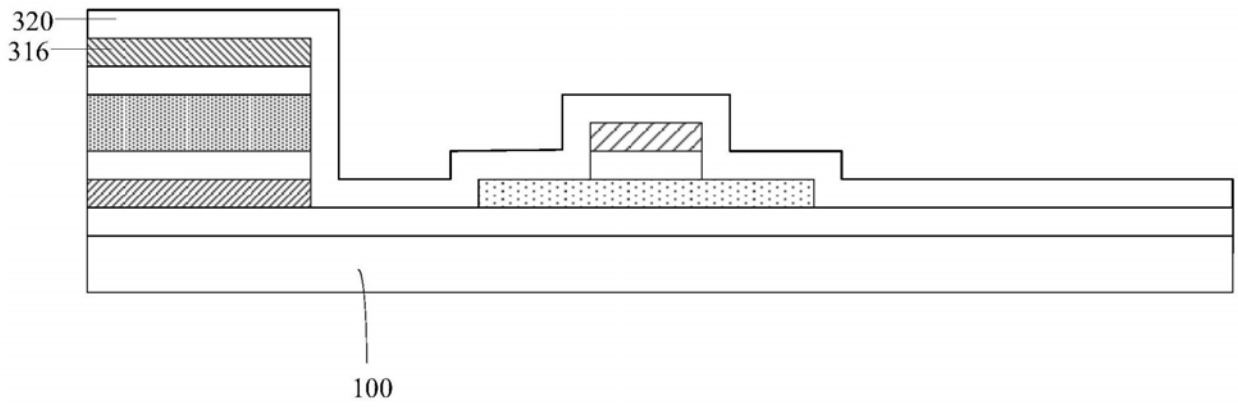


图12i

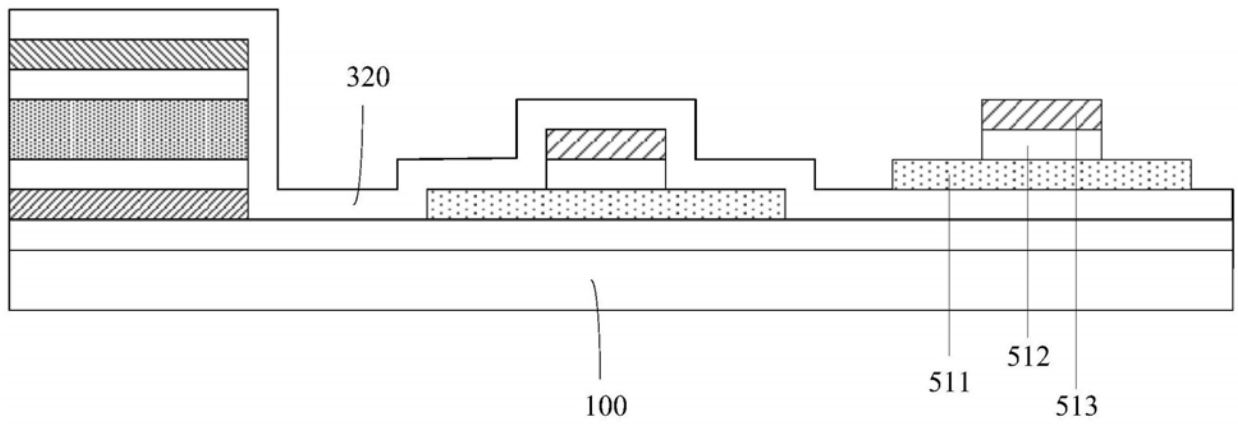


图12j

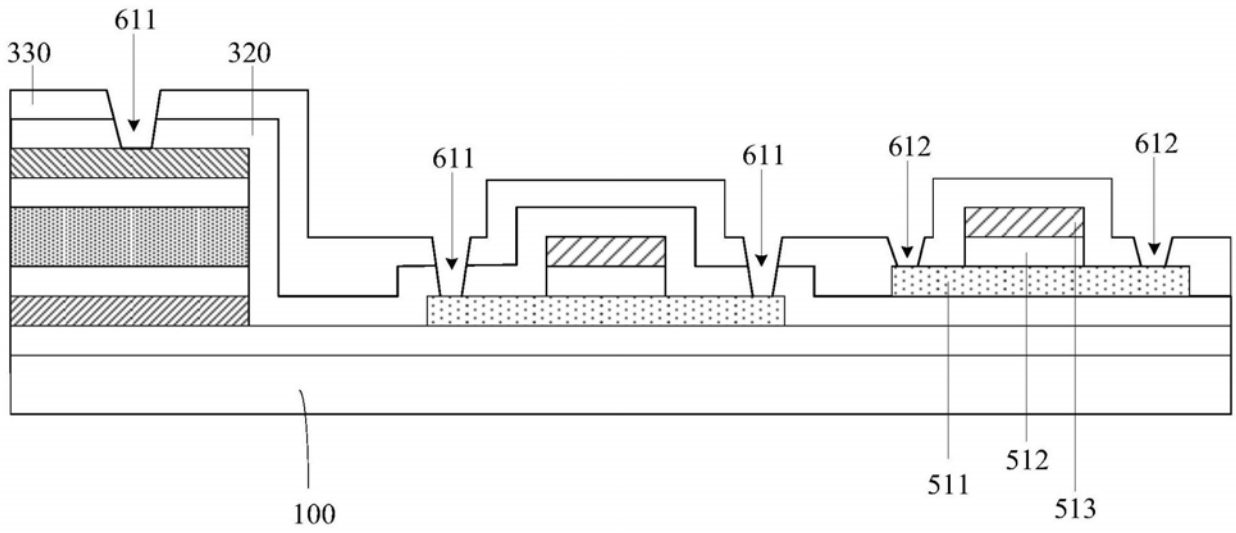


图12k

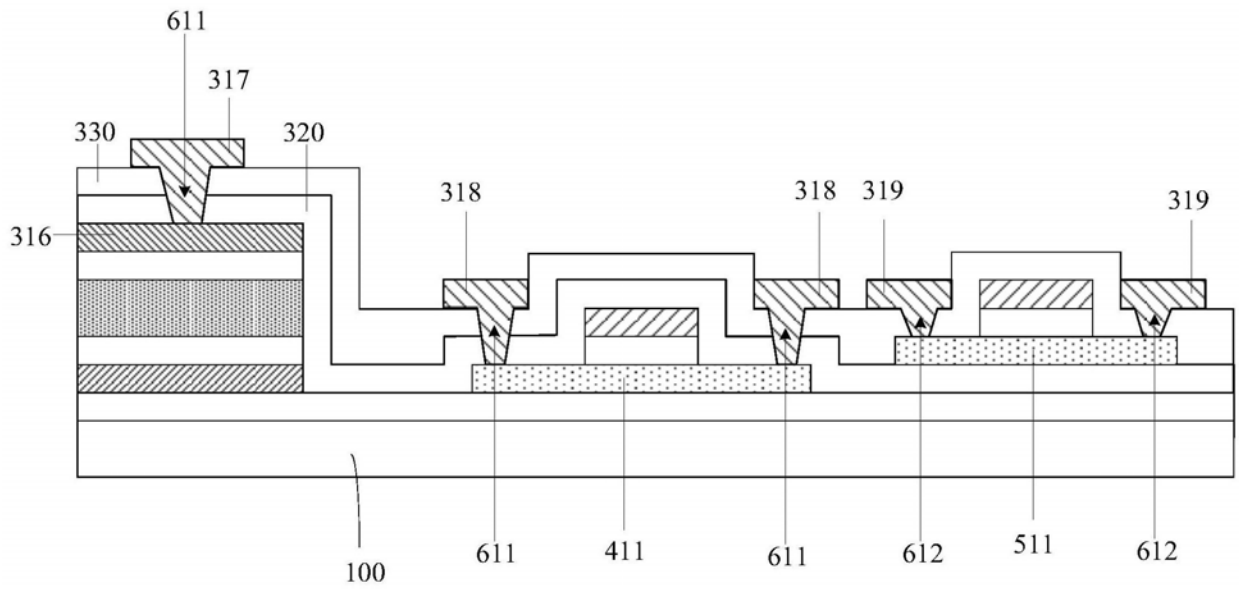


图12l

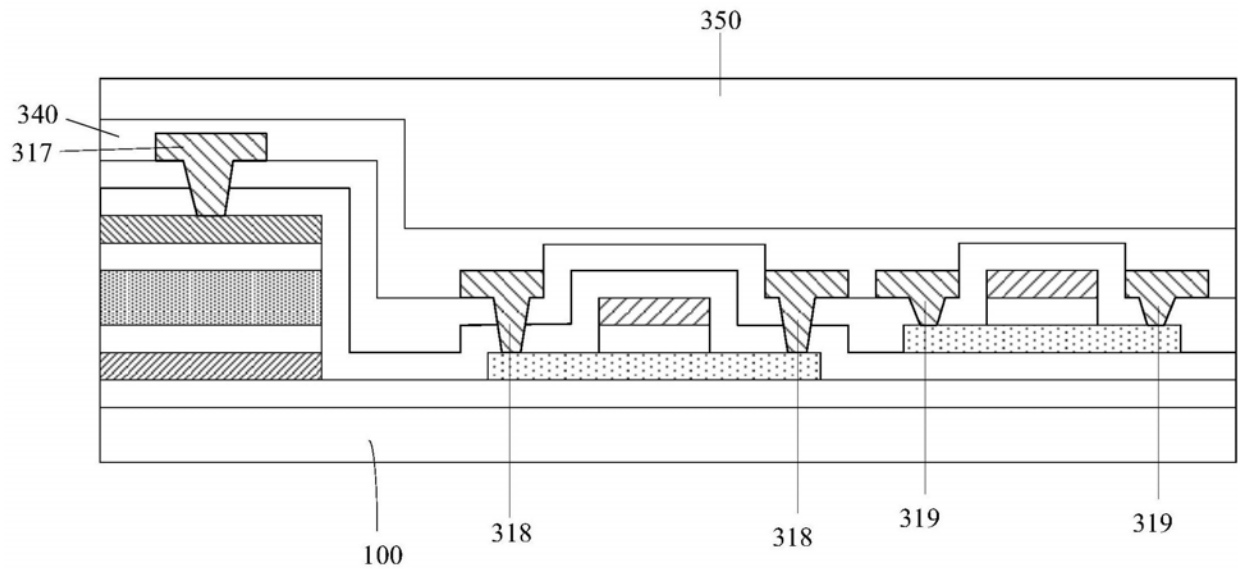


图12m

专利名称(译)	阵列基板、其制备方法及其显示装置		
公开(公告)号	CN109964316A	公开(公告)日	2019-07-02
申请号	CN201980000521.8	申请日	2019-04-19
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	王玲 林奕呈 闫光		
发明人	王玲 林奕呈 闫光		
IPC分类号	H01L27/32 H01L21/77		
CPC分类号	H01L27/3227 H01L27/3262 H01L2227/323		
外部链接	Espacenet SIPO		

摘要(译)

本公开实施例公开了阵列基板、其制备方法及其显示装置，其中，阵列基板包括：衬底基板，多个像素单元，位于衬底基板上，各像素单元包括多个子像素；各子像素包括：电致发光器件，像素电路，包括驱动电致发光器件发光的驱动晶体管；其中，驱动晶体管为低温多晶硅晶体管；发光检测电路，包括检测开关晶体管和PIN型光电二极管；其中，检测开关晶体管为金属氧化物晶体管。

