



(21)申请号 201810353782.5

(22)申请日 2018.04.19

(65)同一申请的已公布的文献号

申请公布号 CN 108510946 A

(43)申请公布日 2018.09.07

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 杨盛际 董学 陈小川 王辉

(74)专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 姜春咸 陈源

(51)Int.Cl.

G09G 3/3258(2016.01)

G09G 3/3275(2016.01)

(56)对比文件

CN 105405399 A,2016.03.16,全文.

CN 107123396 A,2017.09.01,全文.

CN 107424569 A,2017.12.01,全文.

US 2016372032 A1,2016.12.22,全文.

CN 107170407 A,2017.09.15,全文.

审查员 陈晨

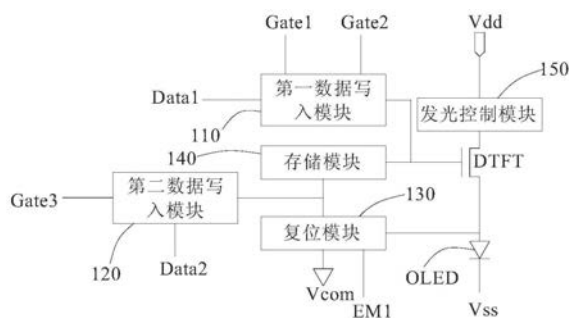
权利要求书4页 说明书11页 附图2页

(54)发明名称

像素电路、显示面板和显示装置

(57)摘要

本发明提供一种像素电路包括发光二极管、驱动晶体管、第一数据写入模块、第二数据写入模块、复位模块、存储模块和发光控制模块,所述第二数据写入模块的输出端与所述存储模块的第二端电连接,所述第二数据写入模块的输入端和该第二数据写入模块的输出端能够在该第二数据写入模块的控制端接到第二数据扫描信号时导通。本发明还提供一种显示面板、一种显示装置。所述像素电路可以在不增加低电平信号端的前提下实现两种发光模式,结构简单易于实现。



1. 一种像素电路,其特征在于,所述像素电路包括发光二极管、驱动晶体管、第一数据写入模块、第二数据写入模块、复位模块、存储模块和发光控制模块,

所述第一数据写入模块的输出端与所述存储模块的第一端电连接,所述第一数据写入模块的输入端和该第一数据写入模块的输出端能够在该第一数据写入模块的控制端接到第一数据扫描信号时导通;

所述第二数据写入模块的输出端与所述存储模块的第二端电连接,所述第二数据写入模块的输入端和该第二数据写入模块的输出端能够在该第二数据写入模块的控制端接到第二数据扫描信号时导通;

所述复位模块的输入端与参考电平信号端电连接,所述复位模块的第一输出端与所述存储模块的第二端电连接,所述复位模块的第二输出端与所述发光二极管的阳极电连接,所述复位模块的输入端和所述复位模块的第一输出端能够在该复位模块的控制端接收到第一复位控制信号时导通,且所述复位模块的输入端和所述复位模块的第二输出端能够在该复位模块的控制端接收到所述第一复位控制信号时导通;

所述存储模块的第一端与所述驱动晶体管的栅极电连接;

所述发光二极管的阴极与低电平信号端电连接,所述发光控制模块用于在接收到第一发光控制信号时允许高电平信号端、所述驱动晶体管的第一极、所述驱动晶体管的第二极、所述发光二极管、低电平信号端之间形成通路,且所述发光控制模块还用于在接收到第二发光控制信号时将高电平信号端、所述驱动晶体管的第一极、所述驱动晶体管的第二极、所述发光二极管、低电平信号端之间的通路断开;

所述存储模块用于存储通过第一数据写入模块写入的第一数据电压以及通过所述第二数据写入模块写入的第二数据电压。

2. 根据权利要求1所述的像素电路,其特征在于,所述第一数据写入模块的控制端包括N型控制端和P型控制端,所述第一数据扫描信号包括第一N型数据扫描信号和第一P型数据扫描信号;

所述第一数据写入模块包括N型数据写入晶体管和P型数据写入晶体管,所述N型数据写入晶体管的第一极与所述P型数据写入晶体管的第一极电连接,以形成为所述第一数据写入模块的输入端,所述N型数据写入晶体管的第二极与所述P型数据写入晶体管的第二极电连接,以形成为所述第一数据写入模块的输出端,所述N型数据写入晶体管的栅极形成为所述N型控制端,所述P型数据写入晶体管的栅极形成为所述P型控制端。

3. 根据权利要求2所述的像素电路,其特征在于,所述复位模块包括第一复位晶体管和第二复位晶体管,所述第一复位晶体管为N型晶体管;

所述第一复位晶体管的栅极形成为所述复位模块的控制端,所述第一复位晶体管的第一极形成为所述复位模块的输入端,所述第一复位晶体管的第二极形成为所述复位模块的第一输出端,所述第一复位晶体管的第一极和所述第一复位晶体管的第二极能够在所述第一复位晶体管的栅极接收到第一复位控制信号时导通,且所述第一复位晶体管的第一极和所述第一复位晶体管的第二极能够在接收到第二复位控制信号时断开,所述第一复位控制信号和所述第二复位控制信号相位相反;

所述第二复位晶体管的栅极与所述第一复位晶体管的栅极电连接,所述第二复位晶体管的第一极与所述第二复位晶体管的第一极电连接,所述第二复位晶体管的第二极形成为

所述复位模块的第二输出端,所述第二复位晶体管的第一极和所述第二复位晶体管的第二极能够在该第二复位晶体管的栅极接收到第一复位控制信号时导通,并且所述第二复位晶体管的第一极和所述第二复位晶体管的第二极能够在该第二复位晶体管的栅极接收到第二复位控制信号时断开。

4. 根据权利要求1至3中任意一项所述的像素电路,其特征在于,所述第二数据写入模块包括第二数据写入晶体管,所述第二数据写入晶体管的栅极形成所述第二数据写入模块的控制端,所述第二数据写入晶体管的第一极形成所述第二数据写入模块的输入端,所述第二数据写入晶体管的第二极形成所述第二数据写入模块的输出端,

所述第二数据写入晶体管的第一极和所述第二数据写入晶体管的第二极能够在该第二数据写入晶体管的栅极接收到第二数据扫描信号时导通,且所述第二数据写入晶体管的第一极和所述第二数据写入晶体管的第二极能够在该第二数据写入晶体管的栅极接收到第四数据扫描信号时断开,其中,所述第二数据扫描信号和所述第四数据扫描信号相位相反。

5. 根据权利要求4所述的像素电路,其特征在于,所述第二数据写入晶体管为P型晶体管。

6. 根据权利要求1至3中任意一项所述的像素电路,其特征在于,所述发光控制模块包括发光控制晶体管,所述发光控制晶体管的栅极形成所述发光控制模块的控制端,所述发光控制晶体管的第一极与所述高电平信号端电连接,所述发光控制晶体管的第二极与所述驱动晶体管的第一极电连接,所述发光控制晶体管的第一极和所述发光控制晶体管的第二极能够在该发光控制晶体管的栅极接收到第一发光控制信号时导通,所述发光控制晶体管的第一极和所述发光控制晶体管的第二极能够在该发光控制晶体管的栅极接收到第一发光控制信号时导通,且所述发光控制晶体管的第一极和所述发光控制晶体管的第二极能够在该发光控制晶体管的栅极接收到第二发光控制信号时断开,所述第一发光控制信号与所述第二发光控制信号相位相反。

7. 根据权利要求1至3中任意一项所述的像素电路,其特征在于,所述存储模块包括存储电容,所述存储电容的第一端形成所述存储模块的第一端,所述存储电容的第二端形成所述存储模块的第二端。

8. 一种显示面板,所述显示面板包括多个像素单元,每个像素单元内均设置有像素电路,其特征在于,所述像素电路为权利要求1至7中任意一项所述的像素电路,所述像素单元排列为多行多列,多行像素单元分别与多个栅线组一一对应,多列像素单元分别与多列数据线组一一对应;

所述栅线组包括第一栅线、第二栅线、复位信号线和发光控制信号线,同一行中,所述像素单元的第一数据写入模块的控制端与所述第一栅线电连接,所述像素单元的第二数据写入模块的控制端与所述第二栅线电连接,所述像素单元的复位单元的控制端与所述复位信号线电连接,所述像素单元的发光控制模块的控制端与所述发光控制信号线电连接;

所述数据线组包括第一数据线和第二数据线,同一列中,所述像素单元的第一数据写入模块的输入端与所述第一数据线电连接,所述像素单元的第二数据写入模块的输入端与所述第二数据线电连接。

9. 根据权利要求8所述的显示面板,其特征在于,所述第一数据写入模块的控制端包括

N型控制端和P型控制端,所述第一数据扫描信号包括第一N型数据扫描信号和第一P型数据扫描信号;

所述第一数据写入模块包括N型数据写入晶体管和P型数据写入晶体管,所述N型数据写入晶体管的第一极与所述P型数据写入晶体管的第一极电连接,以形成所述第一数据写入模块的输入端,所述N型数据写入晶体管的第二极与所述P型数据写入晶体管的第二极电连接,以形成所述第一数据写入模块的输出端,所述N型数据写入晶体管的栅极形成所述N型控制端,所述P型数据写入晶体管的栅极形成所述P型控制端;

所述第一栅线包括第一N型栅线和第一P型栅线,在同一行中,所述像素单元的N型控制端与所述第一N型栅线电连接,所述像素单元的P型控制端与所述第一P型栅线电连接。

10. 一种显示装置,所述显示装置包括显示面板、驱动电路和光敏元件,其特征在于,所述显示面板为权利要求8或9所述的显示面板,所述光敏元件用于检测所述显示装置所处的环境的亮度并在所述亮度低于预设亮度时生成触发信号;

当所述光敏元件生成所述触发信号时,所述显示面板的工作周期包括复位阶段、充电阶段、电压跳变阶段和发光阶段,所述驱动电路用于:

在所述复位阶段,向所有复位信号线提供第一复位控制信号,向所有第一栅线提供第三数据扫描信号,向所有第二栅线提供第四数据扫描信号,向所有发光控制信号线提供第二发光控制信号;

在所述充电阶段,向所有复位信号线提供第二复位控制信号,按照预定扫描顺序依次向各条第一栅线提供第一数据扫描信号,向所有第二栅线提供第四数据扫描信号,向所有发光控制信号线提供第二发光控制信号,向所述第一数据线提供第一数据电压;

在所述电压跳变阶段,向所有复位信号线提供第二复位控制信号,向所有第一栅线提供第五数据扫描信号,按照所述预定扫描顺序依次向各条第二栅线提供第二数据扫描信号,向所有发光控制信号线提供第二发光控制信号,向所述第二数据线提供第二数据电压,所述第二数据电压比所述第一数据电压高预设值,并且,所述第五数据扫描信号的电压高于所述第一数据扫描信号的电压;

在所述发光阶段,向所有复位信号线提供第二复位控制信号,向所有第一栅线提供第三数据扫描信号,向所有第二栅线提供第二数据扫描信号,向所有发光控制信号线提供第一发光控制信号。

11. 根据权利要求10所述的显示装置,其特征在于,所述第一数据写入模块的控制端包括N型控制端和P型控制端,所述第一数据扫描信号包括第一N型数据扫描信号和第一P型数据扫描信号;

所述第一数据写入模块包括N型数据写入晶体管和P型数据写入晶体管,所述N型数据写入晶体管的第一极与所述P型数据写入晶体管的第一极电连接,以形成所述第一数据写入模块的输入端,所述N型数据写入晶体管的第二极与所述P型数据写入晶体管的第二极电连接,以形成所述第一数据写入模块的输出端,所述N型数据写入晶体管的栅极形成所述N型控制端,所述P型数据写入晶体管的栅极形成所述P型控制端;

所述第一栅线包括第一N型栅线和第一P型栅线,在同一行中,所述像素单元的N型控制端与所述第一N型栅线电连接,所述像素单元的P型控制端与所述第一P型栅线电连接;

所述第一数据扫描信号包括向所述第一N型栅线提供的第一N型数据扫描信号和向所

述第一P型栅线提供的第一P型数据扫描信号,所述第三数据扫描信号包括向所述第一N型栅线提供的第三N型数据扫描信号和向所述第一P型栅线提供的第三P型数据扫描信号,其中,所述第一N型数据扫描信号为高电平信号,所述第三N型数据扫描信号为低电平信号,所述第一P型数据扫描信号为低电平信号,所述第三P型数据扫描信号为高电平信号;

所述第五数据扫描信号包括向所述第一N型栅线提供给的第五N型数据扫描信号和向所述第一P型栅线提供的第五P型数据扫描信号,所述第五N型数据扫描信号高于所述第一N型数据扫描信号的电压,所述第五P型数据扫描信号的电压高于所述第一P型数据扫描信号的电压。

像素电路、显示面板和显示装置

技术领域

[0001] 本发明涉及显示设备领域,具体地,涉及一种像素电路、一种包括该像素电路的显示面板和包括所述显示面板的显示装置。

背景技术

[0002] 有机发光二极管显示面板已经得到了广泛的应用。由于有机发光二极管显示面板能够主动发光,因此,不需要额外设置背光源,从而可以满足用户对显示设备轻薄化的需求。

[0003] 随着用户要求的提升,已经出现了随着环境亮度不同而改变显示装置对比度的技术。例如,在夜间显示时需要高对比度和低亮度,而在日间显示时,需要低对比度和高亮度。

[0004] 为了实现上述调节,通常需要设置两种不同的低电平信号,在夜间显示时使用较低的低电平信号,在日间显示时使用较高的低电平信号。

[0005] 上述实施方式需要设置复杂的切换电路,因此,不易于实现。

发明内容

[0006] 本发明的目的在于提供一种像素电路、一种包括该像素电路的显示面板和包括所述显示面板的显示装置。所述像素电路可以实现高亮度和高对比度的显示两种工作模式,并且易于实现。

[0007] 为了实现上述目的,作为本发明的一个方面,提供一种像素电路,其中,所述像素电路包括发光二极管、驱动晶体管、第一数据写入模块、第二数据写入模块、复位模块、存储模块和发光控制模块,

[0008] 所述第一数据写入模块的输出端与所述存储模块的第一端电连接,所述第一数据写入模块的输入端和该第一数据写入模块的输出端能够在该第一数据写入模块的控制端接到第一数据扫描信号时导通;

[0009] 所述第二数据写入模块的输出端与所述存储模块的第二端电连接,所述第二数据写入模块的输入端和该第二数据写入模块的输出端能够在该第二数据写入模块的控制端接到第二数据扫描信号时导通;

[0010] 所述复位模块的输入端与参考电平信号端电连接,所述复位模块的第一输出端与所述存储模块的第二端电连接,所述复位模块的第二输出端与所述发光二极管的阳极电连接,所述复位模块的输入端和所述复位模块的第一输出端能够在该复位模块的控制端接收到第一复位控制信号时导通,且所述复位模块的输入端和所述复位模块的第二输出端能够在该复位模块的控制端接收到所述第一复位控制信号时导通;

[0011] 所述存储模块的第一端与所述驱动晶体管的栅极电连接;

[0012] 所述发光二极管的阴极与低电平信号端电连接,所述发光控制模块用于在接收到第一发光控制信号时允许高电平信号端、所述驱动晶体管的第一极、所述驱动晶体管的第二极、所述发光二极管、低电平信号端之间形成通路,且所述发光控制模块还用于在接收到

第二发光控制信号时将高电平信号端、所述驱动晶体管的第一极、所述驱动晶体管的第二极、所述发光二极管、低电平信号端之间的通路断开；

[0013] 所述存储模块用于存储通过第一数据写入模块写入的第一数据电压以及通过所述第二数据写入模块写入的第二数据电压。

[0014] 优选地，所述第一数据写入模块的控制端包括N型控制端和P型控制端，所述第一数据扫描信号包括第一N型数据扫描信号和第一P型数据扫描信号；

[0015] 所述第一数据写入模块包括N型数据写入晶体管 and P型数据写入晶体管，所述N型数据写入晶体管的第一极与所述P型晶体管的第一极电连接，以形成为所述第一数据写入模块的输入端，所述N型数据写入晶体管的第二极与所述P型数据写入晶体管的第二极电连接，以形成为所述第一数据写入模块的输出端，所述N型数据写入晶体管的栅极形成为所述N型控制端，所述P型数据写入晶体管的栅极形成为所述P型控制端。

[0016] 优选地，所述复位模块包括第一复位晶体管和第二复位晶体管，所述第一复位晶体管为N型晶体管；

[0017] 所述第一复位晶体管的栅极形成为所述复位模块的控制端，所述第一复位晶体管的第一极形成为所述复位模块的输入端，所述第一复位晶体管的第二极形成为所述复位模块的第一输出端，所述第一复位晶体管的第一极和所述第一复位晶体管的第二极能够在所述第一复位晶体管的栅极接收到第一复位控制信号时导通，且所述第一复位晶体管的第一极和所述第一复位晶体管的第二极能够在接收到第二复位控制信号时断开，所述第一复位控制信号和所述第二复位控制信号相位相反；

[0018] 所述第二复位晶体管的栅极与所述第一复位晶体管的栅极电连接，所述第二复位晶体管的第一极与所述第二复位晶体管的第一极电连接，所述第二复位晶体管的第二极形成为所述复位模块的第二输出端，所述第二复位晶体管的第一极和所述第二复位晶体管的第二极能够在该第二复位晶体管的栅极接收到第一复位控制信号时导通，并且所述第二复位晶体管的第一极和所述第二复位晶体管的第二极能够在该第二复位晶体管的栅极接收到第二复位控制信号时断开。

[0019] 优选地，所述第二数据写入模块包括第二数据写入晶体管，所述第二数据写入晶体管的栅极形成为所述第二数据写入模块的控制端，所述第二数据写入晶体管的第一极形成为所述第二数据写入模块的输入端，所述第二数据写入晶体管的第二极形成为所述第二数据写入模块的输出端，

[0020] 所述第二数据写入晶体管的第一极和所述第二数据写入晶体管的第二极能够在该第二数据写入晶体管的栅极接收到第二数据扫描信号时导通，且所述第二数据写入晶体管的第一极和所述第二数据写入晶体管的第二极能够在该第二数据写入晶体管的栅极接收到第四数据扫描信号时断开，其中，所述第二数据扫描信号和所述第四数据扫描信号相位相反。

[0021] 优选地，所述第二数据写入晶体管为P型晶体管。

[0022] 优选地，所述发光控制模块包括发光控制晶体管，所述发光控制晶体管的栅极形成为所述发光控制模块的控制端，所述发光控制晶体管的第一极与所述高电平信号端电连接，所述发光控制晶体管的第二极与所述驱动晶体管的第一极电连接，所述发光控制晶体管的第一极和所述发光控制晶体管的第二极能够在该发光控制晶体管的栅极接收到第一

发光控制信号时导通,所述发光控制晶体管的第一极和所述发光控制晶体管的第二极能够在该发光控制晶体管的栅极接收到第一发光控制信号时导通,且所述发光控制晶体管的第一极和所述发光控制晶体管的第二极能够在该发光控制晶体管的栅极接收到第二发光控制信号时断开,所述第一发光控制信号与所述第二发光控制信号相位相反。

[0023] 优选地,所述存储模块包括存储电容,所述存储电容的第一端形成成为所述存储模块的第一端,所述存储电容的第二端形成成为所述存储模块的第二端。

[0024] 作为本发明的第二个方面,提供一种显示面板,所述显示面板包括多个像素单元,每个像素单元内均设置有像素电路,其中,所述像素电路为本发明所提供的上述像素电路,所述像素单元排列为多行多列,多行像素单元分别与多个栅线组一一对应,多列像素单元分别与多列数据线组一一对应;

[0025] 所述栅线组包括第一栅线、第二栅线、复位信号线和发光控制信号线,同一行中,所述像素单元的第一数据写入模块的控制端与所述第一栅线电连接,所述像素单元的第二数据写入模块的控制端与所述第二栅线电连接,所述像素单元的复位单元的控制端与所述复位信号线电连接,所述像素单元的发光控制模块的控制端与所述发光控制信号线电连接;

[0026] 所述数据线组包括第一数据线和第二数据线,同一列中,所述像素单元的第一数据写入模块的输入端与所述第一数据线电连接,所述像素单元的第二数据写入模块的输入端与所述第二数据线电连接。

[0027] 优选地,所述第一数据写入模块的控制端包括N型控制端和P型控制端,所述第一数据扫描信号包括第一N型数据扫描信号和第一P型数据扫描信号;

[0028] 所述第一数据写入模块包括N型数据写入晶体管和P型数据写入晶体管,所述N型数据写入晶体管的第一极与所述P型晶体管的第一极电连接,以形成成为所述第一数据写入模块的输入端,所述N型数据写入晶体管的第二极与所述P型数据写入晶体管的第二极电连接,以形成成为所述第一数据写入模块的输出端,所述N型数据写入晶体管的栅极形成成为所述N型控制端,所述P型数据写入晶体管的栅极形成成为所述P型控制端;

[0029] 所述第一栅线包括第一N型栅线和第一P型栅线,在同一行中,所述像素单元的N型控制端与所述第一N型栅线电连接,所述像素单元的P型控制端与所述第一P型栅线电连接。

[0030] 作为本发明的第三个方面,概统一种显示装置,所述显示装置包括显示面板、驱动电路和光敏元件,其中,所述显示面板为本发明所提供的上述显示面板,所述光敏元件用于检测所述显示装置所处的环境的亮度并在所述亮度低于预设亮度时生成触发信号;

[0031] 当所述光敏元件生成所述触发信号时,所述显示面板的工作周期包括复位阶段、充电阶段、电压跳变阶段和发光阶段,所述驱动电路用于:

[0032] 在所述复位阶段,向所有复位信号线提供第一复位控制信号,向所有第一栅线提供第三数据扫描信号,向所有第二栅线提供第四数据扫描信号,向所有发光控制信号线提供第二发光控制信号;

[0033] 在所述充电阶段,向所有复位信号线提供第二复位控制信号,按照预定扫描顺序依次向各条第一栅线提供第一数据扫描信号,向所有第二栅线提供第四数据扫描信号,向所有发光控制信号线提供第二发光控制信号,向所述第一数据线提供第一数据电压;

[0034] 在所述电压跳变阶段,向所有复位信号线提供第二复位控制信号,向所有第一栅

线提供第五数据扫描信号,按照所述预定扫描顺序依次向各条第二栅线提供第二数据扫描信号,向所有发光控制信号线提供第二发光控制信号,向所述第二数据线提供第二数据电压,所述第二数据电压比所述第一数据电压高预设值,并且,所述第五数据扫描信号的电压高于所述第一数据扫描信号的电压;

[0035] 在所述发光阶段,向所有复位信号线提供第二复位控制信号,向所有第一栅线提供第三数据扫描信号,向所有第二栅线提供第二数据扫描信号,向所有发光控制信号线提供第一发光控制信号。

[0036] 优选地,所述第一数据写入模块的控制端包括N型控制端和P型控制端,所述第一数据扫描信号包括第一N型数据扫描信号和第一P型数据扫描信号;

[0037] 所述第一数据写入模块包括N型数据写入晶体管和P型数据写入晶体管,所述N型数据写入晶体管的第一极与所述P型晶体管的第一极电连接,以形成为所述第一数据写入模块的输入端,所述N型数据写入晶体管的第二极与所述P型数据写入晶体管的第二极电连接,以形成为所述第一数据写入模块的输出端,所述N型数据写入晶体管的栅极形成为所述N型控制端,所述P型数据写入晶体管的栅极形成为所述P型控制端;

[0038] 所述第一栅线包括第一N型栅线和第一P型栅线,在同一行中,所述像素单元的N型控制端与所述第一N型栅线电连接,所述像素单元的P型控制端与所述第一P型栅线电连接;

[0039] 所述第一数据扫描信号包括向所述第一N型栅线提供的第一N型数据扫描信号和向所述第一P型栅线提供的第一P型数据扫描信号,所述第三数据扫描信号包括向所述第一N型栅线提供的第三N型数据扫描信号和向所述第一P型栅线提供的第三P型数据扫描信号,其中,所述第一N型数据扫描信号为高电平信号,所述第三N型数据扫描信号为低电平信号,所述第一P型数据扫描信号为低电平信号,所述第三P型数据扫描信号为高电平信号;

[0040] 所述第五数据扫描信号包括向所述第一N型栅线提供给的第五N型数据扫描信号和向所述第一P型栅线提供的第五P型数据扫描信号,所述第五N型数据扫描信号高于所述第一N型数据扫描信号的电压,所述第五P型数据扫描信号的电压高于所述第一P型数据扫描信号的电压。

附图说明

[0041] 附图是用来提供对本发明的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本发明,但并不构成对本发明的限制。在附图中:

[0042] 图1是本发明所提供的像素电路的模块示意图;

[0043] 图2是本发明所提供的像素电路的电路结构示意图;

[0044] 图3是本发明所提供的像素电路工作时的时序信号图;

[0045] 图4是发光二极管的两端电压与发光亮度之间的关系图。

[0046] 附图标记说明

[0047] 110:第一数据写入模块 120:第二数据写入模块

[0048] 130:复位模块 140:存储模块

[0049] 150:发光控制模块

具体实施方式

[0050] 以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是,此处所描述的具体实施方式仅用于说明和解释本发明,并不用于限制本发明。

[0051] 作为本发明的一个方面,提供一种像素电路,其中,如图1所示,所述像素电路包括发光二极管OLED、驱动晶体管DTFT、第一数据写入模块110、第二数据写入模块120、复位模块130、存储模块140和发光控制模块150。

[0052] 第一数据写入模块110的输出端与存储模块140的第一端电连接,第一数据写入模块140的输入端和该第一数据写入模块140的输出端能够在该第一数据写入模块110的控制端接到第一数据扫描信号时导通。

[0053] 第二数据写入模块120的输出端与存储模块140的第二端电连接,第二数据写入模块120的输入端和该第二数据写入模块120的输出端能够在该第二数据写入模块120的控制端接到第二数据扫描信号时导通。

[0054] 复位模块130的输入端与参考电平信号端Vcom电连接,复位模块130的第一输出端与存储模块140的第二端电连接,复位模块130的第二输出端与发光二极管OLED的阳极电连接。复位模块130的输入端和复位模块130的第一输出端能够在该复位模块130的控制端接收到第一复位控制信号时导通,复位模块130的输入端和复位模块130的第二输出端能够在该复位模块130的控制端接收到所述第一复位控制信号时导通。

[0055] 存储模块140的第一端与驱动晶体管DTFT的栅极电连接,存储模块140用于存储通过第一数据写入模块110写入的第一数据电压和通过第二数据写入模块120写入的第二数据电压。

[0056] 如图1所示,发光二极管OLED的阴极与低电平信号端Vss电连接,发光控制模块150用于在接收到第一发光控制信号时允许高电平信号端Vdd、驱动晶体管DTFT的第一极、驱动晶体管DTFT的第二极、发光二极管OLED、低电平信号端Vss之间形成通路,且发光控制模块150还用于在接收到第二发光控制信号时将高电平信号端Vdd、驱动晶体管DTFT的第一极、驱动晶体管DTFT的第二极、发光二极管OLED、低电平信号端Vss之间的通路断开。

[0057] 在本发明所提供的像素电路中包括第一数据写入模块110和第二数据写入模块120共两个数据写入模块。

[0058] 所述像素电路应用于显示面板中,显示面板的最终显示亮度与画面对比度与发光二极管OLED的阳极和阴极的压差 V_{EL} 相关。发光二极管OLED具有两种工作模式,当发光二极管OLED的阳极和阴极之间的压差 V_{EL} 在第一区间之内时,可以实现高亮度的模式一,当发光二极管OLED的阳极和阴极之间的压差在第二区间之内时,可以实现高对比度的模式二。

[0059] 如图4中所示的还是一种具体的发光二极管的工作模式,当该发光二极管的阳极和阴极之间的压差 V_{EL} 在4.5V至7.0V之间时,可以实现高对比度的模式二;当该发光二极管的阳极和阴极之间的压差 V_{EL} 在6.2V至8.5V之间时,可以实现高亮度的模式二。

[0060] 有鉴于此,当包括所述像素电路的显示面板所处环境亮度较低、需要低亮度、高对比的显示效果时,向第二数据写入模块120的控制端提供第二数据扫描信号,并向第二数据写入模块120的输入端提供第二数据电压,以对存储模块140的第一端进行升压,从而可以实现降低发光二极管OLED两端的压差,以确保低亮度、高对比度的显示效果。

[0061] 当包括所述像素电路的显示面板所处环境亮度较高、需要高亮度、低对比的显示

效果时,停止输入第二数据电压,或者通过第二数据写入模块120提供第一数据电压,以确保发光二极管OLED两端具有较大压差。

[0062] 由此可知,在利用本发明所提供的像素电路实现两种不同的工作模式时,无需设置两个低电平信号端,也无需设置复杂的电压切换电路,因此,所述像素电路易于实现。

[0063] 需要指出的是,本发明所提供的像素电路中所用到的驱动晶体管为硅基晶体管,对于硅基晶体管而言,不容易出现阈值电压漂移的问题,因此,本发明所提供的像素电路中也不需要设置阈值补偿模块。

[0064] 在本发明中,复位模块130用于对存储模块140以及发光二极管OLED的阳极极性复位,发光控制模块150用于防止发光二极管OLED在发光阶段之前发光。

[0065] 下面结合图3中所提供的信号时序图对本发明的像素电路的工作原理进行详细的描述。当包括所述像素电路的显示面板工作在需要高对比度、低亮度的第二工作模式时,像素电路的一个工作周期包括复位阶段T1、充电阶段T2、跳变阶段T3和发光阶段T4。

[0066] 在复位阶段T1,向复位模块130的第一控制端提供第一复位控制信号,以将复位模块130的输入端和该复位模块130的第一输出端导通,进而将参考电平 V_{com} 写入存储模块140的第二端,从而实现对存储模块140的第二端进行复位,以利于后续阶段中数据电压的写入。并且,在此复位阶段T1,向复位模块130的第二控制端提供第二复位控制信号,将复位模块130的输入端与该复位模块130的第二输出端导通,从而可以将参考电平 V_{com} 写入发光二极管OLED的阳极,实现对发光二极管OLED阳极的复位。

[0067] 在充电阶段T2,向第一数据写入模块110的控制端提供第一数据扫描信号,向第一数据写入模块110的输入端提供数据电压,以将第一数据写入模块110的输入端与该第一数据写入模块110的输出端导通,从而将数据电压写入存储模块140中,并使得驱动晶体管DTFT的栅极电压达到电压 V_1 。

[0068] 在电压跳变阶段T3,向第二数据写入模块120的控制端提供第二数据扫描信号,以使得第二数据写入模块120的输入端和输出端导通,从而将通过第二数据写入模块120的输入端写入的数据电压存储至存储模块140中。在此阶段,驱动晶体管DTFT栅极的电压由充电阶段T2中的电压 V_1 跳变至电压跳变阶段T3的电压 V_2 。由于晶体管的电压阈值为固定阈值(即,晶体管的三个电极中,任意两个电极之间的电压都不超过上述固定阈值),因此,其余控制信号也应随之跳变。具体地,向第一数据写入模块的控制端提供第五数据扫描信号,该第五数据扫描信号的电压高于第一数据扫描信号的电压,从而可以确保第一数据写入模块的晶体管工作在阈值电压允许的范围内。

[0069] 在发光阶段T4,由于驱动晶体管DTFT的栅极电压为上述 V_2 ,因此,向发光控制模块150提供发光控制信号,可以使得高电平信号端 V_{dd} 、驱动晶体管DTFT的第一极、驱动晶体管DTFT的第二极、发光二极管OLED以及低电平信号端 V_{ss} 形成通路,以驱动发光二极管OLED发光。

[0070] 根据硅基的驱动晶体管DTFT的栅极电压、驱动晶体管DTFT的阈值电压以及发光二极管OLED的阳极和阴极之间的压差 V_{EL} 之间的关系可以计算出发光二极管OLED的阳极和阴极之间的压差 V_{EL} 。

[0071] 具体地,当驱动晶体管的栅极电压在1V~5V之间、驱动晶体管的阈值电压为1V、低电平信号端 V_{ss} 提供的电压为-3V时,得出发光二极管的阳极和阴极之间的压差 V_{EL} 为3V~

7V,通过图4可知,发光二极管工作在可以实现低亮度高对比度的模式二。

[0072] 需要指出的是,在显示装置需要高亮度显示时,在电压跳变阶段T3向第二数据写入模块120的控制端提供第二数据扫描信号,并向第二数据写入模块120的输入端提供第二数据电压,该第二数据电压高于所述第一数据电压。

[0073] 在本申请中,对第一数据写入模块110的具体结构并不做特殊的限制,作为一种优选实施方式,第一数据写入模块110的控制端包括N型控制端和P型控制端,相应地,所述第一数据扫描信号包括第一N型数据扫描信号和第一P型数据扫描信号。在充电阶段T2,向第一数据写入模块110的N型控制端提供第一N型数据扫描信号,并向第一数据写入模块110的P型控制端提供第一P型数据扫描信号。

[0074] 进一步地,第一数据写入模块110包括N型数据写入晶体管N1和P型数据写入晶体管P1,其中,N型数据写入晶体管N1的第一极与P型晶体管P1的第一极电连接,以形成为第一数据写入模块110的输入端,N型数据写入晶体管N1的第二极与P型数据写入晶体管P1的第二极电连接,以形成为第一数据写入模块110的输出端。N型数据写入晶体管N1的栅极形成为所述N型控制端,P型数据写入晶体管P1的栅极形成为所述P型控制端。由此可知,N型数据写入晶体管N1和P型数据写入晶体管P1形成传输门。

[0075] N型数据写入晶体管N1的第一极和N型数据写入晶体管N1的第二极能够在该N型数据写入晶体管N1的栅极接收到第一N型数据扫描信号时导通,N型数据写入晶体管N1的第一极和N型数据写入晶体管N1的第二极能够在该N型数据写入晶体管N1的栅极接收到第三N型数据扫描信号时断开。其中,第一N型数据扫描信号为高电平信号,第三N型数据扫描信号为低电平信号。

[0076] P型数据写入晶体管P1的第一极和P型数据写入晶体管P1的第二极能够在该P型数据写入晶体管P1的栅极接收到第一P型数据扫描信号时导通,P型数据写入晶体管P1的第一极和P型数据写入晶体管P1的第二极能够在该P型数据写入晶体管P1的栅极接收到第三P型数据扫描信号时断开。其中,第一P型数据扫描信号为高电平信号,第三P型数据扫描信号为低电平信号。

[0077] 第一数据写入模块110形成为包括P型数据写入晶体管和N型数据写入晶体管的传输门的形式,可以提高该第一数据写入模块允许输入的数据电压的范围,具体地,N型数据写入晶体管N1可以允许输入电压值较高的数据电压,P型数据写入晶体管P1可以允许输入电压值较低的数据电压。

[0078] 在本发明中,对复位模块130的具体结构不做特殊的限制,在图2中所示的具体实施方式中,复位模块130包括第一复位晶体管N3和第二复位晶体管N2,且第一复位晶体管N3为N型晶体管。

[0079] 第一复位晶体管N3的栅极形成为复位模块130的控制端,第一复位晶体管N3的第一极形成为复位模块130的输入端,第一复位晶体管N3的第二极形成为复位模块130的第一输出端,第一复位晶体管N3的第一极和第一复位晶体管N3的第二极能够在第一复位晶体管N3的栅极接收到第一复位控制信号时导通,且第一复位晶体管N3的第一极和第一复位晶体管N3的第二极能够在接收到第二复位控制信号时断开,所述第一复位控制信号和所述第二复位控制信号相位相反。第一复位晶体管N3的第一极与参考电平输入端Vcom电连接,因此,利用第一复位晶体管N3可以实现对存储模块130第二端的复位。

[0080] 第二复位晶体管N2的栅极与第一复位晶体管N3的栅极电连接,第二复位晶体管N2的第一极与第二复位晶体管N2的第一极电连接,第二复位晶体管N2的第二极形成复位模块130的第二输出端,第二复位晶体管N2的第一极和第二复位晶体管N2的第二极能够在该第二复位晶体管N2的栅极接收到第一复位控制信号时导通,并且第二复位晶体管N2的第一极和第二复位晶体管N2的第二极能够在该第二复位晶体管N2的栅极接收到第二复位控制信号时断开。

[0081] 第二复位晶体管N2的第一极与参考电平信号端Vcom电连接,因此,利用第二复位晶体管N2可以对发光二极管OLED的阳极进行复位。

[0082] 在本发明中,对第二复位晶体管N2的类型不做特殊限定,例如,在图2中所示的具体实施方式中,第二复位晶体管N2为N型晶体管。

[0083] 在本发明中,对第二数据写入模块120的具体结构并不做特殊的限定,例如,第二数据写入模块120包括第二数据写入晶体管P3,该第二数据写入晶体管P3的栅极形成第二数据写入模块120的控制端,第二数据写入晶体管P3的第一极形成第二数据写入模块120的输入端,第二数据写入晶体管P3的第二极形成第二数据写入模块120的输出端。

[0084] 第二数据写入晶体管P3的第一极和第二数据写入晶体管P3的第二极能够在该第二数据写入晶体管P3的栅极接收到第二数据扫描信号时导通,且第二数据写入晶体管P3的第一极和第二数据写入晶体管P3的第二极能够在该第二数据写入晶体管P3的栅极接收到第四数据扫描信号时导通,其中,第二数据扫描信号和第四数据扫描信号相位相反。

[0085] 作为一种优选实施方式,第二数据写入晶体管P3为P型晶体管。当然,本发明并不限于此,例如,也可以将第二数据写入晶体管设置为N型晶体管。

[0086] 在本发明中,对发光控制模块150的具体结构并不做特殊限制,为了简化发光控制模块150的结构,优选地,发光控制模块150包括发光控制晶体管P2。

[0087] 具体地,发光控制晶体管P2的栅极形成发光控制模块150的控制端,发光控制晶体管P2的第一极与高电平信号端Vdd电连接,发光控制晶体管P2的第二极与驱动晶体管DTFT的第一极电连接。

[0088] 发光控制晶体管P2的第一极和发光控制晶体管P2的第二极能够在该发光控制晶体管P2的栅极接收到第一发光控制信号时导通,发光控制晶体管P2的第一极和发光控制晶体管P2的第二极能够在该发光控制晶体管P2的栅极接收到第一发光控制信号时导通,且发光控制晶体管P2的第一极和发光控制晶体管P2的第二极能够在该发光控制晶体管P2的栅极接收到第二发光控制信号时断开。其中,所述第一发光控制信号与所述第二发光控制信号相位相反。

[0089] 在本发明中,对发光控制晶体管P2的具体类型也不做特殊的要求,在图2中所示的具体实施方式中,发光控制晶体管P2为P型晶体管,第一发光控制信号为低电平信号,第二发光控制信号为高电平信号。作为另一种实施方式,发光控制晶体管可以为N型晶体管,相应地,第一发光控制信号为高电平信号,第二发光控制信号为低电平信号。

[0090] 在本发明中,对存储模块140的具体结构也没有特殊的要求,只要能够存储通过第一数据写入模块110写入的第一数据电压以及通过第二数据写入模块120写入的第二数据电压即可。在图2中所示的具体实施方式中,存储模块140包括存储电容C,该存储电容C的第一端形成存储模块140的第一端,存储电容C的第二端形成存储模块140的第二端。

[0091] 在图2中所示的具体实施方式中,第一数据写入模块110包括N型数据写入晶体管N1和P型数据写入晶体管P1,第二数据写入模块120包括第二数据写入晶体管P3,复位模块130包括第一复位晶体管N3和第二复位晶体管N2,存储模块140包括存储电容C,发光控制模块150包括发光控制晶体管P2。从图2中可以容易地看出,N型数据写入晶体管N1、第一复位晶体管N3和第二复位晶体管N2均为N型晶体管,P型数据写入晶体管P1、发光控制晶体管P2、第二数据写入晶体管P3均为P型晶体管。

[0092] N型数据写入晶体管N1的栅极与第一N型栅线Gate1电连接,P型数据写入晶体管P1的栅极与第一P型栅线gate2电连接,第一复位晶体管N3的栅极与复位信号线EM1电连接,第二复位晶体管N2的栅极与复位信号线EM1电连接,第二数据写入晶体管P3的栅极与第二栅线Gate3电连接,发光控制晶体管P2的栅极与发光控制信号线EM电连接。第一数据写入模块110的输入端与数据线Data1电连接,第二数据写入模块120的输入端与数据线Data2电连接。

[0093] 在复位阶段T1,栅线Gate1提供低电平信号,栅线Gate2提供高电平信号,复位控制信号线EM1提供高电平信号的第一复位控制信号,发光控制信号线EM提供高电平信号,数据线Data1和数据线Data2均无信号输入。在此阶段,并不向栅线Gate3提供第二数据扫描信号。相应地,在复位阶段,N型数据写入晶体管N1、P型数据写入晶体管P1均截止,第二数据写入晶体管P3和发光控制晶体管P2也截止,第一复位晶体管N3和第二复位晶体管N2导通,从而对存储电容C的第二端以及发光二极管OLED的阳极进行复位。对存储电容C的第二端复位以及对发光二极管OLED的阳极复位可以避免包括所述像素电路的显示装置在显示时出现动态模糊(motionblur)。

[0094] 在充电阶段T2,向第一N型栅线Gate1提供高电平信号,向第一P型栅线Gate2提供低电平信号,向复位信号线EM1提供高电平信号,向发光控制信号线提供高电平信号,向第一数据线Data1提供第一数据电压,不向第一数据线Data2提供数据电压。在此阶段,向第二栅线Gate3提供高电平信号。在充电阶段T2,N型数据写入晶体管N1、P型数据写入晶体管P1导通,第一数据电压写入存储电容C中。除此之外,第二数据写入晶体管P3、发光控制晶体管P2、第一复位晶体管N3和第二复位晶体管N2均截止,并且此时驱动晶体管DTFT的栅极电压为第一数据电压V1。

[0095] 在电压跳变阶段T3,向第二栅线Gate3提供低电平信号,控制第二数据写入晶体管P3导通,从而可以通过数据线Data2将第二数据电压写入存储电容C。此时,驱动晶体管DTFT的栅极电压上升为第二数据电压V2。由于所有晶体管均为硅基晶体管,为了确保N型数据写入晶体管N1的任意两极间的电压差在阈值电压范围内、P型数据写入晶体管P1的任意两极之间的电压差在阈值电压范围内,相应地,通过第一N型栅线Gate1写入的信号的电压以及通过第一P型栅线Gate2写入的信号的电压都应当高于充电步骤T2中的电压,如图3中所示。

[0096] 在发光阶段T4,向第一N型栅线Gate1提供低电平信号,向第一P型栅线Gate2提供高电平信号,确保N型数据写入晶体管N1和P型数据写入晶体管P2均处于截止状态。并且,向第二栅线Gate3提供高电平信号,确保第二数据写入晶体管P3截止。在发光阶段T3,驱动晶体管DTFT的栅极电压保持在第二数据电压V2,根据源跟随原理可知,驱动晶体管DTFT的源极(即,驱动晶体管DTFT的第二极)电压为 $V2 - V_{th}$,其中, V_{th} 为驱动晶体管DTFT的阈值电压。在本发明中,由于V2具有较高的电压范围,因此,驱动晶体管DTFT的源极(即,发光二极管

OLED的阳极)也具有较高的电压范围,从而可以满足实现高对比度显示模式的第二模式。

[0097] 上文中所述的是所述像素电路实现高对比度模式的第二模式的工作原理,下面简要介绍所述像素电路实现高亮度显示模式的第一模式时的工作原理。

[0098] 在实现像素电路的第一模式时,所述像素电路的工作周期可以只包括复位阶段T1、充电阶段T2和发光阶段T4,而不包括电压跳变阶段T3。当然,本发明并不限于此,所述像素电路的工作周期也可以包括电压跳变阶段T3,不同之处在于,在电压跳变阶段T3,通过数据线Data2提供第一数据电压。因此,在此阶段,第一N型栅线Gate1的电压保持充电阶段T2的电压,第一P型栅线Gate2的电压保持充电阶段T2的电压,驱动晶体管DTFT的栅极电压仍然为第一数据电压V1,源极电压为V1-V_{th}。由于第一数据电压低于第二数据电压,因此,驱动晶体管DTFT的源极电压也低于V2-V_{th},从而可以确保发光二极管的阳极和阴极之间的压差较小,满足高亮度的模式二。

[0099] 作为本发明的第二个方面,提供一种显示面板,所述显示面板包括多个像素单元,每个像素单元内均设置有像素电路,其中,所述像素电路为本发明所提供的上述像素电路,所述像素单元排列为多行多列,多行像素单元分别与多个栅线组一一对应,多列像素单元分别与多列数据线组一一对应。

[0100] 如图1和图2所示,所述栅线组包括第一栅线、第二栅线Gate3、复位信号线EM1和发光控制信号线EM,同一行中,所述像素单元的第一数据写入模块110的控制端与所述第一栅线电连接,所述像素单元的第二数据写入模块120的控制端与所述第二栅线Gate3电连接,所述像素单元的复位单元的控制端与所述复位信号线电连接,所述像素单元的发光控制模块150的控制端与发光控制信号线EM电连接。

[0101] 所述数据线组包括第一数据线Data1和第二数据线Data2,同一列中,所述像素单元的第一数据写入模块110的输入端与第一数据线Data1电连接,所述像素单元的第二数据写入模块120的输入端与第二数据线Data2电连接。

[0102] 优选地,所述第一数据写入模块的控制端包括N型控制端和P型控制端,所述第一数据扫描信号包括第一N型数据扫描信号和第一P型数据扫描信号。

[0103] 并且,所述第一数据写入模块包括N型数据写入晶体管N1和P型数据写入晶体管N2,相应地,所述第一栅线包括第一N型栅线Gate1和第一P型栅线Gate2,在同一行中,所述像素单元的N型控制端与第一N型栅线Gate1电连接,所述像素单元的P型控制端与第一P型栅线Gate2电连接。

[0104] 作为本发明的第三个方面,提供一种显示装置,所述显示装置包括显示面板、驱动电路和光敏元件,其中,所述显示面板为本发明所提供的上述显示面板,所述光敏元件用于检测所述显示装置所处的环境的亮度并在所述亮度低于预设亮度时生成触发信号。

[0105] 当所述光敏元件生成所述触发信号时,如图3所示,所述显示面板的工作周期包括复位阶段T1、充电阶段T2、电压跳变阶段T3和发光阶段T4,其中,所述驱动电路用于:

[0106] 在复位阶段T1,向所有复位信号线提供第一复位控制信号,向所有第一栅线提供第三数据扫描信号,向所有第二栅线提供第四数据扫描信号,向所有发光控制信号线提供第二发光控制信号;

[0107] 在充电阶段T2,向所有复位信号线提供第二复位控制信号,按照预定扫描顺序依次向各条第一栅线提供第一数据扫描信号,向所有第二栅线提供第四数据扫描信号,向所

有发光控制信号线提供第二发光控制信号,向所述第一数据线提供第一数据电压;

[0108] 在所述电压跳变阶段T3,向所有复位信号线提供第二复位控制信号,向所有第一栅线提供第五数据扫描信号,按照所述预定扫描顺序依次向各条第二栅线提供第二数据扫描信号,向所有发光控制信号线提供第二发光控制信号,向所述第二数据线提供第二数据电压,所述第二数据电压比所述第一数据电压高预设值,并且,所述第五数据扫描信号的电压高于所述第一数据扫描信号的电压;

[0109] 在发光阶段T4,向所有复位信号线提供第二复位控制信号,向所有第一栅线提供第三数据扫描信号,向所有第二栅线提供第四数据扫描信号,向所有发光控制信号线提供第一发光控制信号。

[0110] 上文中已经对所述像素电路的工作原理和有益效果进行了详细的描述,这里不再赘述。

[0111] 在本申请中,对所述“预设值”不做特殊限制,例如,对于一种发光二极管而言,实现高对比度(例如,20000:1)的数据电压范围为5V至9V,而实现高亮度(>1500nit)的数据电压范围为1V至5V。那么,在本申请中,所述预设值则为4V。

[0112] 需要指出的是,当所述光敏元件未生成所述触发信号时,所述显示面板的工作周期包括复位阶段、充电阶段和发光阶段三个阶段。

[0113] 或者,当所述光敏元件未生成所述触发信号时,所述显示面板的工作周期也包括复位阶段、充电阶段、电压调节阶段和发光控制阶段,不同之处在于,充电阶段和电压调节阶段的信号相同。

[0114] 在所述第一数据写入模块的控制端包括N型控制端和P型控制端、所述第一数据写入模块包括N型数据写入晶体管和P型数据写入晶体管的实施方式中:

[0115] 所述第一数据扫描信号包括向所述第一N型栅线提供的第一N型数据扫描信号和向所述第一P型栅线提供的第一P型数据扫描信号,所述第三数据扫描信号包括向所述第一N型栅线提供的第三N型数据扫描信号和向所述第一P型栅线提供的第三P型数据扫描信号,其中,所述第一N型数据扫描信号为高电平信号,所述第三N型数据扫描信号为低电平信号,所述第一P型数据扫描信号为低电平信号,所述第三P型数据扫描信号为高电平信号;

[0116] 所述第五数据扫描信号包括向所述第一N型栅线提供给的第五N型数据扫描信号和向所述第一P型栅线提供的第五P型数据扫描信号,所述第五N型数据扫描信号高于所述第一N型数据扫描信号的电压,所述第五P型数据扫描信号的电压高于所述第一P型数据扫描信号的电压。

[0117] 在本发明中,对显示装置的具体结构不做特殊的限制,例如,所述显示装置可以是近眼设备(例如,VR眼镜),从而可以根据周围环境更好地模拟虚拟场景,有利于提高使用者的体验。

[0118] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

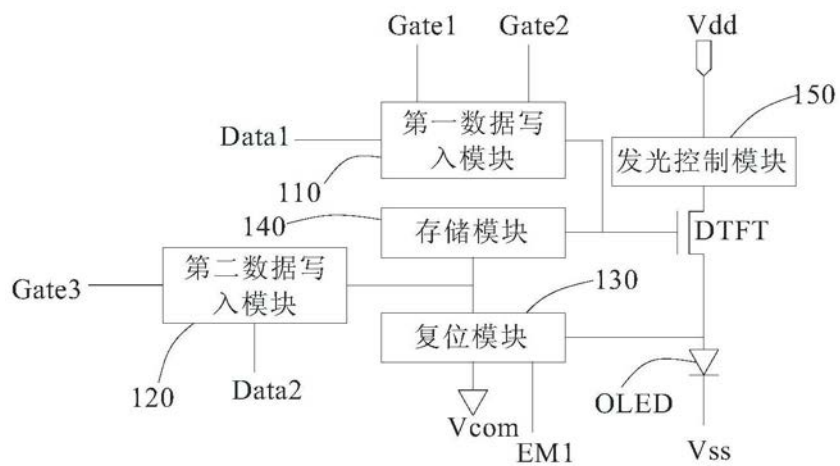


图1

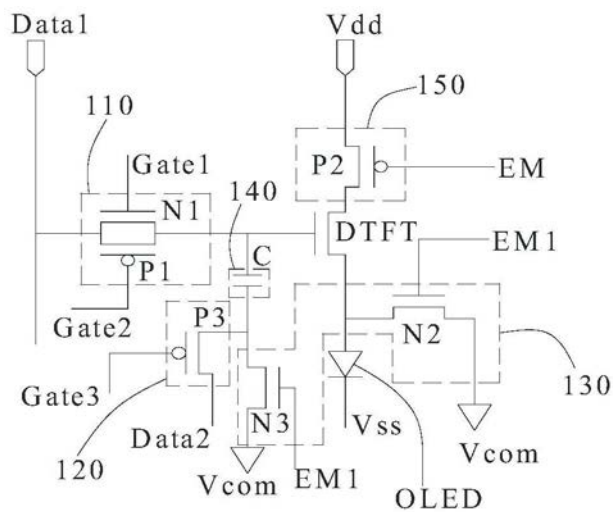


图2

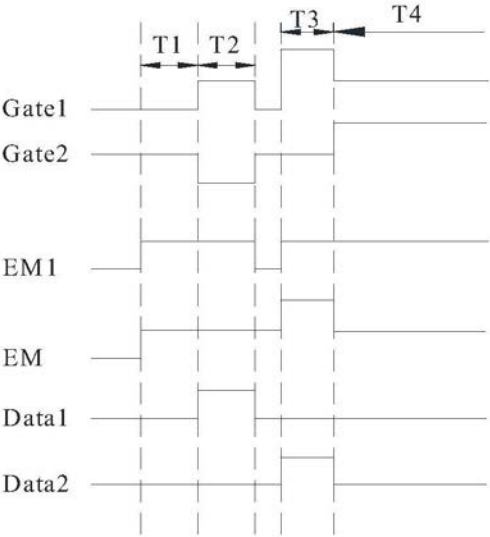


图3

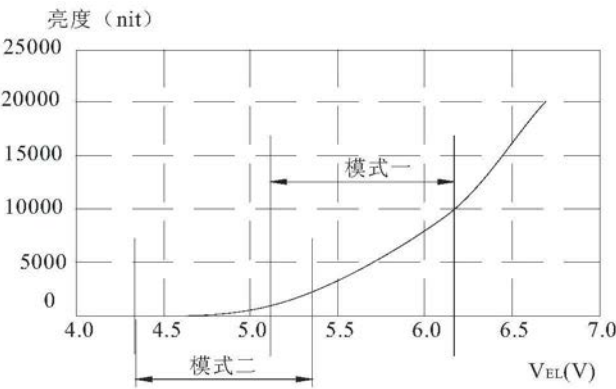


图4

专利名称(译)	像素电路、显示面板和显示装置		
公开(公告)号	CN108510946B	公开(公告)日	2019-12-31
申请号	CN201810353782.5	申请日	2018-04-19
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	杨盛际 董学 陈小川 王辉		
发明人	杨盛际 董学 陈小川 王辉		
IPC分类号	G09G3/3258 G09G3/3275		
CPC分类号	G09G3/3258 G09G3/3275		
代理人(译)	陈源		
审查员(译)	陈晨		
其他公开文献	CN108510946A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种像素电路包括发光二极管、驱动晶体管、第一数据写入模块、第二数据写入模块、复位模块、存储模块和发光控制模块，所述第二数据写入模块的输出端与所述存储模块的第二端电连接，所述第二数据写入模块的输入端和该第二数据写入模块的输出端能够在该第二数据写入模块的控制端接到第二数据扫描信号时导通。本发明还提供一种显示面板、一种显示装置。所述像素电路可以在不增加低电平信号端的前提下实现两种发光模式，结构简单易于实现。

