



(12)发明专利申请

(10)申请公布号 CN 109410832 A

(43)申请公布日 2019.03.01

(21)申请号 201810937439.5

(22)申请日 2018.08.17

(30)优先权数据

62/547,030 2017.08.17 US

15/996,366 2018.06.01 US

(71)申请人 苹果公司

地址 美国加利福尼亚

(72)发明人 林敬伟 杨玄 钱闯

A·嘉姆史迪罗德巴里 常鼎国

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 边海梅

(51)Int.Cl.

G09G 3/3208(2016.01)

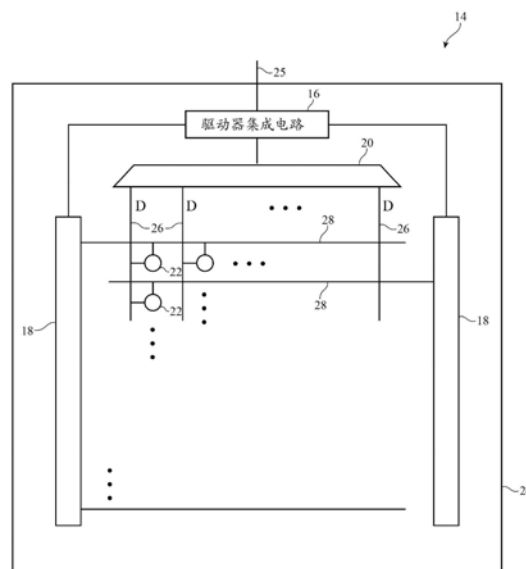
权利要求书3页 说明书11页 附图16页

(54)发明名称

具有低刷新率显示器像素的电子设备

(57)摘要

本发明题为“具有低刷新率显示器像素的电子设备”。本发明公开了一种显示器,该显示器可具有在低刷新率下操作的有机发光二极管显示器像素的阵列。每个显示器像素可具有六个薄膜晶体管和一个电容器。该六个晶体管中的一个可用作驱动晶体管,并且可使用剩余的五个晶体管和电容器来补偿。可在阈值电压取样之前施加一项或多项偏置应力操作以减轻第一帧变暗。可在垂直消隐周期期间插入多项阳极重置和偏置应力操作,以减少闪烁和保持平衡,并且还可在连续数据刷新之间插入这些操作以改善第一帧性能。可以使用脉宽调制方案将控制每个像素的两个不同发射信号一起来回切换,以帮助提供更暗的黑电平。



1. 一种显示器像素,包括:

发光二极管;

电源线路;

数据线;

初始化线路;

第一晶体管,所述第一晶体管具有源极端子和耦接至所述数据线的漏极端子;

第二晶体管,所述第二晶体管具有漏极端子、栅极端子和耦接至所述第一晶体管的所述源极端子的源极端子;

第三晶体管,所述第三晶体管耦接在所述第二晶体管的所述漏极端子和所述栅极端子之间;

第四晶体管,所述第四晶体管耦接在所述电源线路和所述第二晶体管之间;

第五晶体管,所述第五晶体管耦接在所述第二晶体管和所述发光二极管之间;和

第六晶体管,所述第六晶体管耦接在所述初始化线路和所述发光二极管之间,其中在偏置应力阶段期间,只有所述第一晶体管被打开以减轻所述第二晶体管的阈值电压滞后。

2. 根据权利要求1所述的显示器像素,其中所述第三晶体管具有接收第一扫描信号的栅极端子,其中所述第六晶体管具有接收所述第一扫描信号的栅极端子,其中所述第一晶体管具有接收不同于所述第一扫描信号的第二扫描信号的栅极端子,其中所述第五晶体管具有接收第一发射信号的栅极端子,并且其中所述第四晶体管具有接收不同于所述第一发射信号的第二发射信号的栅极端子。

3. 根据权利要求2所述的显示器像素,其中在所述偏置应力阶段期间,只有所述第二扫描信号被断言,而所述第一扫描信号、所述第一发射信号和所述第二发射信号被解除断言。

4. 根据权利要求3所述的显示器像素,其中初始化阶段在所述偏置应力阶段之前,在所述初始化阶段期间只有所述第一扫描信号和所述第二发射信号被断言。

5. 根据权利要求4所述的显示器像素,其中阈值电压取样和数据写入阶段紧接在所述偏置应力阶段之后,并且其中在所述阈值电压取样和数据写入阶段期间,只有所述第一扫描信号和所述第二扫描信号被断言。

6. 根据权利要求5所述的显示器像素,其中所述偏置应力阶段、所述初始化阶段和所述阈值电压取样和数据写入阶段在数据刷新周期期间被执行,其中消隐周期接在所述数据刷新周期之后,其中所述消隐周期比所述数据刷新周期长至少十倍,并且其中在所述消隐周期期间执行多项阳极重置操作以减少闪烁。

7. 根据权利要求6所述的显示器像素,其中在所述多项阳极重置操作的每一项期间只有所述第二扫描信号和所述第一发射信号被断言,并且其中在所述多项阳极重置操作的每一项之前施加额外的偏置应力阶段以提供平衡的晶体管应力,并且其中在所述额外的偏置应力阶段期间只有所述第二扫描信号被断言。

8. 根据权利要求2至7中任一项所述的显示器像素,还包括:

存储电容器,所述存储电容器耦接在所述第二晶体管的所述栅极端子和所述第六晶体管的漏极端子之间,其中:

所述第五晶体管具有耦接至所述第二晶体管的所述源极端子的漏极端子并且具有直接耦接至所述发光二极管的源极端子;并且

所述第六晶体管具有耦接至所述第五晶体管的所述源极端子的漏极端子并且具有直接耦接至所述初始化线路的源极端子。

9. 一种操作显示器像素的方法, 所述显示器像素包括发光二极管, 电源线路, 数据线, 初始化线路, 具有源极端子和耦接至所述数据线的漏极端子的第一晶体管, 具有漏极端子、栅极端子和耦接至所述第一晶体管的所述源极端子的源极端子的第二晶体管, 耦接在所述第二晶体管的所述漏极端子和所述栅极端子之间的第三晶体管, 耦接在所述电源线路和所述第二晶体管之间的第四晶体管, 耦接在所述第二晶体管和所述发光二极管之间的第五晶体管, 以及耦接在所述初始化线路和所述发光二极管之间的第六晶体管, 所述方法包括:

以小于30Hz的总体刷新率操作所述显示器像素; 以及

在所述显示器像素从显示黑色转换为显示白色时, 执行多项偏置应力操作以减轻所述第二晶体管的阈值电压滞后, 其中在所述偏置应力操作期间, 只有所述第一晶体管被打开。

10. 根据权利要求9所述的方法, 还包括:

向所述第三晶体管的栅极端子和所述第六晶体管的栅极端子提供第一扫描信号;

向所述第一晶体管的栅极端子提供第二扫描信号;

向所述第五晶体管的栅极端子提供第一发射信号; 以及

向所述第四晶体管的栅极端子提供第二发射信号。

11. 根据权利要求10所述的方法, 还包括:

在所述显示器像素从显示黑色转换为显示白色时, 执行阳极重置操作连同所述偏置应力操作, 其中在所述阳极重置操作的每一项期间, 只有所述第二扫描信号和所述第一发射信号被推高。

12. 根据权利要求11所述的方法, 还包括:

在所述显示器像素从显示黑色转换为显示白色时, 以第一速率执行多项数据刷新操作, 其中以大于所述第一速率的第二速率形成所述阳极重置操作, 并且其中执行所述数据刷新操作包括:

通过仅推高所述第一扫描信号和所述第二发射信号来执行初始化阶段;

通过仅推高所述第二扫描信号来执行偏置应力阶段;

通过仅推高所述第一扫描信号和所述第二扫描信号来执行阈值电压取样和数据写入阶段; 以及

通过仅推高所述第一发射信号和所述第二发射信号来执行发射阶段。

13. 根据权利要求9至12中任一项所述的方法, 还包括:

在垂直消隐周期期间, 执行多项阳极重置操作以减少闪烁, 其中在所述多项阳极重置操作的每一项期间, 只有所述第二扫描信号和所述第一发射信号被断言; 以及

在所述多项阳极重置操作的每一项之前施加额外的偏置应力操作, 以提供平衡的晶体管应力, 其中在所述额外的偏置应力阶段期间, 只有所述第二扫描信号被断言。

14. 一种电子设备, 包括:

显示器, 所述显示器具有至少一个显示器像素, 其中所述显示器像素包括:

发光二极管;

电源线路;

数据线;

初始化线路;

第一晶体管,所述第一晶体管具有源极端子和耦接至所述数据线的漏极端子;

第二晶体管,所述第二晶体管具有漏极端子、栅极端子和耦接至所述第一晶体管的所述源极端子的源极端子;

存储电容器,所述存储电容器具有连接至所述第二晶体管的所述栅极端子的第一端子和连接至所述发光二极管的第二端子;

第三晶体管,所述第三晶体管耦接在所述第二晶体管的所述漏极端子和所述栅极端子之间;

第四晶体管,所述第四晶体管耦接在所述电源线路和所述第二晶体管之间;

第五晶体管,所述第五晶体管耦接在所述第二晶体管和所述发光二极管之间;和

第六晶体管,所述第六晶体管耦接在所述初始化线路和所述发光二极管之间,其中所述第五晶体管具有接收第一发射信号的栅极端子,其中所述第四晶体管具有接收第二发射信号的栅极端子,并且其中使用脉宽调制(PWM)方案来同时来回切换所述第一发射信号和所述第二发射信号,以控制所述显示器像素的亮度。

15. 根据权利要求14所述的电子设备,其中在一个脉宽调制周期期间,所述第一发射信号被推高而所述第二发射信号被推低以执行阳极重置,其中在所述阳极重置期间只有所述第一发射信号被推高,其中所述第三晶体管和所述第六晶体管具有接收第一扫描信号的栅极端子,其中所述第一晶体管具有接收第二扫描信号的栅极端子,其中所述阳极重置后接放电阶段,在所述放电阶段期间只有所述第二扫描信号被高脉冲化以使所述显示器像素放电并减少漏电,并且其中在偏置应力阶段只有所述第二扫描信号被推高以减轻所述第二晶体管的阈值电压滞后。

16. 根据权利要求14至15中任一项所述的电子设备,其中在消隐周期期间执行多项阳极重置操作以减少闪烁。

17. 根据权利要求14至16中任一项所述的电子设备,其中所述第三晶体管为半导体氧化物晶体管,并且其中所述第一晶体管、所述第二晶体管、所述第四晶体管、所述第五晶体管和所述第六晶体管为硅晶体管。

18. 根据权利要求14至16中任一项所述的电子设备,其中所述第三晶体管和所述第六晶体管为半导体氧化物晶体管,并且其中所述第一晶体管、所述第二晶体管、所述第四晶体管和所述第五晶体管为硅晶体管。

19. 根据权利要求14至16中任一项所述的电子设备,其中所述第二晶体管、所述第三晶体管和所述第六晶体管为半导体氧化物晶体管,并且其中所述第一晶体管、所述第四晶体管和所述第五晶体管为硅晶体管。

20. 根据权利要求14至16中任一项所述的电子设备,其中所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管和所述第六晶体管为半导体氧化物晶体管。

具有低刷新率显示器像素的电子设备

[0001] 本申请要求2018年6月1日提交的美国专利申请No.15/996,366以及2017年8月17日提交的临时专利申请No.62/547,030的优先权,这些专利申请据此全文以引用方式并入本文。

技术领域

[0002] 本发明总体涉及电子设备,并且更具体地,涉及具有显示器的电子设备。

背景技术

[0003] 电子设备通常包括显示器。例如,蜂窝电话和便携式计算机包括用于向用户呈现信息的显示器。

[0004] 显示器,诸如有机发光二极管显示器,具有基于发光二极管的显示器像素阵列。在这种类型的显示器中,每个显示器像素都包括发光二极管和薄膜晶体管,薄膜晶体管用于控制向发光二极管施加信号以产生光。

[0005] 薄膜晶体管中的阈值电压变化可引起不期望的可见显示伪影。例如,阈值电压滞后可使白色像素依据上下文而以不同方式显示。帧中的白色像素,例如,如果其之前为一帧白色像素,则可被准确地显示,但如果其之前为一帧黑色像素,则可被不准确地显示(即,其可具有灰色外观)。显示器中显示器像素的光输出的这类历史依赖性行为使显示器表现出低响应时间。为解决与阈值电压变化相关联的问题,显示器诸如有机发光二极管显示器提供有阈值电压补偿电路。然而,此类电路可能不会充分地解决所有阈值电压变化,可能不会令人满意地改善响应时间,并且可能具有难以实现的设计。

发明内容

[0006] 电子设备可包括具有显示器像素阵列的显示器。显示器像素可以是有机发光二极管显示器像素。每个显示器像素可包括发光二极管,电源线路,数据线,初始化线路,具有源极端子和耦接至数据线的漏极端子的第一晶体管,具有漏极端子、栅极端子和耦接至第一晶体管的源极端子的源极端子的第二晶体管,耦接在第二晶体管的漏极端子和栅极端子之间的第三晶体管,耦接在电源线路和第二晶体管之间的第四晶体管,耦接在第二晶体管和发光二极管之间的第五晶体管,耦接在初始化线路和发光二极管之间的第六晶体管,以及串联耦接在第三晶体管和第六晶体管之间的存储电容器。

[0007] 第三晶体管具有接收第一扫描信号的栅极端子。第六晶体管具有接收第一扫描信号的栅极端子。第一晶体管具有接收不同于第一扫描信号的第二扫描信号的栅极端子。第五晶体管具有接收第一发射信号的栅极端子。第四晶体管具有接收不同于第一发射信号的第二发射信号的栅极端子。

[0008] 显示器像素可使用四阶段刷新方案刷新,四阶段刷新方案包括其间仅第一扫描信号和第二发射信号被断言的初始化阶段、其间仅第二扫描信号被断言的偏置应力阶段、其间仅第一扫描信号和第二扫描信号被断言的阈值电压取样和数据写入阶段,以及其间仅第

一发射信号和第二发射信号被断言的发射阶段。在阈值电压取样和数据写入阶段之前执行偏置应力阶段可帮助减轻第二晶体管的阈值电压滞后,这可阻止第一帧变暗(例如,当像素正在从显示黑电平转换到白电平时,防止亮度显著变暗)。

[0009] 这种类型的显示器像素可能也适合以低刷新率(例如,1Hz、2Hz等)操作,其中垂直消隐周期比数据刷新周期长至少十倍。可在垂直消隐周期期间插入多项阳极重置操作以帮助减少闪烁。额外的偏置应力操作可在垂直消隐周期期间与阳极重置操作一起执行,以帮助平衡晶体管应力。当显示器像素从黑色转换为白色(或从一个灰度转换到另一个灰度)时,可施加多项数据刷新和多项阳极重置(通过偏置应力),以帮助提供更快、更稳定的阈值电压稳定和改善的第一帧性能。也可使用脉宽调制(PWM)方案同时来回切换第一发射控制信号和第二发射控制信号以控制显示器的亮度,同时减少漏电流。

附图说明

[0010] 图1是根据一个实施方案的例示性显示器诸如具有有机发光二极管显示器像素阵列的有机发光二极管显示器的示意图。

[0011] 图2是根据一个实施方案的例示性显示驱动器电路的电路图。

[0012] 图3是根据一个实施方案的低刷新率显示驱动方案的示意图。

[0013] 图4是根据一个实施方案的例示性有机发光二极管显示器像素的电路图。

[0014] 图5是示出了根据一个实施方案的如何在阈值电压取样之前施加偏置应力的时序图。

[0015] 图6A-图6D是示出了根据一个实施方案的图4的显示器像素在图5所示的四个不同阶段期间的配置的示意图。

[0016] 图7是示出了根据一个实施方案的致使第一帧变暗的薄膜晶体管滞后效应的示意图。

[0017] 图8A是示出了根据一个实施方案的在被延长的消隐周期期间如何执行一项或多项阳极重置操作的时序图。

[0018] 图8B是示出了根据一个实施方案的相关信号在图8A中所示的阳极重置操作期间的行为的时序图。

[0019] 图9A和图9B是示出了根据一个实施方案的图4的显示器像素在图8B所示的两个不同阶段期间的配置的示意图。

[0020] 图10是示出了根据一个实施方案如何在被延长的消隐周期期间于阳极重置之前施加偏置应力的时序图。

[0021] 图11A-图11D是示出了根据一个实施方案的图4的显示器像素在图10所示的不同阶段期间的配置的示意图。

[0022] 图12是示出了根据一个实施方案的如何在多刷新驱动方案期间插入多项阳极重置和偏置应力操作以帮助减少第一帧变暗的示意图。

[0023] 图13是示出了根据一个实施方案的如何同时来回切换第一发射信号和第二发射信号以在数据刷新阶段期间帮助减轻不良灰迹问题的时序图。

[0024] 图14是示出了根据一个实施方案的如何仅在阳极重置阶段的第一PWM(脉宽调制)周期期间,使第一发射信号和第二发射信号可具有不同占空比以帮助最大限度减少漏电流的

时序图。

具体实施方式

[0025] 电子设备中的显示器可提供有用于在显示器像素阵列上显示图像的驱动器电路。图1中示出了例示性显示器。如图1所示,显示器14可具有一个或多个层,诸如基板24。诸如基板24的层可由诸如平面玻璃层的材料的平面矩形层形成。显示器14可具有显示器像素22的阵列以用于为用户显示图像。显示器像素22的阵列可由基板24上的显示器像素结构的行和列形成。这些结构可包括薄膜晶体管,诸如多晶硅薄膜晶体管、半导体氧化物薄膜晶体管等。在显示器像素22的阵列中可以有任意适当数目的行和列(例如,十个或更多个、一百个或更多个,或者一千个或更多个)。

[0026] 可以利用焊料或导电粘合剂将诸如显示驱动器集成电路16的显示驱动器电路耦接至诸如基板24上的金属迹线的导电路径。显示驱动器集成电路16(有时称为定时控制器芯片)可包含用于通过路径25与系统控制电路通信的通信电路。路径25可由柔性印刷电路上的迹线或其他缆线形成。系统控制电路可位于电子设备中的主逻辑板上,电子设备诸如为蜂窝电话、计算机、电视、机顶盒、媒体播放器、便携式电子设备、或正在使用显示器14的其他电子设备。在操作期间,系统控制电路可以为显示驱动器集成电路16提供与要经由路径25在显示器14上显示的图像有关的信息。为了在显示器像素22上显示图像,显示驱动器集成电路16可以向显示驱动器电路(诸如行驱动器电路18和列驱动器电路20)提供时钟信号和其他控制信号。行驱动器电路18和/或列驱动器电路20可由基板24上的一个或多个集成电路和/或一个或多个薄膜晶体管电路形成。

[0027] 行驱动器电路18可以位于显示器14的左右边缘上,仅在显示器14的单个边缘上,或显示器14中的其他位置。在操作期间,行驱动器电路18可在水平线28(有时称为行线或“扫描”线)上提供行控制信号。因此,行驱动器电路18可有时称为扫描线驱动器电路。如果需要,行驱动器电路18还可用于提供其他行控制信号。

[0028] 可使用列驱动器电路20向多个对应的垂直线26上提供来自显示驱动器集成电路16的数据信号D。列驱动器电路20有时可以称为数据线驱动器电路或源极驱动器电路。垂直线26有时称为数据线。在补偿操作期间,列驱动器电路20可使用路径诸如垂直线26来提供基准电压。在编程操作期间,利用线路26向显示器像素22中加载显示数据。

[0029] 每一数据线26都与相应列的显示器像素22相关联。多组水平信号线28通过显示器14水平延伸。电源路径及其他线也可将信号提供至像素22。每组水平信号线28都与相应行的显示器像素22相关联。每行中的水平信号线的数目可由被水平信号线独立控制的显示器像素22中的晶体管数目决定。不同配置的显示器像素可由不同数目的控制线、数据线、电源线路等来操作。

[0030] 行驱动器电路18可以断言显示器14中的行线28上的控制信号。例如,驱动器电路18可从显示驱动器集成电路16接收时钟信号和其他控制信号,并可响应于所接收的信号断言每行显示器像素22中的控制信号。可以依次处理显示器像素22的行,针对每帧图像数据的处理开始于显示器像素阵列的顶部,并结束于阵列的底部(作为一个示例)。在行中的扫描线正在被断言时,由电路16提供给列驱动器电路20的控制信号和数据信号指示电路20对关联的数据信号D解复用并驱动到数据线26上,从而将利用出现在数据线D上的显示数据来

对行中的显示器像素进行编程。显示器像素然后能够显示加载的显示数据。

[0031] 列驱动器电路20可输出数据线信号,数据线信号包含用于诸如红色、绿色和蓝色沟道(参见例如图2)的多个颜色沟道的灰度级信息。解复用电路54可将此数据线信号解复用成相应数据线48上的相应R、G和B数据线信号。如图2的示例中所示,显示解复用器控制电路诸如列电路20中的显示解复用器控制电路58,可用于将数据线解复用器控制信号R、G、和B(在此例中对应于红色、绿色和蓝色沟道)供应至解复用晶体管60的栅极端子。数据线驱动器62可在数据线路径64上产生数据线输出信号S01、S02……(有时称为源输出信号)。源输出信号包含用于所有三种颜色(即,红色、蓝色和绿色)的图像像素的模拟像素数据。施加于解复用晶体管60的栅极的控制信号以将红色沟道信息自源输出信号路由至红色数据线RDL、将绿色沟道信息自源输出信号路由至绿色数据线GDL并且将蓝色沟道信息自源输出信号路由至蓝色数据线BDL的模式开启和关闭晶体管60。

[0032] 可选加载电路66可使用插入线54内的一个或多个分立部件(例如,电容器、电感器和电阻器)来实现,或者可使用形成线54的结构中的一些或全部以分布式方式来实现。可选加载电路66和/或列驱动器电路20中的电路(例如,电路58)可用于控制解复用控制信号R、G和B的形状。诸如这些的信号整形技术可用于平滑显示器控制信号脉冲(诸如解复用器控制信号脉冲),并且从而减少谐波信号产生和射频干扰。

[0033] 在有机发光二极管显示器诸如显示器14中,每个显示器像素包含用于发射光的相应有机发光二极管。驱动晶体管控制从有机发光二极管输出的光量。显示器像素中的控制电路被配置为执行阈值电压补偿操作,使得来自有机发光二极管的输出信号的强度与加载到显示器像素中的数据信号的大小成比例,而与驱动晶体管的阈值电压无关。

[0034] 显示器14可被配置为支持低刷新率操作。使用相对低的刷新率(例如,1Hz、2Hz的刷新率或其他合适的低速率)操作显示器14可适用于输出为静态或几乎静态的内容的应用和/或需要最小功率消耗的应用。图3是根据一个实施方案的低刷新率显示驱动方案的示意图。如图3所示,显示器14可另选地在短数据刷新阶段(如周期 $T_{refresh}$ 所指示的)和被延长的垂直消隐阶段(如周期 T_{blank} 所指示的)之间。作为一个示例,根据60Hz的数据刷新操作,每个数据刷新周期 $T_{refresh}$ 可为大约16.67毫秒(ms),而每个垂直消隐周期 T_{blank} 可为大约1秒,使得显示器14的总体刷新率降低至1Hz。按此方式配置, T_{blank} 可被调节以调谐显示器14的总体刷新率。例如,如果将 T_{blank} 的持续时间调谐为半秒,则总体刷新率将增加至大约2Hz。在本文所述的实施方案中, T_{blank} 的持续时间可比 $T_{refresh}$ (作为示例)的持续时间长至少两倍、至少十倍、至少30倍或至少60倍。

[0035] 图4中示出了显示器14中可用于支持低刷新率操作的例示性有机发光二极管显示器像素22的示意图。如图4中所示,显示器像素22可包括存储电容器 C_{st} 和晶体管,诸如N型(即,N沟道)晶体管T1、T2、T2、T3、T4、T5和T6。像素22的晶体管可以是由半导体诸如硅(例如,使用低温工艺沉积的多晶硅,有时被称为LTPS或低温多晶硅)、半导体氧化物(例如,氧化铟镓锌(IGZO))等形成的薄膜晶体管。

[0036] 在一种合适的布置中,晶体管T3可被实现为半导体氧化物晶体管,而其余晶体管T1、T2和T4-T6为硅晶体管。半导体氧化物晶体管表现出相对于硅晶体管更低的漏电性,因此将晶体管T3实现为半导体氧化物晶体管将有助于在低刷新率下减少闪烁(例如通过T3阻止电流泄漏)。

[0037] 在另一种合适的布置中,晶体管T3和T6可被实现为半导体氧化物晶体管,而其余晶体管T1、T2、T4和T5为硅晶体管。由于晶体管T3和T6两者都是由信号Scan1控制的,因此将它们形成为相同的晶体管类型可帮助简化制造。

[0038] 在另一种合适的布置中,晶体管T3、T6还有T2可被实现为半导体氧化物晶体管,而其余晶体管T1、T4和T5为硅晶体管。晶体管T2用作驱动晶体管,并且具有对像素22的发射电流至关重要的阈值电压。如下文结合至少图7所述,驱动晶体管的阈值电压可能发生滞后。因此,将驱动晶体管形成为顶栅半导体氧化物晶体管可有助于减少滞后(例如,顶栅IGZO晶体管发生的 V_{th} 滞后少于硅晶体管)。如果需要,所有晶体管T1-T6均可作为半导体氧化物晶体管。此外,晶体管T1-T6中的任何一个或多个可为p型(即p沟道)薄膜晶体管。

[0039] 显示器像素22可包括发光二极管304。正电源电压VDDEL可供应至正电源端子300,并且接地电源电压VSSEL(例如,0伏特或其他合适的电压)可供应至接地电源端子302。驱动晶体管T2的状态控制通过二极管304从端子300流至端子302的电流的量,并且因此控制来自显示器像素22的发射光306的量。二极管304可具有相关联的寄生电容 C_{oled} (未示出)。

[0040] 端子308用于提供初始化电压 V_{ini} (例如,诸如-1V或-2V的负电压或其他合适的电压),以在二极管304未使用时帮助关闭二极管304。来自诸如图1的行驱动器电路18的显示驱动器电路的控制信号被提供至控制端子,诸如端子312、313、314和315。端子312和313可分别用作第一扫描控制端子和第二扫描控制端子,而端子314和315可分别用作第一发射控制端子和第二发射控制端子。扫描控制信号Scan1和Scan2可分别施加于扫描端子312和313。发射控制信号EM1和EM2可分别供应至端子314和315。诸如数据信号端子310的数据输入端子耦接至图1所示的相应数据线26,以接收用于显示器像素22的图像数据。

[0041] 在图4的示例中,晶体管T4、T2、T5和二极管304可串联耦接在电源端子300和302之间。具体地讲,晶体管T4可具有耦接至正电源端子300的漏极端子、接收发射控制信号EM2的栅极端子,以及源极端子(标记为Node1)。术语晶体管的“源极”端子和“漏极”端子有时可互换使用,并且因此在本文中可能会被称为“源极-漏极”端子。驱动晶体管T2可具有栅极端子(标记为Node2)、源极端子(标记为Node3)和耦接至Node1的漏极端子。晶体管T5可具有耦接至Node3的漏极端子、接收发射控制信号EM1的栅极端子,以及通过二极管304耦接至接地电源端子302的源极端子(标记为Node4)。

[0042] 晶体管T3、电容器Cst和晶体管T6可串联耦接在Node1和电源端子308之间。晶体管T3可具有耦接至Node1的漏极端子、接收扫描控制信号Scan1的栅极端子,以及耦接至Node2的源极端子。存储电容器Cst可具有耦接至Node2的第一端子和耦接至Node4的第二端子。晶体管T6可具有耦接至Node4的漏极端子、接收扫描控制信号Scan1的栅极端子,以及通过端子308接收电压 V_{ini} 的源极端子。晶体管T1可具有通过端子310接收数据线信号DL的漏极端子、接收扫描控制信号Scan2的栅极端子,以及耦接至Node3的源极端子。按此方式连接,信号EM2可被断言以启用晶体管T4。信号EM1可被断言以激活晶体管T5;信号Scan2可被断言以打开晶体管T1。以及信号Scan1可被断言以切换为使用晶体管T3和T6。

[0043] 在数据刷新周期期间,显示器像素22可在至少四个阶段操作:(1)重置/初始化阶段、(2)偏置应力阶段、(3)阈值电压取样和数据写入阶段,以及(4)发射阶段。图5是示出了在数据刷新操作的四个阶段期间可被施加于显示器像素22的相关信号波形的时序图。

[0044] 在时间 t_1 (在初始化阶段开始时),信号Scan1可以被高脉冲化,并且信号EM1可在

信号Scan2为低且信号EM2为高的同时被解除断言(例如,被推低)。图6A示出了像素22在这段时间期间的配置。如图6A所示,只有晶体管T3、T4和T6被打开(因为信号Scan1和EM2被断言),因此电容器Cst的第一端子被充电至VDDEL,并且电容器Cst的第二端子被拉低至Vini。在初始化阶段期间,跨电容器Cst的电压因此被重置为预先确定的电压差(VDDEL-Vini)。Node3也可被充电高至(VDDEL-Vth2),其中Vth2为晶体管T2的阈值电压。

[0045] 在时间t2,信号Scan1下降,信号Scan2被断言(例如,被推高),并且信号EM2被解除断言(例如,被推低),这表示初始化阶段的结束和偏置应力阶段的开始。图6B示出了像素22在这段时间期间的配置。如图6B所示,只有晶体管T1和T2被打开(因为在初始化阶段期间,信号Scan2为高并且Node2被充电)。按此方式配置后,Node2保持在VDDEL,并且Node3将使用晶体管T1偏置到Vdata。换句话讲,晶体管T2的栅极到源极电压Vgs将被设置为(VDDEL-Vdata)。在任何阈值电压取样之前,Vdata被至少部分地施加到晶体管T2。

[0046] 在时间t3,信号Scan1高脉冲化,这表示偏置应力阶段的结束以及阈值电压Vth取样和数据写入阶段的开始。图6C示出了像素22在这段时间期间的配置。如图6C所示,只有晶体管T1、T2和T6被打开(因为信号Scan1和Scan2被断言)。按此方式配置,Node1和Node2将从VDDEL拉低至(Vdata+Vth2),同时Node3被设置为Vdata。换句话讲,晶体管T2的栅极到源极电压Vgs将被设置为Vth2(即Vdata+Vth2-Vdata,其中Vdata被抵消)。跨电容器Cst的电压为(Vdata+Vth2-Vini)。在时间t4,Scan1和Scan2都被解除断言,这表示阈值电压和数据写入阶段的结束。

[0047] 在时间t5,信号EM1和EM2被断言,这表示发射阶段的开始。图6D示出了像素22在这段时间期间的配置。如图6D所示,晶体管T2、T4和T5被打开以允许发射电流650流过二极管304。晶体管T2的栅极到源极电压Vgs将由跨之前在数据写入阶段被设置为(Vdata+Vth2-Vini)的存储电容器Cst的电压来设置。由于发射电流650与(Vgs-Vth2)成比例,因此发射电流650将与Vth2无关,因为Vth2在从(Vdata+Vth2-Vini)中减去Vth2时被抵消。

[0048] 在某些情况下,阈值电压Vth2可移位,诸如当显示器14从黑色图像转换到白色图像时或者从一个灰度转换到另一个灰度时。Vth2中的这一移位(有时在本文称为薄膜晶体管“滞后”)可致使亮度降低,这也称为“第一帧变暗”。TFT滞后在图7中示出。如图7所示,曲线700将饱和电流Id波形表示为用于黑色帧的晶体管T2的Vgs的函数,而曲线704将目标Id波形表示为用于白色帧的晶体管T2的Vgs的函数。在不执行偏置应力的情况下,取样的Vth'对应于黑色帧,并且因此将从目标曲线702偏离相当大的边距。通过执行偏置应力,取样的Vth"将对应于Vdata,并且因此将更加接近目标曲线702(参见通过施加偏置应力实现的曲线702)。在取样Vth2之前,执行偏置应力阶段以通过Vdata偏置晶体管T2的Vgs,可因此有助于减轻滞后并阻止第一帧变暗。

[0049] 在低刷新率下操作显示器14时可能出现的另一个问题是仅在数据刷新周期期间来回切换发射电流。图8A示出了显示亮度作为时间的函数。如图8所示,在数据刷新周期T_refresh期间,亮度可能会发生骤降800。亮度骤降800是由于顺序关闭然后打开晶体管T4导致的,诸如在图5-图6中示出的四个阶段期间。在1Hz下发生亮度骤降800可导致用户感觉到明显闪烁。

[0050] 为了消除闪烁,可在垂直消隐周期T_blank期间插入额外的亮度骤降802。在图8A的示例中,插入三个额外骤降802,这仅是例示性的。一般来讲,可在被延长的消隐周期T_

blank期间产生至少10个骤降、至少100个骤降或超过100个骤降。通过人工和有意以更高频率生成亮度骤降,人眼看到的闪烁就变得不太明显。

[0051] 消隐周期期间的骤降802可通过在阳极重置阶段和发射阶段之间交替产生。图8B是示出了相关信号在阳极重置阶段和发射阶段期间的行为的时序图。在时间 t_1 ,信号Scan2可以被高脉冲化,并且信号EM2可在信号Scan1保持低状态且信号EM1保持高状态的同时被解除断言(例如,EM2可被推低)。图9A示出了像素22在这段时间期间的配置。如图9A所示,晶体管T1和T5被打开(因为信号Scan2和EM1被断言),因此Node4(这是二极管304的阳极)将通过晶体管900重置为电压 V_p 。数据信号可在消隐间隙期间停留或保持在电压 V_p 处。例如,电压 V_p 可处于VSSEL、2V或者VSSEL和2V之间的任何数据电压电平。源驱动器62(也参见图2)将在这段时间期间被去激活。晶体管T4被关闭,因此在阳极重置阶段期间没有发射电流可流动。在时间 t_2 ,信号Scan2被推低,这标志着阳极重置阶段的结束。

[0052] 在时间 t_3 ,信号EM2被断言(例如,EM2被推高),这会重新激活晶体管T4。图9B示出了像素22在这段时间期间的配置。如图9B所示,晶体管T2、T4和T5全部被打开,因而发射电流950将流过二极管304。发射电流950将继续流动,直到在时间 t_4 处发生的下一个阳极重置阶段。因此, t_3 至 t_4 的时间段描绘了发射阶段。图8B的示意图未按比例绘制。一般来讲,发射阶段可能长于阳极重置阶段。发射阶段也可能比阳极重置阶段短。阳极重置操作可根据需要频繁执行(例如,根据需要在垂直消隐周期期间产生尽可能多的亮度骤降802),以帮助减少低刷新率闪烁或将低刷新率闪烁降至最低。

[0053] 由于偏置应力在数据刷新周期期间施加,因此在垂直消隐周期期间也可施加偏置应力,以帮助在偏置像素晶体管方面保持平衡。图10是示出了如何在垂直消隐周期期间于阳极重置阶段之前插入偏置应力阶段的时序图(例如图10通过在阳极重置阶段即将开始之前插入偏置应力阶段扩展了图9)。图11A-图11D示出了像素22在图10所示的各个操作阶段期间的配置。具体地讲,图11A和图11D示出了由于与结合图6D和图9B描述的发射阶段相同而无需迭代的发射阶段。

[0054] 如图10所示,信号EM1可在时间 t_1 之前被解除断言,这使得像素22为偏置应力做准备。在时间 t_1 ,信号Scan2被断言,标志着偏置应力阶段的开始。图11B示出了像素22在这段时间期间的配置。如图11B所示,只有晶体管T1和T2被打开。按此方式配置后,Node3将使用晶体管T1偏置到 V_{data} 。

[0055] 在时间 t_2 ,信号EM1被断言(例如,EM1被推高)以打开晶体管T5,这标志着偏置应力阶段的结束和阳极重置阶段的开始。图11C示出了像素22在这段时间期间的配置。如图11C所示,晶体管T1和T5两者都被打开,因此二极管阳极端子Node4被重置为 V_{data} 。在时间 t_3 ,信号Scan2被解除断言以标示阳极重置阶段的结束。从时间 t_4 到 t_5 ,发射信号EM1和EM2都被推高以允许发射电流流动。一般来讲,在被延长的垂直消隐周期期间,可在执行任何数目的阳极重置操作的同时或者即将执行此类操作之前执行偏置应力阶段,以帮助复制和镜像显示器14整个操作期间的偏置应力。

[0056] 根据另一个合适的实施方案,当显示器14从黑帧转换到白帧(或通常,当显示器14从一个灰度转换到另一个灰度时)时,可执行多项数据刷新操作和多项阳极重置操作。图12是示出了如何在多刷新驱动方案期间插入多项阳极重置和偏置应力操作以帮助减少第一帧变暗的示意图。顶部波形示出了当从黑帧转换到白帧时,驱动晶体管T2的阈值电压会如

何变化。底部波形示出了当从黑帧转换到白帧时,显示器14的亮度会如何由于执行多项数据刷新和/或阳极重置而改变。

[0057] 在图12的示例中,至少两个数据刷新可在30Hz下执行(例如,在时间 t_1 和 t_3)。在时间 t_1 和 t_3 中的每一个时间,图5-图6的四个阶段都可执行。实线曲线1202和1206分别示出了仅执行两个数据刷新时的阈值电压跟踪和亮度行为。执行多于一次的数据刷新能够增强 V_{th} 跟踪,从而形成可最大限度减少第一帧变暗的更好的亮度反应。

[0058] 除了多刷新操作之外,可在60Hz(例如,在时间 t_1 、 t_2 、 t_3 、 t_4 和 t_5)下执行额外的阳极重置加偏置应力操作。阳极重置速率可大于多刷新率。在这些时间中的每一个(如图12中“X”所指示的)期间,可如图10-图11中所示施加偏置应力和阳极重置。虚线曲线1204和1208分别示出了在执行30Hz数据刷新和60Hz阳极重置加偏置应力时的阈值电压跟踪和亮度行为。如曲线1204所示, V_{th} 跟踪通过施加的额外偏置应力得到进一步改善,这有助于实现更快的 V_{th} 稳定。如曲线1208所示,时间 t_3 处的亮度更接近目标水平,从而提供更好的第一帧性能。

[0059] 图12的其中阳极重置速率为多刷新率两倍的示例仅仅是例示性的。在另一种合适的布置中,阳极重置速率可为多刷新率的三倍。按此方式配置,在每个连续数据刷新阶段之间增加偏置应力的频率,这可提供更快的 V_{th} 稳定并且进一步改善第一帧性能。在其他合适的布置中,阳极重置可为数据刷新率的任何整数倍(例如,至少大四倍、至少大八倍、大于十倍等)。

[0060] 通常,在发射阶段期间,显示器14的亮度可经由脉宽调制(PWM)来调节。在常规的显示驱动方案中,信号EM2被反复脉冲化并且具有可调节以控制亮度的占空比,同时信号EM1保持高状态而不来回切换。如果信号EM1保持高(其打开晶体管T5),则过量电流可能通过晶体管T5泄漏,从而导致较差的黑电平。为了减轻这一问题,可同时来回切换信号EM1和EM2并且彼此同步。

[0061] 图13是示出了如何使EM1和EM2脉冲1300具有相同的占空比并且彼此同步的时序图。在EM2关闭晶体管T5的同时对EM1解除断言,从而切断泄漏电流路径(例如,当EM1和EM2均处于低状态时,从Node1到二极管没有直流路径)。可以调谐脉冲数和脉冲宽度以输出显示器的期望的亮度水平。图5还有图12(如果支持多刷新方案)中示出了时间段1350的细节。

[0062] 发射信号EM1和EM2在阳极重置阶段期间的行为可能也类似。在阳极重置阶段期间,信号EM1必须被断言较长一段时间(参见例如图8B)。如图13所示,信号EM1大体上可能在四分之一的整个阳极重置周期(例如,在第一PWM周期期间)内保持高状态。对于剩余的四分之三的阳极重置周期,可一起来回切换信号EM1和EM2。

[0063] 图14示出了在每个阳极重置周期开始时的时间段1352的细节。如图14所示,信号EM1和EM2在时间 t_1 被同时断言(例如EM1和EM2被推高)。在时间 t_2 ,信号EM1和EM2被同时解除断言并且信号Scan2被高脉冲化。从 t_2 到 t_3 的这段时间期间, V_{data} 将被偏置到低电压,并且Node1和Node3两者随后将通过晶体管T1放电至低电压。此操作类似于结合图5-图6中描述的偏置应力操作。通过晶体管T1使Node1和Node3放电,即使信号EM1随后升高(在时间 t_3),从Node1到二极管也不再有电荷泄漏。因此, t_2 和 t_3 之间的时间段有时被称为放电时间段 $T_{discharge}$ 。如上文所述,对于剩余的阳极重置周期而言,信号EM1和EM2具有相同的占空比,因此从Node1到二极管之间也不存在直流路径。

[0064] 结合图5-图14描述的用于操作显示器14的各种方式并不相互排斥,并且可在单个实施方案中相互结合使用以帮助减少闪烁,改善第一帧性能,并改善针对低刷新率显示器的更好的黑电平。

[0065] 根据一个实施方案,提供了显示器像素,显示器像素包括发光二极管,电源线路,数据线,初始化线路,具有源极端子和耦接至数据线的漏极端子的第一晶体管,具有漏极端子、栅极端子和耦接至第一晶体管的源极端子的源极端子的第二晶体管,耦接在第二晶体管的漏极端子和栅极端子之间的第三晶体管,耦接在电源线路和第二晶体管之间的第四晶体管,耦接在第二晶体管和发光二极管之间的第五晶体管,以及耦接在初始化线路和发光二极管之间的第六晶体管,在偏置应力阶段期间只有第一晶体管被打开以减轻第二晶体管的阈值电压滞后。

[0066] 根据另一个实施方案,第三晶体管具有接收第一扫描信号的栅极端子,第六晶体管具有接收第一扫描信号的栅极端子,第一晶体管具有接收不同于第一扫描信号的第二扫描信号的栅极端子,第五晶体管具有接收第一发射信号的栅极端子,并且第四晶体管具有接收不同于第一发射信号的第二发射信号的栅极端子。

[0067] 根据另一个实施方案,在偏置应力阶段期间,只有第二扫描信号被断言,而第一扫描信号、第一发射信号和第二发射信号被解除断言。

[0068] 根据另一个实施方案,初始化阶段在偏置应力阶段之前,在该初始化阶段期间只有第一扫描信号和第二发射信号被断言。

[0069] 根据另一个实施方案,阈值电压取样和数据写入阶段紧接在偏置应力阶段之后,并且在阈值电压取样和数据写入阶段期间,只有第一扫描信号和第二扫描信号被断言。

[0070] 根据另一个实施方案,偏置应力阶段、初始化阶段以及阈值电压取样和数据写入阶段在数据刷新周期期间被执行,消隐周期接在数据刷新周期之后,消隐周期比数据刷新周期长至少十倍,并且在消隐周期期间执行多项阳极重置操作以减少闪烁。

[0071] 根据另一个实施方案,在多项阳极重置操作的每一项期间,只有第二扫描信号和第一发射信号被断言。

[0072] 根据另一个实施方案,在多项阳极重置操作中的每一项之前施加额外的偏置应力阶段,以提供平衡的晶体管应力,并且在额外的偏置应力阶段期间,只有第二扫描信号被断言。

[0073] 根据一个实施方案,提供了一种操作显示器像素的方法,显示器像素包括发光二极管,电源线路,数据线,初始化线路,具有源极端子和耦接至数据线的漏极端子的第一晶体管,具有漏极端子、栅极端子和耦接至第一晶体管的源极端子的源极端子的第二晶体管,耦接在第二晶体管的漏极端子和栅极端子之间的第三晶体管,耦接在电源线路和第二晶体管之间的第四晶体管,耦接在第二晶体管和发光二极管之间的第五晶体管,以及耦接在初始化线路和发光二极管之间的第六晶体管。这种操作显示器像素的方法包括在低于30Hz的总体刷新率下操作显示器像素,以及在显示器像素从显示黑色转换为显示白色时,执行多偏置应力操作以减轻第二晶体管的阈值电压滞后,其中在偏置应力操作期间只有第一晶体管被打开。

[0074] 根据另一个实施方案,该方法包括向第三晶体管的栅极端子和第六晶体管的栅极端子提供第一扫描信号,向第一晶体管的栅极端子提供第二扫描信号,向第五晶体管的栅

极端子提供第一发射信号,以及向第四晶体管的栅极端子提供第二发射信号。

[0075] 根据另一个实施方案,该方法包括在显示器像素从显示黑色转换为显示白色时,执行阳极重置操作连同偏置应力操作,在阳极重置操作的每一项期间只有第二扫描信号和第一发射信号被推高。

[0076] 根据另一个实施方案,该方法包括在显示器像素从显示黑色转换为显示白色时,以第一速率执行多项数据刷新操作,以大于第一速率的第二速率形成阳极重置操作。

[0077] 根据另一个实施方案,执行数据刷新操作包括通过仅推高第一扫描信号和第二发射信号来执行初始化阶段,通过仅推高第二扫描信号来执行偏置应力阶段,通过仅推高第一扫描信号和第二扫描信号来执行阈值电压取样和数据写入阶段,以及通过仅推高第一发射信号和第二发射信号来执行发射阶段。

[0078] 根据另一个实施方案,该方法包括在垂直消隐周期期间,执行多项阳极重置操作以减少闪烁,其中在多项阳极重置操作中的每一项期间只有第二扫描信号和第一发射信号被断言。

[0079] 根据另一个实施方案,该方法包括在多项阳极重置操作中的每一项之前施加额外的偏置应力操作,以提供平衡的晶体管应力,在额外的偏置应力阶段期间只有第二扫描信号被断言。

[0080] 根据一个实施方案,提供了显示器像素,显示器像素包括发光二极管,电源线路,数据线,初始化线路,具有源极端子和耦接至数据线的漏极端子的第一晶体管,具有漏极端子、栅极端子和耦接至第一晶体管的源极端子的源极端子的第二晶体管,耦接在第二晶体管的漏极端子和栅极端子之间的第三晶体管,耦接在电源线路和第二晶体管之间的第四晶体管,耦接在第二晶体管和发光二极管之间的第五晶体管,耦接在初始化线路和发光二极管之间的第六晶体管,第五晶体管具有接收第一发射信号的栅极端子,第四晶体管具有接收第二发射信号的栅极端子,并且使用脉宽调制(PWM)方案来同时来回切换第一发射信号和第二发射信号,以控制显示器像素的亮度。

[0081] 根据另一个实施方案,在一个脉宽调制周期期间,第一发射信号被推高而第二发射信号被推低以执行阳极重置,并且在阳极重置期间只有第一发射信号被推高。

[0082] 根据另一个实施方案,第三晶体管和第六晶体管具有接收第一扫描信号的栅极端子,第一晶体管具有接收第二扫描信号的栅极端子,并且阳极重置后接放电阶段,在放电阶段期间只有第二扫描信号被高脉冲化以使显示器像素放电并减少漏电流。

[0083] 根据另一个实施方案,在偏置应力阶段只有第二扫描信号被推高以减轻第二晶体管的阈值电压滞后。

[0084] 根据另一个实施方案,在消隐周期期间执行多项阳极重置操作以减少闪烁。

[0085] 根据另一个实施方案,第三晶体管为半导体氧化物晶体管,并且第一晶体管、第二晶体管、第四晶体管、第五晶体管和第六晶体管为硅晶体管。

[0086] 根据另一个实施方案,第三晶体管和第六晶体管为半导体氧化物晶体管,并且第一晶体管、第二晶体管、第四晶体管和第五晶体管为硅晶体管。

[0087] 根据另一个实施方案,第二晶体管、第三晶体管和第六晶体管为半导体氧化物晶体管,并且第一晶体管、第四晶体管和第五晶体管为硅晶体管。

[0088] 根据另一个实施方案,第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶

体管和第六晶体管为半导体氧化物晶体管。

[0089] 前述内容仅为例示性的并且可对所述实施方案作出各种修改。前述实施方案可单独实施或可以任意组合实施。

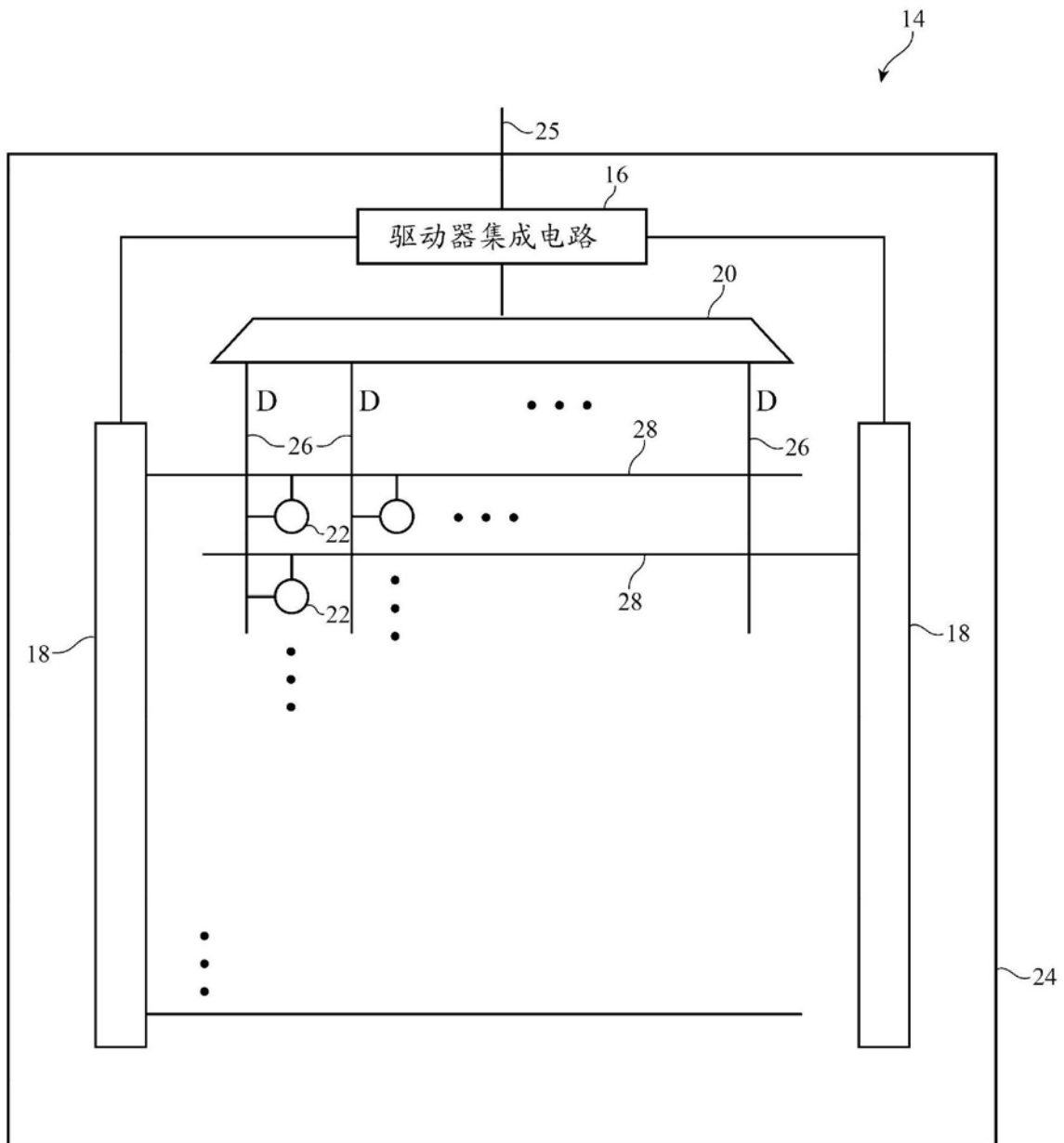


图1

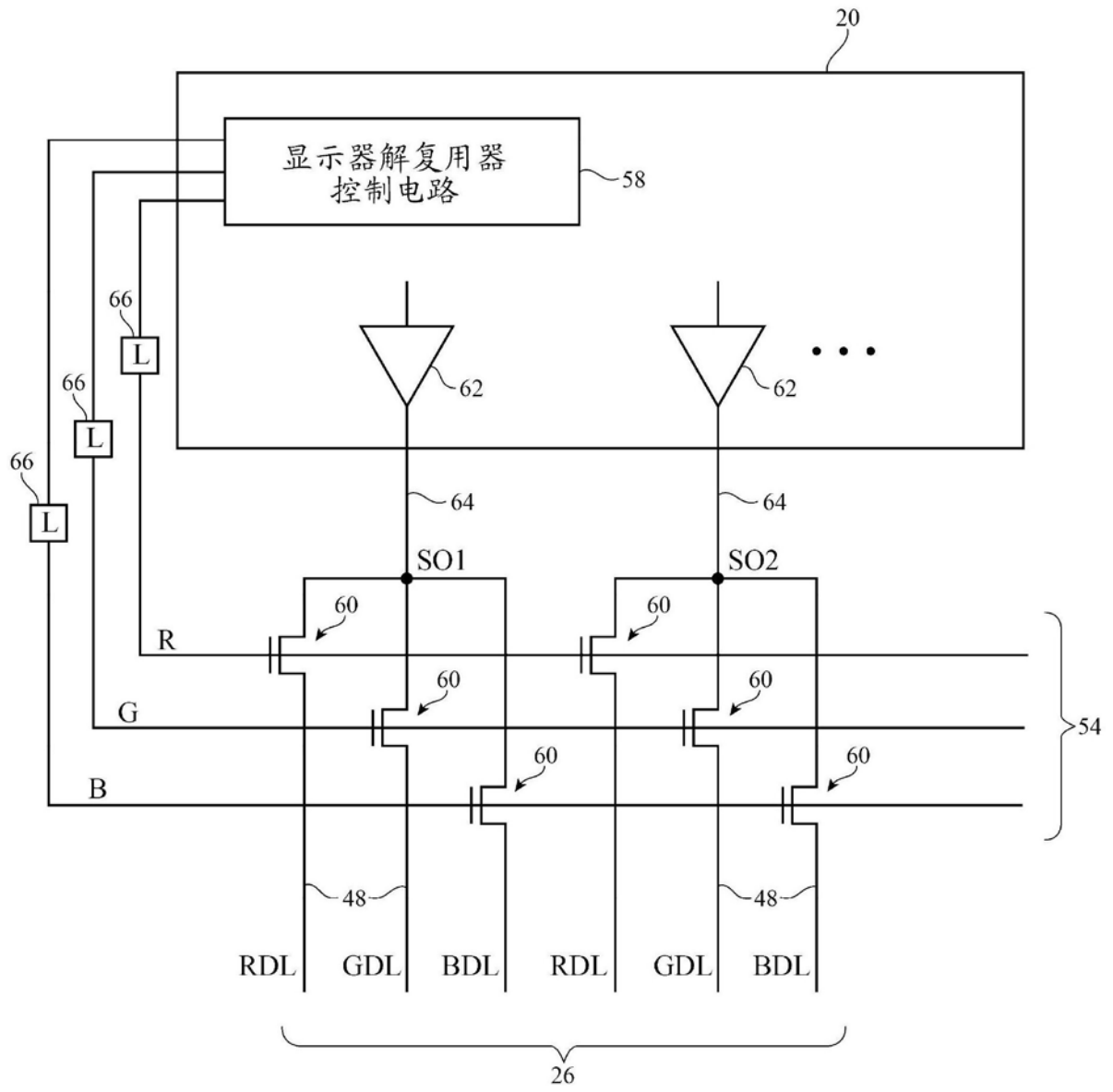


图2

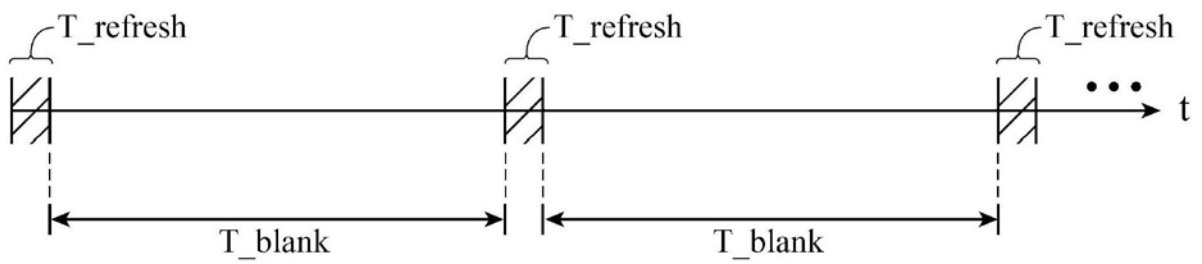


图3

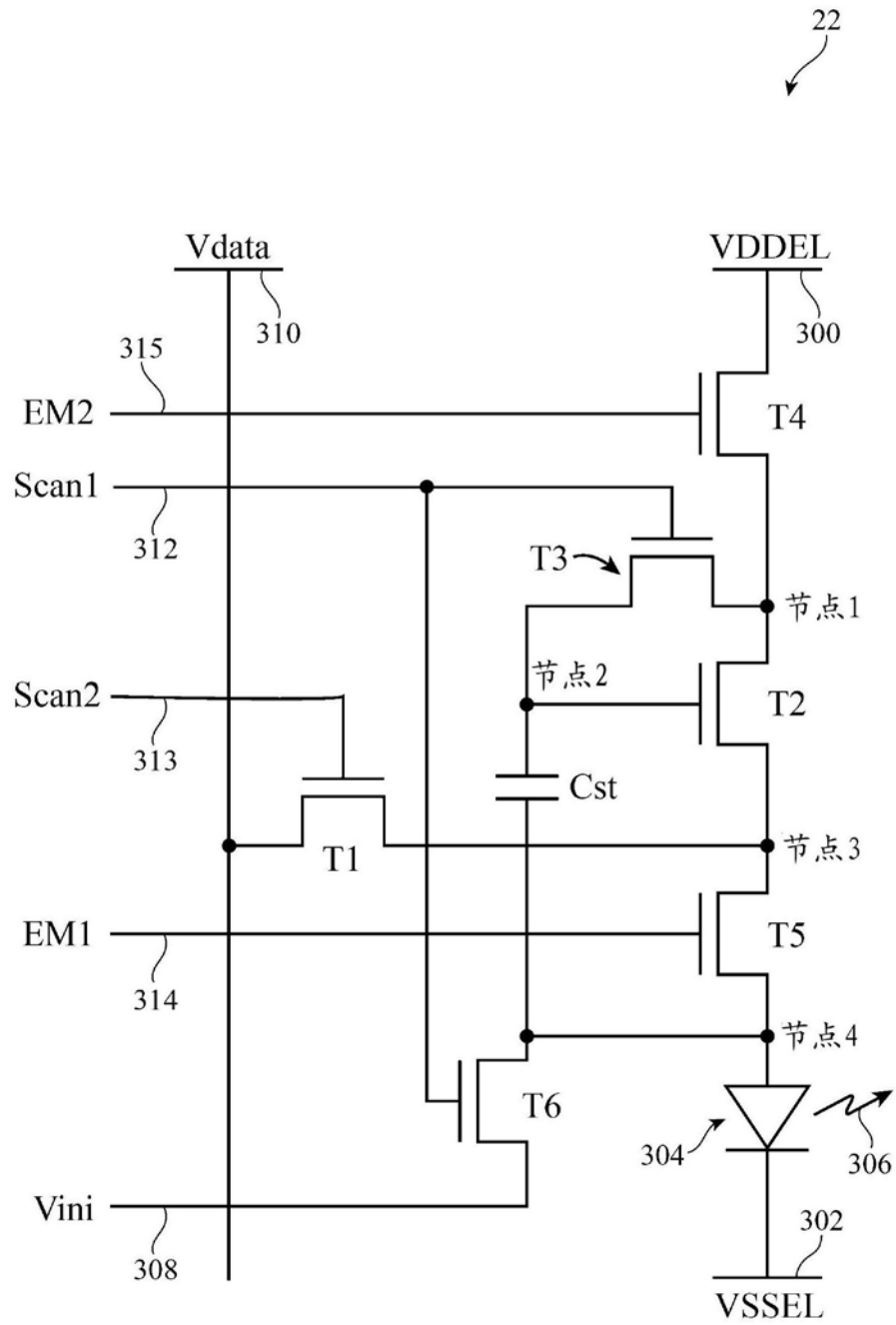


图4

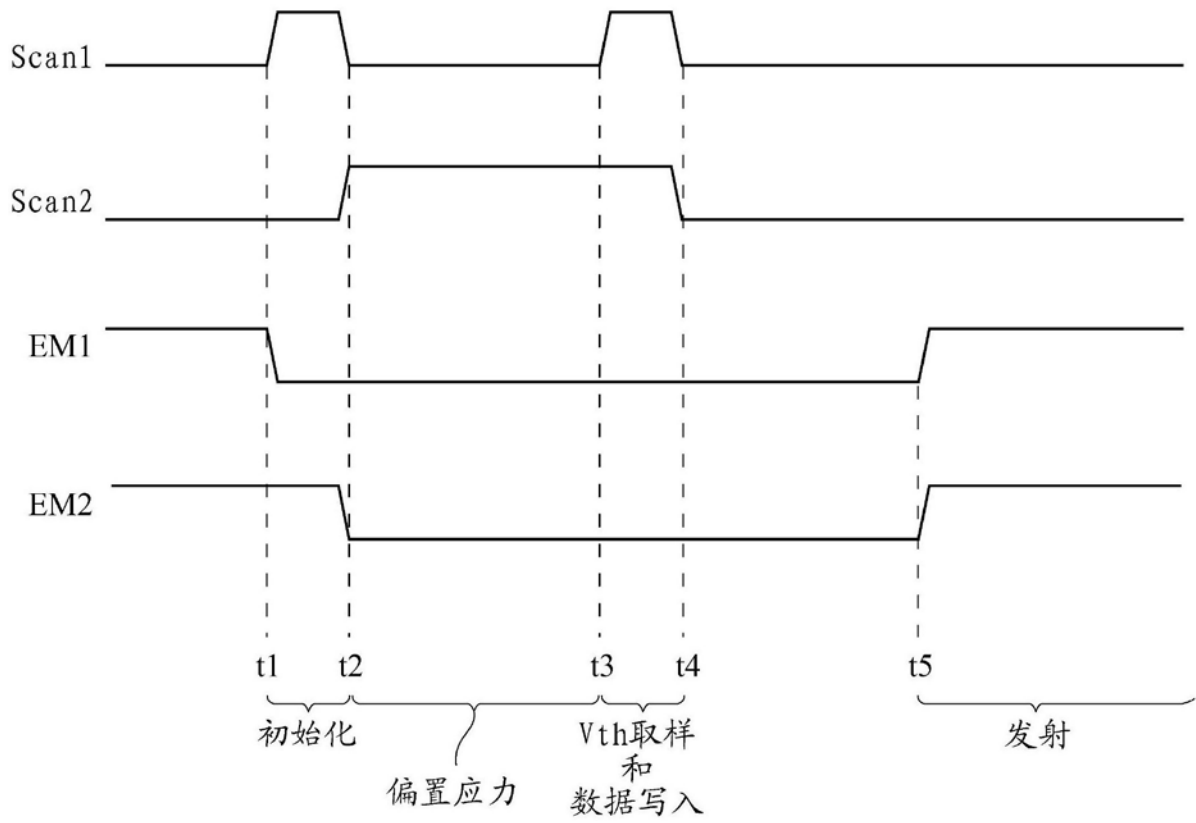


图5

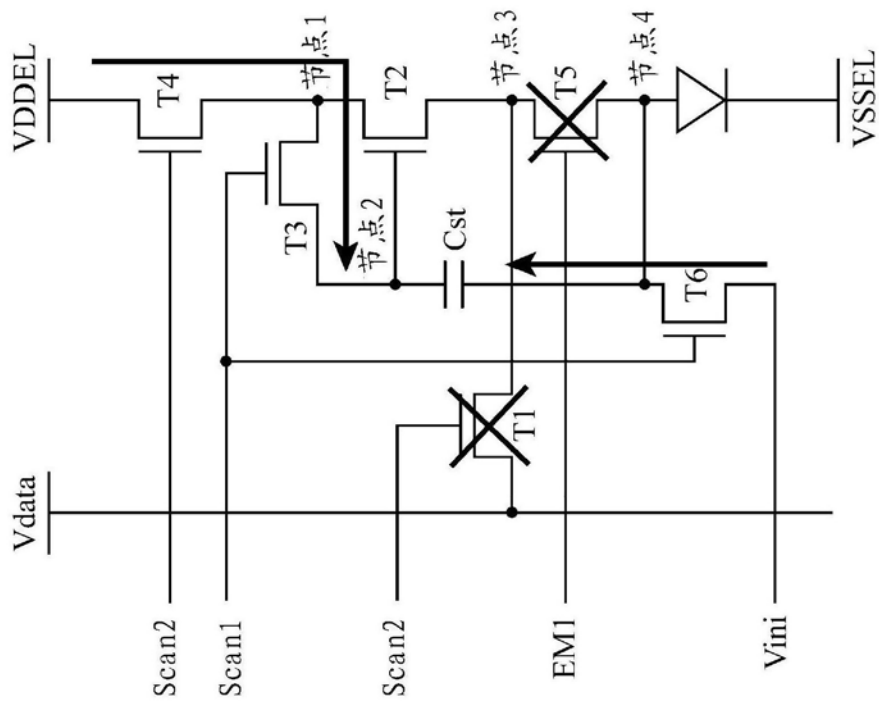


图6A

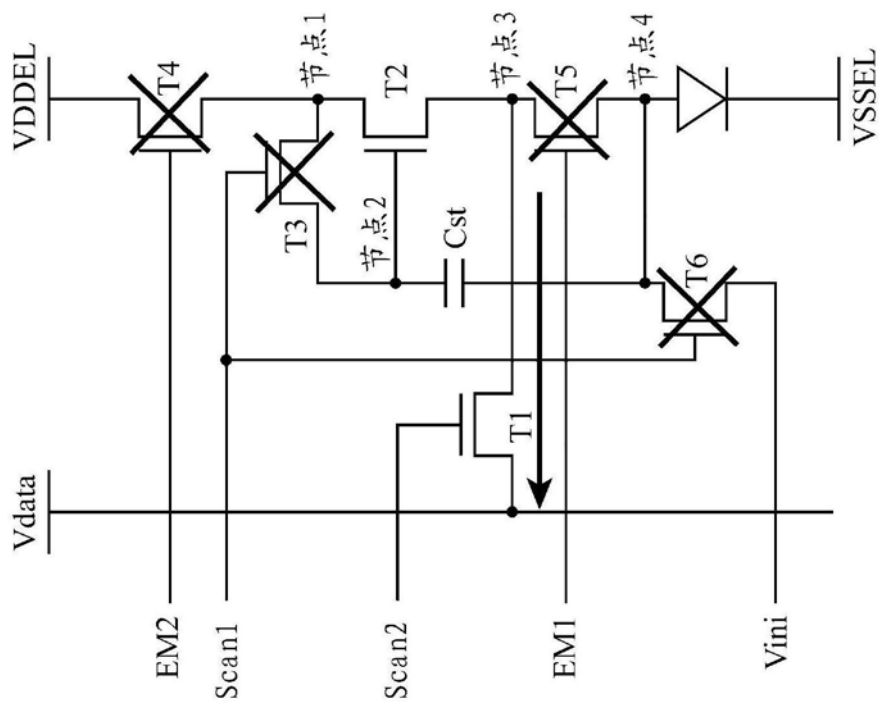


图6B

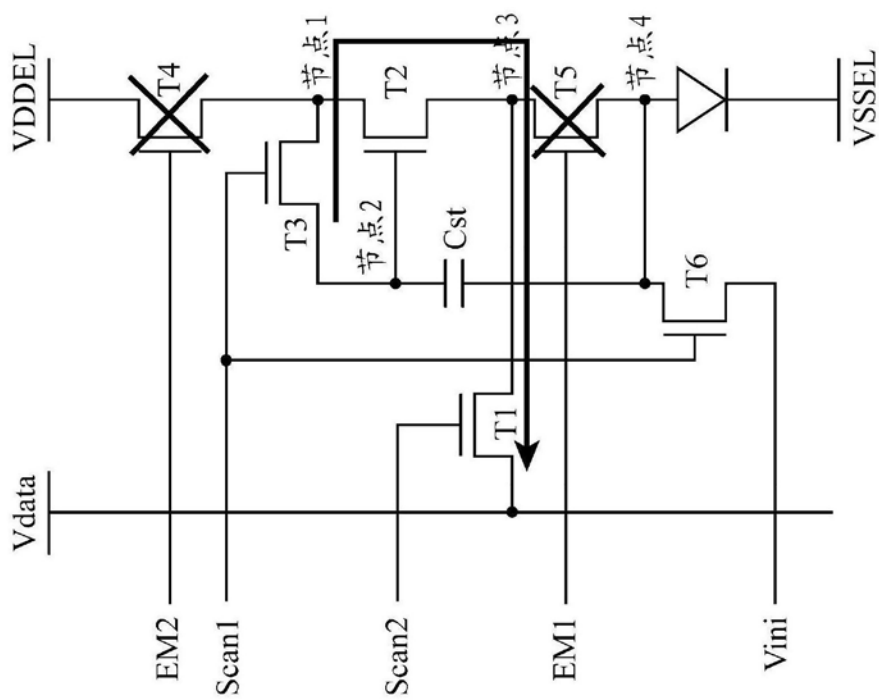


图6C

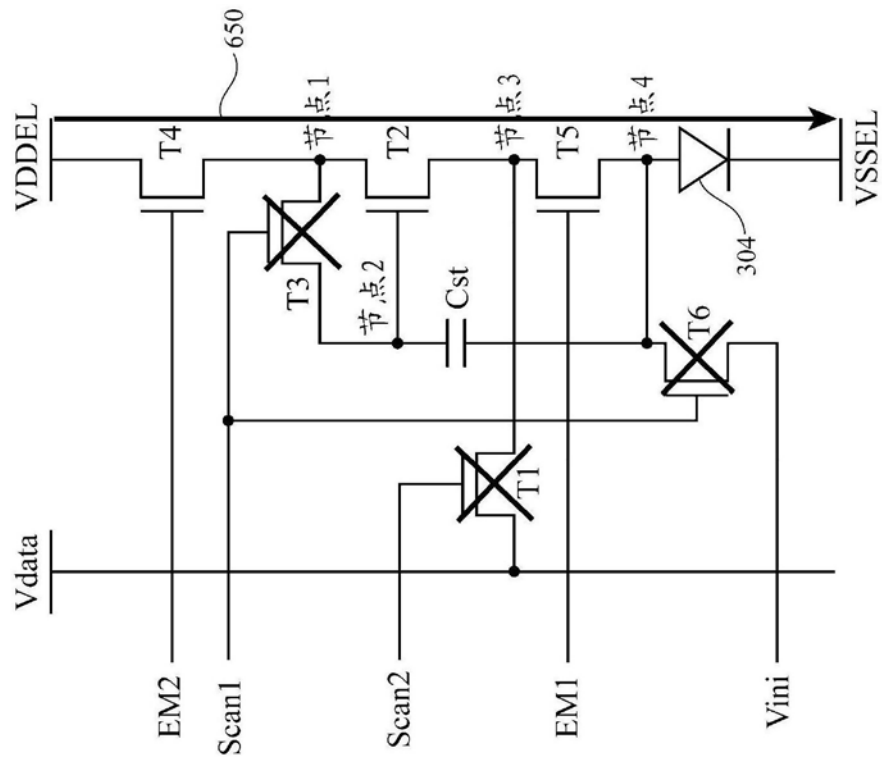


图6D

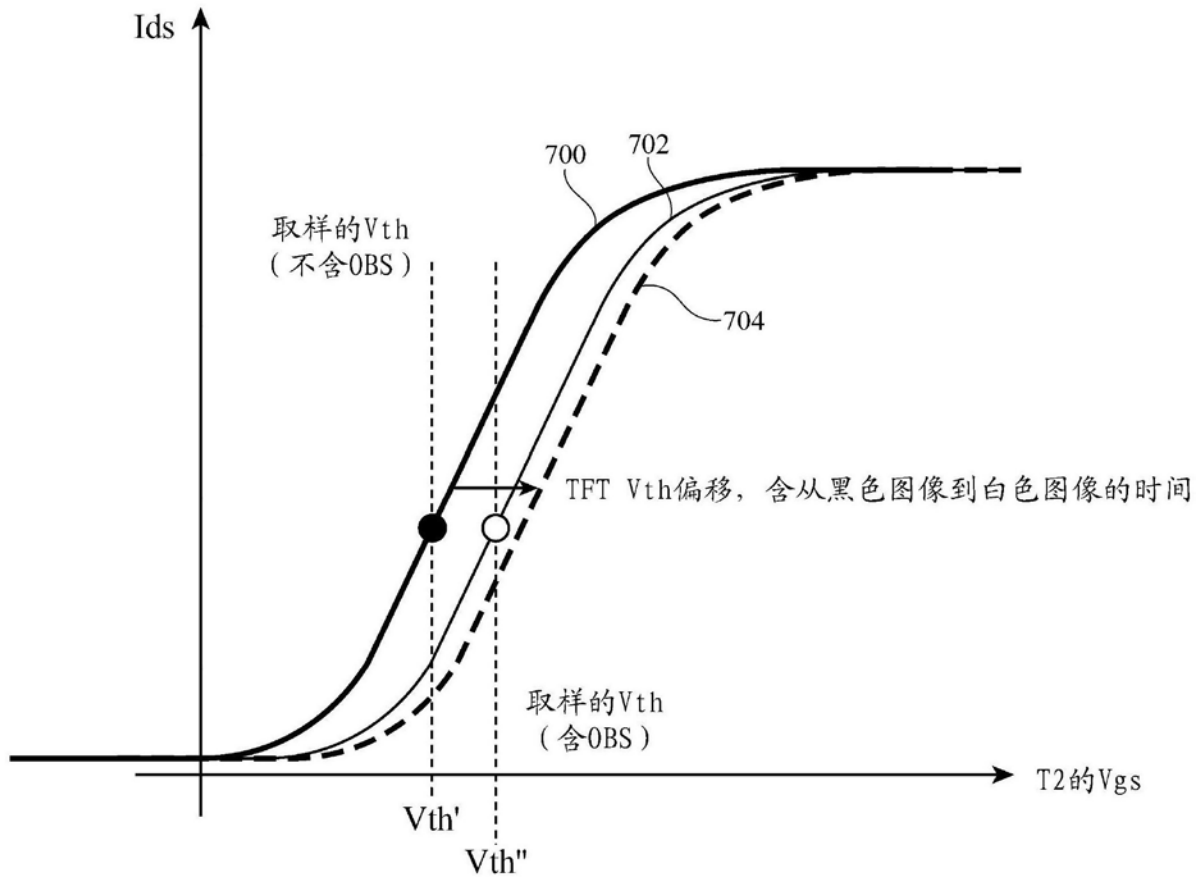


图7

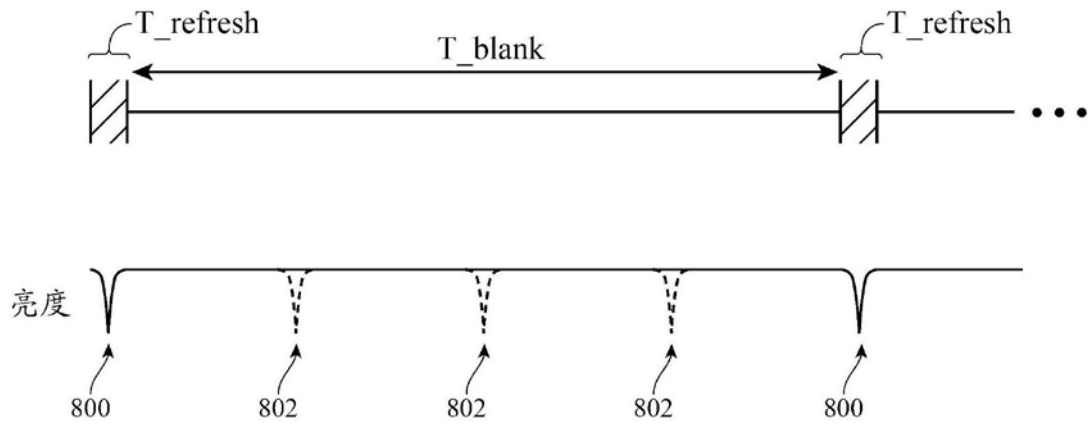


图8A

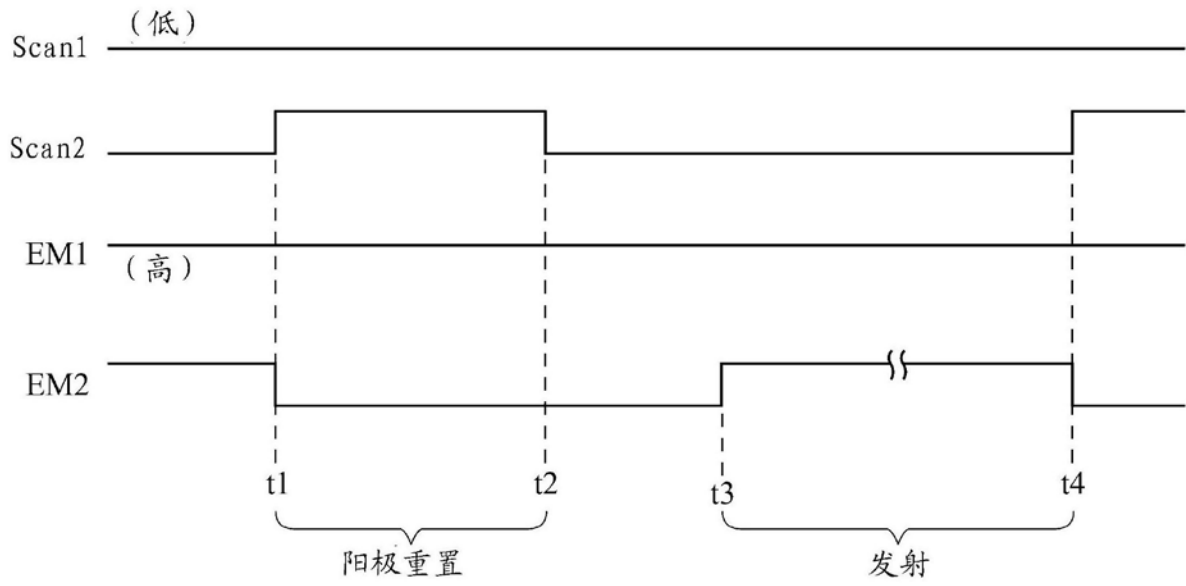


图8B

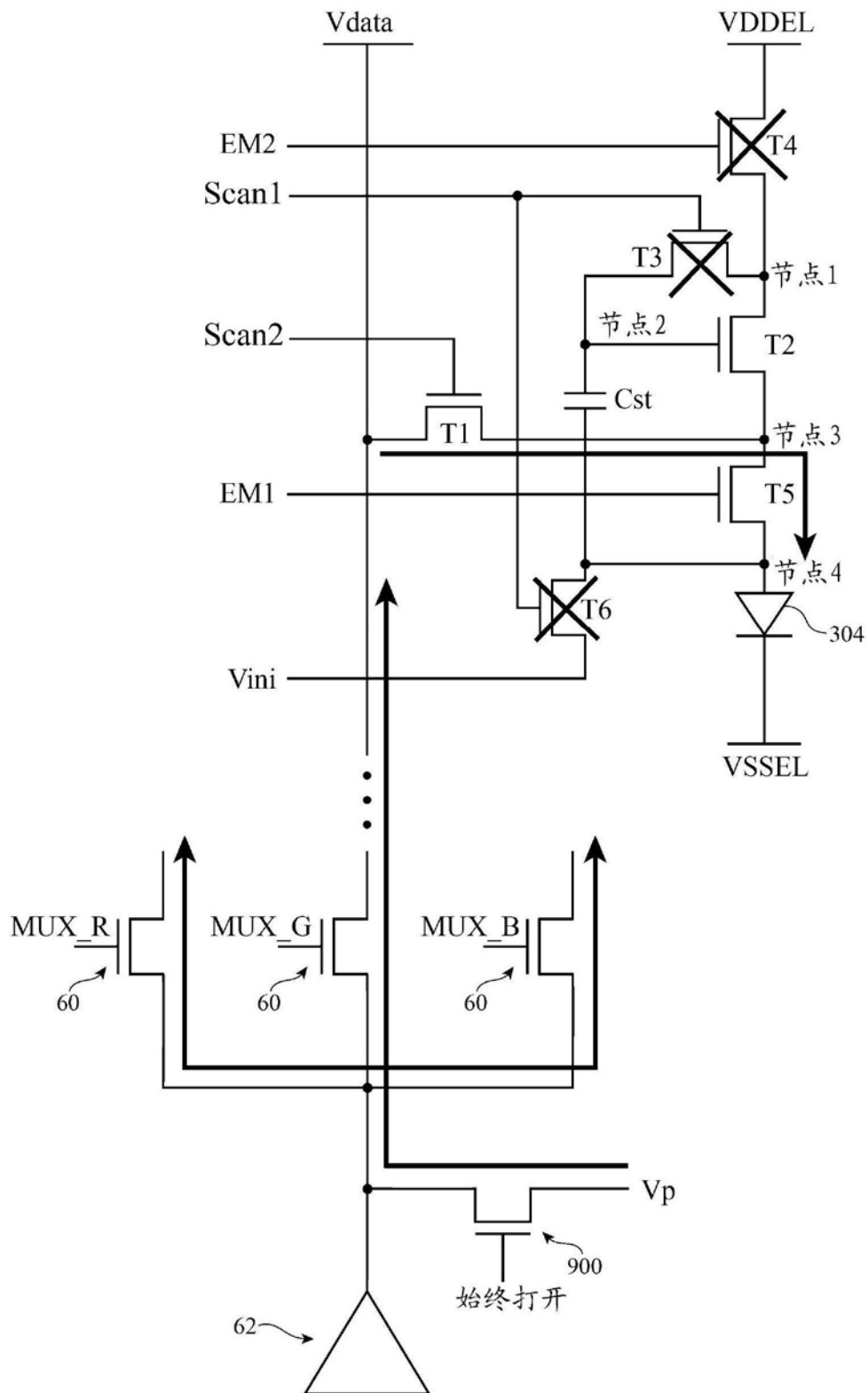


图9A

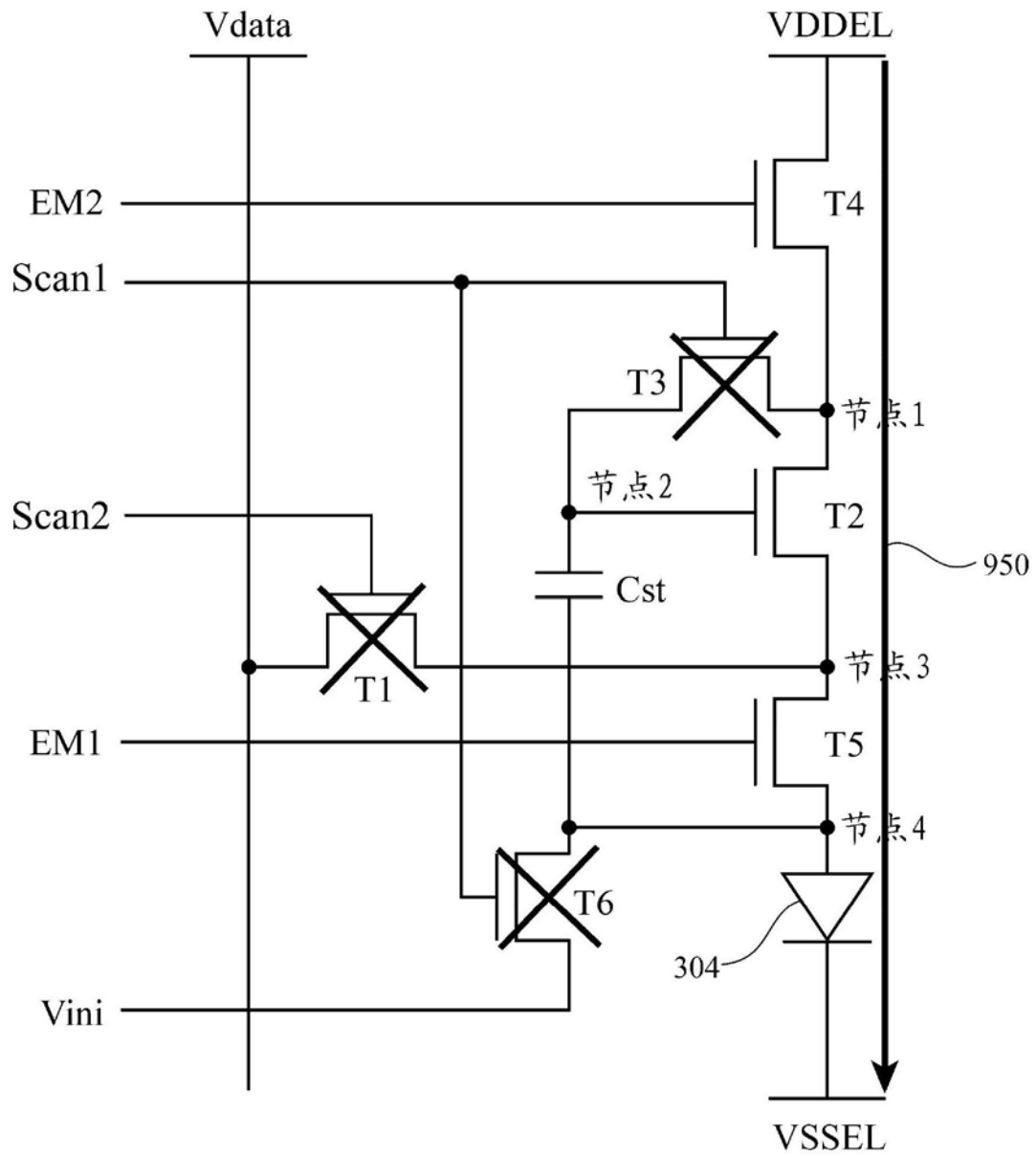


图9B

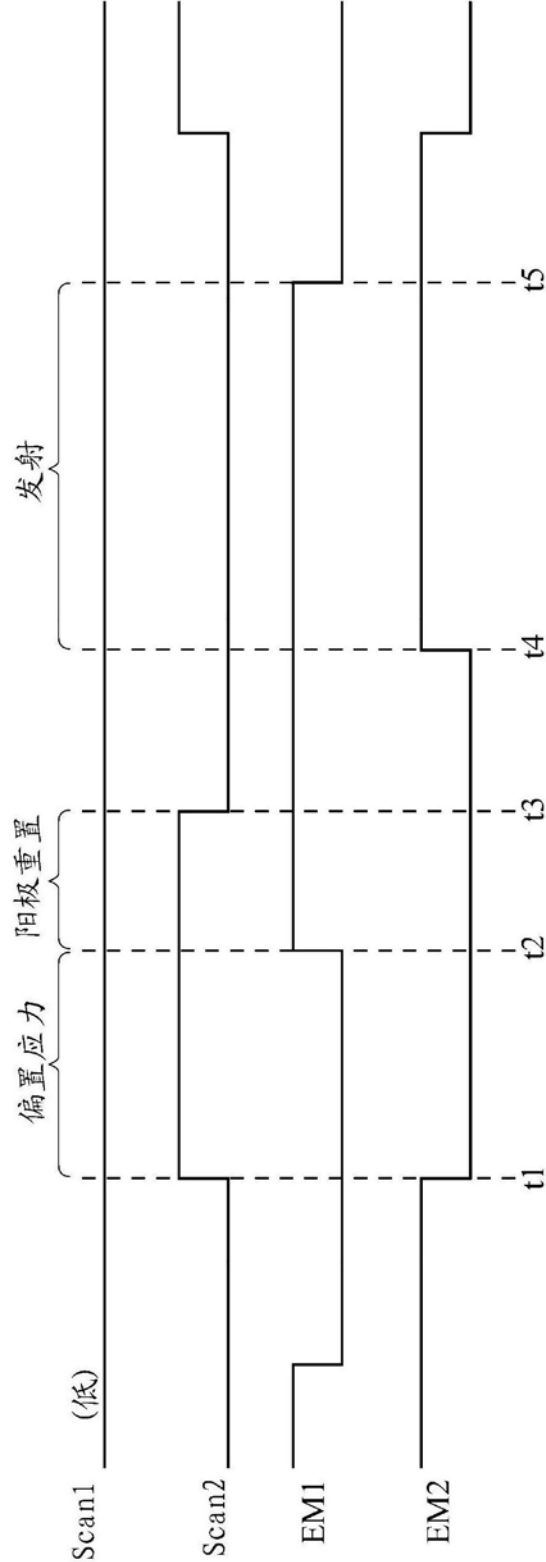


图10

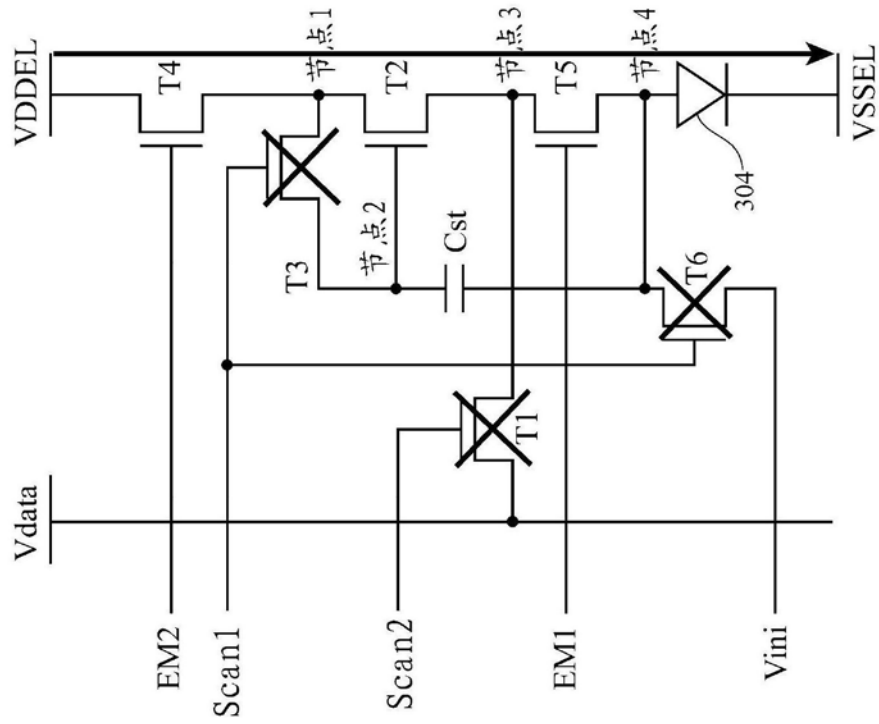


图11A

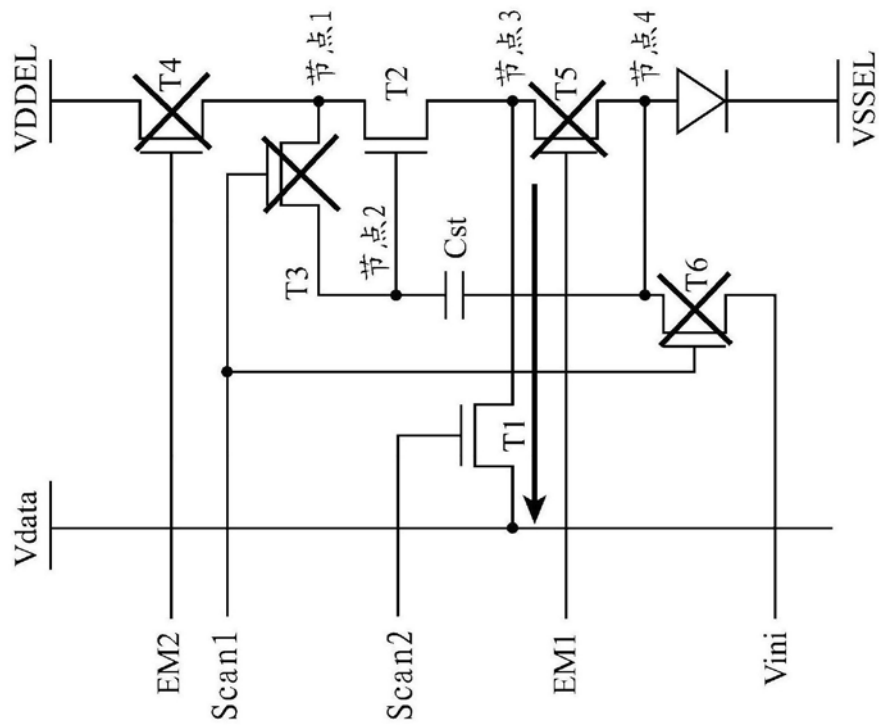


图11B

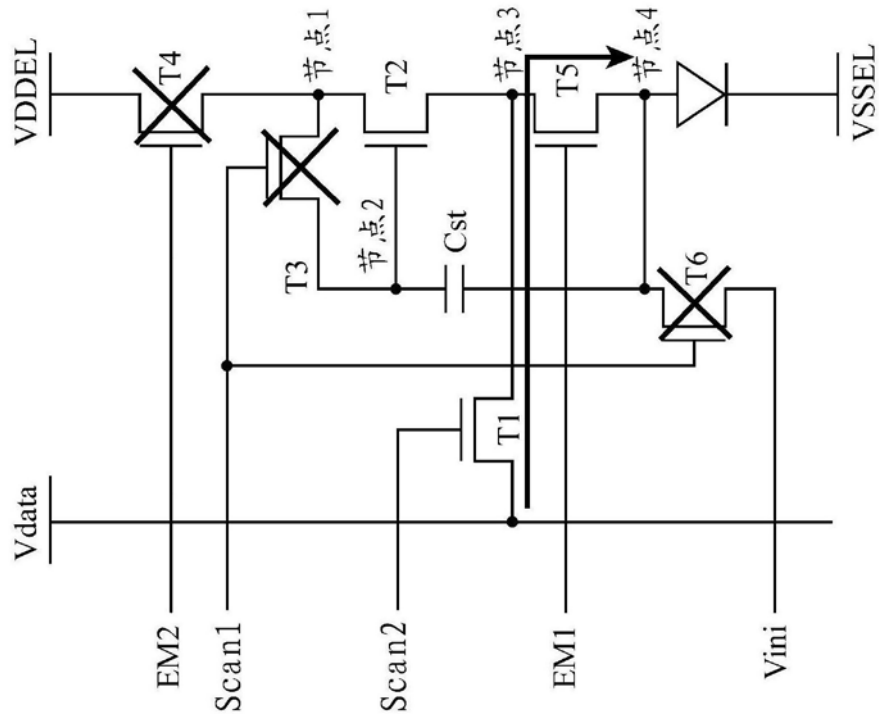


图11C

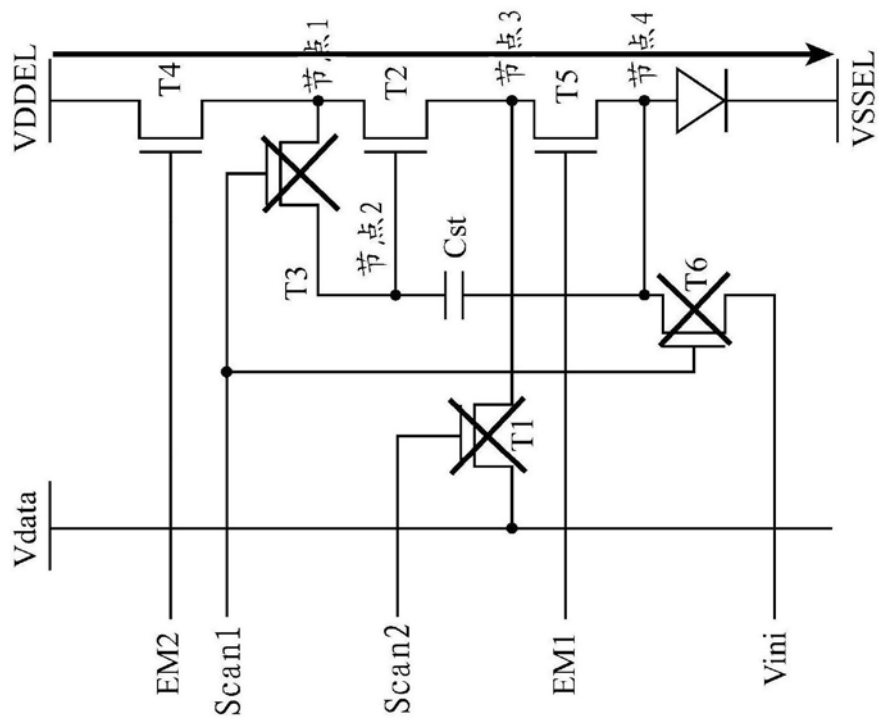


图11D

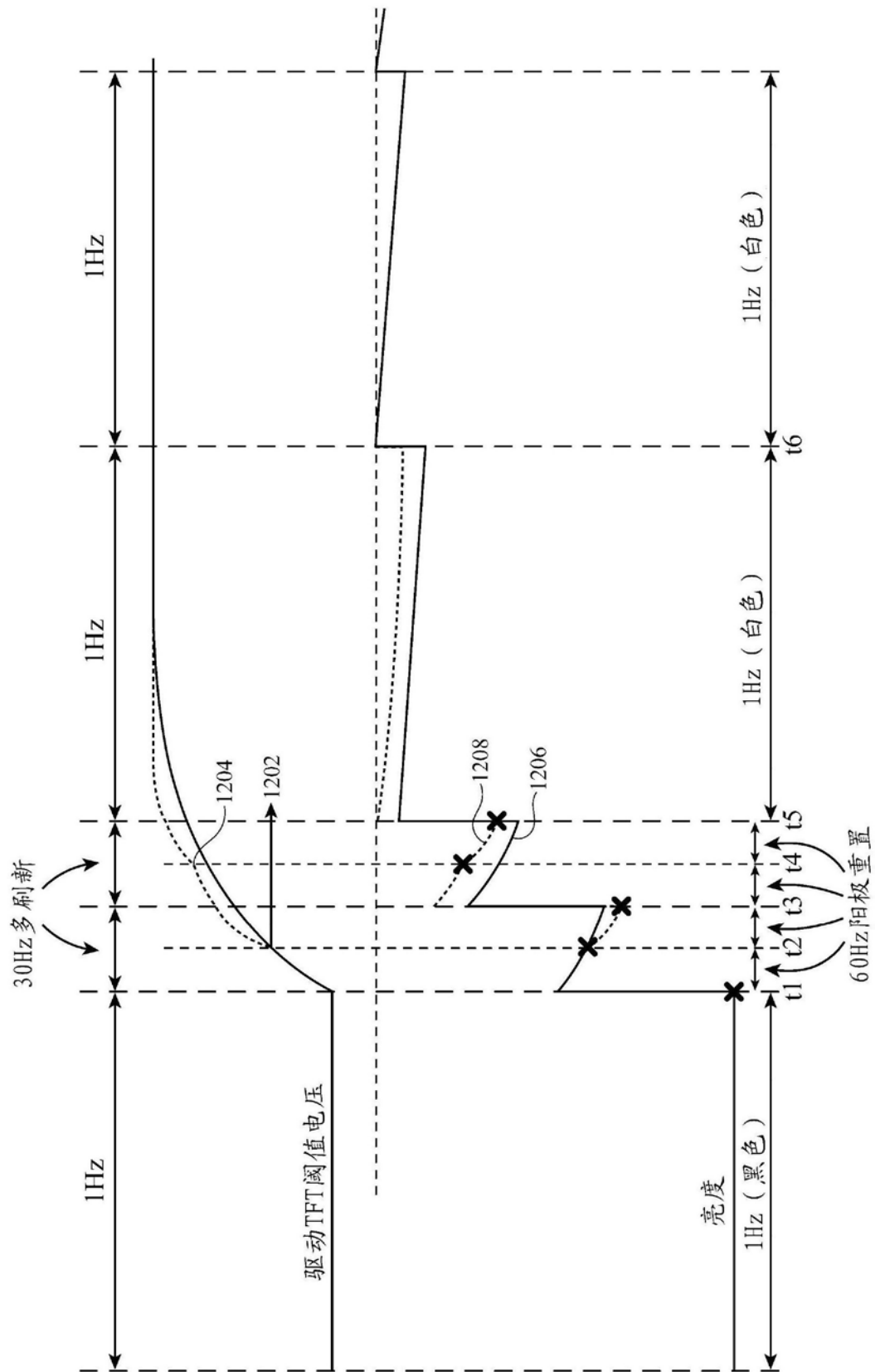


图12

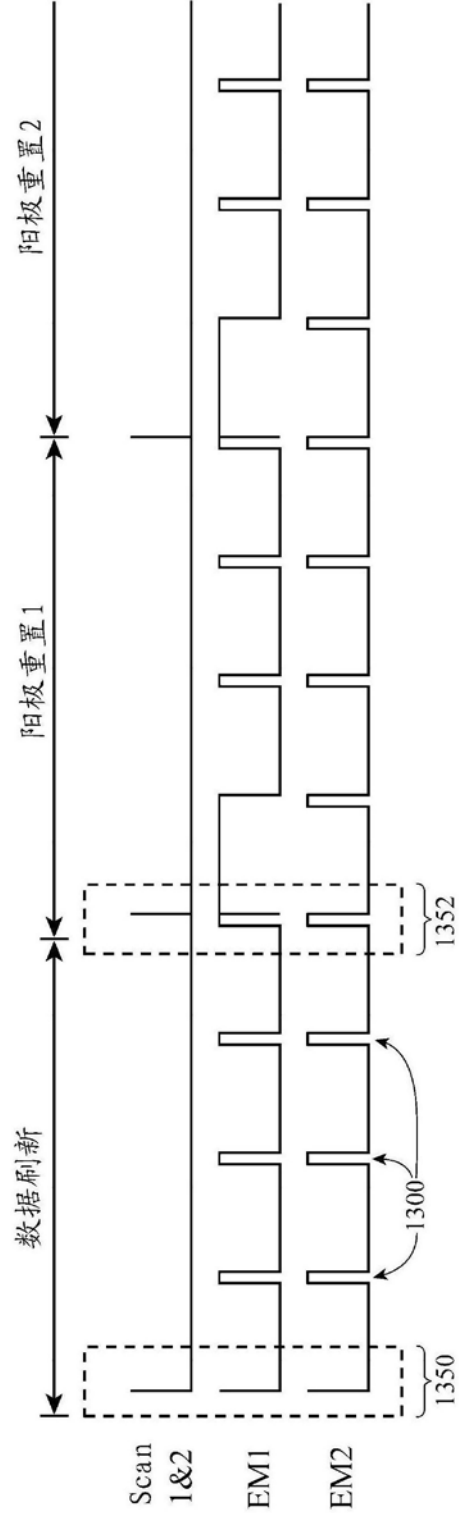


图13

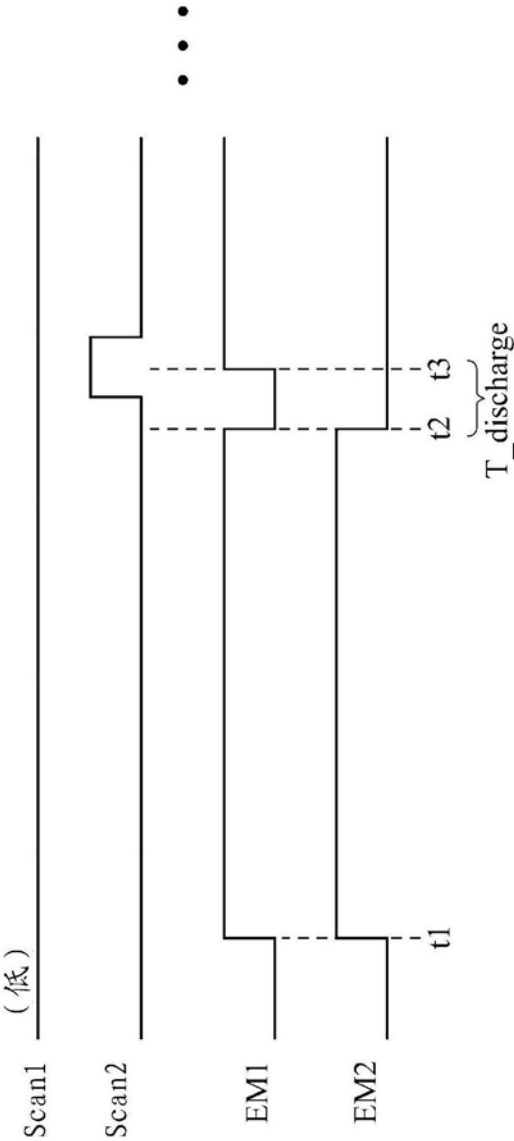


图14

专利名称(译)	具有低刷新率显示器像素的电子设备		
公开(公告)号	CN109410832A	公开(公告)日	2019-03-01
申请号	CN201810937439.5	申请日	2018-08-17
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	林敬伟 杨玄 钱闯 A·嘉姆史迪罗德巴里 常鼎国		
发明人	林敬伟 杨玄 钱闯 A·嘉姆史迪罗德巴里 常鼎国		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208 G09G3/3233 G09G2300/0417 G09G2300/043 G09G2300/0819 G09G2300/0861 G09G2310/0262 G09G2310/0297 G09G2310/06 G09G2320/0247 G09G2320/043 G09G2320/045 G09G2340/0435 G09G3/3225 G09G2310/061 G09G2320/0214 G09G2320/0242 G09G2320/0252 G09G2320/064		
优先权	62/547030 2017-08-17 US 15/996366 2018-06-01 US		
外部链接	Espacenet SIPO		

摘要(译)

本发明题为“具有低刷新率显示器像素的电子设备”。本发明公开了一种显示器，该显示器可具有在低刷新率下操作的有机发光二极管显示器像素的阵列。每个显示器像素可具有六个薄膜晶体管和一个电容器。该六个晶体管中的一个可用作驱动晶体管，并且可使用剩余的五个晶体管和电容器来补偿。可在阈值电压取样之前施加一项或多项偏置应力操作以减轻第一帧变暗。可在垂直消隐周期期间插入多项阳极重置和偏置应力操作，以减少闪烁和保持平衡，并且还可在连续数据刷新之间插入这些操作以改善第一帧性能。可以使用脉宽调制方案将控制每个像素的两个不同发射信号一起来回切换，以帮助提供更暗的黑电平。

