



(12)发明专利申请

(10)申请公布号 CN 108831383 A
(43)申请公布日 2018.11.16

(21)申请号 201810653428.4

(22)申请日 2018.06.22

(71)申请人 昆山国显光电有限公司

地址 215300 江苏省苏州市昆山市开发区
龙腾路1号4幢

(72)发明人 赵国华 金波 朱晖

(74)专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 智云

(51)Int.Cl.

G09G 3/3233(2016.01)

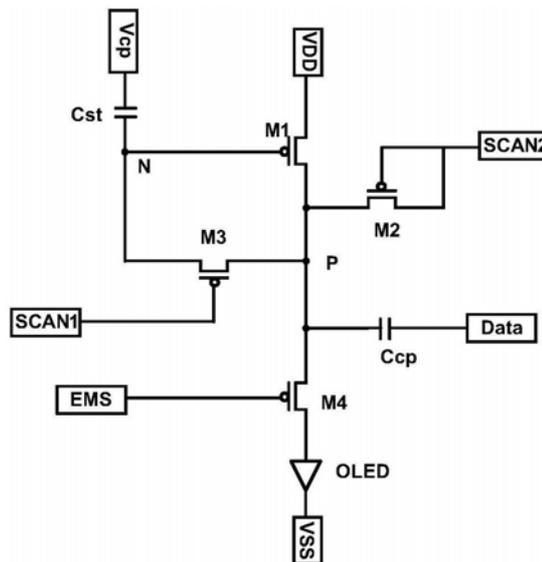
权利要求书2页 说明书8页 附图2页

(54)发明名称

像素电路及其驱动方法、显示面板及显示装置

(57)摘要

本发明提供一种像素电路及其驱动方法、显示面板及显示装置,像素电路包括第一至第四晶体管、存储电容、耦合电容以及一有机发光元件,通过上述各晶体管和电容的相互配合对驱动晶体管的阈值电压进行补偿,使驱动有机发光元件发光的驱动电流和驱动晶体管的阈值电压无关,避免驱动晶体管的阈值电压的波动对有机发光元件的影响,解决了由此引起的显示亮度不均的问题,提高了整个画面的显示效果;同时所使用的晶体管的数量减少,有利用实现高分辨率显示。



1. 一种像素电路,其特征在于,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、存储电容、耦合电容和有机发光元件;其中,

所述第二晶体管在第二扫描信号端的控制下以及所述第三晶体管在第一扫描信号端的控制下用于对所述存储电容进行初始化,且所述第三晶体管在所述第一扫描信号端的控制下还用于将第一电压信号端提供的信号与所述第一晶体管的阈值电压存储至所述存储电容,以对所述第一晶体管的阈值电压进行补偿;

所述耦合电容在所述数据信号端提供的数据信号的作用下对所述存储电容存储的电压进行调节,以实现所述第一晶体管驱动电流的调节;

所述存储电容用于保持所述第一晶体管的栅极电压;

所述第四晶体管用于在发光控制端的控制下使所述第一晶体管与所述有机发光器件导通;

所述第一晶体管用于根据所述数据信号生成驱动电流以驱动所述有机发光元件发光。

2. 如权利要求1所述的像素电路,其特征在于,所述第一晶体管的栅极与所述存储电容的第一端相连,所述第一晶体管的第一电极与所述第一电压信号端相连,所述第一晶体管的第二电极与所述第二晶体管的第二电极、所述第三晶体管的第二电极相连;所述第二晶体管的栅极与所述第二扫描信号端相连,所述第二晶体管的第一电极与所述第二扫描信号端相连;所述第三晶体管的栅极与所述第一扫描信号端相连,所述第三晶体管的第一电极与所述存储电容的第一端相连;所述存储电容的第二端与第三电压信号端相连。

3. 如权利要求2所述的像素电路,其特征在于,所述耦合电容的第一端与所述数据信号端相连,所述耦合电容的第二端与所述第一晶体管的第二电极、所述第二晶体管的第二电极以及所述第三晶体管的第二电极相连。

4. 如权利要求3所述的像素电路,其特征在于,所述第四晶体管的栅极与所述发光控制端相连,所述第四晶体管的第一电极与所述耦合电容的第二端相连,所述第四晶体管的第二电极与所述有机发光元件的阳极相连;所述有机发光元件的阴极与第二电压信号端相连。

5. 如权利要求2所述的像素电路,其特征在于,所述第三晶体管包括相串连的两个子晶体管,第一子晶体管的栅极与所述第一扫描信号端相连,所述第一子晶体管的第一电极与所述存储电容的第一端相连,所述第一子晶体管的第二电极与第二子晶体管的第一电极相连;所述第二子晶体管的栅极与所述第一扫描信号端相连,所述第二子晶体管的第二电极与所述第一晶体管的第二电极、所述第二晶体管的第二电极相连。

6. 如权利要求1~5中任一项所述的像素电路,其特征在于,所述第一电极为源极,所述第二电极为漏极;或者,所述第一电极为漏极,所述第二电极为源极。

7. 一种像素电路的驱动方法,其特征在于,应用于如权利要求1~6中任一项所述的像素电路,所述像素电路的驱动方法包括:

第一阶段:所述第二晶体管在第二扫描信号端的控制下,以及所述第三晶体管在第一扫描信号端的控制下对所述存储电容进行初始化;

第二阶段:所述第三晶体管在所述第一扫描信号端的控制下将第一电压信号端提供的信号与所述第一晶体管的阈值电压存储至所述存储电容;

第三阶段:所述数据信号端提供的数据信号通过耦合电容写入所述存储电容并存储在

所述存储电容中；

第四阶段：所述第三电压信号端提供的信号发生跳变，并通过耦合作用存储在所述存储电容，所述第四晶体管在发光控制端的控制下使所述第一晶体管与所述有机发光器件导通，所述第一晶体管用于根据所述数据信号生成驱动电流以驱动所述有机发光元件发光。

8. 如权利要求7所述的像素电路的驱动方法，其特征在于，在所述第四阶段，流经所述有机发光元件的电流为：

$$I=K(V_{data}-V_{offset}-\Delta V)$$

其中，K表示常数，V_{data}表示所述数据信号端在第三阶段提供的数据信号，V_{offset}表示所述数据信号端在第一阶段、第二阶段与第四阶段提供的数据信号， ΔV 表示所述第三电压信号端在所述第三阶段提供的信号与在所述第四阶段提供的信号的差值。

9. 一种显示面板，其特征在于，包括如权利要求1~6中任一项所述的像素电路。

10. 一种显示装置，其特征在于，包括权利要求9所述的显示面板。

像素电路及其驱动方法、显示面板及显示装置

技术领域

[0001] 本发明涉及平面显示技术领域,具体涉及一种像素电路及其驱动方法、显示面板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,简称OLED)是当今显示器研究领域的热点之一,与液晶显示器(Liquid Crystal Display,LCD)相比,OLED具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点。目前,在手机、PDA、数码相机等显示领域,OLED显示器已经开始取代传统的LCD 显示器。其中,像素电路设计是OLED显示器的核心技术内容,具有重要的研究意义。

[0003] 与LCD利用稳定的电压控制亮度的方法不同,OLED属于电流驱动,需要稳定的电流来控制发光。由于工艺制程和器件老化等原因,会使像素电路的驱动晶体管的阈值电压存在不均匀性,这样就导致了流过不同OLED像素的电流发生变化使得显示亮度不均,从而影响整个图像的显示效果。

[0004] 在现有技术的像素电路设计中,通常会采用补偿电路来补偿驱动晶体管的阈值电压,例如在常规的7T1C像素电路中,主要采用由七个PMOS晶体管和一个存储电容Cs构成一个单独的带有补偿效果的像素电路。但是随着技术的发展,用户对分辨率的需求越来越高,分辨率可采用PPI(pixels per inch,每英寸像素数)来衡量,随着PPI的提高,必然要压缩单个像素单元内的晶体管的数量,而7T1C等电路由于晶体管数量的限制很难应用在800PPI及以上的显示器上。

[0005] 因此,如何对阈值电压进行补偿的同时实现高分辨率是本领域技术人员亟需解决的问题。

发明内容

[0006] 本发明的目的在于提供一种像素电路及其驱动方法、显示面板及显示装置,对驱动晶体管的阈值电压进行补偿的同时具有高分辨率,使显示器件具有更高的画面品质。

[0007] 为实现上述目的,本发明提供一种像素电路,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、存储电容、耦合电容和有机发光元件;其中,

[0008] 所述第二晶体管在第二扫描信号端的控制下以及所述第三晶体管在第一扫描信号端的控制下用于对所述存储电容进行初始化,且所述第三晶体管在所述第一扫描信号端的控制下还用于将第一电压信号端提供的信号与所述第一晶体管的阈值电压存储至所述存储电容,以对所述第一晶体管的阈值电压进行补偿;

[0009] 所述耦合电容在所述数据信号端提供的数据信号的作用下对所述存储电容存储的电压进行调节,以实现所述第一晶体管驱动电流的调节;

[0010] 所述存储电容用于保持所述第一晶体管的栅极电压;

[0011] 所述第四晶体管用于在发光控制端的控制下使所述第一晶体管与所述有机发光

器件导通；

[0012] 所述第一晶体管用于根据所述数据信号生成驱动电流以驱动所述有机发光元件发光。

[0013] 可选的,所述第一晶体管的栅极与所述存储电容的第一端相连,所述第一晶体管的第一电极与所述第一电压信号端相连,所述第一晶体管的第二电极与所述第二晶体管的第一电极、所述第三晶体管的第一电极相连;所述第二晶体管的栅极与所述第二扫描信号端相连,所述第二晶体管的第一电极与所述第二扫描信号端相连;所述第三晶体管的栅极与所述第一扫描信号端相连,所述第三晶体管的第一电极与所述存储电容的第一端相连;所述存储电容的第二端与第三电压信号端相连。

[0014] 可选的,所述耦合电容的第一端与所述数据信号端相连,所述耦合电容的第二端与所述第一晶体管的第二电极、所述第二晶体管的第二电极以及所述第三晶体管的第二电极相连。

[0015] 可选的,所述第四晶体管的栅极与所述发光控制端相连,所述第四晶体管的第一电极与所述耦合电容的第二端相连,所述第四晶体管的第二电极与所述有机发光元件的阳极相连;所述有机发光元件的阴极与第二电压信号端相连。

[0016] 可选的,所述第三晶体管包括相串连的两个子晶体管,第一子晶体管的栅极与所述第一扫描信号端相连,所述第一子晶体管的第一电极与所述存储电容的第一端相连,所述第一子晶体管的第二电极与第二子晶体管的第一电极相连;所述第二子晶体管的栅极与所述第一扫描信号端相连,所述第二子晶体管的第二电极与所述第一晶体管的第二电极、所述第二晶体管的第二电极相连。

[0017] 可选的,所述第一电极为源极,所述第二电极为漏极;或者,所述第一电极为漏极,所述第二电极为源极。

[0018] 相应的,本发明还提供一种像素电路的驱动方法,应用于上述的像素电路,所述像素电路的驱动方法包括:

[0019] 第一阶段:所述第二晶体管在第二扫描信号端的控制下,以及所述第三晶体管在第一扫描信号端的控制下对所述存储电容进行初始化;

[0020] 第二阶段:所述第三晶体管在所述第一扫描信号端的控制下将第一电压信号端提供的信号与所述第一晶体管的阈值电压存储至所述存储电容;

[0021] 第三阶段:所述数据信号端提供的数据信号通过耦合电容写入存储电容并存储在存储电容中;

[0022] 第四阶段,所述第三电压信号端提供的信号发生跳变,并通过耦合作用存储在所述存储电容,所述第四晶体管在发光控制端的控制下使所述第一晶体管与所述有机发光器件导通,所述第一晶体管用于根据所述数据信号生成驱动电流以驱动所述有机发光元件发光。

[0023] 可选的,在所述第四阶段,流经所述有机发光元件的电流为:

[0024] $I=K(V_{data}-V_{offset}-\Delta V)$

[0025] 其中,K表示常数, V_{data} 表示所述数据信号端在第三阶段提供的数据信号, V_{offset} 表示所述数据信号端在第一阶段、第二阶段以及第四阶段提供的数据信号, ΔV 表示所述第三电压信号端在所述第三阶段提供的信号与在所述第四阶段提供的信号的差值。

[0026] 相应的,本发明还提供一种显示面板,包括上述的像素电路。

[0027] 相应的,本发明还提供一种显示装置,包括上述的显示面板。

[0028] 与现有技术相比,本发明提供的像素电路及其驱动方法、显示面板及显示装置具有以下有益效果:

[0029] 本发明所提供的像素电路包括四个晶体管、两个电容以及一个有机发光元件,通过上述各晶体管和电容的相互配合对驱动晶体管的阈值电压进行补偿,使驱动有机发光元件发光的驱动电流和驱动晶体管的阈值电压无关,避免驱动晶体管的阈值电压的波动对有机发光元件的影响,解决了由此引起的显示亮度不均的问题,提高了整个画面的显示效果;同时所使用的晶体管的数量减少,有利用实现高分辨率显示。

[0030] 进一步的,所述第三晶体管包括相串连的两个子晶体管,串联结构增大了所述存储电容第一端与所述耦合电容第二端之间的电阻,在所述有机发光元件发光时可以有效抑制所述存储电容的电荷泄露,有利于维持存储电容第一端电位的稳定性,从而抑制一帧内由于所述存储电容漏电引起的电流变化,进一步提高画面的显示效果。

附图说明

[0031] 图1为本发明一实施例所提供的像素电路的结构示意图;

[0032] 图2为本发明一实施例所提供的像素电路驱动方法中电路工作时序示意图;

[0033] 图3为本发明另一实施例所提供的像素电路的结构示意图。

具体实施方式

[0034] 为使本发明的内容更加清楚易懂,以下结合说明书附图,对本发明的内容做进一步说明。当然本发明并不局限于该具体实施例,本领域的技术人员所熟知的一般替换也涵盖在本发明的保护范围内。

[0035] 显然,所描述的实施例仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护的范围。其次,本发明利用示意图进行了详细的表述,在详述本发明实例时,为了便于说明,示意图不依照一般比例局部放大,不应对此作为本发明的限定。

[0036] 本发明的核心思想在于,通过各晶体管和电容的相互配合对驱动晶体管的阈值电压进行补偿,使驱动有机发光元件发光的驱动电流和驱动晶体管的阈值电压无关,避免驱动晶体管的阈值电压的波动对有机发光元件的影响,解决了由此引起的显示亮度不均的问题,提高了整个画面的显示效果;同时所使用的晶体管的数量减少,有利用实现高分辨率显示。

[0037] 图1为本发明一实施例所提供的像素电路的结构示意图。如图1所示,本发明提出一像素电路,包括:第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、存储电容Cst、耦合电容Ccp以及有机发光元件OLED。

[0038] 所述第二晶体管M2和第三晶体管M3可用于在第二扫描信号端SCAN2(控制第二晶体管M2)和第一扫描信号端SCAN1(控制第三晶体管M3)的控制下用于对所述存储电容Cst进行初始化。所述第三晶体管M3还用于在所述第一扫描信号端SCAN1的控制下将第一电压信号端VDD提供的信号与所述第一晶体管M1的阈值电压 V_{th} 存储至所述存储电容Cst,以对所

述第一晶体管M1的阈值电压进行补偿。所述耦合电容Ccp用于在所述数据信号端Data提供的所述数据信号的作用下对所述存储电容Cst存储的电荷进行调节,以实现与所述第一晶体管M1驱动电流的调节。所述存储电容Cst用于保持所述第一晶体管M1的栅极电压。所述第四晶体管M4用于在发光控制端EMS的控制下使所述第一晶体管M1与所述有机发光器件OLED导通。所述第一晶体管M1用于根据所述数据信号生成驱动电流以驱动所述有机发光元件OLED发光。

[0039] 具体的,本发明实施例所提供的上述像素电路中,如图1所示,所述第一晶体管M1的栅极与所述存储电容Cst的第一端相连,所述第一晶体管M1的第一电极与所述第一电压信号端VDD相连,所述第一晶体管M1的第二电极与所述第二晶体管M2的第二电极、所述第三晶体管M3的第二电极相连。

[0040] 所述第二晶体管M2的栅极与所述第二扫描信号端SCAN2相连,所述第二晶体管M2的第一电极与所述第二扫描信号端SCAN2相连。

[0041] 所述第三晶体管M3的栅极与所述第一扫描信号端SCAN1相连,所述第三晶体管M3的第一电极与所述存储电容Cst的第一端相连。所述存储电容Cst的第二端与第三电压信号端Vcp相连。

[0042] 所述耦合电容Ccp的第一端与所述数据信号端Data相连,所述耦合电容Ccp的第二端与所述第一晶体管M1的第二电极、所述第二晶体管M2的第二电极以及所述第三晶体管M3的第二电极相连。

[0043] 所述第四晶体管M4的栅极与所述发光控制端EMS相连,所述第四晶体管M4的第一电极与所述耦合电容Ccp的第二端相连,所述第四晶体管M4的第二电极与所述有机发光元件OLED的阳极相连。

[0044] 所述有机发光元件OLED的阴极与第二电压信号端VSS相连。

[0045] 所述第一晶体管M1的第二电极、所述第二晶体管M2的第二电极、所述第三晶体管M3的第二电极、所述第四晶体管M4的第一电极以及所述耦合电容Ccp的第二端相交连接于P点。所述第一晶体管M1的栅极、所述第三晶体管M3的第一电极以及所述存储电容Cst的第一端相交于N点。

[0046] 本发明实施例中采用的所有的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。本实施例中,所述第一电极为源极,所述第二电极为漏极;或者所述第一电极为漏极,所述第二电极为源极。

[0047] 本实施例中所有的晶体管均为P型晶体管,在低电平时导通,在高电平时截止。例如,如图1所示,第二晶体管M2为P型晶体管,当所述第二扫描信号端SCAN2提供的信号为低电平时所述第二晶体管M2处于导通状态,当所述第二扫描信号端SCAN2提供的信号为高电平时所述第二晶体管M2处于截止状态。

[0048] 上述像素电路的驱动时序包括四个阶段,第一阶段T1、第二阶段T2、第三阶段T3和第四阶段T4。其中,所述数据信号端Data在第一阶段T1、第二阶段T2提供的数据信号Voffset为低电平,在第三阶段T3提供的数据信号Vdata为高电平,在第四阶段T4由高电平降低为低电平。具体的,在第四阶段T4初始,所述数据信号端Data提供的信号为高电平,t2间隔后,降为低电平。所述发光控制端EMS提供的信号在第一阶段T1、第二阶段T2与第三阶段T3均为高电平,在第四阶段T4由高电平降为低电平。具体的,在第四阶段T4初始,所述发

光控制端EMS提供的信号为高电平,t2间隔后,降为低电平。

[0049] 所述第一扫描信号端SCAN1提供的信号在第一阶段T1由高电平降为低电平,即在第一阶段T1初始,所述第一扫描信号端SCAN1提供的信号为高电平, t1间隔后,降为低电平。在第二阶段T2与第三阶段T3,所述第一扫描信号端 SCAN1提供的信号为低电平。在第四阶段T4,所述第一扫描信号端SCAN1提供的信号为低电平升为高电平。具体的,在第四阶段T4初始,所述第一扫描信号端SCAN1提供的信号低电平, t2间隔后,升为高电平。

[0050] 所述第二扫描信号端SCAN2提供的信号在第一阶段T1由高电平降为低电平,与上述类似,在第一阶段T1初始,所述第二扫描信号端SCAN2提供的信号为高电平, t1间隔后,降为低电平。所述第二扫描信号端SCAN2提供的信号在第二阶段T2、第三阶段T3以及第四阶段T4均为高电平。

[0051] 所述第一电压信号端VDD输出的信号相对而言是具有高电平的电压,而所述第二电压信号端VSS输出的信号相对而言是具有低电平的电压,前者大于后者。所述第三电压信号端Vcp输出的信号在不同阶段会发生变化。具体的,在第一阶段T1、第二阶段T2与第三阶段T3,所述第三电压信号端Vcp输出的信号均保持高电平,在第四阶段T4初始,所述第三电压信号端Vcp输出的电压仍为高电平,在t2间隔后,降为低电平,所述高电平与所述低电平的差值设为 ΔV 。

[0052] 图2为本发明一实施例所提供的像素电路驱动方法中电路工作时序示意图,如图2所示,并参考图1,本发明提供一种像素电路的驱动方法,应用于上述像素电路,所述像素电路的驱动方法包括:

[0053] 第一阶段T1:所述第二晶体管M2在第二扫描信号端SCAN2的控制下,以及所述第三晶体管M3在第一扫描信号端SCAN1的控制下对所述存储电容Cst 进行初始化;

[0054] 第二阶段T2:所述第三晶体管M3在所述第一扫描信号端SCAN1的控制下将第一电压信号端VDD提供的信号与所述第一晶体管M1的阈值电压Vth存储至所述存储电容Cst;

[0055] 第三阶段T3:所述数据信号端Data提供的数据信号通过耦合电容Ccp写入所述存储电容Cst并存储在所述存储电容Cst中;

[0056] 第四阶段T4:所述第三电压信号端Vcp提供的信号发生跳变,并通过耦合作用存储在所述存储电容Cst,所述第四晶体管M4在发光控制端EMS的控制下使所述第一晶体管M1与所述有机发光器件OLED导通,所述第一晶体管M1 用于根据所述数据信号生成驱动电流以驱动所述有机发光元件OLED发光。

[0057] 本发明所提供的像素电路的驱动方法分为四个阶段,分别对应图2中的T1、T2、T3和T4阶段,上述四个阶段可以不连续,配合外部电路的驱动时序,所述四个阶段之间可以有间隔。当然,上述四个阶段也可以连续,即四个阶段之间没有间隔。本实施例中,以所述四个阶段连续为例进行说明。

[0058] 以下请参考1所示,并结合图2,详细说明上述像素电路的驱动方法。

[0059] 具体的,在第一阶段T1,所述发光控制端EMS提供的信号为高电平,所述第三电压信号端Vcp提供的电压为高电压,所述第四晶体管M4截止。在t1间隔后,所述第一扫描信号端SCAN1提供的信号为低电平,所述第二扫描信号端 SCAN2提供的信号为低电平,所述第二晶体管M2与所述第三晶体管M3导通,所述第二扫描信号端SCAN2提供的低电平信号通过所述第二晶体管M2与所述第三晶体管M3对所述存储电容Cst进行初始化。

[0060] 在该阶段,必须先关闭所述第四晶体管M4,再打开所述第二晶体管M2与所述第三晶体管M3,以防止充电电流流过发光二极管。因此,首先需要所述发光控制端EMS提供高电平的信号,在 t_1 间隔之后,所述第二扫描信号端SCAN2 与所述第三晶体管M3再提供低电平的信号,此处的 t_1 间隔可以根据实际情况进行选择,可以在所述第四晶体管M4截止之后立即导通所述第二晶体管M2与第三晶体管M3,也可以在所述第四晶体管M4截止一段时间之后,再导通所述第二晶体管M2与第三晶体管M3。而所述第三电压信号端Vcp提供的信号在第一阶段T1即为高电平或者在 t_1 间隔之后升为高电平均可,本实施例中,在第一阶段T1,所述第三电压信号端Vcp均提供高电平。

[0061] 需要说明的是,在该阶段,所述第一扫描信号端SCAN1提供的信号为低电平,所述第二扫描信号端SCAN2提供的信号为低电平,所述第二晶体管M2与所述第三晶体管M3导通,节点N处的电压降为低电平,所述第一晶体管M1 导通,此时所述第一晶体管M1、第二晶体管M2与第三晶体管M3均相当于一电阻,节点N通过一电阻连接至所述第一电压信号端VDD,通过另一电阻连接至所述第二扫描信号端SCAN2,所述第二扫描信号端SCAN2提供的低电平为负值并且其绝对值大于所述第一电压信号端VDD提供的高电平的绝对值,于是所述节点N处仍旧为低电平,并处于一个稳定阶段,完成所述存储电容Cst的初始化,所述第一晶体管M1的导通并不会对所述节点N处的低电平电压造成影响。

[0062] 在第二阶段T2,所述第二扫描信号端SCAN2提供的信号处于高电平,所述第二晶体管M2截止,所述第一电压信号端VDD提供的信号通过所述第一晶体管M1与第三晶体管M3对所述存储电容Cst进行充电。待节点N的电压稳定之后,所述第一晶体管M1截止。所述N点的电压用公式一表示:

[0063] [公式一]: $V = VDD + V_{th}$

[0064] 在公式一中,VDD表示第一电压信号端提供的信号, V_{th} 表示所述第一晶体管M1的阈值电压。

[0065] 在第三阶段T3,请参考图2所示,所述数据信号端Data提供的数据信号由 V_{offset} 跳变为 V_{data} ,其中 V_{data} 大于 V_{offset} ,由于所述耦合电容Ccp的耦合作用,节点P的电压变化量为 $V_{data} - V_{offset}$,而由于所述第三晶体管M3导通,节点N的电压发生跳变,并存储在所述存储电容Cst中。此时所述节点N的电压用公式二表示:

[0066] [公式二]: $V = VDD + V_{th} + V_{data} - V_{offset}$

[0067] 在第四阶段T4,请参考图2所示,所述第一扫描信号端SCAN1提供的信号处于高电平,所述第三晶体管M3截止, t_2 间隔后,所述第三电压信号端Vcp 提供的信号跳变为低电平,所述发光控制端EMD提供的信号跳变为低电平,所述数据信号端Data提供的数据电压也同时跳变为 V_{offset} ,所述第四晶体管M4 导通,使得所述第一晶体管M1与所述有机发光元件OLED导通,所述存储电容Cst保持所述第一晶体管M1的栅极电压,所述第一晶体管M1驱动所述有机发光元件OLED发光。

[0068] 在该阶段,所述数据信号端Data提供的数据信号由 V_{data} 跳变为 V_{offset} ,导致节点P的电压下降,而如果此时所述第三晶体管M3还处于导通状态,则会影响到节点N处的电压,因此,在第四阶段T4,首先需要关闭所述第三晶体管M3,然后再进行数据信号的跳变。同样的,关闭所述第三晶体管M3之后,再导通所述第四晶体管M4,也是为了防止所述第四晶体管M4的导通会对节点 N处的电压造成影响。

[0069] 需要说明的是,由于所述第三电压信号端Vcp提供的信号由高电平降至低电平,即所述存储电容Cst的第二端的电压降低,会导致所述存储电容Cst的第一端(即节点N)处的电压降低,其电压降 ΔV 为所述第三电压信号端Vcp提供的信号由高电平降至低电平的差值,也可以理解为, ΔV 表示所述第三电压信号端Vcp在所述第三阶段T3提供的信号与在所述第四阶段T4提供的信号的差值。此时所述节点N的电压用公式三表示:

[0070] [公式三]: $V=VDD+V_{th}+V_{data}-V_{offset}-\Delta V$

[0071] 需要说明的是,在本实施例中,所述存储电容Cst的第二端与所述第三电压信号端Vcp相连,所述第三电压信号端Vcp提供的信号在第一阶段T1、第二阶段T2以及第三阶段T3均为高电平,在第四阶段T4需要由高电平降为低电平,在该阶段存在一个降低的原因分析如下:所述第一晶体管M1的栅极连接至节点N处,如果节点N处的电压过高的话(所述第一晶体管M1为P型晶体管),会导致通过所述第一晶体管M1的电流过小,从而影响流经所述有机发光元件的电流,因此节点N处的电压不应过高。为此,在所述存储电容Cst的第二端需要有一个电压降,从而使得所述存储电容Cst的第二端(即节点N)存在一个电压降,以此防止节点N出的电压过高,如上述公式三所示,减去一个 ΔV ,此处的 ΔV 大小可以根据节点N处需要降低的电压的程度来决定,本发明对此不做限定。当然,如果不存在节点N处的电压过高的问题的话,所述存储电容Cst的第二端也可以与所述第一电压信号端VDD相连。

[0072] 此时,所述第一晶体管M1的栅极和源极的电压差用公式四表示:

[0073] [公式四]: $V_{gs}=V-VDD=VDD+V_{th}+V_{data}-V_{offset}-\Delta V-VDD$

[0074] $=V_{th}+V_{data}-V_{offset}-\Delta V$

[0075] 因为所述第一晶体管M1工作在饱和区,流过它沟道的驱动电流由其栅极和源极的电压差决定。根据晶体管饱和区的电流公式(可近似表示为公式五):

[0076] [公式五]: $I=K*(V_{gs}-V_{th})^2=K*[(V_{th}+V_{data}-V_{offset}-\Delta V)-V_{th}]^2$

[0077] $=K*(V_{data}-V_{offset}-\Delta V)^2$ 。

[0078] 在公式五中,I表示第一晶体管M1产生的驱动电流,也就是驱动所述有机发光元件OLED的驱动电流,K表示常数,例如与工艺相关的常数,Vdata表示所述数据信号端Data在第三阶段T3提供的的数据信号,Voffset表示所述数据信号端Data在第一阶段T1、第二阶段T2与第四阶段T4提供的的数据信号, ΔV 表示所述第三电压信号端Vcp在所述第三阶段T3提供的的信号与在所述第四阶段T4提供的的信号差值。

[0079] 从上述公式五可以看出,I不受所述第一晶体管M1的阈值电压Vth的影响,本发明提供的像素电路,可消除所述第一晶体管M1的阈值电压Vth对驱动电流I的影响,从而使得各个像素的显示稳定而均匀,从而获得良好的显示效果。同时本发明所提供的像素电路,所使用的晶体管的数量减少,有利于实现高分辨率显示。

[0080] 在本发明的另一实施例中,所述第三晶体管M3采用双栅结构,由两个子晶体管串联而成,分别为第一子晶体管M3a与第二子晶体管M3b,具体请参考图3所示,第一子晶体管M3a的栅极与所述第一扫描信号端SCAN1相连,所述第一子晶体管M3a的第一电极与所述存储电容Cst的第一端相连,所述第一子晶体管M3a的第二电极与第二子晶体管M3b的第一电极相连;所述第二子晶体管M3b的栅极与所述第一扫描信号端SCAN1相连,所述第二子晶体管M3b的第二电极与所述第一晶体管M1的第二电极、所述第二晶体管M2的第二电极相连。其余的结构、连接方式以及驱动方法与上一实施例相同,在此不再进行赘述。

[0081] 串联结构增大了节点N与节点P之间的电阻。在第四阶段T4,即发光阶段可以有效抑制所述存储电容Cst的电荷泄露,有利于维持节点N电位的稳定性,从而抑制一帧内由于所述存储电容Cst漏电引起的电流变化,进一步提高画面的显示效果。

[0082] 本发明提供一种显示面板,所述显示面板包括如上所述的像素电路。

[0083] 本实施例的显示面板中具有如上所述的像素电路,通过各晶体管和电容的相互配合对第一晶体管的阈值电压进行补偿,使驱动有机发光元件发光的驱动电流和第一晶体管的阈值电压无关,避免第一晶体管的阈值电压的波动对有机发光元件的影响,解决了由此引起的显示亮度不均的问题,提高了整个画面的显示效果;同时所使用的晶体管的数量减少,有利用实现高分辨率显示。

[0084] 相应的,本发明还提供一种显示装置,所述显示装置包括如上所述的显示面板。

[0085] 综上所述,本发明提供的像素电路及其驱动方法、显示面板及显示装置中,像素电路包括四个晶体管、两个电容以及一个有机发光元件,通过上述各晶体管和电容的相互配合对驱动晶体管的阈值电压进行补偿,使驱动有机发光元件发光的驱动电流和驱动晶体管的阈值电压无关,避免驱动晶体管的阈值电压的波动对有机发光元件的影响,解决了由此引起的显示亮度不均的问题,提高了整个画面的显示效果;同时所使用的晶体管的数量减少,有利用实现高分辨率显示。

[0086] 进一步的,所述第三晶体管包括相串连的两个子晶体管,串联结构增大了所述存储电容第一端与所述耦合电容第二端之间的电阻,在所述有机发光元件发光时可以有效抑制所述存储电容的电荷泄露,有利于维持存储电容第一端电位的稳定性,从而抑制一帧内由于所述存储电容漏电引起的电流变化,进一步提高画面的显示效果。

[0087] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

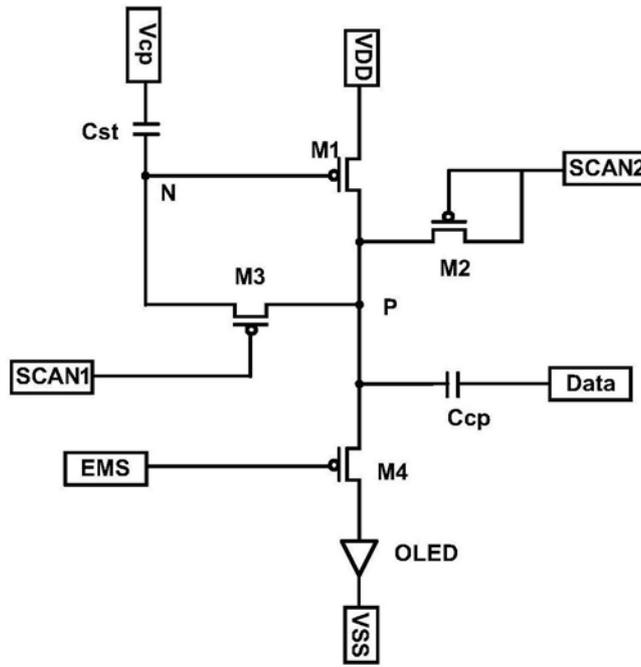


图1

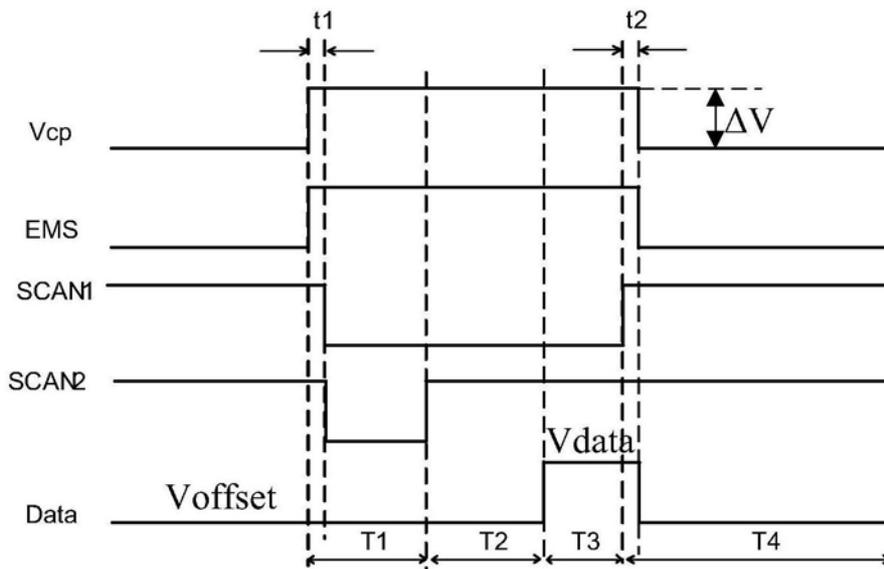


图2

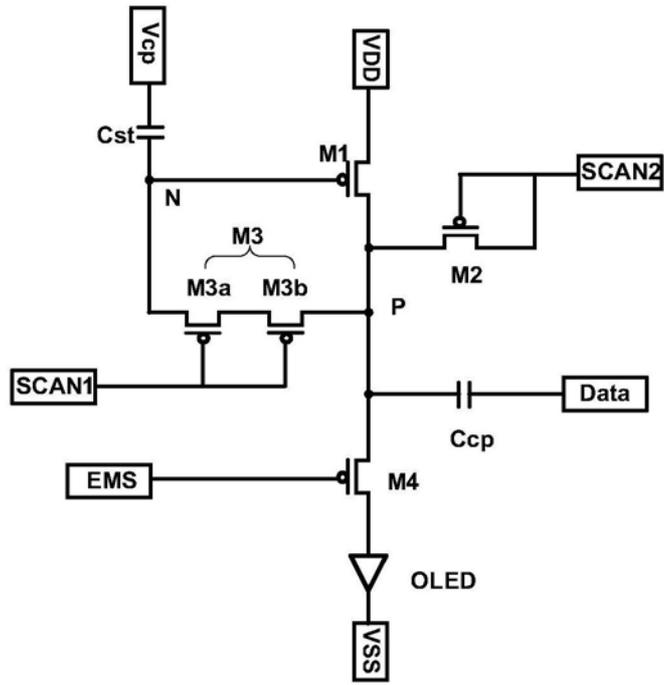


图3

专利名称(译)	像素电路及其驱动方法、显示面板及显示装置		
公开(公告)号	CN108831383A	公开(公告)日	2018-11-16
申请号	CN201810653428.4	申请日	2018-06-22
[标]申请(专利权)人(译)	昆山国显光电有限公司		
申请(专利权)人(译)	昆山国显光电有限公司		
当前申请(专利权)人(译)	昆山国显光电有限公司		
[标]发明人	赵国华 金波 朱晖		
发明人	赵国华 金波 朱晖		
IPC分类号	G09G3/3233		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种像素电路及其驱动方法、显示面板及显示装置，像素电路包括第一至第四晶体管、存储电容、耦合电容以及一有机发光元件，通过上述各晶体管和电容的相互配合对驱动晶体管的阈值电压进行补偿，使驱动有机发光元件发光的驱动电流和驱动晶体管的阈值电压无关，避免驱动晶体管的阈值电压的波动对有机发光元件的影响，解决了由此引起的显示亮度不均的问题，提高了整个画面的显示效果；同时所使用的晶体管的数量减少，有利于实现高分辨率显示。

