



## (12) 发明专利申请

(10) 申请公布号 CN 102280448 A

(43) 申请公布日 2011. 12. 14

(21) 申请号 201110254664. 7

(22) 申请日 2011. 08. 31

(71) 申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路 3 号  
中科院微电子所

(72) 发明人 赵博华 黄苒 杜寰 罗家俊  
赵毅

(74) 专利代理机构 北京市德权律师事务所  
11302

代理人 王建国

(51) Int. Cl.

H01L 27/02 (2006. 01)

H01L 27/32 (2006. 01)

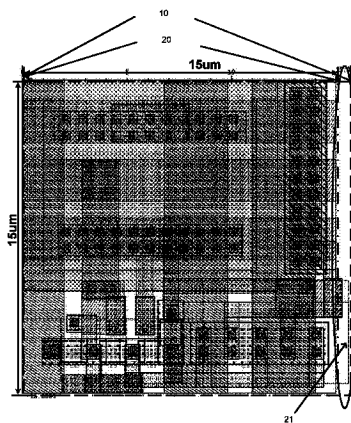
权利要求书 2 页 说明书 5 页 附图 3 页

### (54) 发明名称

硅基有机发光微显示像素单元版图结构

### (57) 摘要

本发明公开了硅基有机发光微显示像素单元版图结构,所述像素单元包括存储电容、第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管,所述像素单元具有衬底,存储电容位于像素单元的左上方,衬底位于存储电容的右侧,第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管位于存储电容和衬底下方。本发明通过两层金属线分别在横竖方向布置合适的信号线,从而使整个像素阵列能很好的配合行列扫描电路以及满足数据信号电压的输入,结构紧凑,能满足微显示对像素单位大小的要求,并且易于像素阵列的形成。



1. 硅基有机发光微显示像素单元版图结构,所述像素单元包括存储电容、第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管,所述像素单元具有衬底,其特征在于,所述存储电容位于所述像素单元的左上方,衬底位于存储电容的右侧,第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管位于存储电容和衬底下方。

2. 如权利要求1所述的硅基有机发光微显示像素单元版图结构,其特征在于,所述存储电容纵向设置;所述第三晶体管横向设置于像素单元的右下方,所述第一晶体管、第四晶体管和第五晶体管横向设置于所述第三晶体管左侧;所述第二晶体管纵向设置于所述第三晶体管左侧;

所述第一晶体管和第三晶体管共用漏极,所述第一晶体管和第四晶体管共用源极,所述第五晶体管和第四晶体管共用漏极;

所述第五晶体管、第四晶体管和第一晶体管从左至右依次设置于同一水平线上;

所述第二晶体管设置于所述第一晶体管上方。

3. 如权利要求2所述的硅基有机发光微显示像素单元版图结构,其特征在于,所述像素单元具有控制存储电容变化信号布线、保持信号布线、采样信号布线、第一层金属线、第二层金属线和第三层金属线,若干所述像素单元形成硅基有机发光器件;所述硅基有机发光器件的阳极输入端位于第五晶体管、第四晶体管和第一晶体管下方,并通过第三层金属线连接到硅基有机发光器件阳极;

控制存储电容变化信号布线、保持信号布线以及采样信号布线由上至下设置,并分别与存储电容和衬底部分重叠;控制存储电容变化信号布线、保持信号布线以及采样信号布线由第二层金属线形成;

控制存储电容变化信号布线通过第一通孔与存储电容的上端连接;保持信号布线依次通过第二通孔、第二层金属线、第一通孔、第一层金属线和接触孔与第四晶体管的栅极连接;采样信号布线依次通过第一通孔、第一层金属线和接触孔与第一晶体管和第三晶体管的栅极相连接;

第一晶体管和第四晶体管的源极通过第一层金属线和第三晶体管的漏极连接,第五晶体管的栅极通过接触孔与第五晶体管的漏极连接,第五晶体管的漏极和栅极通过第一层金属线和第四晶体管的漏极连接。

4. 如权利要求3所述的硅基有机发光微显示像素单元版图结构,其特征在于,所述像素单元具有接地信号布线、像素电压输入信号布线以及电源电压信号布线;

接地信号布线、像素电压输入信号布线以及电源电压信号布线从左至右依次竖向设置,接地信号布线、像素电压输入信号布线以及电源电压信号布线由第三层金属线形成;接地信号布线、像素电压输入信号布线以及电源电压信号布线均与存储电容部分重叠;接地信号布线依次通过第二通孔、第二层金属线以及第一通孔与第五晶体管的源极相连接,像素电压输入信号布线依次通过第二通孔、第二层金属线和第一通孔与第一晶体管和第三晶体管的漏极相连接;电源电压信号布线依次通过第二通孔、第二层金属线和第一通孔与第三晶体管的源极相连接;衬底通过第一层金属线与第三晶体管的源极相连接;第二晶体管的源极通过第一层金属线与存储电容下端相连,并且第二晶体管的源极通过第一层金属线、接触孔与第三晶体管的栅极相连。

5. 如权利要求1-4任一项所述的硅基有机发光微显示像素单元版图结构,其特征在

于,所述像素单元右侧具有与相邻像素单元重叠部分。

6. 如权利要求 1-4 任一项所述的硅基有机发光微显示像素单元版图结构,其特征在于,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管均为 PMOS 晶体管。

7. 如权利要求 1-4 任一项所述的硅基有机发光微显示像素单元版图结构,其特征在于,所述像素单元的尺寸为 15 微米  $\times$  15 微米。

## 硅基有机发光微显示像素单元版图结构

### 技术领域

[0001] 本发明涉及硅基有机发光(Organic Light-Emitting Diode on Silicon, OLEDoS)微显示像素单元,尤其涉及硅基有机发光微显示像素单元版图结构。

### 背景技术

[0002] 硅基有机发光是一种新兴的微型显示技术,它是单晶硅 CMOS 集成技术与 OLED 显示技术有机的结合,兼具两者的技术优势,因此它是极具发展前途的新型平板显示技术。与目前占主导地位的液晶显示相比, OLED 显示具有超薄、超轻、宽视角、快速响应、高对比度、像素自身发光、可弯曲等优点。

[0003] 目前硅基有机发光微显示的主要有投影显示和虚拟显示,这种微显示器对角线尺寸一般小于 1 英寸(2.54cm),而在分辨率方面,美国 eMagin 公司于 2008 年 11 月已经研制出了 SXGA 分辨率彩色与单色的 OLEDoS 微显示器。由于分辨率越高,在相同的显示面积下就需要将像素点做得越小,因此需要合理布局 OLEDoS 像素单元电路版图。

### 发明内容

[0004] 针对现有技术中存在的上述问题,本发明提供了硅基有机发光微显示像素单元版图结构。

[0005] 本发明提供了硅基有机发光微显示像素单元版图结构,所述像素单元包括存储电容、第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管,所述像素单元具有衬底,所述存储电容位于所述像素单元的左上方,衬底位于存储电容的右侧,第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管位于存储电容和衬底下方。

[0006] 在一个示例中,所述存储电容纵向设置;所述第三晶体管横向设置于像素单元的右下方,所述第一晶体管、第四晶体管和第五晶体管横向设置于所述第三晶体管左侧;所述第二晶体管纵向设置于所述第三晶体管左侧;

所述第一晶体管和第三晶体管共用漏极,所述第一晶体管和第四晶体管共用源极,所述第五晶体管和第四晶体管共用漏极;

所述第五晶体管、第四晶体管和第一晶体管从左至右依次设置于同一水平线上;

所述第二晶体管设置于所述第一晶体管上方。

[0007] 在一个示例中,所述像素单元具有控制存储电容变化信号布线、保持信号布线、采样信号布线、第一层金属线、第二层金属线和第三层金属线,若干所述像素单元形成硅基有机发光器件;所述硅基有机发光器件的阳极输入端位于第五晶体管、第四晶体管和第一晶体管下方,并通过第三层金属线连接到硅基有机发光器件阳极;

控制存储电容变化信号布线、保持信号布线以及采样信号布线由上至下设置,并分别与存储电容和衬底部分重叠;控制存储电容变化信号布线、保持信号布线以及采样信号布线由第二层金属线形成;

控制存储电容变化信号布线通过第一通孔与存储电容的上端连接;保持信号布线依

次通过第二通孔、第二层金属线、第一通孔、第一层金属线和接触孔与第四晶体管的栅极连接；采样信号布线依次通过第一通孔、第一层金属线和接触孔与第一晶体管和第二晶体管的栅极相连接；

第一晶体管和第四晶体管的源极通过第一层金属线和第三晶体管的漏极连接，第五晶体管的栅极通过接触孔与第五晶体管的漏极连接，第五晶体管的漏极和栅极通过第一层金属线和第四晶体管的漏极连接。

[0008] 在一个示例中，所述像素单元具有接地信号布线、像素电压输入信号布线以及电源电压信号布线；

接地信号布线、像素电压输入信号布线以及电源电压信号布线从左至右依次竖向设置，接地信号布线、像素电压输入信号布线以及电源电压信号布线由第三层金属线形成；接地信号布线、像素电压输入信号布线以及电源电压信号布线均与存储电容部分重叠；接地信号布线依次通过第二通孔、第二层金属线以及第一通孔与第五晶体管的源极相连接，像素电压输入信号布线依次通过第二通孔、第二层金属线和第一通孔与第一晶体管和第二晶体管的漏极相连接；电源电压信号布线依次通过第二通孔、第二层金属线和第一通孔与第三晶体管的源极相连接；衬底通过第一层金属线与第三晶体管的源极相连接；第二晶体管的源极通过第一层金属线与存储电容下端相连，并且第二晶体管的源极通过第一层金属线、接触孔与第三晶体管的栅极相连。

[0009] 在一个示例中，所述像素单元右侧具有与相邻像素单元重叠部分。

[0010] 在一个示例中，所述第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管均为 PMOS 晶体管。

[0011] 在一个示例中，所述像素单元的尺寸为 15 微米 × 15 微米。

[0012] 本发明提供的硅基有机发光 (OLED) 微显示像素单元版图布局，合理的布置像素单元内部电路各个晶体管的位置，并利用像素电路中晶体管的连接关系，重复利用部分版图，从而减小了版图面积；并通过两层金属线分别在横竖方向布置合适的信号线，从而使整个像素阵列能很好的配合行列扫描电路以及满足数据信号电压的输入，结构紧凑，能满足微显示对像素单位大小的要求，并且易于像素阵列的形成。

## 附图说明

[0013] 下面结合附图来对本发明作进一步详细说明，其中：

图 1 为硅基有机发光微显示像素单元版图结构图之一；

图 2 为硅基有机发光 (OLED) 微显示像素单元版图结构图之二；

图 3 为 4×4 像素阵列版图结构图。

## 具体实施方式

[0014] 本发明的像素单元版图结构示意图如图 1 所示，其中最大的虚线框表示一个像素单元所占用的面积，另一个虚线框表示组成阵列时一个像素单元实际占用的面积，其中包括第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5 和存储电容 C1。为了配合行扫描电路，像素单元中的行扫描信号 Sample（采样信号）、Hold（保持信号）以及 VC（控制存储电容变化信号，此电压也随着行扫描信号变化）采用第二层金属线

MET2 横向布线 ;为了配合列扫描电路,像素单元的数据输入电压信号线 VIN 采用第三层金属线 MET3 纵向布线 ;电源信号 VDD 和地信号 GND 采用第三层金属线 MET3 纵向布线。

[0015] 具体地硅基有机发光(OLED<sub>OS</sub>)微显示像素单元版图结构主要包括第一层金属线 MET1、第二层金属线 MET2、第三层金属线 MET3、多晶硅 POLY1、接触孔 CT、通孔 V1、通孔 V2 ;所述的像素单元包括第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5 和存储电容 C1。通孔 V1 用于连接第一层金属线 MET1 和第二层金属线 MET2,通孔 V2 用于连接第二层金属线 MET2 和第三层金属线 MET3。

[0016] 第一晶体管 M1 和第二晶体管 M2 共用漏极 M12<sub>D</sub>,并且通过第一层金属线 MET1 和通孔 V1 连接到第二层金属线 MET2,再通过通孔 V2 将第二层金属线 MET2 连接到第三层金属线 MET3,此第三层金属线 MET3 为 VIN 布线 VIN<sub>MET3</sub>;第一晶体管 M1 和第二晶体管 M2 的栅极 M12<sub>G</sub>通过第一层多晶硅 POLY1 连接在一起,并且通过接触孔 CT 将第一层多晶硅 POLY1 连接到第一层金属线 MET1,再通过通孔 V1 将第一层金属线 MET1 连接到第二层金属线 MET2,此第二层金属线 MET2 为 Sample 布线 Sample<sub>MET2</sub>;第二晶体管 M2 的源极 M2<sub>S</sub>通过第一层金属线 MET1 连接到电容 C1 的 A 端 C1<sub>A</sub>,并且通过通孔 V1 连接到第三晶体管 M3 的栅极 M3<sub>G</sub>;第一晶体管 M1 的源极 M1<sub>S</sub>通过第一层金属线 MET1 连接到第三晶体管 M3 的漏极 M3<sub>D</sub>;第一晶体管 M1 和第二晶体管 M2 的衬底 N<sub>VDD</sub>(即 N 阱)通过通孔 V1 将第一层金属线 MET1 连接到第二层金属线 MET2,再通过通孔 V2 将第二层金属线 MET2 连接到第三层金属线 MET3,此第三层金属线(MET3)为电源电压信号 VDD 布线 VDD<sub>MET3</sub>。

[0017] 第三晶体管 M3 的源极 M3<sub>S</sub>通过通孔 V1 将第一层金属线 MET1 连接到第二层金属线 MET2,再通过通孔 V2 将第二层金属线 MET2 连接到第三层金属线 MET3,此第三层金属线 MET3 为 VDD 布线 ;第三晶体管 M3 的漏极通过第一层金属线 MET1 连接到第四晶体管 M4 的源极 M4<sub>S</sub>;第三晶体管 M3 的衬底(即 N 阱)通过通孔 V1 将第一层金属线 MET1 连接到第二层金属线 MET2,再通过通孔 V2 将第二层金属线 MET2 连接到第三层金属线 MET3,此第三层金属线 MET3 为 VDD 布线 VDD<sub>MET3</sub>。

[0018] 第四晶体管 M4 的漏极 M4<sub>D</sub>通过第一层金属线 MET1 连接到第五晶体管 M5 的漏极 M5<sub>D</sub>,并且通过接触孔 CT 连接到第五晶体管 M5 的栅极 M5<sub>G</sub>;第四晶体管 M4 的栅极 M4<sub>G</sub>通过接触孔 CT 连接到第一层金属线 MET1,再通过通孔 V1 将第一层金属线 MET1 连接到第二层金属线 MET2,并通过通孔 V2 将第二层金属线 MET2 连接到第三层金属线 MET3,利用第三层金属线 MET3 跨过 Sample 的布线第二层金属线 MET2,再通过通孔 V2 将第三层金属线 MET3 连接到第二层金属线 MET2,此第二层金属线 MET2 为 Hold 布线 Hold<sub>MET2</sub>;第四晶体管 M4 的衬底(即 N 阱)通过通孔 V1 将第一层金属线 MET1 连接到第二层金属线 MET2,再通过通孔 V2 将第二层金属线 MET2 连接到第三层金属线 MET3,此第三层金属线 MET3 为 VDD 布线 VDD<sub>MET3</sub>。

[0019] 第五晶体管 M5 的源极 M5<sub>S</sub>通过通孔 V1 将第一层金属线 MET1 连接到第二层金属线 MET2,再通过通孔 V2 将第二层金属线 MET2 连接到第三层金属线 MET3,此第三层金属线 MET3 为 GND 布线 GND<sub>MET3</sub>;第五晶体管 M5 的衬底(即 N 阱)通过通孔 V1 将第一层金属线 MET1 连接到第二层金属线 MET2,再通过通孔 V2 将第二层金属线 MET2 连接到第三层金属线 MET3,此第三层金属线 MET3 为 VDD 布线 VDD<sub>MET3</sub>。

[0020] 电容 C1 的 B 端 C1<sub>B</sub>通过通孔 V1 将第一层金属线 MET1 连接到第二层金属线 MET2,

此第二层金属线 MET2 为 VC 布线 VC\_MET2。

[0021] OLED 器件阳极输入端的信号线 VOLED 通过通孔 V1 将第一层金属线 MET1 连接到第二层金属线 MET2, 再通过通孔 V2 将第二层金属线 MET2 连接到第三层金属线 MET3, 此第三层金属线 MET3 最终引出作为 OLED 器件的阳极。

[0022] 第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5 均采用 PMOS 晶体管。

[0023] 第一晶体管 M1、第四晶体管 M4 的源极和第三晶体管 M3 的漏极通过第一层金属线 MET1 连接在区域 M14\_S-M3\_D, M5 的漏极、栅极和第四晶体管 M4 的漏极通过第一层金属线 MET1 连接在区域 M5\_DG-M4\_D。像素单元的面积大小为 15 微米 × 15 微米。

[0024] 存储电容 C1 位于像素电路版图布局的上方, 其中 C1\_A 端朝下放置, C1\_B 端往上放置; 像素电路上方右边剩余的空间布置所有晶体管的衬底 N\_VDD。

[0025] 第三晶体管 M3 摆放在像素电路版图布局的右下角, 位于存储电容 C1 和 N 阱的下方。第三晶体管横向设置。

[0026] 第一晶体管 M1 横向布置(横向布置即为晶体管的源极和漏极为横向摆放), 第二晶体管 M2 竖向布置(竖向布置即为晶体管的源极和漏极为竖向摆放), 并且第一晶体管 M1 和第二晶体管共用漏极; 第一晶体管 M1 和第二晶体管 M2 位于存储电容 C1 和 N 阱的下方以及第三晶体管 M3 的左方。

[0027] 第四晶体管 M4 横向布置, 其源极与第三晶体管 M3 的源极共用, 且位于第三晶体管 M3 的左方, 与第三晶体管 M3 平行摆放。

[0028] 第五晶体管 M5 横向布置, 其漏极与第四晶体管 M4 的漏极共用, 且位于第四晶体管 M4 的左方, 与第四晶体管 M4 平行摆放; M5 位于整个像素电路版图布局的最左方。

[0029]  $V_{OLED}$  为连接 OLED 器件阳极输入端的信号线, 其位于第一晶体管 M1、第四晶体管 M4、第五晶体管 M5 的正下方, 并且通过第三层金属线 MET3 连接到 OLED 器件阳极。

[0030] VC 布线 VC\_MET2、Hold 布线 Hold\_MET2、Sample 布线 Sample\_MET2 从像素电路版图上方开始在满足设计规则的情况下依次布置, 并且 VC 布线 VC\_MET2、Hold 布线 Hold\_MET2、Sample 布线 Sample\_MET2 为横向走线。VC 布线 VC\_MET2 位于像素电路版图最上方, 在横向走线时通过通孔 V1 与 C1\_B 端相连接; Hold 布线 Hold\_MET2 位于 VC 布线 VC\_MET2 下方, 在横向走线时通过第三层金属线 MET3 跨过下方的 Sample 布线 Sample\_MET2, 并最终通过通孔 V2、第二层金属线 MET2、通孔 V1、第一层金属线 MET1 和接触孔 CT 与位于的 Sample 布线 Sample\_MET2 下方的第四晶体管的栅极相连接; Sample\_MET2 位于 Hold\_MET2 布线下, 在横向走线时通过通孔 V1、第一层金属线 MET1 和接触孔 CT 与其下方的第一晶体管 M1 和第二晶体管 M2 的栅极相连接。

[0031] 接地信号布线 GND\_MET3、像素电压输入信号布线 VIN\_MET3、电源电压信号布线 VDD\_MET3 从像素电路版图左方开始在满足设计规则的情况下依次布置, 并且接地信号布线 GND\_MET3、像素电压输入信号布线 VIN\_MET3、电源电压信号布线 VDD\_MET3 为竖向走线。接地信号布线 GND\_MET3 布线位于像素电路版图最左方, 在竖向走线时通过通孔 V2、第二层金属线 MET2 和通孔 V1 与位于左方的第五晶体管 M5 的源极相连接; 像素电压输入信号布线 VIN\_MET3 位于 GND\_MET3 的左方, 在竖向走线时通过通孔 V2、第二层金属线 MET2 和通孔 V1 与位于像素电路版图下方中间的第一晶体管 M1 和第二晶体管 M2 的漏极相连接; 电源

电压信号布线 VDD\_MET 位于 VIN\_MET3 的左方,在竖向走线的同时通过通孔 V2、第二层金属线 MET2 和通孔 V1 与位于像素电路版图左方的第三晶体管 M3 的源极相连接。

[0032] 参阅图 2,椭圆圈内的版图部分是在形成像素阵列时可以与横向相邻像素单位重叠的部分 21,虽然只占整个像素单元面积 10 的一小部分,但是对于一般 SVGA (800×600) 分辨率的微显示芯片,显示像素单元就有将近 50 万个,因此重叠部分的面积总和还是不小的一部分。组成阵列时,一个像素单元的实际占用的面积 20 为整个像素单元面积 10 与相邻像素单位重叠的部分 21 的差值。

[0033] 参阅图 3,是用图 1 所示的版图结构组成的一个 4×4 像素阵列版图结构图,在此 4×4 像素阵列中,左右相邻的像素单元的布线 Sample (MET2 第二层金属线)、Hold (MET2 第二层金属线)、VC (MET2 第二层金属线) 连接在一起;其中 Sample\_1、Hold\_1、VC\_1 构成第一行像素单元信号控制线,Sample\_2、Hold\_2、VC\_2 构成第二行像素单元信号控制线,Sample\_3、Hold\_3、VC\_3 构成第三行像素单元信号控制线,Sample\_4、Hold\_4、VC\_4 构成第四行像素单元信号控制线,它们通过外围行扫描链的扫描信号控制其开断;上下相邻的像素单元的布线 VIN (MET3 第三层金属线)、VDD (MET3 第三层金属线)、GND (MET3 第三层金属线) 连接在一起;VIN\_1 为第一列像素输入信号,VIN\_2 为第二列像素输入信号,VIN\_3 为第三列像素输入信号,VIN\_4 为第四列像素输入信号,它们分别为每一列提供相应的输入电压;VDD 和 GND 通过整个电路周围的电源和地布线最终分别连接到电源和地上;另外,像素与像素之间重叠的部分,能有效利用像素之间的空隙,使整个像素阵列结构更紧凑,面积更优化。

[0034] 实际电路工作时,通过行扫描信号选中像素阵列中的某一行,通过列扫描信号选中像素阵列中的某一列,从而唯一选中像素阵列中的一个像素单元,将相应的数据信号写入到像素单元中去,进而实现对整个像素阵列数据信号写入的控制。

[0035] 以上所述仅为本发明的优选实施方式,但本发明保护范围并不局限于此。任何本领域的技术人员在本发明公开的技术范围内,均可对其进行适当的改变或变化,而这种改变或变化都应涵盖在本发明的保护范围之内。

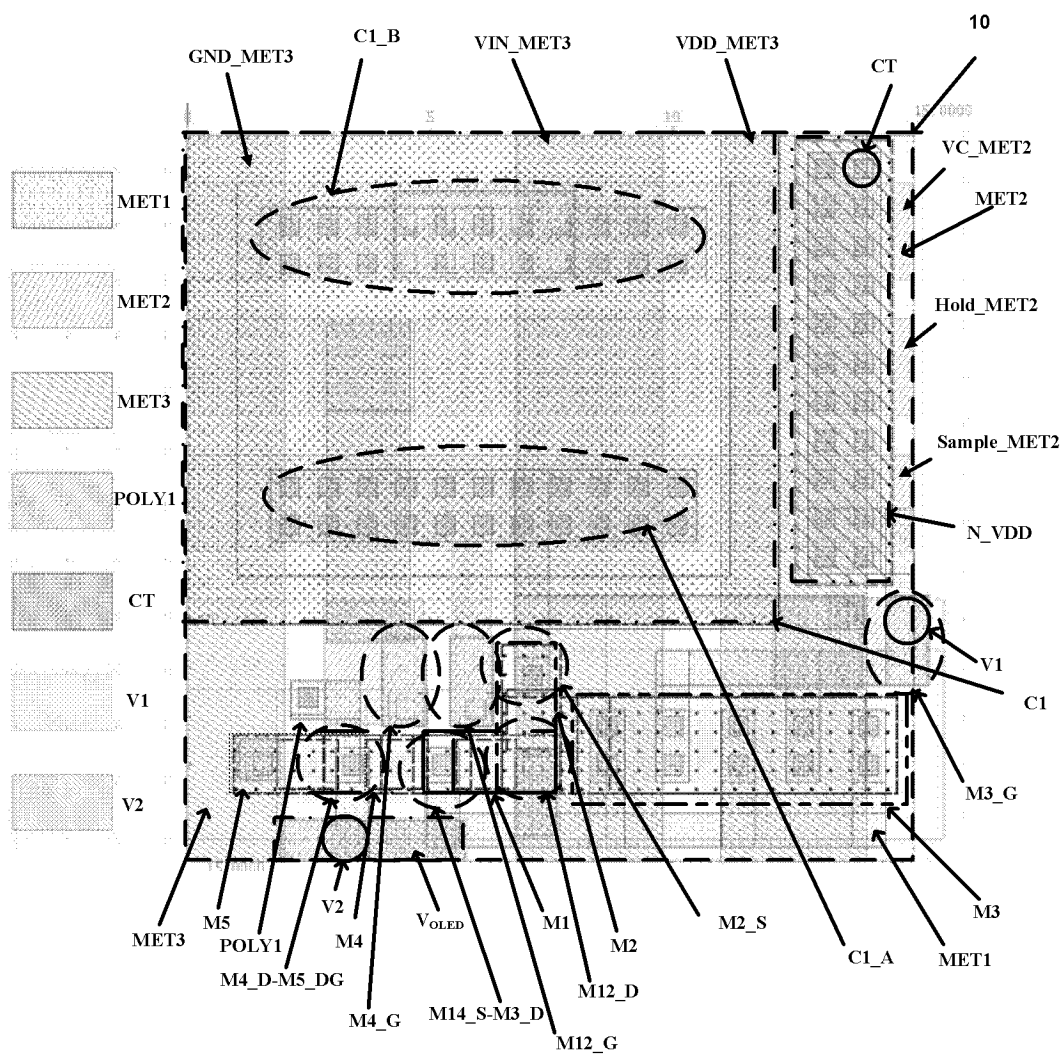


图 1

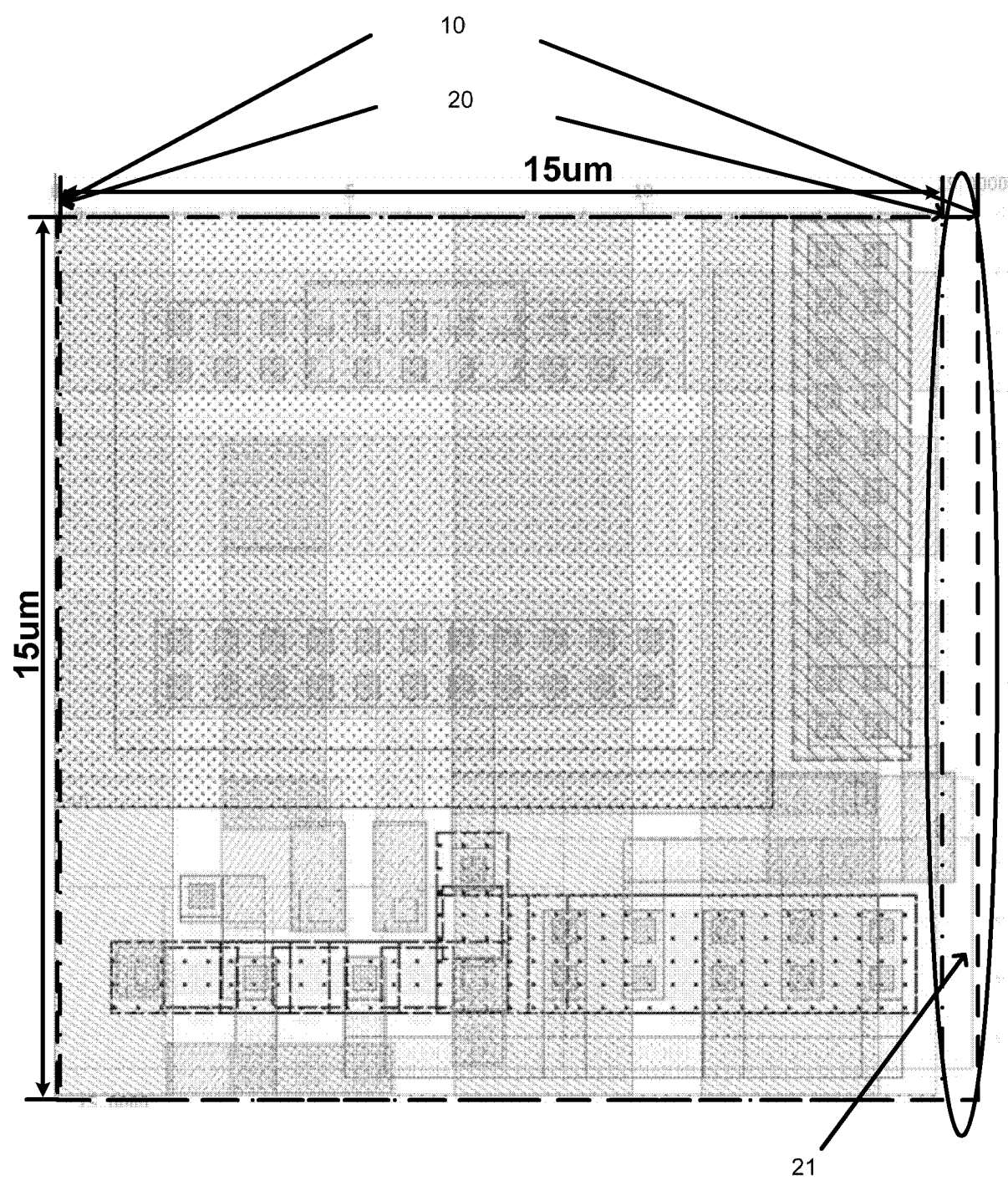


图 2

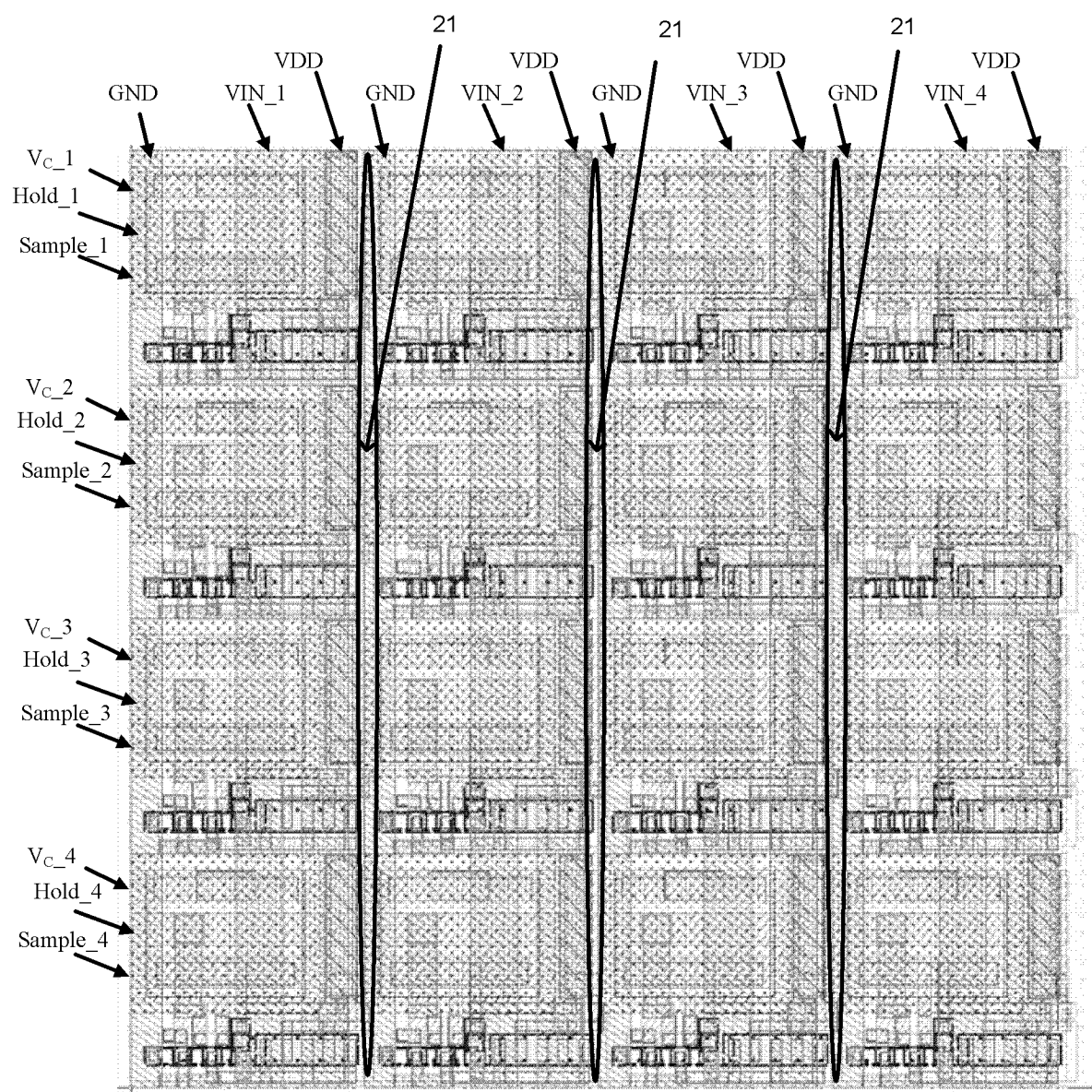


图 3

|                |                                                |         |            |
|----------------|------------------------------------------------|---------|------------|
| 专利名称(译)        | 硅基有机发光微显示像素单元版图结构                              |         |            |
| 公开(公告)号        | <a href="#">CN102280448A</a>                   | 公开(公告)日 | 2011-12-14 |
| 申请号            | CN201110254664.7                               | 申请日     | 2011-08-31 |
| [标]申请(专利权)人(译) | 中国科学院微电子研究所                                    |         |            |
| 申请(专利权)人(译)    | 中国科学院微电子研究所                                    |         |            |
| 当前申请(专利权)人(译)  | 中国科学院微电子研究所                                    |         |            |
| [标]发明人         | 赵博华<br>黄苒<br>杜寰<br>罗家俊<br>赵毅                   |         |            |
| 发明人            | 赵博华<br>黄苒<br>杜寰<br>罗家俊<br>赵毅                   |         |            |
| IPC分类号         | H01L27/02 H01L27/32                            |         |            |
| 代理人(译)         | 王建国                                            |         |            |
| 其他公开文献         | CN102280448B                                   |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a> |         |            |

#### 摘要(译)

本发明公开了硅基有机发光微显示像素单元版图结构，所述像素单元包括存储电容、第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管，所述像素单元具有衬底，存储电容位于像素单元的左上方，衬底位于存储电容的右侧，第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管位于存储电容和衬底下方。本发明通过两层金属线分别在横竖方向布置合适的信号线，从而使整个像素阵列能很好的配合行列扫描电路以及满足数据信号电压的输入，结构紧凑，能满足微显示对像素单位大小的要求，并且易于像素阵列的形成。

