



# (12)发明专利申请

(10)申请公布号 CN 110570818 A

(43)申请公布日 2019.12.13

(21)申请号 201910459793.6

(22)申请日 2019.05.30

(30)优先权数据

62/680,911 2018.06.05 US

16/125,449 2018.09.07 US

(71)申请人 苹果公司

地址 美国加利福尼亚州

(72)发明人 钱闯 蔡宗廷 杨玄 常鼎国

张世昌

(74)专利代理机构 北京市汉坤律师事务所

11602

代理人 陈新 吴丽丽

(51)Int.Cl.

G09G 3/3233(2016.01)

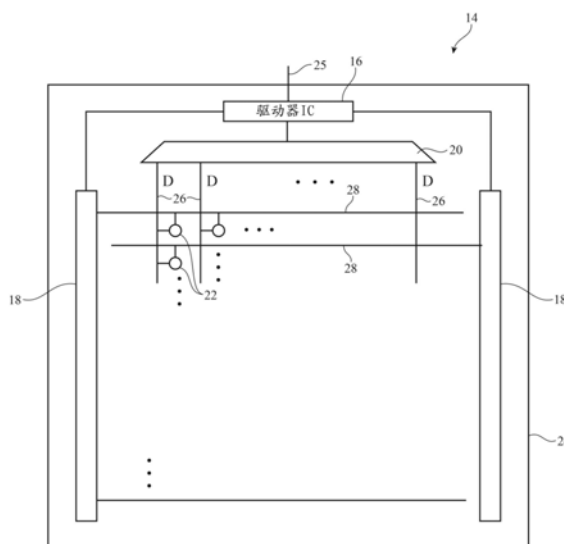
权利要求书3页 说明书19页 附图18页

(54)发明名称

显示器像素及其操作方法

(57)摘要

本公开涉及显示器像素及其操作方法。显示器可具有在低刷新率下工作的有机发光二极管显示器像素的阵列。每个显示器像素可包括与一个或多个发射晶体管和相应的有机发光二极管(OLED)串联耦接的驱动晶体管。半导体氧化物晶体管可耦接于驱动晶体管的漏极端子和栅极端子之间,以帮助减少在低刷新率显示操作期间的泄漏。硅晶体管可进一步被插置在半导体氧化物晶体管与驱动晶体管的栅极端子之间。一个或多个电容器结构可耦接到半导体氧化物晶体管的源极端子和/或漏极端子,以减小在半导体氧化物晶体管关断时可能流过半导体氧化物晶体管的再平衡电流。以此方式配置,流过OLED的任何发射电流将对半导体氧化物晶体管的阈值电压的任何潜在漂移不敏感。



1. 一种显示器像素,包括:

发光二极管;

驱动晶体管,所述驱动晶体管与所述发光二极管串联耦接,其中所述驱动晶体管包括漏极端子、栅极端子和源极端子;

第一半导体类型的晶体管,所述第一半导体类型的晶体管耦接在所述驱动晶体管的所述漏极端子和所述栅极端子之间,其中所述第一半导体类型的晶体管被配置为减小所述驱动晶体管的所述栅极端子处的泄漏,并且其中所述第一半导体类型的晶体管具有阈值电压;以及

第二半导体类型的晶体管,所述第二半导体类型与所述第一半导体类型不同,其中所述第二半导体类型的晶体管夹置在所述第一半导体类型的晶体管和所述驱动晶体管的所述栅极端子之间,并且其中所述第二半导体类型的晶体管被配置为降低流过所述发光二极管的发射电流对所述第一半导体类型的晶体管的所述阈值电压的敏感度。

2. 根据权利要求1所述的显示器像素,其中所述第一半导体类型的晶体管包括具有形成于半导体氧化物中的沟道的半导体氧化物薄膜晶体管。

3. 根据权利要求2所述的显示器像素,其中所述第二半导体类型的晶体管包括具有形成于硅中的沟道的硅薄膜晶体管。

4. 根据权利要求3所述的显示器像素,其中所述第一半导体类型的晶体管和所述第二半导体类型的晶体管两者都是n沟道薄膜晶体管。

5. 根据权利要求3所述的显示器像素,其中所述第一半导体类型的晶体管是n沟道薄膜晶体管,并且其中所述第二半导体类型的晶体管是p沟道薄膜晶体管。

6. 根据权利要求3所述的显示器像素,还包括:

存储电容器,所述存储电容器耦接到所述驱动晶体管的所述栅极端子,其中所述存储电容器被配置为存储用于所述显示器像素的数据信号;以及

匹配电容器,所述匹配电容器耦接到所述第一半导体类型的晶体管和所述第二半导体类型的晶体管之间的中间节点,其中所述匹配电容器被配置为减小所述第一半导体类型的晶体管关断时流过所述第一半导体类型的晶体管的再平衡电流。

7. 根据权利要求6所述的显示器像素,其中所述匹配电容器小于所述存储电容器。

8. 根据权利要求3所述的显示器像素,还包括:

存储电容器,所述存储电容器耦接到所述驱动晶体管的所述栅极端子,其中所述存储电容器被配置为存储用于所述显示器像素的数据信号;以及

匹配电容器,所述匹配电容器耦接到所述驱动晶体管的所述漏极端子,其中所述匹配电容器被配置为减小所述第一半导体类型的晶体管关断时流过所述第一半导体类型的晶体管的再平衡电流。

9. 根据权利要求3所述的显示器像素,其中所述第一半导体类型的晶体管具有被配置为接收扫描控制信号的栅极端子,并且其中所述第二半导体类型的晶体管具有被配置为接收不同于所述扫描控制信号的发射控制信号的栅极端子。

10. 根据权利要求3所述的显示器像素,其中所述第一半导体类型的晶体管和所述第二半导体类型的晶体管具有被配置为接收相同扫描控制信号的栅极端子。

11. 根据权利要求10所述的显示器像素,其中所述第一半导体类型的晶体管具有第一

阈值电压,并且其中所述第二半导体类型的晶体管具有大于所述第一阈值电压的第二阈值电压。

12. 根据权利要求3所述的显示器像素,还包括:

第一发射晶体管,所述第一发射晶体管与所述驱动晶体管和所述发光二极管串联耦接;

第二发射晶体管,所述第二发射晶体管与所述驱动晶体管和所述发光二极管串联耦接;

初始化晶体管,所述初始化晶体管直接耦接到所述发光二极管;以及

数据加载晶体管,所述数据加载晶体管直接耦接到所述驱动晶体管的所述源极端子。

13. 一种操作显示器像素的方法,包括:

在发射阶段期间,使用所述显示器像素中的驱动晶体管向所述显示器像素中的发光二极管输送发射电流,其中所述驱动晶体管包括漏极端子和栅极端子;

使用耦接在所述驱动晶体管的所述漏极端子和所述栅极端子之间的第一半导体类型的晶体管来减小所述发射阶段期间所述驱动晶体管的所述栅极端子处的泄漏,其中所述第一半导体类型的晶体管具有阈值电压;以及

使用夹置在所述第一半导体类型的晶体管和所述驱动晶体管的所述栅极端子之间的第二半导体类型的晶体管来降低所述发射电流对所述第一半导体类型的晶体管的所述阈值电压的敏感度。

14. 根据权利要求13所述的方法,其中所述第一半导体类型的晶体管包括半导体氧化物薄膜晶体管,并且其中所述第二半导体类型的晶体管包括硅薄膜晶体管。

15. 根据权利要求14所述的方法,还包括:

向所述第一半导体类型的晶体管的栅极端子提供扫描控制信号;

向所述第二半导体类型的晶体管的栅极端子提供不同于所述扫描控制信号的发射控制信号;以及

在所述扫描控制信号的下降沿之前取消断言所述发射控制信号,并且在所述扫描控制信号的所述下降沿之后断言所述发射控制信号。

16. 根据权利要求14所述的方法,还包括:

向所述第一半导体类型的晶体管的栅极端子提供扫描控制信号;

向所述第二半导体类型的晶体管的栅极端子提供所述扫描控制信号;以及

在所述扫描控制信号的下降沿,在关断所述第一半导体类型的晶体管之前关断所述第二半导体类型的晶体管。

17. 一种操作呈现亮度的显示器的方法,所述方法包括:

使用脉宽调制(PWM)方案控制所述显示器的亮度;以及

在所述显示器的亮度由于显示器老化效应而下降的第一时间段之后,增大所述PWM方案的占空比以补偿亮度下降。

18. 根据权利要求17所述的方法,其中所述第一时间段至少为100小时。

19. 根据权利要求17所述的方法,还包括:

在所述第一时间段之后的第二时间段之后,进一步增大所述PWM方案的所述占空比以补偿所述显示器的任何亮度下降,其中所述第二时间段等于所述第一时间段。

20. 根据权利要求17所述的方法, 其中使用所述PWM方案包括:

将经脉宽调制的发射控制信号馈送至所述显示器上的对应发射晶体管, 其中增大所述PWM方案的所述占空比包括:

当所述显示器处于第一显示器亮度设置时, 将所述发射控制信号的脉冲宽度增大第一量; 以及

当所述显示器处于第二显示器亮度设置时, 将所述发射控制信号的脉冲宽度增大不同于所述第一量的第二量。

## 显示器像素及其操作方法

[0001] 本专利申请要求2018年9月7日提交的美国专利申请No.16/125,449以及2018年6月5日提交的临时专利申请No.62/680,911的优先权,这些专利申请据此全文以引用方式并入本文。

### 技术领域

[0002] 本公开整体涉及电子设备,并且更具体地涉及具有显示器的电子设备。

### 背景技术

[0003] 电子设备通常包括显示器。例如,蜂窝电话和便携式计算机包括用于向用户呈现信息的显示器。

[0004] 显示器,诸如有机发光二极管显示器,具有基于发光二极管的显示器像素阵列。在这种类型的显示器中,每个显示器像素都包括发光二极管和薄膜晶体管,薄膜晶体管用于控制向发光二极管施加信号以产生光。

[0005] 例如,显示器像素常常包括驱动薄膜晶体管和直接连接到驱动薄膜晶体管的栅极端子的开关晶体管,驱动薄膜晶体管控制流经发光二极管的电流。开关晶体管被实现为半导体氧化物晶体管,它在开关晶体管被关断时通常表现出低泄漏。半导体氧化物开关晶体管的这种低泄漏性质有助于在驱动薄膜晶体管向发光二极管传递电流以产生光时在显示器像素的给定发光期间内保持驱动薄膜晶体管的栅极端子处的电压相对恒定。

[0006] 然而,半导体氧化物开关晶体管在显示器的寿命期间表现出可靠性问题。具体地讲,半导体氧化物晶体管具有在半导体氧化物晶体管反复导通和关断时随时间漂移的阈值电压。在半导体氧化物晶体管的阈值电压改变时,驱动薄膜晶体管的栅极端子处的电压也将在即将发光之前受到影响。这直接影响流过发光二极管的电流,这会控制显示器像素产生的光量或亮度。发光二极管电流对半导体氧化物开关晶体管的阈值电压的这种敏感度增加了发生非理想显示行为的风险,诸如整个显示器上的亮度不均匀性,显示器寿命期间的亮度下降,显示器寿命期间不期望的色移(例如,在显示器上导致青色/发绿色调)等。

### 发明内容

[0007] 电子设备可包括具有显示器像素阵列的显示器。显示器像素可以是有机发光二极管显示器像素。每个显示器像素可包括发光二极管;与发光二极管串联耦接的驱动晶体管;耦接于驱动晶体管的漏极端子和栅极端子之间的第一半导体类型的晶体管(例如,半导体氧化物薄膜晶体管);插置在第一半导体类型的晶体管和驱动晶体管的栅极端子之间的第二半导体类型的晶体管(例如,硅薄膜晶体管,诸如低温多晶硅晶体管);与驱动晶体管和发光二极管串联耦接的第一发射晶体管;与驱动晶体管和电源线串联耦接的第二发射晶体管;直接耦接到发光二极管的初始化晶体管;以及直接耦接到驱动晶体管的源极端子的数据加载晶体管。具体地讲,半导体氧化物晶体管可被配置为减少驱动晶体管的栅极端子处的泄漏,并且硅晶体管可被配置为降低流过发光二极管的发射电流对半导体氧化物晶体管

的阈值电压的敏感度。

[0008] 每个显示器像素还可包括耦接到驱动晶体管的栅极端子的存储电容器(例如,被配置为存储用于显示器像素的数据信号的存储电容器)以及直接耦接到半导体氧化物晶体管的源极端子或漏极端子的匹配电容器。匹配电容器可被配置为减小在半导体氧化物晶体管关断时流过半导体氧化物晶体管的再平衡电流。匹配电容器一般可显著小于存储电容器(例如,匹配电容器可比存储电容器至少小两倍,比存储电容器至少小四倍,至少小八倍,至少小10倍,小2-10倍,小10-20倍,小20-100倍,小100-1000倍,或比存储电容器小超过1000倍)。

[0009] 在一种适当的布置中,半导体氧化物晶体管具有被配置为接收扫描控制信号的栅极端子,而硅晶体管具有被配置为接收不同于扫描控制信号的发射控制信号的栅极端子。在另一种适当的布置中,半导体氧化物晶体管和硅晶体管具有被配置为接收相同扫描控制信号的栅极端子。硅晶体管的阈值电压可大于半导体氧化物晶体管的阈值电压,以确保在扫描控制信号的下降沿处在关断半导体氧化物晶体管之前关断硅晶体管。以此方式配置和操作,电子设备将在整个显示器上表现出亮度均匀度,在显示器的寿命期间减小亮度下降,并且在显示器的寿命期间减少了色移。

[0010] 根据另一种适当的布置,可使用调制显示器亮度的脉宽调制(PWM)方案控制显示器。PWM方案的占空比可每100-1000小时增大一次,以补偿显示器的任何亮度下降。

[0011] 根据又一种适当的布置,可针对半导体氧化物晶体管的阈值电压的变化调整控制半导体氧化物晶体管的扫描控制信号,以补偿显示器中的任何亮度下降。例如,扫描控制信号的高电压电平可每至少300小时降低30-70mV,以帮助将显示器的亮度保持在期望水平。又如,扫描控制信号的低电压电平可每至少300小时升高30-70mV,以帮助将显示器的亮度保持在期望水平。

## 附图说明

[0012] 图1是根据一个实施方案的例示性显示器诸如具有有机发光二极管显示器像素阵列的有机发光二极管(OLED)显示器的图示。

[0013] 图2是根据一个实施方案的低刷新率显示器驱动方案的图示。

[0014] 图3A是被配置为产生对氧化物晶体管阈值电压敏感的发射电流的有机发光二极管显示器像素的电路图。

[0015] 图3B是例示了图3A所示的关断有机发光二极管显示器像素中的半导体氧化物晶体管时电荷注入和时钟馈通的效果的图示。

[0016] 图4是例示了图3A所示有机发光二极管显示器像素的操作的时序图。

[0017] 图5A是例示了半导体氧化物晶体管的阈值电压以及硅晶体管的阈值电压如何随时间变化的图示。

[0018] 图5B是例示了OLED发射电流对图3A所示的有机发光二极管显示器像素中半导体氧化物晶体管的阈值电压敏感度的图示。

[0019] 图6A是根据一个实施方案,被配置为产生对氧化物晶体管阈值电压具有低敏感度的发射电流的例示性有机发光二极管显示器像素的电路图。

[0020] 图6B-图6G是示出了根据一些实施方案,在关断图6A的显示器像素中的氧化物半

导体晶体管之后,用于减小再平衡电流的不同电容器配置的图示。

[0021] 图7是例示了根据一个实施方案,图6A所示有机发光二极管显示器像素的操作的时序图。

[0022] 图8是根据一个实施方案,被配置为产生对氧化物晶体管阈值电压具有低敏感度的发射电流的例示性有机发光二极管显示器像素的电路图,其中半导体氧化物晶体管和串联连接的硅晶体管由相同的扫描信号控制。

[0023] 图9是例示了根据一个实施方案,图8所示有机发光二极管显示器像素的操作的时序图。

[0024] 图10是根据一个实施方案,被配置为生成对应发射和扫描控制信号的例示性栅极驱动器电路的图示。

[0025] 图11A是根据一个实施方案,与其他栅极驱动器电路相关联的接收控制信号的发射栅极驱动器的电路图。

[0026] 图11B是例示了根据一个实施方案,图11A中所示发射栅极驱动器的操作的时序图。

[0027] 图12是根据一个实施方案,比图11A中所示的发射栅极驱动器具有更少电容器的发射栅极驱动器的电路图。

[0028] 图13A是示出了根据一个实施方案,可如何在显示器寿命期间增大发射信号的脉冲宽度以补偿亮度下降的时序图。

[0029] 图13B是根据一个实施方案,可如何随时间调节发射信号的占空比的曲线图。

[0030] 图13C是根据一个实施方案,可如何随时间在第一亮度设置处增大发射信号的脉冲宽度偏移的图示。

[0031] 图13D是根据一个实施方案,可如何随时间在第二亮度设置处增大发射信号的脉冲宽度偏移的图示。

[0032] 图14A是根据一个实施方案的高电平有效扫描控制信号的图示。

[0033] 图14B是示出了根据一个实施方案,可如何调节高电平有效扫描控制信号的正电压电平以减轻显示器亮度下降时序图。

[0034] 图14C是示出了根据一个实施方案,降低高电平有效扫描控制信号的正电压电平可如何帮助提升显示器亮度的曲线图。

[0035] 图15A是根据一个实施方案的低电平有效扫描控制信号的图示。

[0036] 图15B是示出了根据一个实施方案,可如何调节低电平有效扫描控制信号的低电压电平以减轻显示器亮度下降的时序图。

[0037] 图15C是示出了根据一个实施方案,提高低电平有效扫描控制信号的低电压电平可如何帮助提升显示器亮度的曲线图。

## 具体实施方式

[0038] 电子设备中的显示器可提供有用于在显示器像素阵列上显示图像的驱动器电路。图1中示出了例示性显示器。如图1所示,显示器14可具有一个或多个层,诸如基板24。诸如基板24的层可由诸如平面玻璃层的材料的平面矩形层形成。显示器14可具有显示器像素22的阵列以用于为用户显示图像。显示器像素22的阵列可由基板24上的显示器像素结构的行

和列形成。这些结构可包括薄膜晶体管,诸如多晶硅薄膜晶体管、半导体氧化物薄膜晶体管等。在显示器像素22的阵列中可以有任意适当数目的行和列(例如,十个或更多个、一百个或更多个、或者一千个或更多个)。

[0039] 可以利用焊料或导电粘合剂将显示驱动器电路诸如显示驱动器集成电路16耦接到导电路径诸如基板24上的金属迹线。显示驱动器集成电路16(有时称为定时控制器芯片)可包含用于通过路径25与系统控制电路通信的通信电路。通路25可由柔性印刷电路上的迹线或其他缆线形成。系统控制电路可位于电子设备中的主逻辑板上,电子设备诸如为蜂窝电话、计算机、平板计算机、电视、机顶盒、媒体播放器、手表、便携式电子设备、或正在使用显示器14的其他电子装置。在操作期间,系统控制电路可以为显示驱动器集成电路16提供与要经由路径25在显示器14上显示的图像有关的信息。为了在显示器像素22上显示图像,显示驱动器集成电路16可以向显示驱动器电路,诸如行驱动器电路18和列驱动器电路20,提供时钟信号和其他控制信号。行驱动器电路18和/或列驱动器电路20可由基板24上的一个或多个集成电路和/或一个或多个薄膜晶体管电路形成。

[0040] 行驱动器电路18可以位于显示器14的左右边缘上,仅在显示器14的单个边缘上,或显示器14中的别处。在操作期间,行驱动器电路18可在水平线28(有时称为行线或“扫描”线)上提供行控制信号。因此,行驱动器电路18可有时称为扫描线驱动器电路。如果需要,行驱动器电路18还可用于提供其他行控制信号,诸如发射控制线。

[0041] 可使用列驱动器电路20向多个对应的垂直线26上提供来自显示驱动器集成电路16的数据信号D。列驱动器电路20有时可以称为数据线驱动器电路或源驱动器电路。垂直线26有时称为数据线。在补偿操作期间,列驱动器电路20可使用路径诸如垂直线26来提供基准电压。在编程操作期间,利用线26向显示器像素22中加载显示数据。

[0042] 每一数据线26都与相应列的显示器像素22相关联。多组水平信号线28通过显示器14水平延伸。电源路径及其他线也可将信号提供至像素22。每组水平信号线28都与相应行的显示器像素22相关联。每行中的水平信号线的数目可由被水平信号线独立控制的显示器像素22中的晶体管数目确定。不同配置的显示器像素可由不同数目的控制线、数据线、电源线等来操作。

[0043] 行驱动器电路18可以断言(assert)显示器14中的行线28上的控制信号。例如,驱动器电路18可从显示驱动器集成电路16接收时钟信号和其他控制信号,并可响应于所接收的信号断言每行显示器像素22中的控制信号。可以依次处理显示器像素22的行,(例如)针对每帧图像数据的处理开始于显示器像素阵列的顶部,并结束于阵列的底部。在断言行中的扫描线时,由电路16提供给列驱动器电路20的控制信号和数据信号指示电路20对关联的数据信号D解复用并驱动到数据线26上,从而将利用出现在数据线D上的显示数据来对行中的显示器像素进行编程。显示器像素然后能够显示加载的显示数据。

[0044] 在有机发光二极管(OLED)显示器诸如显示器14中,每个显示器像素包含用于发射光的相应有机发光二极管。驱动晶体管控制从有机发光二极管输出的光量。显示器像素中的控制电路被配置为执行阈值电压补偿操作,使得来自有机发光二极管的输出信号的强度与加载到显示器像素中的数据信号的大小成比例,而与驱动晶体管的阈值电压无关。

[0045] 显示器14可被配置为支持低刷新率操作。使用相对低的刷新率(例如,刷新率为1Hz、2Hz、1-10Hz、小于100Hz、小于60Hz、小于30Hz、小于10Hz、小于5Hz、小于1Hz或其他适当

低频率)操作显示器14可适用于输出静态或接近静态的内容的应用程序和/或适用于需要最小功耗的应用程序。图2是根据一个实施方案的低刷新率显示器驱动方案的图示。如图2所示,显示器14可在短数据刷新阶段(如周期 $T_{\text{refresh}}$ 所指示)和延长的消隐周期 $T_{\text{blank}}$ 之间交替。在时间段 $T_{\text{refresh}}$ 期间,可刷新、“重涂”或更新每个显示器像素中的数据值。

[0046] 例如,根据60Hz的数据刷新操作,每个数据刷新周期 $T_{\text{refresh}}$ 可为大约16.67毫秒(ms),而每个周期 $T_{\text{blank}}$ 可为大约1秒,使得显示器14的总体刷新率降低至1Hz(作为低刷新率显示器操作的示例)。如此配置,可调节 $T_{\text{blank}}$ 的持续时间以调谐显示器14的总体刷新率。例如,如果 $T_{\text{blank}}$ 的持续时间被调谐为半秒,则总体刷新率将提高到2Hz。又如,如果 $T_{\text{blank}}$ 的持续时间被调谐为四分之一秒,则总体刷新率将提高到4Hz。在本文所述的实施方案中,消隐间隙 $T_{\text{blank}}$ 可以为 $T_{\text{refresh}}$ 持续时间的至少两倍, $T_{\text{refresh}}$ 持续时间的至少10倍, $T_{\text{refresh}}$ 持续时间的至少20倍, $T_{\text{refresh}}$ 持续时间的至少30倍, $T_{\text{refresh}}$ 持续时间的至少60倍, $T_{\text{refresh}}$ 持续时间的2-100倍, $T_{\text{refresh}}$ 持续时间的超过100倍,等等。

[0047] 在图3A中示出了可用于支持低刷新率操作的显示器14中的例示性有机发光二极管显示器像素22的示意图。如图3A所示,显示器像素22可包括存储电容器 $C_{\text{st}}$ 和晶体管,诸如n型(即,n沟道)晶体管 $T_1$ 、 $T_2$ 、 $T_3$ 、 $T_4$ 、 $T_5$ 和 $T_6$ 。像素22的晶体管可以是由半导体诸如硅(例如,使用低温工艺沉积的多晶硅,有时称为LTPS或低温多晶硅)、半导体氧化物(例如氧化铟镓锌(IGZO))、或其他合适的半导体材料形成的薄膜晶体管。换句话讲,这些薄膜晶体管的有源区和/或沟道区可由多晶硅或半导体氧化物材料形成。

[0048] 显示器像素22可包括发光二极管304。可向正电源端子300提供正电源电压 $V_{\text{DEL}}$ (例如,1V、2V、大于1V、0.5V到5V、1V到10V或其他合适的正电压),并且可将接地电源电压 $V_{\text{SEL}}$ (例如,0V、-1V、-2V或其他合适的负电压)提供给地电源端子302。晶体管 $T_2$ 的状态控制通过二极管304从端子300流至端子302的电流的量,并且因此控制来自显示器像素22的发射光306的量。因此,晶体管 $T_2$ 有时被称为“驱动晶体管”。二极管304可具有相关联的寄生电容 $C_{\text{LED}}$ (未示出)。

[0049] 端子308用于提供初始化电压 $V_{\text{ini}}$ (例如,诸如1V、2V、低于1V、1到5V的正电压或其他合适的电压),以在二极管304未使用时帮助关断二极管304。来自显示驱动器电路诸如图1的行驱动器电路18的控制信号被提供至控制端子,诸如端子312、313、314和315。端子312和313可分别用作第一扫描控制端子和第二扫描控制端子,而端子314和315可分别用作第一发射控制端子和第二发射控制端子。扫描控制信号 $\text{Scan1}$ 和 $\text{Scan2}$ 可分别施加于扫描端子312和313。发射控制信号 $\text{EM1}$ 和 $\text{EM2}$ 可分别提供至端子314和315。数据输入端子诸如数据信号端子310耦接至图1的相应数据线26,以用于接收用于显示器像素22的图像数据。

[0050] 晶体管 $T_4$ 、 $T_2$ 、 $T_5$ 和二极管304可串联耦接于电源端子300与电源端子302之间。具体地讲,晶体管 $T_4$ 具有耦接至正电源端子300的漏极端子、接收发射控制信号 $\text{EM2}$ 的栅极端子,以及耦接到晶体管 $T_2$ 和 $T_3$ 的源极端子(标记为节点 $N_1$ )。晶体管的术语“源极”和“漏极”端子有时可互换地使用。驱动晶体管 $T_2$ 具有耦接到节点 $N_1$ 的漏极端子、耦接到节点 $N_2$ 的栅极端子,以及耦接到节点 $N_3$ 的源极端子。晶体管 $T_5$ 具有耦接到节点 $N_3$ 的漏极端子,接收发射控制信号 $\text{EM1}$ 的栅极端子,以及耦接到节点 $N_4$ 的源极端子。节点 $N_4$ 经由有机发光二极管304耦接到接地电源端子302。

[0051] 晶体管T3、电容器Cst和晶体管T6串联耦接于节点N1和端子308之间。具体地讲,晶体管T3具有耦接到节点N1的漏极端子,从扫描线312接收扫描控制信号Scan1的栅极端子,以及耦接到节点N2的源极端子。存储电容器Cst具有耦接至节点N2的第一端子和耦接至节点N4的第二端子。晶体管T6具有耦接至节点N4的漏极端子,经由扫描线312接收扫描控制信号Scan1的栅极端子,以及经由端子308接收初始化电压Vini的源极端子。

[0052] 晶体管T1具有经由数据线310接收数据信号的漏极端子,经由扫描线313接收扫描控制信号Scan2的栅极端子,以及耦接到节点N3的源极端子。以此方式连接,可断言发射控制信号EM2以启用晶体管T4(例如,信号EM2可被驱动至高电压电平以导通晶体管T4);可断言发射控制信号EM1以激活晶体管T5;可断言扫描控制信号Scan2以导通晶体管T1;并且可断言扫描控制信号Scan1以同时导通晶体管T3和T6。晶体管T4和T5有时可被称为发射晶体管。晶体管T6有时可被称为初始化晶体管。晶体管T1有时可被称为数据加载晶体管。

[0053] 在一种适当的布置中,晶体管T3可被实现为半导体氧化物晶体管,而剩余的晶体管T1、T2和T4-T6为硅晶体管。半导体氧化物晶体管表现出比硅晶体管更低的泄漏,因此将晶体管T3实现为半导体氧化物晶体管将有助于在低刷新率下(例如,当信号Scan1被取消断言(deassert)或驱动至低电平时通过防止电流通过T3泄漏)减少闪烁。

[0054] 图4是示出图3A所示有机发光二极管显示器像素22的操作的时序图。在时间t1之前,信号Scan1和Scan2被取消断言(例如,扫描控制信号均处于低电压电平),而信号EM1和EM2被断言(例如,发射控制信号均处于高电压电平)。当两个发射控制信号EM1和EM2都高时,发射电流将流过驱动晶体管T2进入对应的有机发光二极管304而产生光306(参见图3A)。发射电流有时被称为OLED电流或OLED发射电流,并且OLED电流在二极管304处主动产生光的时间段称为发射阶段。

[0055] 在时间t1,发射控制信号EM1被取消断言(即,被驱动至低电平)以暂时中止发射阶段,这会开始数据刷新或数据编程阶段。在时间t2,信号Scan1可被脉冲至高电平以激活晶体管T3和T6,这会将电容器Cst两端的电压初始化为预定的电压差(例如,VDDEL减去Vini)。

[0056] 在时间t3,扫描控制信号Scan1被脉冲至高电平,而信号Scan2信号被断言并且同时信号EM1和EM2两者均被取消断言以从数据线310向显示器像素22中加载期望的数据信号。在时间t4,扫描控制信号Scan1被取消断言(例如,驱动至低电平),这表示数据编程阶段结束。在时间t4,信号Scan1的下降沿可能是关键性事件,因为与晶体管T3的停用相关联的任何非预期寄生效应都将影响节点N2处的电压,这将直接影响相应发射阶段(例如,在重新断言发射控制信号时的时间t5)中的活动OLED电流,并因此影响由像素22产生的所得亮度。

[0057] 图3B是示出了在关断图3A的显示器像素22中半导体氧化物晶体管T3时,时钟馈通和电荷注入的效果的图示。如图3B所示,半导体氧化物晶体管T3具有耦接于其栅极端子和源极端子之间的寄生栅极到源极电容Cgs以及耦接于其栅极端子和漏极端子之间的寄生栅极到漏极电容Cgd。随着信号Scan1被驱动至低电平,Scan1脉冲的下降沿可经由寄生电容Cgs耦接到节点N2。由于这种瞬态寄生耦接事件,节点N2可能经历瞬时电压偏移。下降信号沿行为从晶体管T3的栅极端子耦接到晶体管T3的源极端子的这种效应有时被称为“时钟馈通”。Scan1时钟馈通的量是寄生电容Cgs的函数,寄生电容Cgs是晶体管T3的物理特性,其随时间推移保持相对固定。

[0058] 随着信号Scan1从高转换到低,电荷也可从半导体氧化物晶体管T3的栅极端子流

向其源极端子(如电荷注入路径392所指示)并到达其漏极端子(如电荷注入路径390所指示),这种现象有时被称为“电荷注入”。注入到节点N2中的电荷392的量和注入到节点N1中的电荷390的量通常可取决于节点N1和节点N2之间的电容的相对差。如果节点N1处的总有效电容与节点N2处的总有效电容之间的差值较小,则电荷注入量390和392将相对相似,因此节点N1和N2处的结束电压将相等。然而,如果节点N1处的总有效电容与节点N2处的总有效电容之间的差值很大,则电荷注入量390和392将是不同的。

[0059] 当信号Scan1被断言时,节点N1处的电压( $V_{N1}$ )和节点N2处的电压( $V_{N2}$ )相等。然而,当晶体管T3被关断时,时钟馈通和电荷注入的组合可导致 $V_{N1}$ 与 $V_{N2}$ 不匹配。如果在信号Scan1下降时 $V_{N1}$ 不等于 $V_{N2}$ ,则源漏极再平衡电流或重组电流诸如电流 $I_{12}$ 可从节点N1流到节点N2或从节点N2流到节点N1,这将使得节点N2处的电压甚至在晶体管T3关断之后也发生变化。

[0060] 由于时钟馈通和电荷注入两者均影响节点N2(短接到驱动晶体管T2的栅极端子)处的电压,因此这两种寄生效应都可能影响OLED显示器像素22产生的亮度,因为OLED发射电流的量至少部分地由晶体管T2的栅极电压设定。节点N2处的电压扰动量以及因此再平衡电流 $I_{12}$ 的量值可以是半导体氧化物晶体管T3的阈值电压的函数(即, $I_{12}$ 取决于半导体氧化物晶体管阈值电压 $V_{th\_ox}$ )。尽管将晶体管T3实现为半导体氧化物晶体管有助于最小化驱动晶体管T2的栅极端子处的泄漏电流,但半导体氧化物晶体管T3可能存在可靠性问题。

[0061] 在显示器像素22的数据编程操作期间,扫描时钟信号Scan1可被上拉至高电压电平VSH(例如,10V、超过10V、1-10V、超过5V、1-5V、10-15V、20V、超过20V,或其他合适的正/升高电压电平)并且还被下拉到低电压电平VSL(例如,-5V、-1V、0至-5V、-5至-10V、小于0V、小于-1V、小于-4V、小于-5V、小于-10V,或其他合适的负/降低电压电平)。具体地讲,在发射阶段期间在半导体氧化物晶体管T3的栅极端子处施加负电压VSL会在晶体管T3上施加负栅极到源极电压应力,这可导致氧化物劣化(有时称为老化效应),并且将导致 $V_{th\_ox}$ 随时间推移而漂移。图5A是示出半导体氧化物晶体管T3的阈值电压如何随时间变化的图示。迹线500表示半导体氧化物晶体管T3在显示器14的寿命期间的阈值电压。如迹线500所示, $V_{th\_ox}$ 将随时间推移而变化(例如,在正常显示操作的1-4周内,在正常显示操作的1-12个月内,在显示操作的至少一年内,在显示操作的1-5年内,在显示操作的1-10年内,等等)。

[0062] 图5B将OLED发射电流 $I_{OLED}$ 的百分比变化绘示为 $V_{th\_ox}$ 中电压变化量的函数。迹线502示出了 $I_{OLED}$ 对图3A的有机发光二极管显示器像素22中的晶体管T3的阈值电压 $V_{th\_ox}$ 的敏感度。如图5B中的迹线502所示,如果 $V_{th\_ox}$ 偏离标称阈值电压量1.5V,则电流 $I_{OLED}$ 可增加大约50%,如果 $V_{th\_ox}$ 偏离标称阈值电压量-1.5V,则电流 $I_{OLED}$ 可减小大约40%。迹线502表示的OLED电流对 $V_{th\_ox}$ 变化的这种较高敏感度可能导致不理想的行为,诸如整个显示器内的亮度不均匀、随着 $V_{th\_ox}$ 随时间漂移而出现亮度下降和显示器中不希望的色移。

[0063] 为了帮助减轻与半导体氧化物晶体管T3相关联的可靠性问题,硅晶体管诸如n沟道LTPS晶体管T7可被插置在半导体氧化物晶体管T3和节点N2之间(例如,参见图6A中的OLED显示器像素22)。如图6A所示,硅晶体管T7具有在中间节点N5处连接到晶体管T3的源极端子的漏极端子、在节点N2处连接到驱动晶体管T2的栅极端子的源极端子,以及经由另一个发射线316接收发射控制信号EM3的栅极端子。信号EM3可被断言(例如,被驱动至高电平)以选择性地导通晶体管T7,并且可被取消断言(例如,被驱动至低电平)以选择性地关断晶

晶体管T7。图6A中利用与图3A中的像素电路相同附图标记来标记的像素22的剩余部分使用类似布置互连,不需要详细地重复,以避免使本实施方案模糊不清。

[0064] 图7是示出图6A所示类型的OLED显示器像素22的操作的时序图。在时间t1之前,信号Scan1和Scan2被取消断言(例如,扫描控制信号均被驱动至VSL低电平),而信号EM1、EM2和EM3被断言(例如,发射控制信号均处于正电源电压电平)。当两个发射控制信号EM1和EM2都高时,发射电流将流过驱动晶体管T2进入对应的有机发光二极管304而在发射阶段期间产生光。当发射控制信号EM3被断言时,节点N5经由硅晶体管T7有效地短接到节点N2。

[0065] 在时间t1,发射控制信号EM1被取消断言(例如,被驱动至低电平)以暂时中止发射阶段,这会开始数据编程阶段。在时间t2,信号Scan1可被脉冲至高电平以激活晶体管T3和T6,这会将电容器Cst两端的电压初始化为预定的电压差(例如,VDDEL减去Vini)。在时间t3,扫描控制信号Scan1被脉冲至高电平,而信号Scan2信号被断言并且同时信号EM1和EM2两者均被取消断言以从数据线310向显示器像素22中加载期望的数据信号。

[0066] 在时间t5,扫描控制信号Scan1被取消断言(例如,驱动至低电平),这表示数据编程阶段结束。如图7所示,发射控制信号EM3可暂时被脉冲至低电平,脉冲宽度围绕信号Scan1的下降时钟沿为 $\Delta PW$ (例如,信号EM3可在时间t4在Scan1的下降沿之前被取消断言,并在时间t6在Scan1之后被重新断言)。以此方式操作,在时间t5关断半导体氧化物晶体管T3之前首先关断硅晶体管T7。在发射阶段期间导通晶体管T7可帮助减少闪烁,因为如果晶体管T7被导通的话,不会有任何电流通过它泄漏。

[0067] 当在时间t5关断半导体氧化物晶体管T3时,从信号Scan1的下降沿诱发的时钟馈通和电荷注入可能会导致节点N5处的电压( $V_{N5}$ )与节点N1处的电压( $V_{N1}$ )不匹配,这将导致电流 $I_{15}$ 流过晶体管T3以重新平衡节点N1和N5。当晶体管T7之后被在时间t6导通时, $V_{N5}$ (其为晶体管T3的阈值电压 $V_{th\_ox}$ 的函数)将与 $V_{N2}$ 重新平衡,这意味着驱动晶体管T2的栅极电压具有对 $V_{th\_ox}$ 中的任何漂移敏感的风险。

[0068] 为了帮助最小化再平衡电流 $I_{15}$ 并因此减轻OLED电流对 $V_{th\_ox}$ 的这种敏感度,可将匹配电容器诸如电容器Cn5附接到节点N5(参见例如图6A)。电容器Cn5的电容值使得节点N5处的总有效电容与节点N1处的总有效电容相等。换句话讲,电容器Cn5应当具有允许 $V_{N1}$ 在时间t4Scan1下降沿之后立即等于 $V_{N5}$ 的值,从而使流过半导氧化物晶体管T3的任何可能的再平衡电流 $I_{15}$ 最小化。减小经过晶体管T3的再平衡电流 $I_{15}$ 的量(这是半导体氧化物晶体管T3的 $V_{th\_ox}$ 的函数),因此减小了节点N2处的驱动晶体管栅极电压(直接控制OLED发射电流)对 $V_{th\_ox}$ 的敏感度。电容器Cn5可显著小于存储电容器Cst(例如,Cn5可比Cst至少小两倍,比Cst至少小四倍,至少小八倍,至少小10倍,小2-10倍,小10-20倍,小20-100倍,小100-1000倍,或比Cst小超过1000倍)。

[0069] 因此,硅晶体管T7的添加使得节点N1和N5之间能够进行电容匹配。匹配图3A的像素22中半导体氧化物晶体管T3的源极端子和漏极端子处的电容是不可行的,因为Cst的电容相对较大。因此,将节点N1处的电容匹配到Cst的任何尝试都会需要添加大的电容器,这会显著增大像素面积。与半导体氧化物晶体管T3相比,硅晶体管T7至少在时钟馈通和电荷注入方面表现出改善的物理特性。

[0070] 一般来讲,与半导体氧化物晶体管T3相比,硅晶体管T7表现出显著更低的寄生栅极到源极电容 $C_{gs}$ ,这降低了在时间t6断言发射控制信号时的时钟馈通效应。在一种合适的

布置中,硅晶体管T7可被实现为顶部栅极硅晶体管(例如,具有在LTPS半导体材料上形成的金属栅极导体的薄膜晶体管)以优化实现最小的 $C_{gs}$ 。与顶部栅极硅晶体管相比,底部栅极硅晶体管(例如,具有在LTPS半导体材料下面形成的金属栅极导体的薄膜晶体管)往往表现出相对较大的 $C_{gs}$ 。

[0071] 与具有在显示器寿命内漂移的阈值电压 $V_{th\_ox}$ 的半导体氧化物晶体管T3相比,硅晶体管T7的阈值电压 $V_{th\_ltps}$ 随时间保持相对恒定(例如,参见图5A中的迹线550)。这是因为硅晶体管通常比半导体氧化物晶体管更可靠,至少在沟道完整性方面更可靠。因此,即使在时间 $t_6$ 导通晶体管T7,注入节点N2的电荷量和流过晶体管T7到达节点N2的再平衡电流 $I_{s2}$ 的量将是恒定的并且随时间推移可预测。

[0072] 通过这种方式配置,在发射控制信号EM1和EM2都高时,在时间 $t_7$ 由图6A的显示器像素22产生的对应OLED电流对 $V_{th\_ox}$ 变化显著更不敏感,如图5B中的迹线552所示。如迹线552所示,即使 $V_{th\_ox}$ 偏离 $\pm 1.5V$ ,所造成的 $I_{oled}$ 变化也会至少小于20%、小于10%、小于5%、小于1%,比迹线502的敏感度低10倍,比迹线502的敏感度低20倍等。减轻OLED电流对晶体管T3的 $V_{th\_ox}$ 偏差的敏感度在整个显示器中提供了亮度均匀性,减小了显示器寿命期间的亮度下降,减小了显示器寿命期间的色移,并消除了显示器的其他不理想行为。

[0073] 在图6A的实施例中,电容器Cn5(例如,被配置为使节点N5处的总电容与节点N1处的总电容大致相等的分立电容器结构,以防止在信号Scan1被取消断言之后再平衡电流流过半导体氧化物晶体管T3)被耦接于节点N5和正电源线300之间。这种特定配置仅为例示性的。图6B-图6G是示出了用于在关断图6A中的晶体管T3之后减小再平衡电流的不同电容器布置的图示。

[0074] 图6B示出了另一种合适的布置,其中电容器Cn5具有连接到节点N5的第一端子和连接到接地线302(即,在其上提供接地电源电压VSSEL的接地线)的第二端子。图6C示出了另一种合适的布置,其中电容器Cn5具有连接到节点N5的第一端子和连接到发射线316的第二端子(即,提供发射控制信号EM3的端子)。图6D示出了又一种合适的布置,其中电容器Cn5具有连接到节点N5的第一端子和连接到扫描线312的第二端子(即,提供扫描控制信号Scan1的端子)。

[0075] 图6A-图6D中所示的实施例仅为例示性的,其中附加的电容匹配/平衡电容器Cn5耦接到节点N5。附加电容器不必总是耦接到节点N5。在其他合适的实施方案中,可以转而将用于防止在信号Scan1被取消断言之后再平衡电流流过半导体氧化物晶体管T3的附加电容平衡电容器附接到节点N1(例如,参见图6E-图6G中的电容器Cn1)。图6E示出了一种合适的布置,其中电容器Cn1具有连接到节点N1的第一端子和连接到扫描线312的第二端子(即,提供扫描控制信号Scan1的端子)。图6F示出了另一种合适的布置,其中电容器Cn1具有连接到节点N1的第一端子和连接到正电源线300的第二端子(即,提供正电源电压VDEL的端子)。图6G示出了又一种合适的布置,其中电容器Cn1具有连接到节点N1的第一端子和连接到接地线302的第二端子。

[0076] 图6A-图6G中附加电容被耦接到节点N5和N1的实施例仅仅是例示性的。如果需要,可将附加电容耦接到节点N5和节点N1两者(即,在单一实施方案中,可将第一附加电容器附接到节点N5,而将第二附加电容器附接到节点N1)。一般来讲,可实施其他合适的方法,以确保当晶体管T3关断时 $V_{N5}$ 基本上等于 $V_{N1}$ ,并且在信号Scan1被取消断言之后使流过晶体管T3

的再平衡电流最小化。

[0077] 通常,驱动晶体管T2和半导体氧化物晶体管T3应被实现为n沟道薄膜晶体管。如果需要,其余晶体管T1和T4-T7可任选地被实现为p沟道薄膜晶体管。与n沟道晶体管相比,p沟道晶体管是低电平有效开关(即,p沟道晶体管需要在其栅极接收低电压信号以将其导通)。因此,如果晶体管T4被实现为p沟道晶体管(例如),则信号EM2的波形将为图7中所示内容的反转版本。

[0078] 在另一种适当的布置中,晶体管T3和T6可被实现为半导体氧化物晶体管,而剩余的晶体管T1、T2、T4、T5和T7为硅晶体管。由于晶体管T3和T6均由信号Scan1控制,因此将它们形成为相同的晶体管类型可有助于简化制造。

[0079] 在另一种适当的布置中,晶体管T3、T6还有T2可被实现为半导体氧化物晶体管,而剩余的晶体管T1、T4、T5和T7为硅晶体管。驱动晶体管T2具有对像素22的发射电流至关重要的阈值电压。将驱动晶体管T2形成为顶部栅极半导体氧化物晶体管可有助于减少滞后(例如,顶部栅极IGZO晶体管经历比硅晶体管小的阈值电压滞后)。如果需要,晶体管T1-T6可以全部为半导体氧化物晶体管。

[0080] 图6A中硅晶体管T7接收单独的发射控制信号EM3的实施例仅是例示性的。为了消除此附加发射线,硅晶体管T7可由扫描控制信号Scan1控制(参见例如图8中的OLED显示器像素22)。图8中的像素22的其余部分使用类似的布置互连,并且无需详细地重复以避免使本实施方案模糊不清。

[0081] 图9是示出图8所示类型的OLED显示器像素22的操作的时序图。在时间t1之前,信号Scan1和Scan2被取消断言(例如,扫描控制信号均被驱动至VSL),而信号EM1和EM2被断言(例如,发射控制信号均处于正电源电压电平)。当两个发射控制信号EM1和EM2都高时,发射电流将流过驱动晶体管T2进入对应的有机发光二极管304而在发射阶段期间产生光。

[0082] 在时间t1,发射控制信号EM1被取消断言(例如,被驱动至低电平)以暂时中止发射阶段,这会发起数据编程阶段。在时间t2,信号Scan1可被脉冲至高电平以激活晶体管T3、T6和T7,这会将电容器Cst两端的电压初始化为预定的电压差(例如,VDEL减去Vini)。在时间t3,扫描控制信号Scan1被脉冲至高电平,而信号Scan2信号被断言并且同时信号EM1和EM2两者均被取消断言以从数据线310向显示器像素22中加载期望的数据信号。

[0083] 在时间t4,扫描控制信号Scan1被取消断言(例如,驱动至低电平),这表示数据编程阶段结束。由于扫描控制信号Scan1在图8的实施方案中控制晶体管T3和T7两者,因此晶体管T3和T7均可在Scan1的下降沿处被关断。然而,通常期望的是在关断晶体管T3之前首先关断晶体管T7,以帮助将节点N2从半导体氧化物晶体管T3的寄生效应隔离。为了确保在信号Scan1的下降沿在关断晶体管T3之前关断晶体管T7,可以为晶体管T3和T7提供不同的阈值电压电平。假设晶体管T3和T7均被实现为n沟道晶体管,则晶体管T7的阈值电压优选大于晶体管T3的阈值电压,使得晶体管T7将首先被关断。对于图6A-图6G的实施方案,也可能是这种情况。图9中的放大视图900中示出了这一事件序列。例如,在信号Scan1在时间t4从VSH转换到VSL时,硅晶体管T7将在时间t4' 首先被关断,而半导体氧化物晶体管T3将随后在时间t4'' 被关断。

[0084] 在晶体管T7从时间t4至t4' 被关断之前,仍将存在流过晶体管T3的电流I<sub>15</sub>,这将影响节点N2处的电压,因为晶体管T7仍然导通。如果电流I<sub>15</sub>流过晶体管T3以在晶体管T7导通

的同时重新平衡节点N1和N5,则驱动晶体管T2的栅极电压将经受对 $V_{th\_ox}$ 的任何漂移敏感的风险。为了帮助最小化,并因此减轻OLED电流对 $V_{th\_ox}$ 的这种敏感度,可将匹配电容器诸如电容器Cn5附接到节点N5(参见例如图8)。电容器Cn5的电容值使得节点N5处的总有效电容与节点N1处的总有效电容相等。换言之,电容器Cn5应当具有允许 $V_{N1}$ 在时间 $t4Scan1$ 下降沿之后立即等于 $V_{N5}$ 的值,从而使流过半导体氧化物晶体管T3的任何可能的再平衡电流 $I_{15}$ 最小化。减小经过晶体管T3的再平衡电流 $I_{15}$ 的量(这是半导体氧化物晶体管T3的 $V_{th\_ox}$ 的函数),因此减小了节点N2处的驱动晶体管栅极电压(直接控制OLED发射电流)对 $V_{th\_ox}$ 的敏感度。此外,可进一步调谐电容器Cn5的值以减少闪烁。

[0085] 因此,硅晶体管T7的添加使得节点N1和N5之间能够进行电容匹配。匹配图3A的像素22中半导体氧化物晶体管T3的源极端子和漏极端子处的电容是不可行的,因为 $C_{st}$ 的电容相对较大。因此,将节点N1处的电容匹配到 $C_{st}$ 的任何尝试都会需要添加大的电容器,这会显著增大像素面积。与半导体氧化物晶体管T3相比,硅晶体管T7至少在时钟馈通和电荷注入方面表现出改善的物理特性。

[0086] 一般来讲,与半导体氧化物晶体管T3相比,硅晶体管T7表现出显著更低的寄生栅极到源极电容 $C_{gs}$ ,这降低了在时间 $t6$ 断言发射控制信号时的时钟馈通效应。在一种合适的布置中,硅晶体管T7可被实现为顶部栅极硅晶体管(例如,具有在LTPS半导体材料上形成的金属栅极导体的薄膜晶体管)以优化实现最小的 $C_{gs}$ 。与具有在显示器寿命内漂移的阈值电压 $V_{th\_ox}$ 的半导体氧化物晶体管T3相比,硅晶体管T7的阈值电压 $V_{th\_ltps}$ 随时间保持相对恒定(例如,参见图5A中的迹线550)。这是因为硅晶体管通常比半导体氧化物晶体管更可靠,至少在沟道完整性方面更可靠。因此,即使在时间 $t4'$ 关断晶体管T7,注入节点N2的电荷量和流过晶体管T7到达节点N2的再平衡电流 $I_{52}$ 的量将是恒定的并且随时间推移可预测。

[0087] 通过这种方式配置,在发射控制信号EM1和EM2都高时,在时间 $t5$ 由图8的显示器像素22产生的对应OLED电流对 $V_{th\_ox}$ 变化显著更不敏感,如图5B中的迹线552所示。降低OLED电流对晶体管T3的 $V_{th\_ox}$ 偏差的敏感度在整个显示器上提供了亮度均匀度,在显示器的寿命期间减少了亮度下降,在显示器的寿命期间减少了色移,并且减少了显示器的其他非理想行为。

[0088] 在图8的实施例中,电容器Cn5(例如,被配置为使节点N5处的总电容与节点N1处的总电容相等的分立电容器电路,以防止再平衡电流在信号Scan1被取消断言时流过半导体氧化物晶体管T3)被耦接于节点N5和扫描线312之间。这种特定配置仅为例示性的。如果需要,可以任何合适的方式将一个或多个附加电容器部件耦接到节点N5和/或节点N1(参见例如图6A-图6G)。

[0089] 结合图6-图9描述的各种实施方案仅为例示性的,其中诸如晶体管T7的硅晶体管和诸如电容器Cn5或Cn1的电容器用于降低OLED发射电流对半导体氧化物晶体管T3的 $V_{th\_ox}$ 的潜在变化的敏感度。一般来讲,这些技术可应用于任何类型的显示器像素,包括一个或多个驱动晶体管和至少三个伴随的开关晶体管、至少四个伴随的开关晶体管、至少五个伴随的开关晶体管、至少六个伴随的开关晶体管、1-10个相关联的开关晶体管、10个或更多个相关联的开关晶体管等,以帮助减少闪烁,提供亮度均匀度,并在低刷新率显示器的寿命期间防止亮度下降和色移。

[0090] 可使用被形成为行驱动器电路18的一部分的相应扫描线驱动器电路和发射线驱

驱动器电路(图1)来生成用于控制图6A中所示类型的像素22的各种扫描控制信号和发射控制信号。图10是被配置为生成对应发射和扫描控制信号的例示性栅极驱动器电路的图示。如图10所示,行驱动器电路18可包括被配置为生成发射控制信号EM1的第一发射线驱动器1002、被配置为生成发射控制信号EM2的第二发射线驱动器1004、被配置为生成发射控制信号EM3的第三发射线驱动器1006、被配置为生成扫描控制信号Scan1的第一扫描线驱动器1008,以及被配置为生成扫描控制信号Scan2的第二扫描线驱动器1010。

[0091] 可使用发射时钟信号的相应对来控制发射线驱动器的每个。例如,可使用第一时钟对EM1\_CLK1和EM1\_CLK2控制第一发射线驱动器1002,而可使用第二时钟对EM2\_CLK1和EM2\_CLK2控制第二发射线驱动器1004。具体地讲,可使用发射时钟对之一控制发射线驱动器1006。在图10的实施例中,使用第二时钟对EM2\_CLK1和EM2\_CLK2来控制发射线驱动器1006,如分别由路由路径1020和1022所示。还可使用扫描控制信号Scan1和Scan2来控制发射线驱动器1006,如分别由反馈路由路径1030和1032所示。使用和共享来自其他栅极驱动器的控制信号以这种方式控制发射线驱动器1006可显著减小电路面积。此外,虽然驱动器1002、1004、1008和1010可各自需要启动脉冲信号,但驱动器1006不需要单独的启动脉冲信号,这也有助于简化设计复杂性。

[0092] 图11A是示出发射线驱动器1006的一种适当具体实施的电路图。如图11A所示,发射线驱动器1006可包括在第一电源线104(例如,在其上提供电压VSH的电源线)和第二电源线106(例如,在其上提供电压VEL的电源线)之间串联耦接的上拉输出晶体管110和下拉输出晶体管112。电压VSH可为从扫描线驱动器1008和/或1010之一借用的正电源线,而电压VEL可为从其他发射线驱动器1002和/或1004之一借用的负电源线。一般来讲,电压VSH可大于VDDEL,而电压VEL可小于VSSEL。例如,如果VDDEL为8.5V,那么VSH可为10.5V。又如,如果VSSEL为0V,则VEL可为-3V。这些示例仅是例示性的,并不用于限制本发明实施方案的范围。如果需要,VSH无需为固定电源电压,并且可独立地调节以提高灵活性。晶体管110的栅极端子可被标记为节点Q,而晶体管112的栅极端子可被标记为节点QB。第一电容器CQ耦接在晶体管110的栅极端子和源极端子两端,而第二电容器CQB耦接在晶体管112的栅极端子和源极端子两端。

[0093] 可使用晶体管126将节点QB驱动至低电平或取消断言。晶体管126具有接收EM\_CLK2(例如,图10的EM1\_CLK2或EM2\_CLK2)的栅极端子。另一方面,可使用串联耦接于第三电源线路102(例如,在其上提供电压VEH的电源线)和节点QB之间的晶体管120、122和124来将节点QB驱动至高电平或对节点QB断言。电压VEH可为从发射线驱动器1002和/或1004之一借用的正电源线。一般来讲,电压VEH可大于VDDEL并且还大于VSH。例如,如果VSH为10.5V,那么VEH可为12.5V。晶体管120具有接收EM\_CLK1(例如,图10的EM1\_CLK1或EM2\_CLK1)的栅极端子。晶体管122具有接收Scan2的栅极端子。晶体管124具有接收Scan1的栅极端子。以这种方式串联连接,晶体管120、122和124形成逻辑与电路119,仅在所有信号EM\_CLK1、Scan1和Scan2同时为高时将节点QB驱动至高电平。

[0094] 可使用耦接于节点Q和电源线102之间的晶体管130将节点Q驱动至高电平或对节点Q断言。晶体管130具有接收EM\_CLK2的栅极端子。另一方面,可使用串联耦接于节点Q和电源线106之间的晶体管132和134来将节点Q驱动至低电平或对节点Q取消断言。晶体管132具有从电源线102接收固定电源电压VEH的栅极端子(即,晶体管132总是导通)。晶体管134具

有接收扫描控制线Scan1的栅极端子。以此方式配置,在驱动器1006处接收的所有控制信号都是从其他栅极驱动器电路借用的,这显著地降低了显示器边界区域要求。

[0095] 图11B为时序图,示出了结合图11A所述类型的发射线驱动器1006的操作。如图11A所示,信号Scan1和Scan2具有不同的脉冲宽度,并且信号EM\_CLK1是信号EM\_CLK2的延迟版本。在时间t1,可首先使信号Scan1脉冲到高电平,而信号Scan2已经是高电平。断言信号Scan1导通晶体管134,这会向电压VEL驱动节点Q并关断晶体管110。这有助于在晶体管112随后导通时消除任何潜在的驱动争用。

[0096] 在时间t2,信号EM\_CLK1被脉冲到高电平,这会导通晶体管120。由于此时所有信号EM\_CLK1、Scan1和Scan2都为高,并且激活与逻辑119以拉高节点QB,这会导通下拉晶体管112以将信号EM3驱动至低电平(如箭头150所示)。

[0097] 信号EM3将保持取消断言,直到时间t3,此时信号EM\_CLK2被脉冲到高电平。当信号EM\_CLK2被脉冲到高电平时,导通晶体管126以将节点QB拉向VEL,这会关断晶体管112。这有助于消除与晶体管110的任何潜在的驱动争用。断言EM\_CLK2还导通晶体管130以向VEH拉动节点Q,这会导通晶体管110以在发射周期的其余部分将信号EM3驱动回高电平(如箭头152所示)。

[0098] 如图11A所示,实现发射栅极驱动器1006尤其适合低频显示器操作,因为在上拉输出晶体管110的栅极端子处存在大电容器CQ时,更容易将信号EM3维持在高电压电平。然而,一般来讲,图11A的发射栅极驱动器1006可用于支持任何适当频率的显示器操作。

[0099] 图12是出发射线驱动器1006的另一种适当具体实施的电路图。具有与已经结合图11A描述的那些相同的附图标号和连接的结构部件不必重复,因为它们基本上具有相似的功能。不过,需注意,节点Q是使用两级子驱动器电路控制的。如图12所示,驱动器1006可以包括与第二子驱动器级160-2串联连接的第一子驱动器级160-1。第一级160-1包括与电源线102和106之间的晶体管172串联连接的晶体管170。晶体管170具有接收EM\_CLK2的栅极端子,而晶体管172具有接收Scan1的栅极端子。级160-1的输出被标记为节点Q'。第二级160-2包括与电源线102和106之间的晶体管182串联连接的晶体管180。晶体管180具有直接连接到节点Q'的栅极端子,而晶体管182具有也接收Scan1的栅极端子。级160-2的输出直接连接到节点Q。

[0100] 控制发射线驱动器1006的信号与已经相对于图11B示出和描述的那些信号相同,为了简洁起见,不需要重复这些信号的细节。与图11B中接收EM\_CLK2的晶体管130直接耦合到节点Q的设计相比,图12的双级具体实施能够帮助将从晶体管170的栅极端子耦合的时钟与节点Q隔离。结果,可以使节点Q处所需的总电容小得多。具体地讲,需注意,图12的设计甚至不需要横跨晶体管110的栅极和源极端子的分立电容器CQ,这显著减小了电路面积。

[0101] 图6-图12中涉及使用硅晶体管诸如晶体管T7隔离与氧化物晶体管T3相关联的阈值电压变化的实施方案仅是例示性的。根据另一种适当的布置,可随时间递增地调节发射信号的脉冲宽度以帮助补偿与氧化物晶体管T3相关联的预期阈值电压偏移。在发射操作期间,可使用脉宽调制(PWM)方案来切换发射控制信号(例如,参见图3的实施例中的发射控制信号EM1和EM2)以控制显示器的亮度。增大发射控制信号的脉冲宽度会增大PWM占空比,这会提高显示器的对应亮度。相反,减小发射控制信号的脉冲宽度会减小PWM占空比,这会降低显示器的对应亮度。

[0102] 图13A是示出根据一个实施方案,可如何在显示器14的寿命期间增大发射信号的脉冲宽度以补偿亮度下降的时序图。如图13A所示,发射控制信号EM(代表使用PWM方案控制的任何数量的发射控制信号)可在时间T0(即,当显示器仍然相对较新时)具有标称脉冲宽度PW。

[0103] 在某个时间段之后并且在时间T1,由于氧化物晶体管T3的阈值电压漂移(例如)或一些其他时间老化效应,显示器14的亮度可能已经下降了某个量。介于T0和T1之间的时间量可为至少50小时,至少100小时,100至500小时,超过500小时或其他合适的操作时间段,在该时间段期间,显示器14可能发生不期望的亮度变化。为了减轻亮度下降,发射控制信号EM的脉冲宽度可被增大脉冲宽度偏移量 $\Delta T$ ,使得总脉冲宽度现在增大到 $(PW + \Delta T)$ 。以此方式增大EM的脉冲宽度增加了占空比,这会将降低的亮度提升回在时间T0的预期/初始水平。

[0104] 在某个时间段之后并且在时间T2,由于氧化物晶体管T3的阈值电压漂移(例如)或一些其他时间老化效应,显示器14的亮度可能下降了更多。介于T1和T2之间的时间量可为至少50小时,至少100小时,100至500小时,超过500小时或其他合适的操作时间段,在该时间段期间,显示器14可能发生不期望的亮度变化。为了减轻亮度下降,发射控制信号EM的脉冲宽度可被进一步增大另一脉冲宽度偏移量 $\Delta T$ ,使得总脉冲宽度现在增大到 $(PW + 2 * \Delta T)$ 。以此方式增大EM的脉冲宽度进一步增加了占空比,这会将降低的亮度提升回在时间T0的预期/初始水平。

[0105] 这个过程可无限期地继续,直到显示器14的生命周期结束。需注意,在时间TN,总脉冲宽度将被增加至 $(PW + N * \Delta T)$ 。在某一时刻(即,当占空比被推到了其100%的极限时),不能再增大占空比。因此,时间TN应对应至少2年的正常操作使用、2-5年的标称操作使用、5-10年的标称操作使用或超过10年的标称操作使用。

[0106] 图13B是根据一个实施方案,可如何随时间调节发射信号的占空比的曲线图。如图13B所示,在时间T0,发射控制信号的脉冲宽度处于其标称值处,因此占空比被设定为标称占空比水平DCnom。在时间T1,发射控制信号的脉冲宽度被增大第一偏移量,这会将占空比增大至DC1。在时间T2,发射控制信号的脉冲宽度被增大第二偏移量,这会将占空比增大至DC2。在时间T3,发射控制信号的脉冲宽度被增大第三偏移量,这会将占空比增大至DC3。这个过程可以无限期地继续,直到PWM占空比在100%达到最大。

[0107] 图13C是示出了EM信号脉冲宽度偏移随时间推移的影响的图示。迹线1302示出了如果脉冲宽度保持在固定水平(即,如果占空比从不改变),随着时间推移亮度下降的百分比。在时间T1,可向标称脉冲宽度值PW施加第一量的脉冲宽度偏移A1,这将使亮度向上回到迹线1304上的第一对应点。在时间T2,可向标称脉冲宽度值PW施加第二量的累加脉冲宽度偏移A2,这将使亮度向上回到迹线1304上的第二对应点。在时间T3,可向标称脉冲宽度值PW施加第三量的累加脉冲宽度偏移A3,这将使亮度向上回到迹线1304上的第三对应点。在时间T4,可向标称脉冲宽度值PW施加第四量的累加脉冲宽度偏移A4,这将使亮度向上回到迹线1304上的第四对应点。这个过程可以无限期地继续,直到EM的占空比达到100%。

[0108] 图13C的实施例可对应于第一显示器亮度带(例如,第一用户选择的或外部提供的亮度设置)。一般来讲,脉冲宽度偏移量可在不同显示器亮度带上变化(即,不同的显示器亮度设置可能需要不同量的脉冲宽度增大)。类似于图13C,图13D的迹线1302示出了如果脉冲宽度在第一亮度带处保持在固定水平,随着时间推移亮度下降的百分比。图13D中的迹线

1306示出了如果脉冲宽度在具有比第一亮度带更高的亮度输出的第二亮度带处保持在固定水平的情况下,随着时间推移亮度下降的百分比。

[0109] 在时间T1,可向标称脉冲宽度值PW施加第一量的脉冲宽度偏移B1,这将使亮度向上回到迹线1304'上的第一对应点。在时间T2,可向标称脉冲宽度值PW施加第二量的累加脉冲宽度偏移B2,这将使亮度向上回到迹线1304'上的第二对应点。在时间T3,可向标称脉冲宽度值PW施加第三量的累加脉冲宽度偏移B3,这将使亮度向上回到迹线1304'上的第三对应点。在时间T4,可向标称脉冲宽度值PW施加第四量的累加脉冲宽度偏移B4,这将使亮度向上回到迹线1304'上的第四对应点。这个过程可以无限期地继续,直到EM的占空比达到100%。

[0110] 需注意,迹线1304'可基本上类似于迹线1304。然而,如图13C和图13D之间的并置所例示,EM脉冲宽度偏移的量在不同的亮度设置下不同(即,A1不等于B1,A2不等于B2,A3不等于B3,A4不等于B4,A5不等于B5等)。换句话讲,可针对不同的亮度水平单独控制PWM偏移。如果需要,可将PWM偏移量普遍应用于所有亮度带以简化对显示器14的控制(即,对所有外部提供的亮度设置应用单个PWM增强序列)。

[0111] 通常,结合图13A-图13D描述的用于保持显示器亮度的方法可应用于使用脉宽调制方案来控制其亮度的任何适当类型的显示器(例如,OLED显示器、LCD显示器、等离子显示器或其他类型的显示器)。

[0112] 如上文结合图3B所示,OLED电流的量以及因此显示器亮度是电荷注入和源极-漏极再平衡电流的函数,电流在有问题的晶体管诸如氧化物晶体管T3被关断时发生。在本发明的实施方案中,氧化物晶体管T3由高电平有效扫描控制信号控制(即,将扫描控制信号Scan1驱动至高电平以导通晶体管T3并且将其驱动至低电平以关断晶体管T3)。如图14A所示,信号Scan1可被取消断言或从正电压电平VSH驱动至负电压电平VSL,以关断(在其他晶体管中的)晶体管T3。通常,注入到栅极节点N2的电荷的量(参见例如图3A)可如下表达:

$$[0113] \quad Q_{ch} = C_{ox} (V_{SH} - V_D - V_{th_{ox}}) \quad (1)$$

[0114] 类似地,源极-漏极电荷再平衡电流的量可如下表达:

$$[0115] \quad I_{12} = \frac{\mu_n C_{ox}}{2} * \frac{W}{L} [2(V_{SH} - V_S - V_{th_{ox}}) * V_{DS} - V_{DS}^2] \quad (2)$$

[0116] 如公式1和2的粗体部分所示,电荷注入量 $Q_{ch}$ 和再平衡电流水平 $I_{12}$ 两者都至少部分地与VSH和 $V_{th_{ox}}$ 之间的差值成正比。假设 $V_{th_{ox}}$ 随时间推移而降低(如图5A的实施例所示),保持 $Q_{ch}$ 和 $I_{12}$ 恒定的方法随后将涉及以与 $V_{th_{ox}}$ 的漂移类似的节奏降低VSH。

[0117] 图14B是时序图,示出了根据一个实施方案,可如何调节高电平有效扫描控制信号Scan1的VSH以适应 $V_{th_{ox}}$ 的变化并从而减轻显示器亮度下降。在时间T0(即,当显示器仍然相对新时),VSH可被偏置在标称正电源电平VSHnom。

[0118] 在某个时间段之后并且在时间T1,由于氧化物晶体管T3的阈值电压漂移,显示器14的亮度可能已经下降了某个量。介于T0和T1之间的时间量可为至少50小时,至少100小时,100至500小时,超过500小时或其他合适的操作时间段,在该时间段期间,显示器14可能发生不期望的亮度变化。为了减轻亮度下降,VSH可被降低电压偏移量 $\Delta V$ ,以与 $V_{th_{ox}}$ 的变化保持一致。偏移量 $\Delta V$ 可为10mV、10-50mV、50-100mV或用于适应 $V_{th_{ox}}$ 的电压漂移的其他合适的偏移量。

[0119] 在某个时间段之后并且在时间T2,由于氧化物晶体管T3的阈值电压漂移进一步减小,显示器14的亮度可能已经下降更多。介于T1和T2之间的时间量可为至少50小时,至少100小时,100至500小时,超过500小时或其他合适的操作时间段,在该时间段期间,显示器14可能发生不期望的亮度变化。为了减轻亮度下降,VSH可被进一步降低另一电压偏移量 $\Delta V$ ,以与 $V_{th\_ox}$ 的变化保持一致。这个过程可无限期地继续,直到显示器14的生命周期结束,持续至少2年的正常操作使用,2-5年的正常运行,5-10年的正常操作使用,或超过10年的正常操作使用。

[0120] 图14C是示出降低扫描控制信号Scan1的VSH可如何帮助提升显示器亮度的曲线图。如曲线1402所示,在显示器的寿命期间以线性或步进方式减小VSH可有助于提高其亮度以补偿由 $V_{th\_ox}$ 的变化引起的非期望亮度下降。通常,图14B和图14C中所示的技术可被应用于具有阈值电压变化可能影响显示器亮度的晶体管的任何显示器像素。

[0121] 氧化物晶体管T3由高电平有效扫描控制信号控制的以上示例仅是例示性的,并非旨在限制本发明实施方案的范围。根据其他适当的实施方案,氧化物晶体管T3是由低电平有效扫描控制信号控制(即,将扫描控制信号Scan1驱动至低电平以导通晶体管T3并且将其驱动至高电平以关断晶体管T3)的p沟道薄膜晶体管。如图15A所示,信号Scan1可被取消断言或从负电压电平VSL驱动至正电压电平VSH,以关断(在其他晶体管中的)晶体管T3。上文所述的公式1和2对于p沟道晶体管也成立,只是将极性交换。换句话讲,保持 $Q_{ch}$ 和 $I_{12}$ 恒定将涉及以与 $V_{th\_ox}$ 的漂移类似的节奏(假设对于p型晶体管, $V_{th\_ox}$ 随时间推移而增大)实际增加VSL。

[0122] 图15B是时序图,示出了根据一个实施方案,可如何调节低电平有效扫描控制信号Scan1的VSL以适应 $V_{th\_ox}$ 的变化并从而减轻显示器亮度下降。在时间T0(即,当显示器仍然相对新时),VSL可被偏置在标称接地电源电平VSLnom。

[0123] 在某个时间段之后并且在时间T1,由于氧化物晶体管T3的阈值电压漂移,显示器14的亮度可能已经下降了某个量。介于T0和T1之间的时间量可为至少50小时,至少100小时,100至500小时,超过500小时或其他合适的操作时间段,在该时间段期间,显示器14可能发生不期望的亮度变化。为了减轻亮度下降,VSL可被升高电压偏移量 $\Delta V$ ,以与 $V_{th\_ox}$ 的变化保持一致。偏移量 $\Delta V$ 可为10mV、10-50mV、30-70mV、50-100mV或用于适应 $V_{th\_ox}$ 的电压漂移的其他合适的偏移量。

[0124] 在某个时间段之后并且在时间T2,由于氧化物晶体管T3的阈值电压漂移进一步增大,显示器14的亮度可能已经下降更多。介于T1和T2之间的时间量可为至少50小时,至少100小时,100至500小时,超过500小时或其他合适的操作时间段,在该时间段期间,显示器14可能发生不期望的亮度变化。为了减轻亮度下降,VSL可被进一步升高另一电压偏移量 $\Delta V$ ,以与 $V_{th\_ox}$ 的变化保持一致。这个过程可无限期地继续,直到显示器14的生命周期结束,持续至少2年的正常操作使用,2-5年的正常运行,5-10年的正常操作使用,或超过10年的正常操作使用。

[0125] 图15C是示出升高扫描控制信号Scan1的VSL可如何帮助提升显示器亮度的曲线图。如曲线1502所示,在显示器的寿命期间以线性或步进方式逐步升高VSL可有助于提高其亮度以补偿由 $V_{th\_ox}$ 的变化引起的非期望亮度下降。通常,图15B和图15C中所示的技术可被应用于具有阈值电压变化可能影响显示器亮度的晶体管的任何显示器像素。

[0126] 根据一个实施方案,提供了一种显示器像素,该显示器像素包括发光二极管;与发光二极管串联耦接的驱动晶体管,该驱动晶体管包括漏极端子、栅极端子和源极端子;耦接于驱动晶体管的漏极端子和栅极端子之间的第一半导体类型的晶体管,该第一半导体类型的晶体管被配置为减小驱动晶体管的栅极端子处的泄漏,且该第一半导体类型的晶体管具有阈值电压;以及与第一半导体类型不同的第二半导体类型的晶体管,该第二半导体类型的晶体管夹置在第一半导体类型的晶体管和驱动晶体管的栅极端子之间,且该第二半导体类型的晶体管被配置为减小流过发光二极管的发射电流对第一半导体类型的晶体管的阈值电压的敏感度。

[0127] 根据另一个实施方案,第一半导体类型的晶体管包括具有形成于半导体氧化物中的沟道的半导体氧化物薄膜晶体管。

[0128] 根据另一个实施方案,第二半导体类型的晶体管包括具有形成于硅中的沟道的硅薄膜晶体管。

[0129] 根据另一个实施方案,第一半导体类型的晶体管和第二半导体类型的晶体管都是n沟道薄膜晶体管。

[0130] 根据另一个实施方案,第一半导体类型的晶体管是n沟道薄膜晶体管,第二半导体类型的晶体管是p沟道薄膜晶体管。

[0131] 根据另一个实施方案,该显示器像素包括耦接至驱动晶体管的栅极端子的存储电容器,存储电容器被配置为存储用于显示器像素的数据信号;以及耦接到第一半导体类型的晶体管与第二半导体类型的晶体管之间的中间节点的匹配电容器,该匹配电容器被配置为减小第一半导体类型的晶体管关断时流过第一半导体类型的晶体管的再平衡电流。

[0132] 根据另一个实施方案,该匹配电容器小于存储电容器。

[0133] 根据另一个实施方案,该显示器像素包括耦接至驱动晶体管的栅极端子的存储电容器,存储电容器被配置为存储用于显示器像素的数据信号;以及耦接到驱动晶体管的漏极端子的匹配电容器,该匹配电容器被配置为减小第一半导体类型的晶体管关断时流过第一半导体类型的晶体管的再平衡电流。

[0134] 根据另一个实施方案,第一半导体类型的晶体管具有被配置为接收扫描控制信号的栅极端子,并且第二半导体类型的晶体管具有被配置为接收不同于扫描控制信号的发射控制信号的栅极端子。

[0135] 根据另一个实施方案,第一半导体类型的晶体管和第二半导体类型的晶体管具有被配置为接收相同扫描控制信号的栅极端子。

[0136] 根据另一个实施方案,第一半导体类型的晶体管具有第一阈值电压,第二半导体类型的晶体管具有大于第一阈值电压的第二阈值电压。

[0137] 根据另一个实施方案,该显示器像素包括与驱动晶体管和发光二极管串联耦接的第一发射晶体管;与驱动晶体管和发光二极管串联耦接的第二发射晶体管;直接耦接到发光二极管的初始化晶体管;以及直接耦接到驱动晶体管的源极端子的数据加载晶体管。

[0138] 根据一个实施方案,提供了一种操作显示器像素的方法,该方法包括:在发射阶段期间,使用显示器像素中的驱动晶体管将发射电流输送至显示器像素中的发光二极管,该驱动晶体管包括漏极端子和栅极端子;使用耦接在驱动晶体管的漏极端子和栅极端子之间的第一半导体类型的晶体管来减小发射阶段期间驱动晶体管的栅极端子处的泄漏,该第一

半导体类型的晶体管具有阈值电压;以及使用夹置在第一半导体类型的晶体管和驱动晶体管的栅极端子之间的第二半导体类型的晶体管来降低发射电流对第一半导体类型的晶体管的阈值电压的敏感度。

[0139] 根据另一个实施方案,第一半导体类型的晶体管包括半导体氧化物薄膜晶体管,第二半导体类型的晶体管包括硅薄膜晶体管。

[0140] 根据另一个实施方案,该方法包括向第一半导体类型的晶体管的栅极端子提供扫描控制信号,向第二半导体类型的晶体管的栅极端子提供不同于扫描控制信号的发射控制信号,以及在扫描控制信号的下降沿之前取消断言发射控制信号并在扫描控制信号的下降沿之后断言发射控制信号。

[0141] 根据另一个实施方案,该方法包括向第一半导体类型的晶体管的栅极端子提供扫描控制信号,向第二半导体类型的晶体管的栅极端子提供扫描控制信号,并在扫描控制信号的下降沿处在关断第一半导体类型的晶体管之前关断第二半导体类型的晶体管。

[0142] 根据一个实施方案,提供了一种电子设备,该电子设备包括具有显示器像素阵列的显示器,显示器像素阵列中的每个显示器像素包括发光二极管;与发光二极管串联耦接的驱动晶体管,该驱动晶体管包括漏极端子、栅极端子以及源极端子;耦接于驱动晶体管的漏极端子和栅极端子之间的半导体氧化物晶体管;以及耦接于半导体氧化物晶体管和驱动晶体管的栅极端子之间的硅晶体管。

[0143] 根据另一个实施方案,显示器像素阵列中的每个显示器像素包括直接耦接到驱动晶体管的栅极端子的存储电容器,以及直接耦接到半导体氧化物晶体管的匹配电容器,该匹配电容器被配置为减小流过半导体氧化物晶体管的再平衡电流。

[0144] 根据另一个实施方案,该匹配电容器显著小于存储电容器。

[0145] 根据另一个实施方案,显示器像素阵列中的每个显示器像素包括与驱动晶体管和发光二极管串联耦接的第一发射晶体管;与驱动晶体管和发光二极管串联耦接的第二发射晶体管;直接耦接到发光二极管的初始化晶体管;以及直接耦接到驱动晶体管的源极端子的数据加载晶体管。

[0146] 根据另一个实施方案,该电子设备包括被配置为向半导体氧化物晶体管的栅极端子和初始化晶体管的栅极端子输出第一扫描控制信号的第一扫描线驱动器电路;被配置为向数据加载晶体管的栅极端子输出第二扫描控制信号的第二扫描线驱动器电路;被配置为向第一发射晶体管的栅极端子输出第一发射控制信号的第一发射线驱动器电路;被配置为向第二发射晶体管的栅极端子输出第二发射控制信号的第二发射线驱动器电路;以及被配置为向硅晶体管的栅极端子输出第三发射控制信号的第三发射线驱动器电路,该第三发射线驱动器电路被配置为从第一扫描线驱动器电路接收第一扫描控制信号并从第二扫描线驱动器电路接收第二扫描控制信号。

[0147] 根据另一个实施方案,第一发射线驱动器电路被配置为接收第一对时钟信号,第二发射线驱动器被配置为接收第二对时钟信号,并且第三发射线驱动器电路被进一步配置为接收与第一发射线驱动器电路相关联的第一对时钟信号和与第二发射线驱动器电路相关联的第二对时钟信号中所选择的一对时钟信号。

[0148] 根据另一个实施方案,第三发射线驱动器电路不接收启动脉冲信号。

[0149] 根据另一个实施方案,第三发射线驱动器电路包括上拉晶体管;与上拉晶体管串

联连接的下拉晶体管;以及具有被配置为接收所选择的一对时钟信号中的第一时钟信号的栅极端子的第一晶体管;具有被配置为接收第一扫描控制信号的栅极端子的第二晶体管;具有被配置为接收第二扫描控制信号的栅极端子的第三晶体管,该第一、第二和第三晶体管被使用以同时导通下拉晶体管;以及具有被配置为接收所选择的一对时钟信号中的第二时钟信号的栅极端子的第四晶体管,该第四晶体管被使用以关断下拉晶体管。

[0150] 根据另一个实施方案,第三发射线驱动器电路包括具有被配置为接收所选择的一对时钟信号中的第二时钟信号的栅极端子的第五晶体管,第五晶体管被使用以导通上拉晶体管;具有被配置为接收固定电源电压的栅极端子的第六晶体管;以及具有被配置为接收第一扫描控制信号的栅极端子的第七晶体管,该第六和第七晶体管被使用以同时关断上拉晶体管。

[0151] 根据另一个实施方案,第三发射线驱动电路包括被配置为接收第一扫描控制信号和所选择的一对时钟信号中的第二时钟信号的第一级,被配置为接收第一扫描控制信号和来自第一级的信号的第二级,该第二级具有直接连接到上拉晶体管的栅极端子的输出,且没有耦接到上拉晶体管的栅极端子的分立电容器。

[0152] 根据一个实施方案,提供了一种操作呈现亮度的显示器的方法,该方法包括使用脉宽调制(PWM)方案来控制显示器的亮度,并且在显示器的亮度由于显示器老化效应而下降的第一时间段之后,增大PWM方案的占空比以补偿亮度下降。

[0153] 根据另一个实施方案,第一时间段为至少100小时。

[0154] 根据另一个实施方案,该方法包括在第一时间段之后的第二时间段之后,进一步增大PWM方案的占空比以补偿显示器的任何亮度下降,该第二时间段等于第一时间段。

[0155] 根据另一个实施方案,使用PWM方案包括将经脉宽调制的发射控制信号馈送至显示器上的对应发射晶体管。

[0156] 根据另一个实施方案,增大PWM方案的占空比包括当显示器处于第一显示器亮度设置时将发射控制信号的脉冲宽度增大第一量,并且当显示器处于第二显示器亮度设置时将发射控制信号的脉冲宽度增大不同于第一量的第二量。

[0157] 根据一个实施方案,提供了一种操作显示器像素的方法,该显示器像素具有驱动晶体管和耦接到驱动晶体管的栅极端子的半导体氧化物晶体管,该方法包括:向半导体氧化物晶体管的栅极端子供应扫描控制信号,该半导体氧化物晶体管具有随时间变化的阈值电压,半导体氧化物晶体管的阈值电压的变化导致显示器的亮度下降;断言扫描控制信号以通过将扫描控制信号驱动至第一电压电平而导通半导体氧化物晶体管;取消断言扫描控制信号以通过将扫描控制信号从第一电压电平驱动至第二电压电平而关断半导体氧化物晶体管;以及针对半导体氧化物晶体管的阈值电压变化调整扫描控制信号的第一电压电平以补偿亮度下降。

[0158] 根据另一个实施方案,调整扫描控制信号的第一电压电平包括每至少300小时的正常显示操作将第一电压电平降低30-70mV。

[0159] 根据另一个实施方案,调整扫描控制信号的第一电压电平包括每至少300小时的正常显示操作将第一电压电平升高30-70mV。

[0160] 前述内容仅为例示性的并且可对所述实施方案作出各种修改。前述实施方案可独立实施或可以任意组合实施。



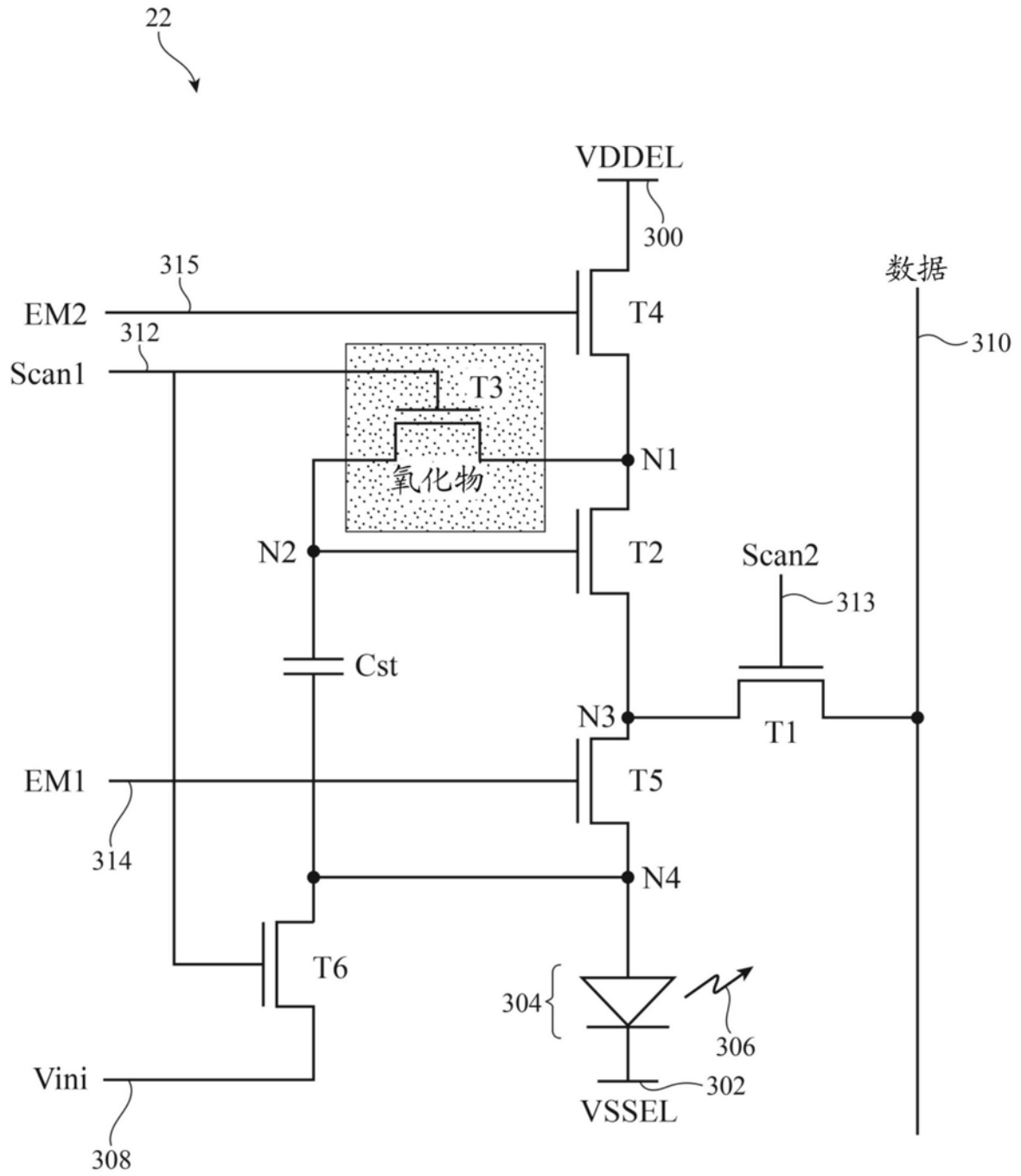


图3A

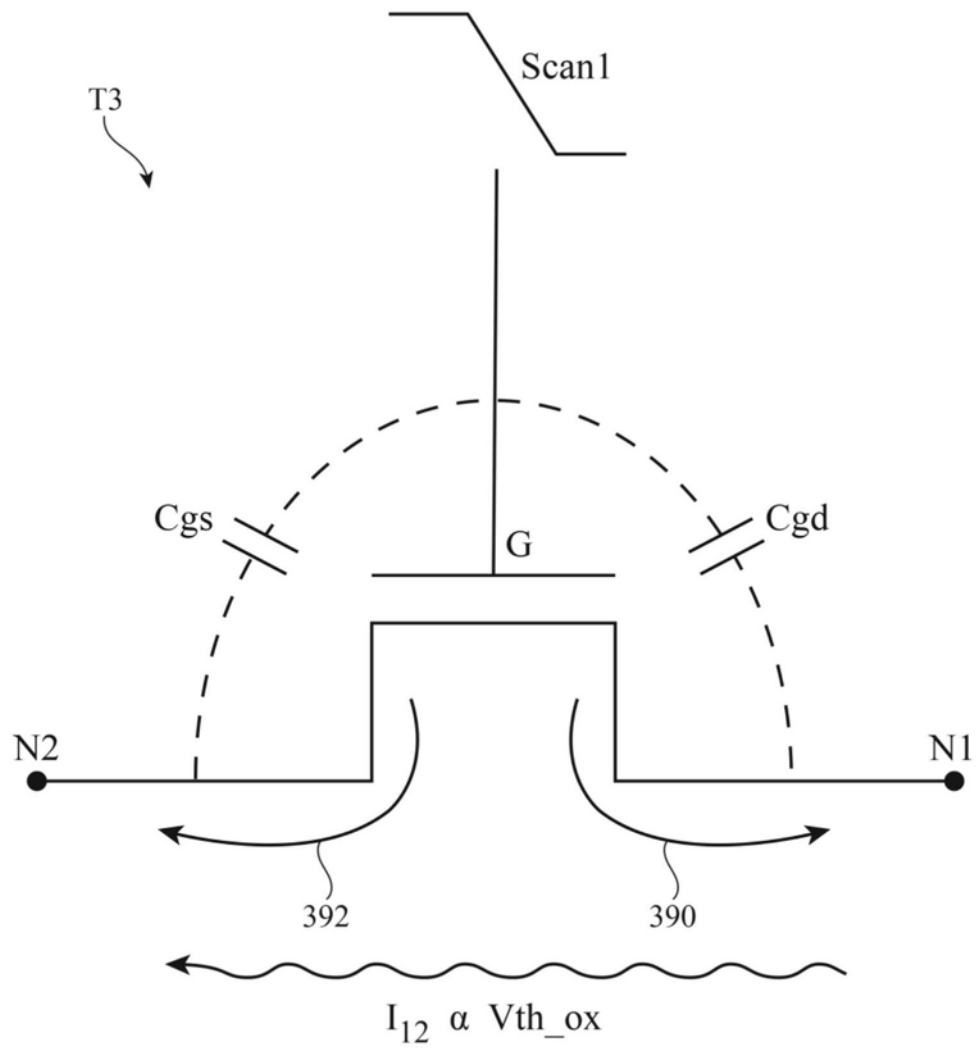


图3B

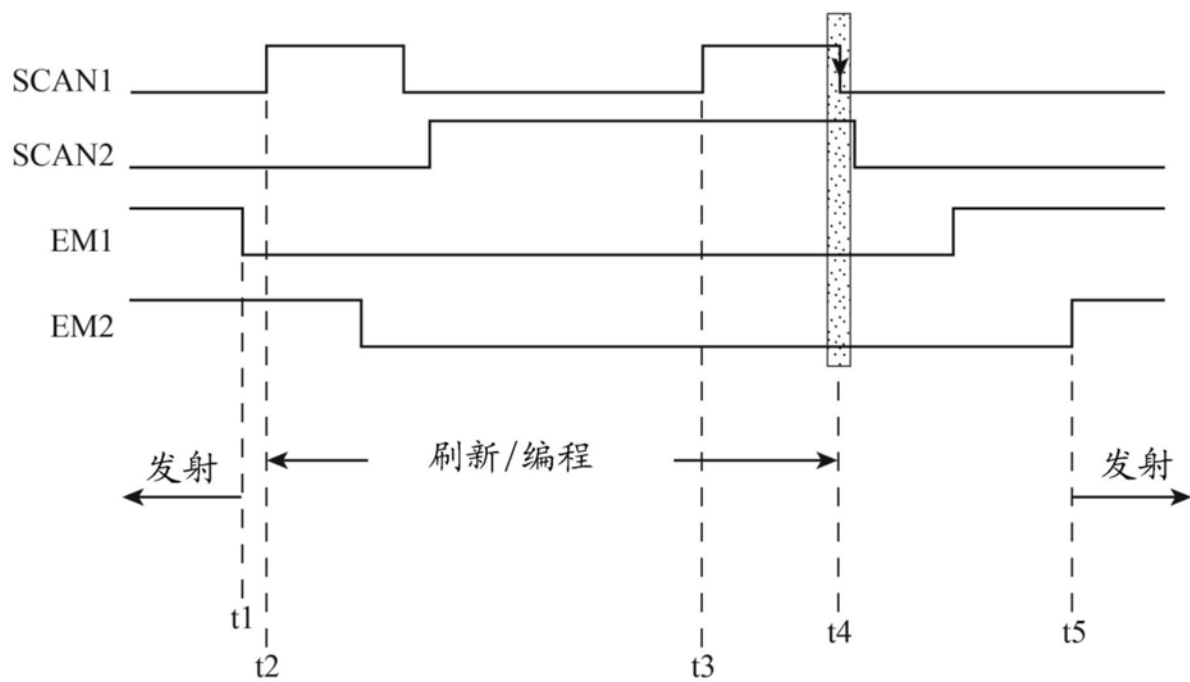


图4

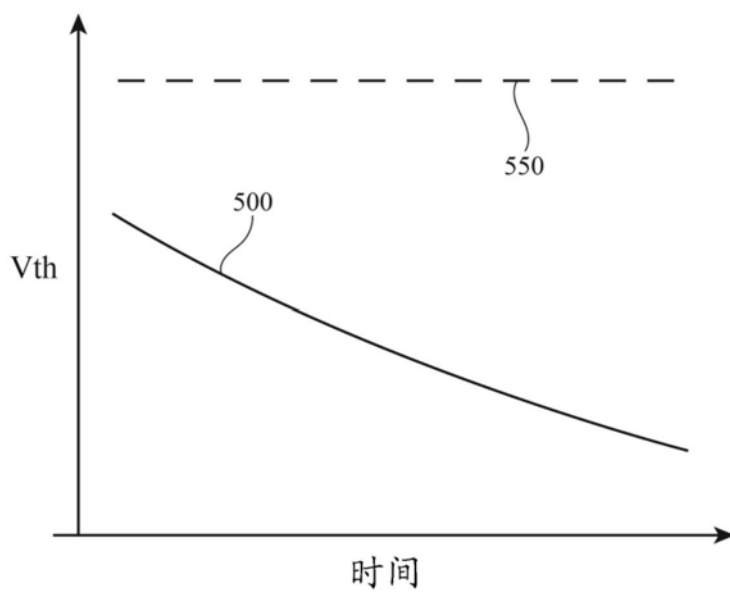


图5A

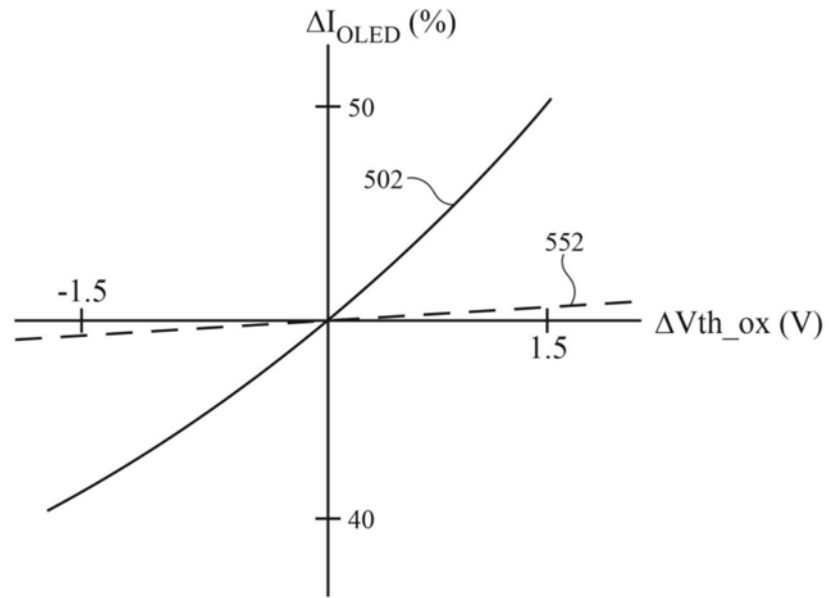


图5B

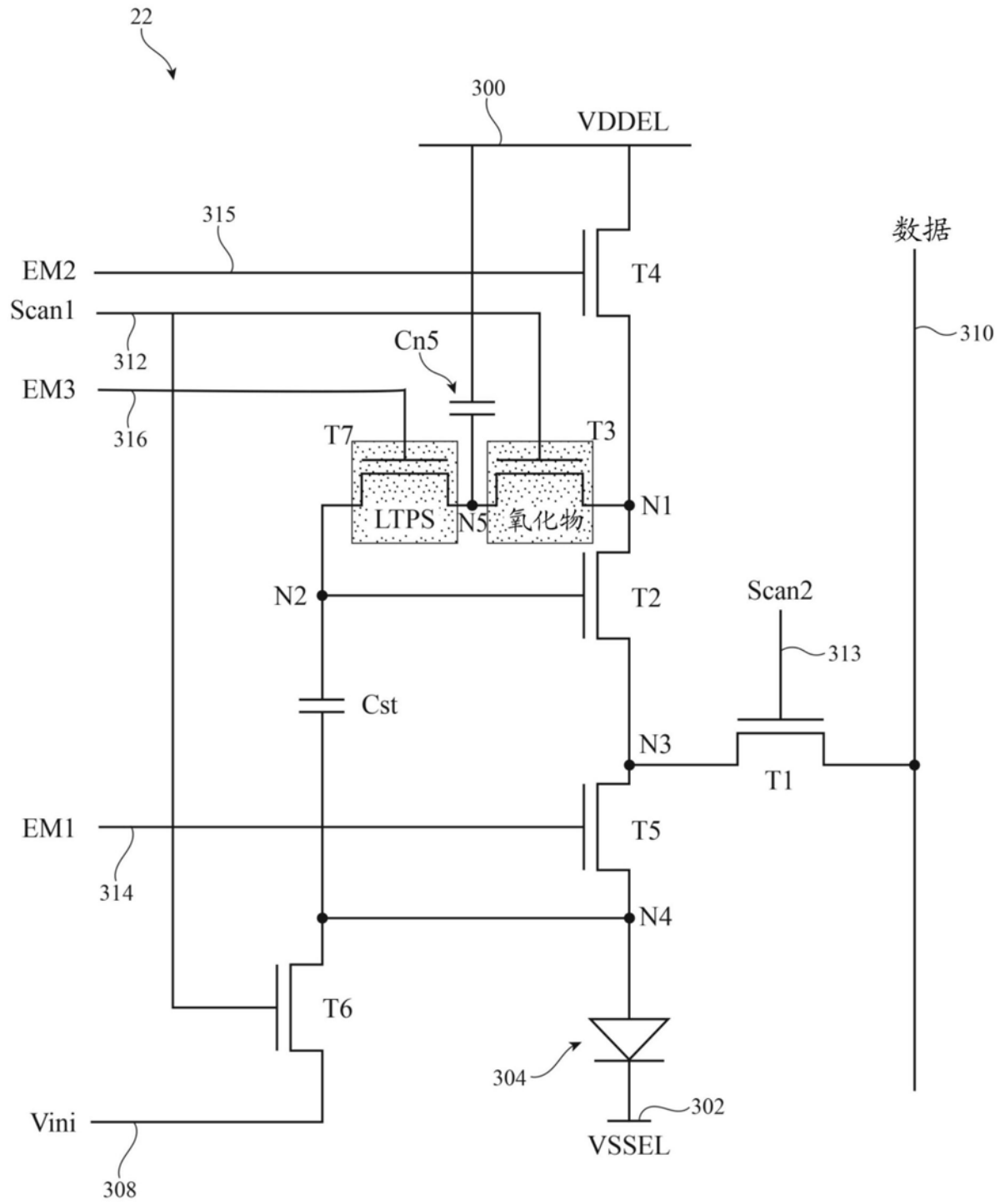


图6A

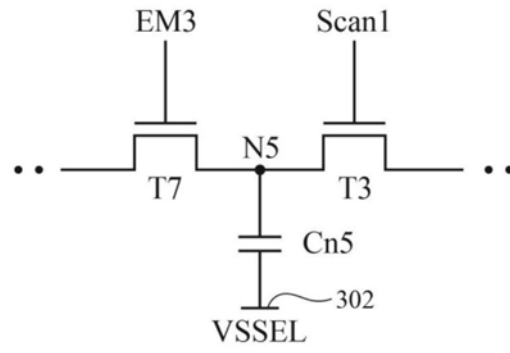


图6B

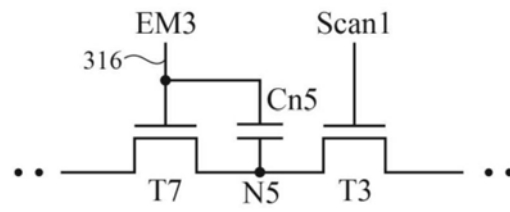


图6C

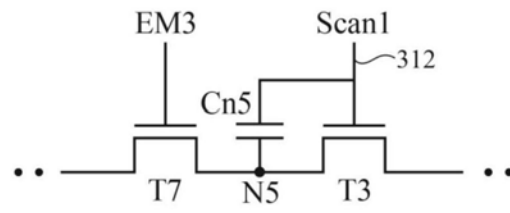


图6D

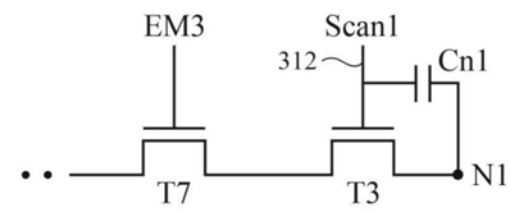


图6E

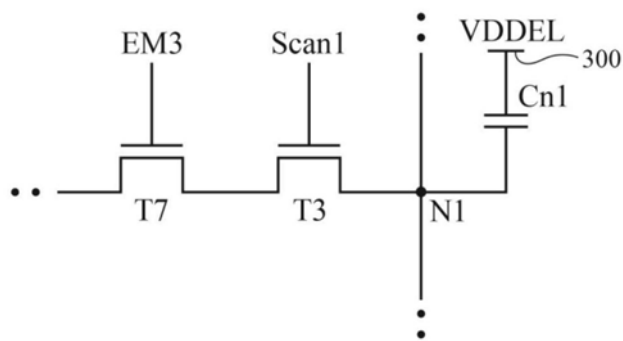


图6F

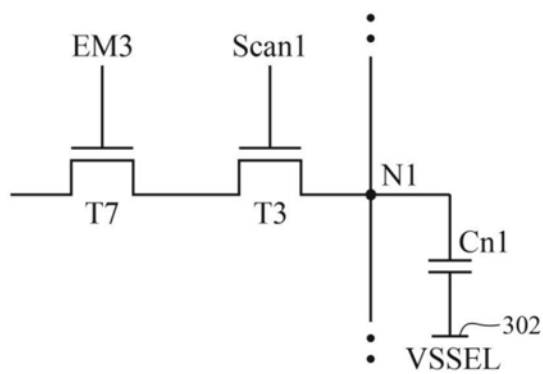


图6G

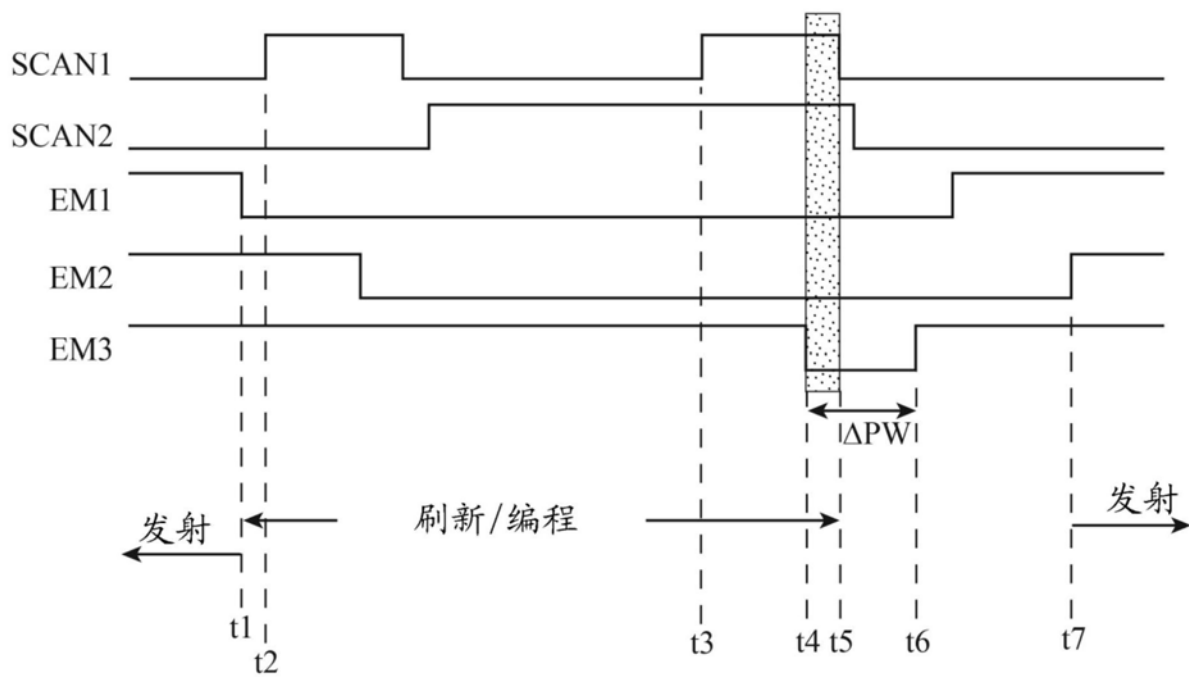


图7

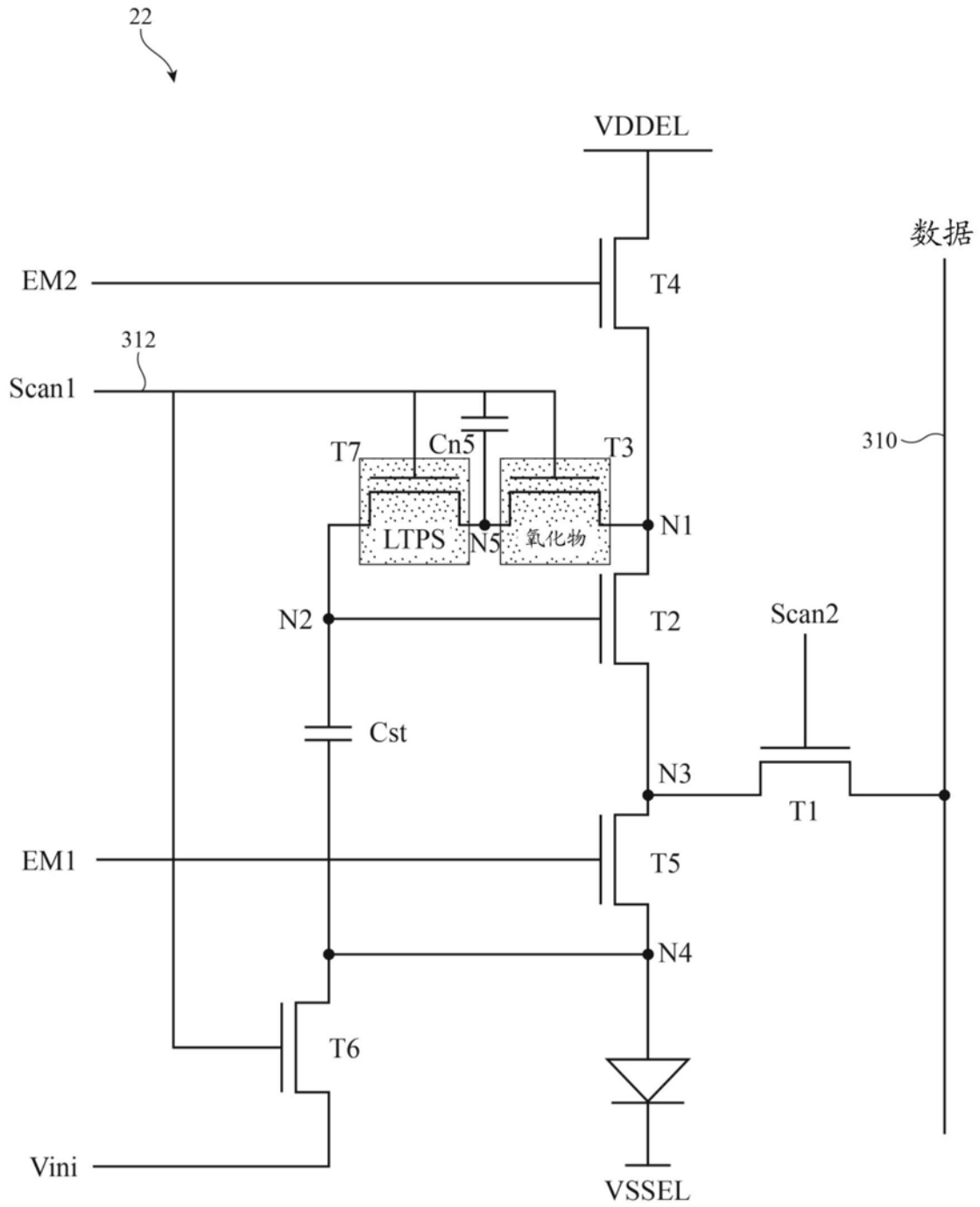


图8

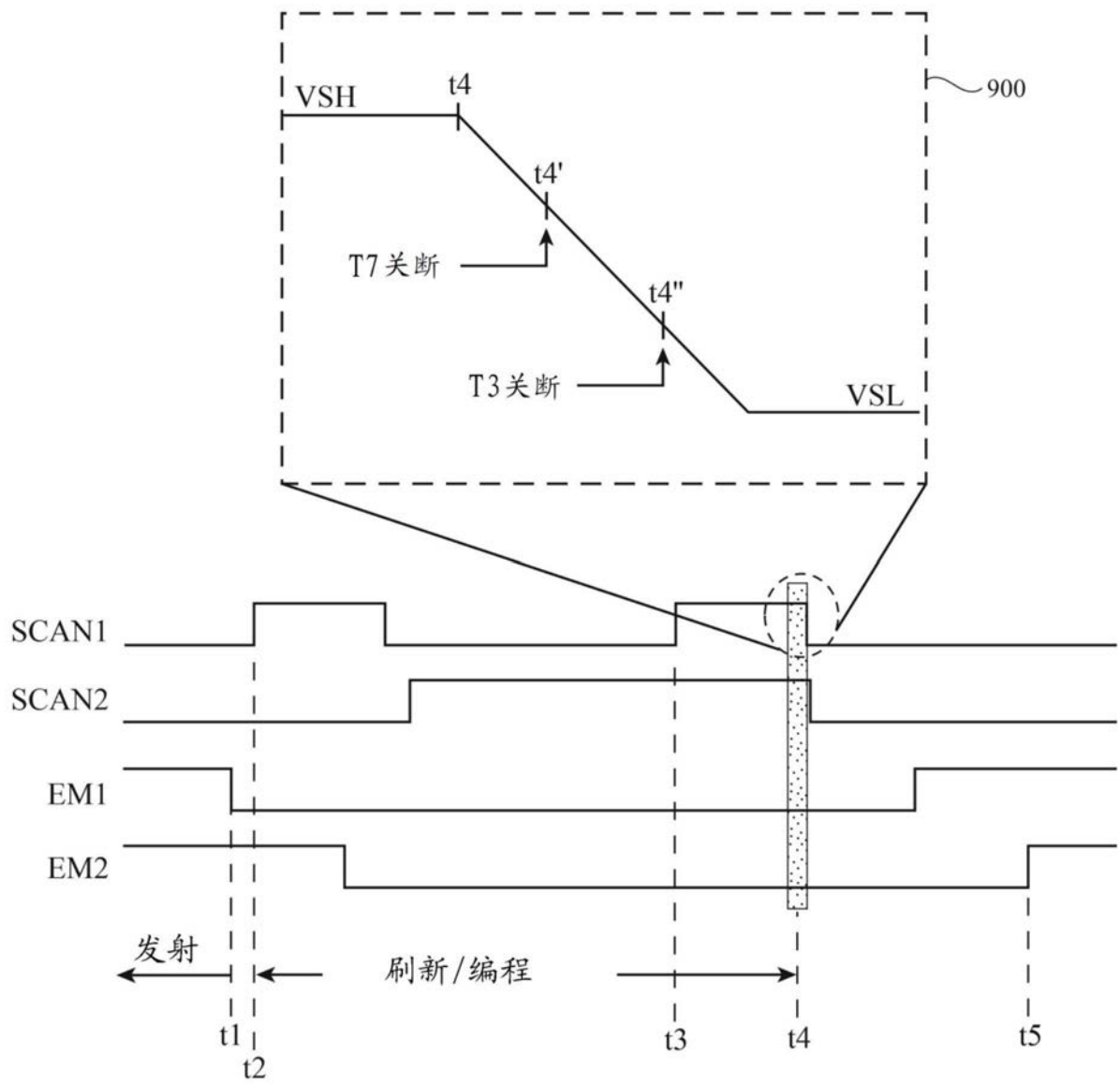


图9

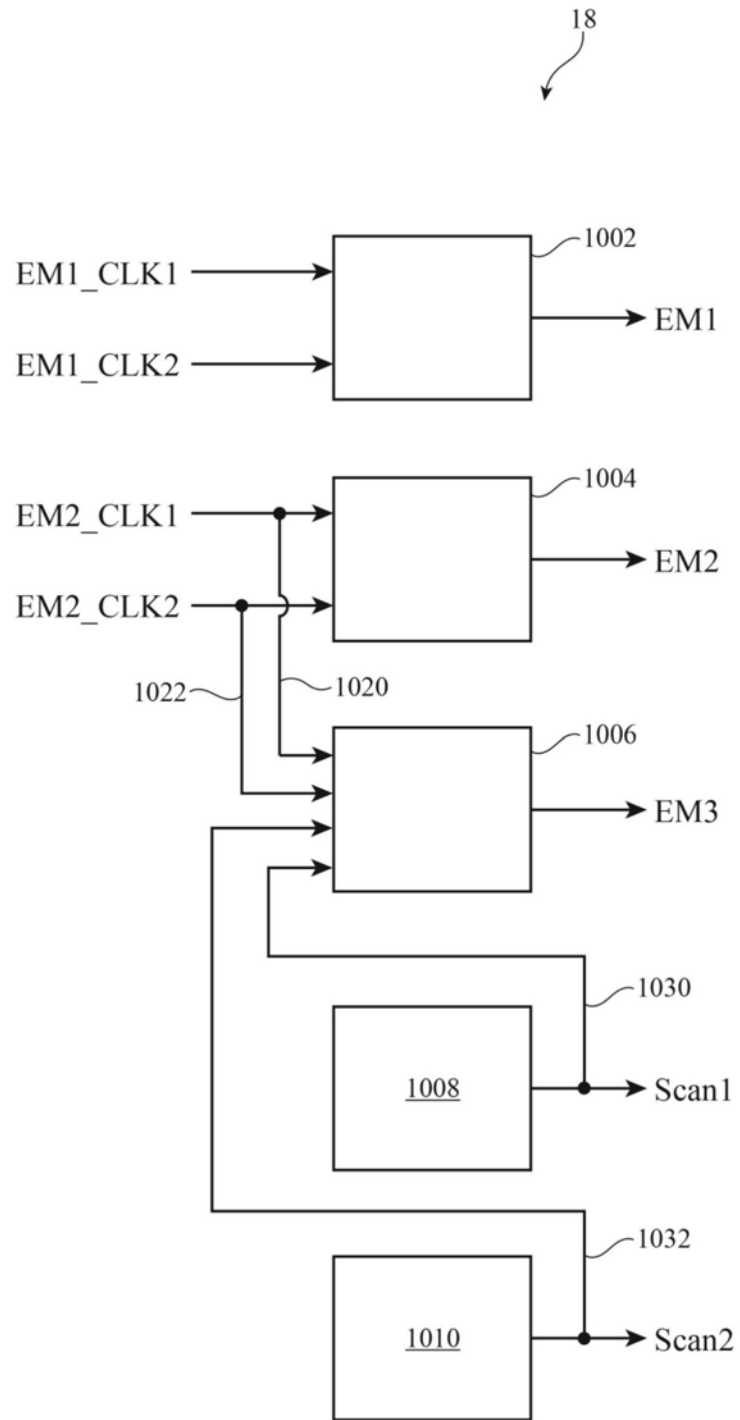


图10

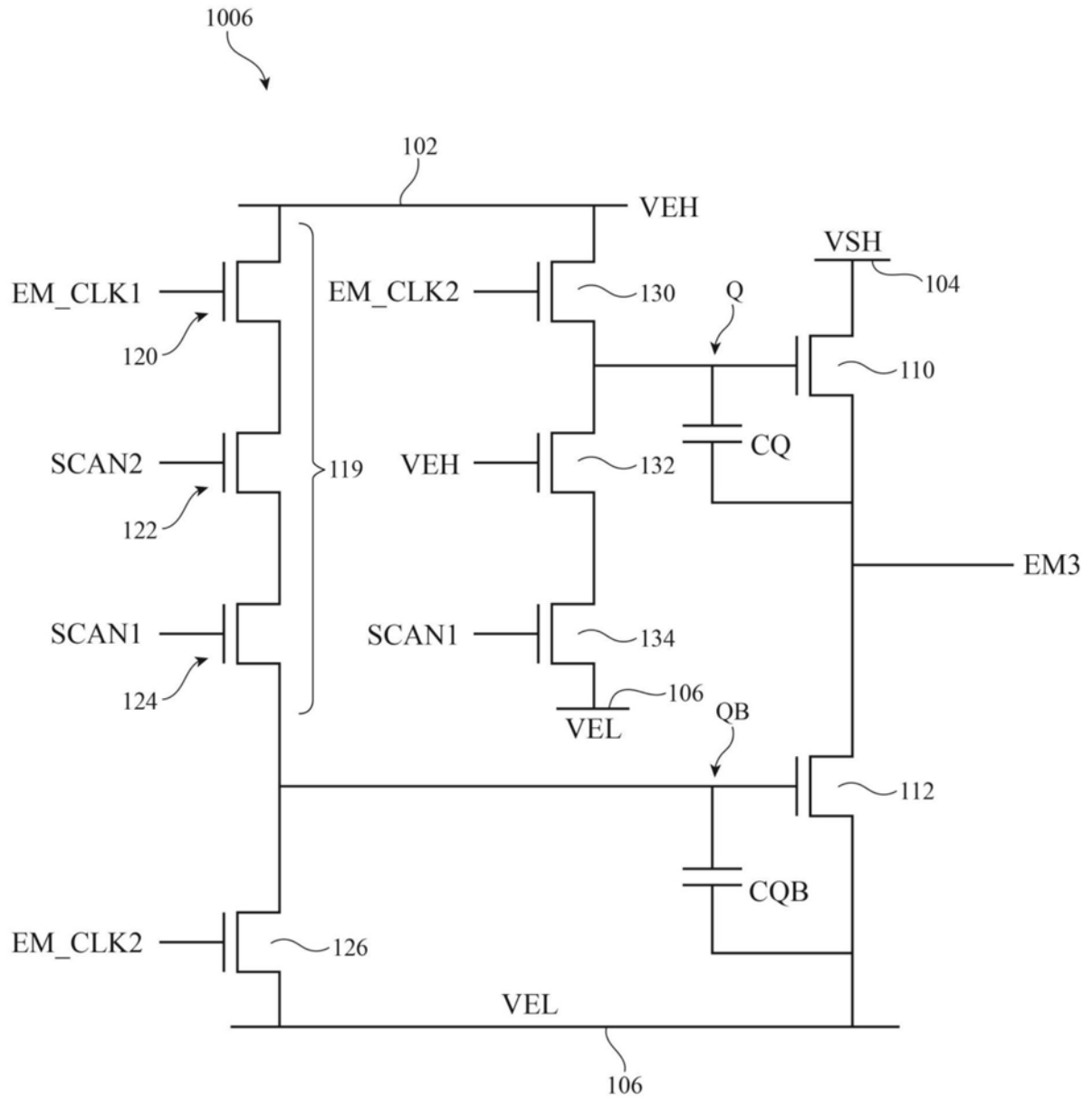


图11A

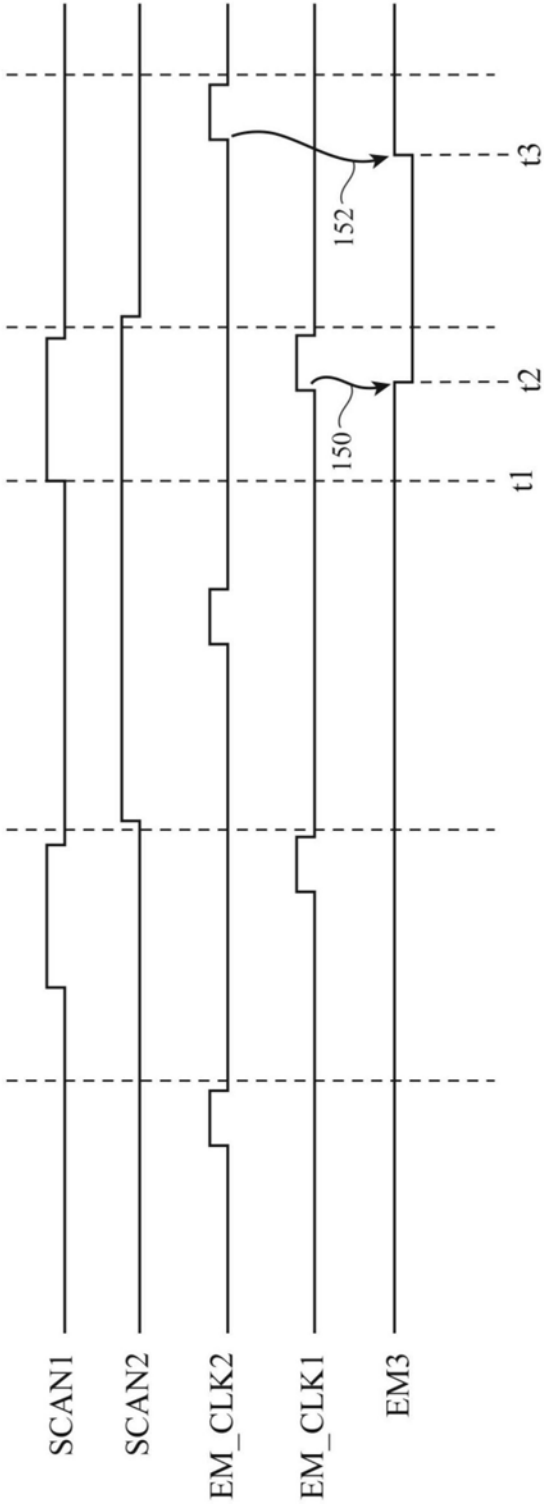


图11B

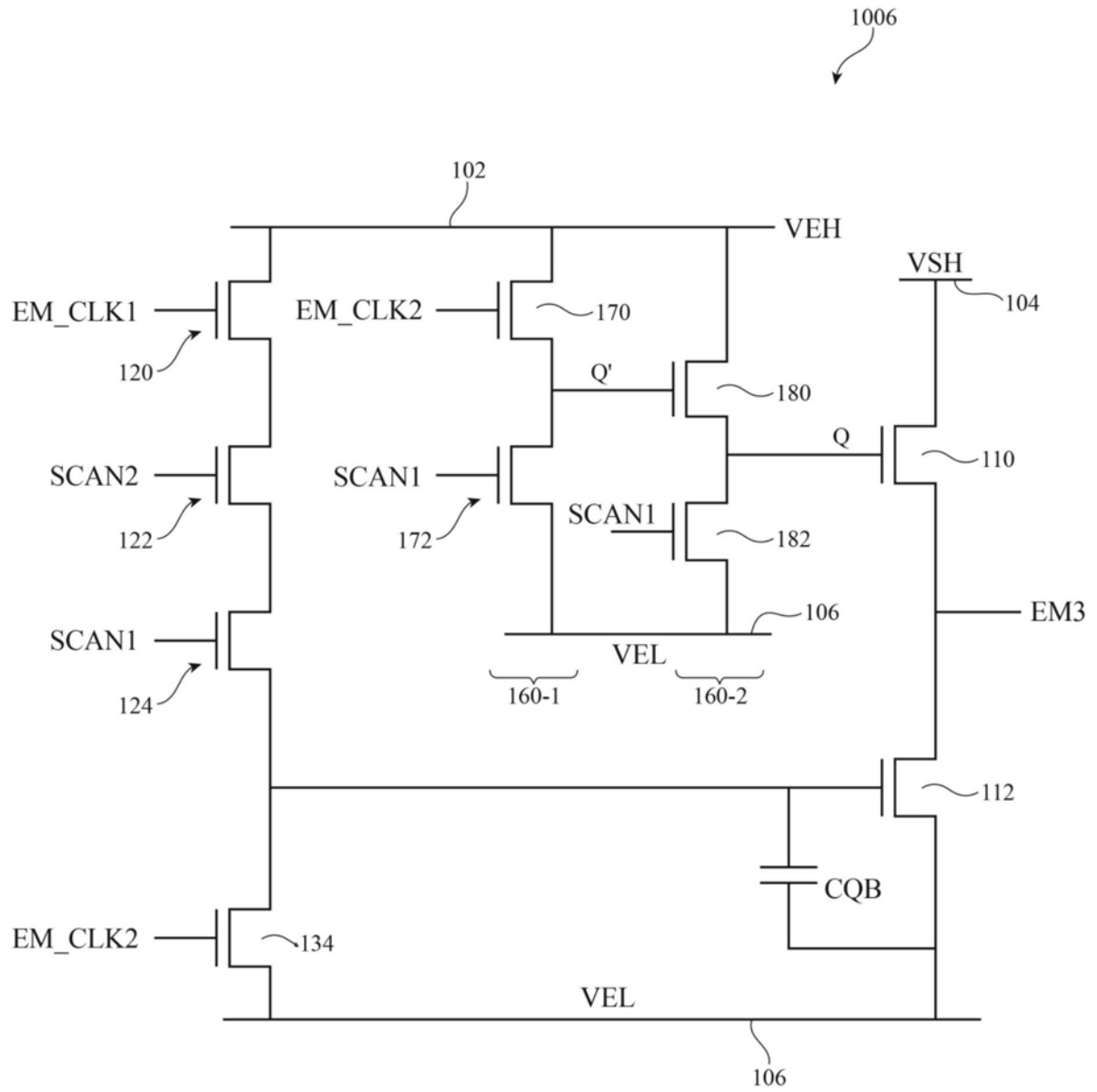


图12

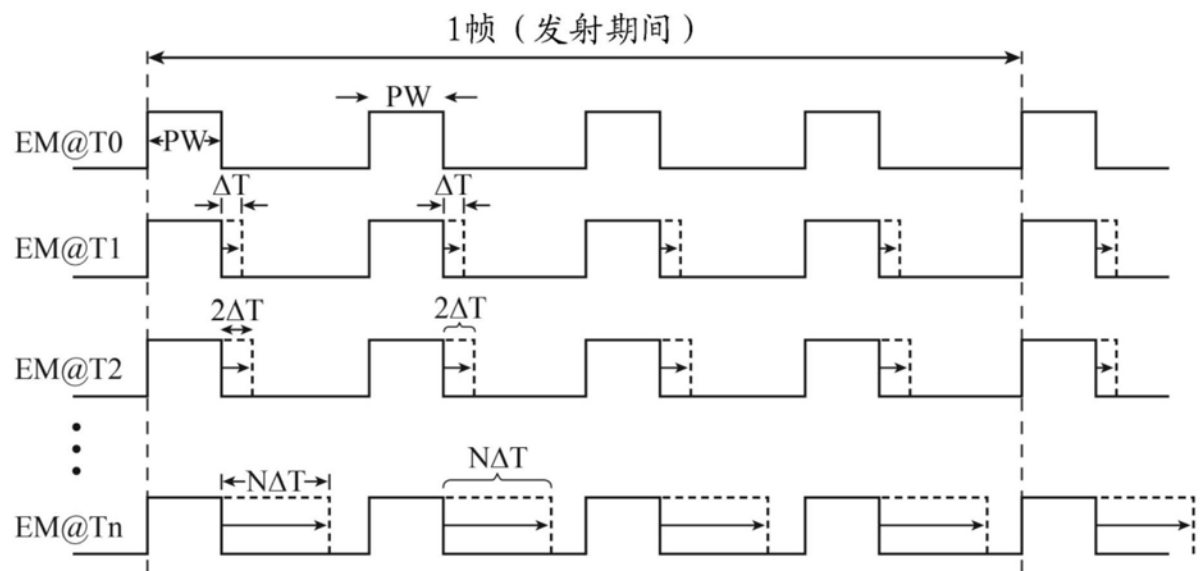


图13A

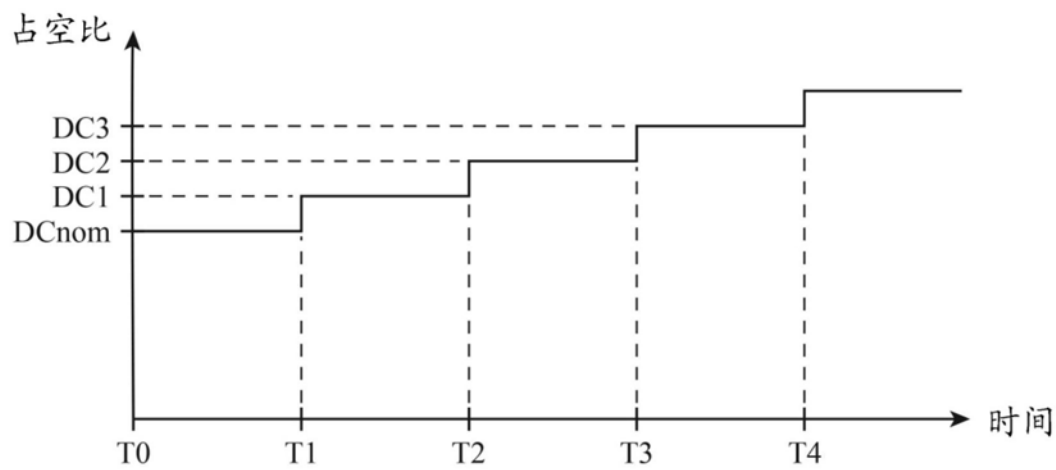


图13B

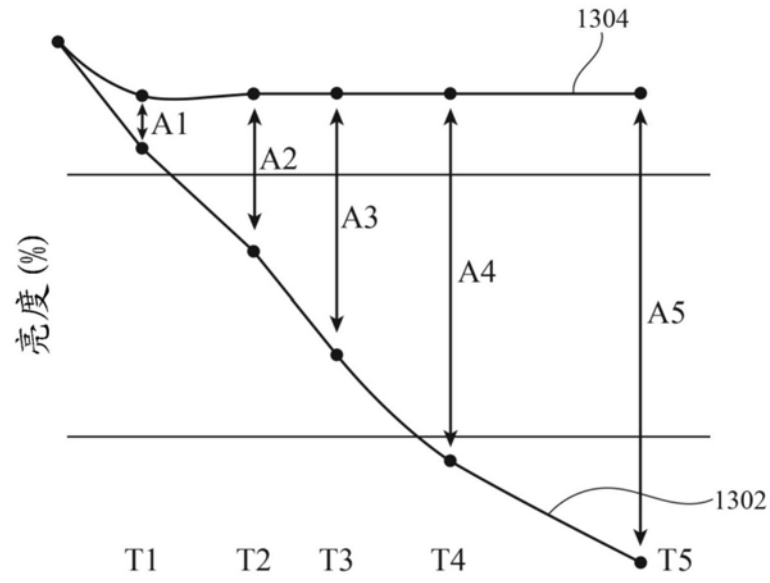


图13C

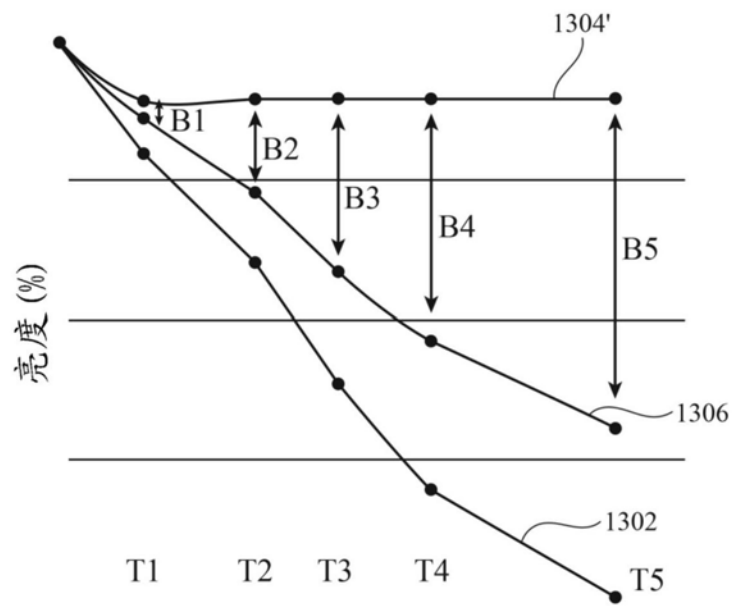


图13D

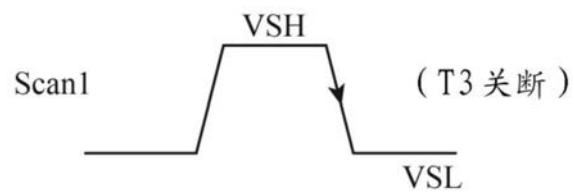


图14A

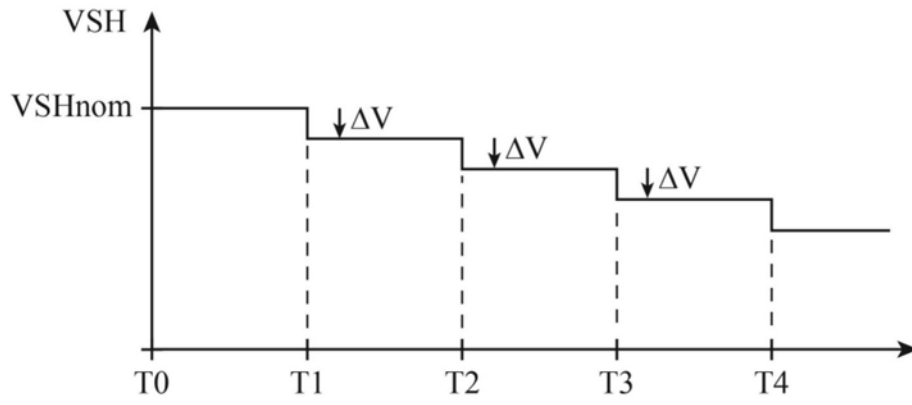


图14B

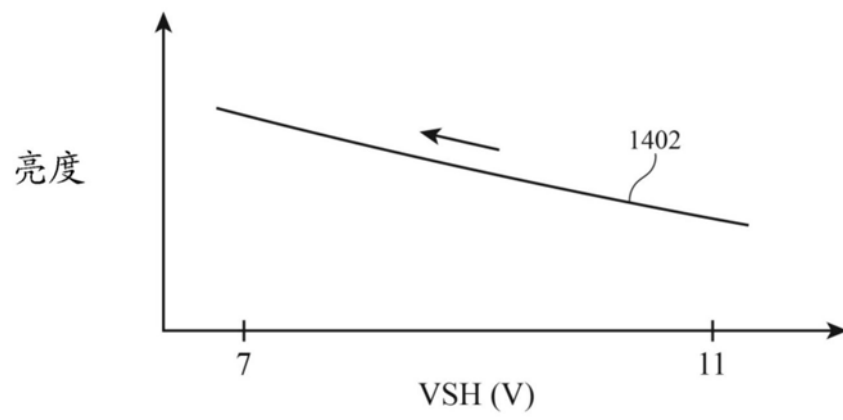


图14C

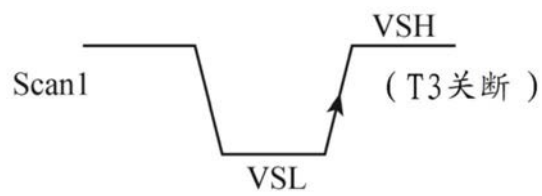


图15A

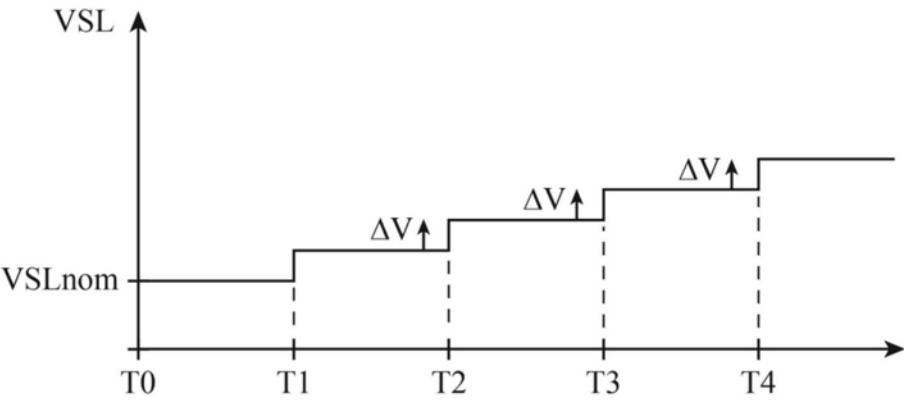


图15B

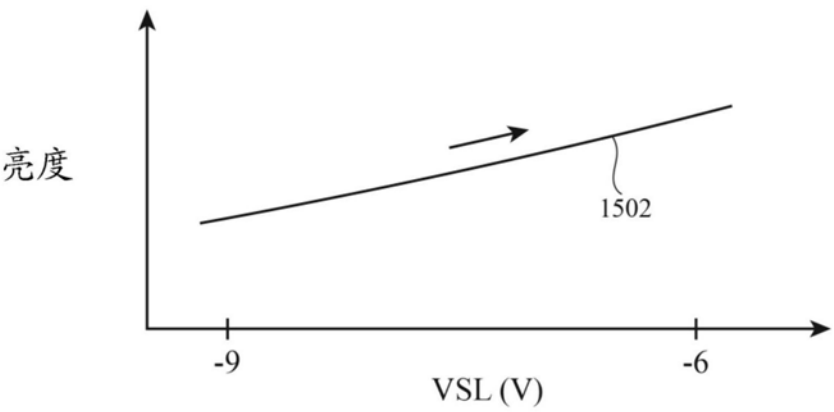


图15C

