



(12)发明专利申请

(10)申请公布号 CN 110914894 A

(43)申请公布日 2020.03.24

(21)申请号 201780093097.7

G09G 3/30(2006.01)

(22)申请日 2017.07.21

G09G 3/20(2006.01)

(85)PCT国际申请进入国家阶段日
2020.01.13

(86)PCT国际申请的申请数据
PCT/CN2017/093922 2017.07.21

(87)PCT国际申请的公布数据
W02019/014939 EN 2019.01.24

(71)申请人 华为技术有限公司
地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

(72)发明人 奥野武

(51)Int.Cl.
G09G 3/3208(2016.01)

权利要求书1页 说明书6页 附图21页

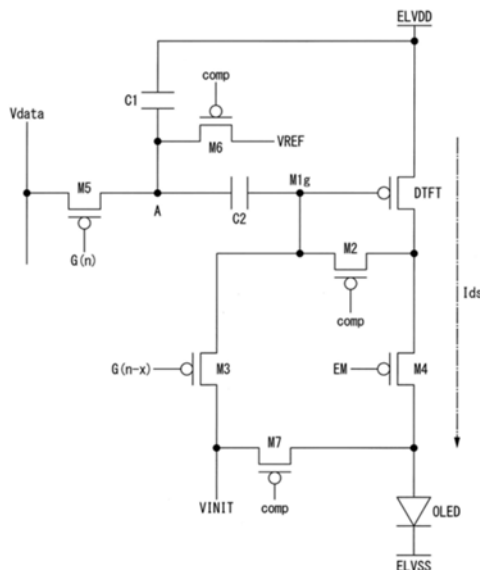
(54)发明名称

一种用于显示设备的像素电路

(57)摘要

一种像素电路,包括:驱动晶体管(DTFT),其中所述驱动晶体管(DTFT)的栅极连接到第二电容(C2)的第二端、第二晶体管(M2)的第二端和第三晶体管(M3)的第二端,所述驱动晶体管(DTFT)的第一端连接到第一电压,所述驱动晶体管(DTFT)的第二端连接到所述第二晶体管(M2)的第一端和第四晶体管(M4)的第一端;所述第二晶体管(M2),其栅极连接到补偿线(comp);所述第三晶体管(M3),其中所述第三晶体管(M3)的栅极连接到第(n-x)条扫描线,x为大于1的整数,且所述第三晶体管(M3)的第一端连接到初始化信号线(VINIT)和第七晶体管(M7)的第二端;所述第四晶体管(M4),其中所述第四晶体管(M4)的栅极连接到发射控制线(EM),且所述第四晶体管(M4)的第二端连接到所述第七晶体管(M7)的第一端和发光二极管(OLED)的阳极;第五晶体管(M5),其中所述第五晶体管(M5)的栅极连接到第n条扫描线,所述第五晶体管(M5)的第一端连接到数据线,所述第五晶体管(M5)的第二端连接到第一电

容(C1)的第一端、所述第二电容(C2)的第一端和第六晶体管(M6)的第二端;所述第六晶体管(M6),其栅极连接到所述补偿线(comp);所述第七晶体管(M7),其栅极连接到所述补偿线(comp);所述第一电容(C1);及所述第二电容(C2)。



1. 一种像素电路,其特征在于,包括:

驱动晶体管,其中所述驱动晶体管的栅极连接到第二电容的第二端、第二晶体管的第二端和第三晶体管的第二端;所述驱动晶体管的第一端连接到第一电压;所述驱动晶体管的第二端连接到所述第二晶体管的第一端和第四晶体管的第一端;

所述第二晶体管,其栅极连接到补偿线;

所述第三晶体管,其中所述第三晶体管的栅极连接到第 $(n-x)$ 条扫描线, x 为大于1的整数,且所述第三晶体管的第一端连接到初始化信号线和第七晶体管的第二端;

所述第四晶体管,其中所述第四晶体管的栅极连接到发射控制线,所述第四晶体管的第二端连接到所述第七晶体管的第一端和发光二极管的阳极;

第五晶体管,其中所述第五晶体管的栅极连接到第 n 条扫描线,所述第五晶体管的第一端连接到数据线,所述第五晶体管的第二端连接到第一电容的第一端、所述第二电容的第一端和第六晶体管的第二端;

所述第六晶体管,其栅极连接到所述补偿线;

所述第七晶体管,其栅极连接到所述补偿线;

所述第一电容;及

所述第二电容。

2. 根据权利要求1所述的像素电路,其特征在于,所述第六晶体管的第一端连接到参考电压。

3. 根据权利要求1所述的像素电路,其特征在于,所述第六晶体管的第一端连接到所述第一电压。

4. 根据权利要求1或2所述的像素电路,其特征在于,所述第一电容的第二端连接到所述第一电压。

5. 根据权利要求1或2所述的像素电路,其特征在于,所述第一电容的第二端连接到所述初始化电压。

6. 根据权利要求1至5任意一项所述的像素电路,其特征在于,在对应于 $G(n-x+1)$ 至 $G(n-1)$ 的水平同步周期内,所述补偿线为低电平。

7. 根据权利要求6所述的像素电路,其特征在于, x 大于2。

8. 一种电子设备,其特征在于,包括根据权利要求1至7中任意一项所述的像素电路。

9. 一种系统,其特征在于,包括根据权利要求8所述的电子设备中的至少一个。

10. 根据权利要求1至7中任意一项所述的像素电路的操作方法,其特征在于,包括:

在第一周期内,将所述第 $(n-x)$ 条扫描线控制在低电平,将所述补偿线、所述第 n 条扫描线、所述发射控制线控制在高电平;

在第二周期内,将所述第 $(n-x)$ 条扫描线控制在高电平,将所述补偿线控制在低电平,将所述第 n 条扫描线和所述发射控制线控制在高电平;

在第三周期内,将所述第 $(n-x)$ 条扫描线和所述补偿线控制在高电平,将所述第 n 条扫描线控制在低电平,将所述发射控制线控制在高电平;及

在第四周期内,将所述第 $(n-x)$ 条扫描线、所述补偿线、所述第 n 条扫描线控制在高电平,将所述发射控制线控制在低电平。

一种用于显示设备的像素电路

技术领域

[0001] 本发明涉及一种显示设备,尤其涉及一种用于显示设备的像素电路。

背景技术

[0002] 近年来,有机发光二极管(Organic Light Emitting Diode,OLED)显示屏因其对比度高、反应灵敏、色彩逼真而变得非常具有吸引力,同时也非常适应柔性显示设备的需求。图1为一种OLED显示面板的示意图。OLED显示面板的驱动电路为一块放置在玻璃或聚酰亚胺(polyimide,PI)基板上的低温多晶硅-薄膜晶体管(Low Temperature Poly Silicon-Thin Film Transistor,LTPS-TFT)背板,其上覆有发光材料。所述LTPS-TFT背板包括扫描驱动、发射驱动、De-MUX电路和像素电路阵列。显示驱动集成电路(display driver integrated circuit,DDIC)位于柔性电路板(flexible printed circuit,FPC)上,控制所述扫描驱动、所述发射驱动和所述De-MUX电路按定时顺序输出信号。尽管图1只显示了一个RGB像素,但是可以用RGB像素电路阵列来驱动OLED阵列。

[0003] 图2为一种LTPS-TFT背板的电路图。所述扫描驱动和所述发射驱动通常包括用于控制每个像素的扫描和发射的移位寄存器电路。该电路图上,像素(n,m)连接到信号线G(n-1)、G(n)、VINIT、ELVDD、EM(n)和data(m)。所述VINIT提供用于初始化的DC电压。

[0004] 图3为所述De-MUX电路的示例,其包括LTPS-TFT开关,用于将所述DDIC中的数据信号按时分顺序发送到每条数据线。即信号d1、d2、d3按定时顺序依次转为低电平。是否发射所述OLED像素由上述电路控制。

[0005] OLED的亮度由LTPS-TFT控制。所述LTPS-TFT具有某些特点,其中比较显著的特点就是TFT的阈值电压(threshold voltage, V_{th})变化。如果每个像素的 V_{th} 都在变化,那么即使指示同一灰度的数据输入到所述像素电路,到达所述OLED的电流也会变得不均匀,而结果就是OLED亮度发生变化。亮度变化会导致图像质量下降。因此,所述OLED像素需要通过像素补偿电路来准确地控制所述OLED驱动电流。

[0006] 下文描述了一种用于解决现有技术中的上述问题的方案。图4为现有技术中的像素电路的电路图。图4所示的所述像素电路以图2所示的所述像素(n,m)为例,且图2所示的信号EM(n)和data(m)在图4中分别表示为EM和data。该像素电路包括7个TFT和1个电容(7T1C)。OLED亮度由驱动TFT(driving TFT,DTFT)模拟电流(见图4虚线)依照数据电压进行控制。其他TFT M2至M7作为开关使用。发送到所述DTFT的指示数据为数据线上的电压产生的 V_{gs} (TFT栅源电压)。每个像素上的跨电容 C_{st} (DTFT栅源之间的电容)数据电压针对每个图像帧进行更新。

[0007] 图5示出了一种驱动所述像素电路的定时顺序。图2中,信号线G(n-2)、G(n-1)、G(n)等均连接到所述扫描驱动,且G(n-2)、G(n-1)、G(n)等在每1HS(一个水平同步周期(例如,对于刷新频率为60赫兹的FHD(分辨率1920x1080)来说,1HS为 $1/60/1920=8.6\mu s$))内依次转为低电平。图5中,G(n-1)在第一个1HS内转为低电平,接着G(n)在下一个1HS内转为低电平。1HS中的后半段时间用于给所述数据线上的数据信号进行充电。

[0008] 现结合图6a至图6c对所述像素电路的操作进行说明。图6a示出了与图5中的周期(a)对应的DTFT初始周期中的电流流向。如图5所示,在周期(a)内,G(n-1)为低电平,G(n)和EM为高电平。因此,图6a中TFT M3为“开”,TFT M2和TFT M4到M7为“关”。所以,所述DTFT的栅电压初始化为所述VINIT电压,也就是说,之前的数据被清零。

[0009] 图6b示出了与图5中的周期(b)对应的数据写入及V_{th}补偿周期内的电流流向。如图5所示,在周期(b)内,G(n-1)为高电平,G(n)为低电平,EM为高电平。因此,TFT M2、M5、M7为“开”,TFT M3、M4、M6为“关”。由于M2为“开”,所以所述DTFT的栅极和漏极相连。最终,所述DTFT的栅极电压如等式(1)所示:

$$[0010] \quad M1_{gate} = V_{data} - V_{th}(DTFT) \quad (1)$$

[0011] 其中,V_{data}为所述数据线上的数据信号的电压,V_{th}(DTFT)为所述DTFT的阈值电压。

[0012] 这意味着如果所述DTFT之间的V_{th}不同,则对于同一V_{data},M1_{gate}不同,因此所述DTFT的V_{th}变化应当通过所述像素电路进行补偿。同时,根据图6b,由于M7为“开”,导致所述OLED电容的电荷放电,从而使得所述OLED阳极电压也初始化为所述VINIT电压。

[0013] 图6c示出了与图5中的周期(c)对应的发射周期内的电流流向。如图5所示,在周期(c)内,G(n-1)和G(n)为高电平,EM为低电平。因此,TFT M4和M6为“开”,TFT M2、M3、M5、M7为“关”。通常,当晶体管工作在饱和区时,漏极和源极之间的电流(I_{ds})可表示为 $I_{ds} = (1/2)(W/L)M(V_{gs} - V_{th})^2$,其中W、L、M分别表示晶体管的宽度、长度和迁移率。下文用β/2表示(1/2)(W/L)M。即,β是与所述LTPS-TFT的设计和特性有关的参数。因此,当所述DTFT工作在所述饱和区时,DTFT电流如等式(2)所示:

$$[0014] \quad I_{ds} = (\beta/2)(V_{gs} - V_{th})^2 \quad (2)$$

[0015] 其中,V_{gs}是DTFT的所述源电压和所述栅极电压之间的差值。DTFT的所述源电压为ELVDD,DTFT的所述栅极电压如等式(1)所示。因此,V_{gs}如等式(3)所示:

$$[0016] \quad V_{gs} = ELVDD - (V_{data} - V_{th}) \quad (3)$$

[0017] 将等式(3)代入等式(2),得出如下等式(4):

$$[0018] \quad I_{ds} = (\beta/2)(ELVDD - V_{data} + V_{th} - V_{th})^2 \quad (4)$$

[0019] 最终,OLED电流如等式(5)所示:

$$[0020] \quad I_{ds} = (\beta/2)(ELVDD - V_{data})^2 \quad (5)$$

[0021] 从等式(5)可知,V_{th}项可以抵消,说明DTFT V_{th}可以得到补偿。

[0022] 已有部分专利,如日本专利申请No.2006-039544和日本专利申请No.2008-158477等,公开了几种用于补偿LTPS-TFT变化的像素电路。

发明内容

[0023] 本发明提供的所述像素电路的目的在于解决现有像素电路的补偿时间不能延长(超过1HS)的问题。为了实现该目的,本发明提供的所述像素电路可以将V_{th}补偿周期和数据写入周期进行分离。解决了这个问题,显示屏就有望获得更好的图像质量。

[0024] 第一方面,提供了一种像素电路,其中所述像素电路包括:

[0025] 驱动晶体管,其中所述驱动晶体管的栅极连接到第二电容的第二端、第二晶体管的第二端和第三晶体管的第二端,所述驱动晶体管的第一端连接到第一电压,所述驱动晶

体管的第二端连接到所述第二晶体管的第一端和第四晶体管的第一端；

[0026] 所述第二晶体管，其栅极连接到补偿线；

[0027] 所述第三晶体管，其中所述第三晶体管的栅极连接到第 $(n-x)$ 条扫描线， x 为大于1的整数，且所述第三晶体管的第一端连接到初始化信号线和第七晶体管的第二端；

[0028] 所述第四晶体管，其中所述第四晶体管的栅极连接到发射控制线，所述第四晶体管的第二端连接到所述第七晶体管的第一端和发光二极管的阳极；

[0029] 第五晶体管，其中所述第五晶体管的栅极连接到第 n 条扫描线，所述第五晶体管的第一端连接到数据线，所述第五晶体管的第二端连接到第一电容的第一端、所述第二电容的第一端和第六晶体管的第二端；

[0030] 所述第六晶体管，其栅极连接到所述补偿线；

[0031] 所述第七晶体管，其栅极连接到所述补偿线；

[0032] 所述第一电容；及

[0033] 所述第二电容。

[0034] 在所述第一方面的第一种可能的实施方式中，所述第六晶体管的第一端连接到参考电压。

[0035] 在所述第一方面的第二种可能的实施方式中，所述第六晶体管的第一端连接到所述第一电压。在这种结构中，IR压降可以得到补偿，因为ELVDD项可以从计算电流 I_{ds} 的等式中去掉。

[0036] 结合所述第一方面或所述第一方面的所述第一种可能的实施方式，在所述第一方面的第三种可能的实施方式中，所述第一电容的第二端连接到所述第一电压。在这种结构中，可以去除参考电压。

[0037] 结合所述第一方面或所述第一方面的所述第一种可能的实施方式，在所述第一方面的第四种可能的实施方式中，所述第一电容的第二端连接到所述初始化电压。

[0038] 结合所述第一方面或所述第一方面的所述第一至第四种可能的实施方式，在所述第一方面的第五种可能的实施方式中，所述补偿线在与 $G(n-x+1)$ 到 $G(n-1)$ 对应的水平同步周期内为低电平。

[0039] 结合所述第一方面的第六种可能的实施方式， x 大于2。在这种结构中，补偿时间可以超过 $1HS$ 。

[0040] 结合所述第一方面或所述第一方面的所述第一至第六种可能的实施方式，在所述第一方面的第七种可能的实施方式中，所述电子设备的操作方式包括：

[0041] 在第一周期内，将所述第 $(n-x)$ 条扫描线控制在低电平，将所述补偿线、所述第 n 条扫描线、所述发射控制线控制在高电平；

[0042] 在第二周期内，将所述第 $(n-x)$ 条扫描线控制在高电平，将所述补偿线控制在低电平，将所述第 n 条扫描线和所述发射控制线控制在高电平；

[0043] 在第三周期内，将所述第 $(n-x)$ 条扫描线和所述补偿线控制在高电平，将所述第 n 条扫描线控制在低电平，将所述发射控制线控制在高电平；及

[0044] 在第四周期内，将所述第 $(n-x)$ 条扫描线、所述补偿线、所述第 n 条扫描线控制在高电平，将所述发射控制线控制在低电平。

[0045] 本发明提供的所述像素电路可以将所述 V_{th} 补偿和数据写入时间分离，使得补偿

时间可以延长(超过1HS)。

附图说明

[0046] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

- [0047] 图1为一种OLED显示面板的示意图;
- [0048] 图2为一种LTPS-TFT背板的电路图;
- [0049] 图3为一种De-MUX电路的示例;
- [0050] 图4为一种现有技术中的像素电路的电路图;
- [0051] 图5示出了一种驱动所述像素电路的定时顺序;
- [0052] 图6a示出了DTFT初始周期内的电流流向;
- [0053] 图6b示出了数据写入和 V_{th} 补偿周期内的电流流向;
- [0054] 图6c示出了发射周期内的电流流向;
- [0055] 图7为本发明实施例提供的一种像素电路的电路图;
- [0056] 图8为驱动所述像素电路的时序图;
- [0057] 图9为一种面板电路的电路图;
- [0058] 图10a示出了DTFT初始周期内的电流流向;
- [0059] 图10b示出了 V_{th} 补偿周期内的电流流向;
- [0060] 图10c示出了数据写入周期内的电流流向;
- [0061] 图10d示出了发射周期内的电流流向;
- [0062] 图11示出了补偿时间与OLED驱动电流误差率之间的关系;
- [0063] 图12示出了一种用于解释IR压降的电路模型;
- [0064] 图13示出了本发明实施例提供的另一种面板电路;
- [0065] 图14示出了本发明实施例提供的另一种像素电路;
- [0066] 图15示出了本发明实施例提供的又一种像素电路;
- [0067] 图16示出了本发明实施例提供的又一种驱动序列;
- [0068] 图17示出了本发明实施例提供的又一种面板电路。

具体实施方式

[0069] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚地描述。所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0070] 图7为本发明实施例提供的一种像素电路的电路图。该像素电路包括7个TFT(M1到M7)和2个电容(C1和C2)。DTFT的栅极连接到C2的第二端、M2的漏极和M3的漏极;DTFT的源极连接到ELVDD;DTFT的漏极连接到M2的源极和M4的源极,M2的栅极连接到补偿线(comp),M3的栅极连接到G(n-x),M3的源极连接到初始化信号线(VINIT)和M7的漏极,M4的栅极连接到

发射控制线 (EM), M4的漏极连接到M7的源极和诸如OLED等发光二极管的阳极, M5的栅极连接到G (n), M5的源极连接到数据线, 其电压为Vdata, M5的漏极连接到C1的第一端、C2的第一端和M6的漏极, M6的栅极连接到comp, M6的源极连接到参考电压 (VREF), M7的栅极连接到comp, C1的第二端连接到ELVDD。该像素电路可用于各种电子设备, 并不限于智能电话、移动设备、计算机、电视等。

[0071] 图8为驱动所述像素电路的时序图, 图9为一种面板电路的电路图。图9中的信号comp (n)、EM (n)、data (m) 在图7中分别表示为comp、EM、Vdata, 在图8中分别表示为comp、EM、Data。comp信号由图9中的Comp驱动根据图8的时序图生成。图9中, G (n-1-x)、G (n-x)、……、G (n-1)、G (n) ……信号线连接到扫描驱动, G (n-1-x)、G (n-x)、……、G (n-1)、G (n) ……在每个1HS内依次转为低电平。如图8所示, x=3, 即周期 (b) 为2HS, 且G (n-x) (=G (n-3)) 在第一个1HS内转为低电平, 且G (n) 在3HS之后的周期内转为低电平。如果x=4, 则周期 (b) 为3HS, 且G (n) 在从G (n-x) 开始的4HS之后的周期内转为低电平。换句话说, G (n-x) 是G (n) 之前的x个HS (x个水平同步周期) 内的信号, 其中“x”为大于1的整数, 所述补偿线在与G (n-x+1) 到G (n-1) 对应的HS内为低电平。

[0072] 现结合图10a至图10d对所述像素电路的操作进行说明。图10a示出了与图8中的周期 (a) 对应的DTFT初始周期中的电流流向。如图8所示, 在周期 (a) 内, G (n-x) 为低电平, comp、G (n)、EM为高电平。因此, 图10a中TFT M3为“开”, 其他TFT M2、M4到M7为“关”。所以, DTFT的栅电压初始化为VINIT电压。

[0073] 图10b示出了与图8中的周期 (b) 对应的Vth补偿周期内的电流流向。如图8所示, 在周期 (b) 内, G (n-x) 为高电平, comp为低电平, G (n) 和EM为高电平。M2、M6、M7为“开”, M3到M5为“关”。由于M2为“开”, 所以DTFT的栅极和漏极相连。最终, DTFT的栅极电压G如等式 (6) 所示:

$$G = ELVDD - V_{th} (DTFT) \quad (6)$$

[0075] 同时, 由于M6和M7为“开”, 所以点A的电位变为VREF电压, 而OLED阳极电压变为所述VINIT电压。

[0076] 图10c示出了与图8中的周期 (c) 对应的数据写入周期内的电流流向。如图8所示, 在周期 (c) 内, G (n-x) 和comp为高电平, G (n) 为低电平, EM为高电平。M5为“开”, 其他TFT M2至M4、M6和M7为“关”。所以所述点A的电位变为VREF-Vdata。由于电容C1和C2并联连接到点A, 导致电荷被分压, 且所述电位在C2的另一侧下降到 (C2/Ct) (VREF-Vdata), 其中Ct=C1+C2, 从而导致点G根据等式 (7) 而改变:

$$G = (ELVDD - V_{th}) - (C2/Ct) (VREF - Vdata) \quad (7)$$

[0078] 图10d示出了与图8中的周期 (d) 对应的发射周期内的电流流向。如图8所示, 在周期 (d) 内, G (n-x)、comp、G (n) 为高电平, EM为低电平。M4为“开”, 所述其他TFT M2、M3和M5到M7为“关”。因此, DTFT电流流入OLED。由上述等式 (2) 可知, 所述DTFT电流表示为 $I_{ds} = (\beta/2) (V_{gs} - V_{th})^2$ 。图10d中, 因为 $V_{gs} = ELVDD - G$, 所以 $V_{gs} - V_{th} = ELVDD - G - V_{th}$ 。由等式 (7) 可知, $ELVDD - V_{th} - G = (C2/Ct) (VREF - Vdata)$ 。最后, 用 (C2/Ct) (VREF-Vdata) 替换等式 (2) 中的 (Vgs-Vth) 可得到OLED电流Ids, 如等式 (8) 所示:

$$I_{ds} = (\beta/2) ((C2/Ct) (VREF - Vdata))^2 \quad (8)$$

[0080] 从等式 (8) 可知, ELVDD项和Vth项可以去除, 说明图7中的所述像素电路可以补偿

DTFT V_{th} 和IR压降。

[0081] 在现有技术中,由于数据写入和 V_{th} 补偿在同一周期内进行,所以补偿时间小于1HS。而且,当采用De-Mux驱动时,所述补偿时间将变为1HS的一半,如图5所示。现有像素电路的补偿方法用于数据电压。因此,必须在所述补偿操作开始之前将数据电压施加到数据线。图11示出了以微秒(us)为单位的补偿时间与OLED驱动电流误差率之间的关系。如果所述补偿时间缩短,补偿能力就会降低(电流误差率就会上升)。事实上,在应用到高分辨率面板上时,所述补偿能力会降低,这是因为所述补偿时间小于1HS。

[0082] 此外,图12示出了一种用于解释现有技术中的IR压降的电路模型。ELVDD(例如,5V)为所述OLED阳极电压,ELVSS(例如,-3V)为阴极电压。当OLED设备发光时,每个像素就是一个电流源。由于ELVDD线具有电阻,所述电阻随着线的长度增加而增大。因此,所述每个像素的ELVDD电压将根据每个像素电流发生变化。在现有的像素电路中,ELVDD项包括在OLED I_{ds} 电流中,如等式(5)所示,其结果就是IR压降导致图像质量下降。

[0083] 本发明实施例提供的所述像素电路能够分离所述 V_{th} 补偿周期和所述数据写入周期。并且, V_{th} 补偿时间可以大于1HS。此外,它可以补偿所述IR压降。通过本发明实施例提供的所述像素电路中的波形模拟,可以确定所述 V_{th} 补偿和所述IR压降补偿结果良好。因此,本发明实施例提供的所述像素电路可以解决现有技术中的像素电路问题。OLED显示屏的图像质量有望得到提升。

[0084] 下文描述了为实现本发明的上述目的而提供的替代解决方案。图13和图14分别为本发明实施例提供的另一种面板电路和另一种像素电路。与图7所示的像素电路不同,M6源极连接到所述ELVDD。这种情况下,可以去除VREF电压。驱动顺序和图8中所示一致。

[0085] 图15为本发明实施例提供的又一种像素电路。与图7所示的像素电路不同,所述电容C1连接到所述VINIT电压。驱动顺序和图8中所示一致。即使在这种像素电路下也可以补偿 V_{th} 和IR压降。

[0086] 图16和图17分别为本发明实施例提供的又一种驱动顺序和又一种面板电路。在这种情况下, V_{th} 补偿时间只能为1HS(对应图8中 $x=1$ 的情况),但是可以省去产生控制信号comp的comp驱动。所述comp信号由所述G(n-1)信号取而代之。此外,VREF电压可以连接到ELVDD或为独立电压。如果所述VREF电压为独立电压,则可以补偿IR压降。

[0087] 上述披露的仅是本发明的示例实施例,当然并非旨在限制本发明的保护范围。本领域普通技术人员可以理解的是,实施前述实施例的全部或部分流程以及根据本发明权利要求进行的等效修改都应属于本发明的范围内。

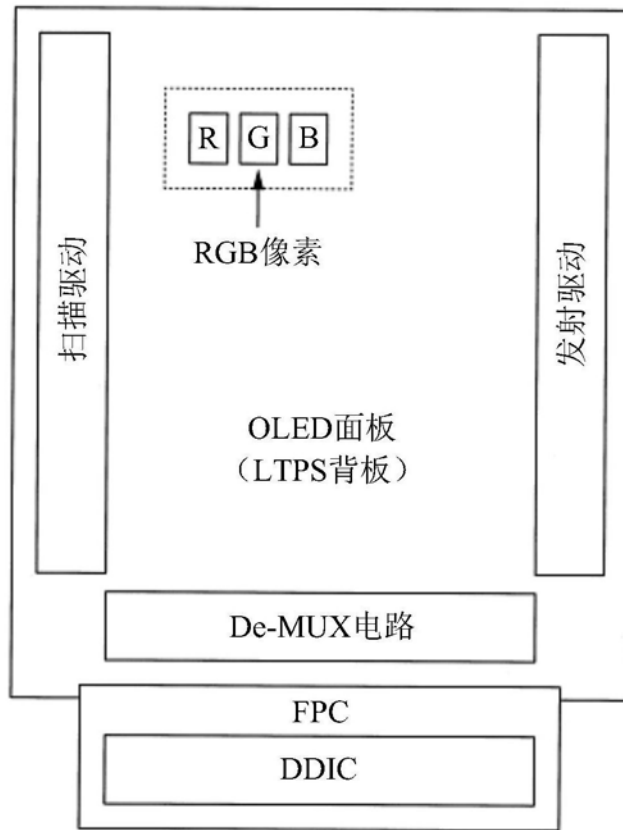


图1

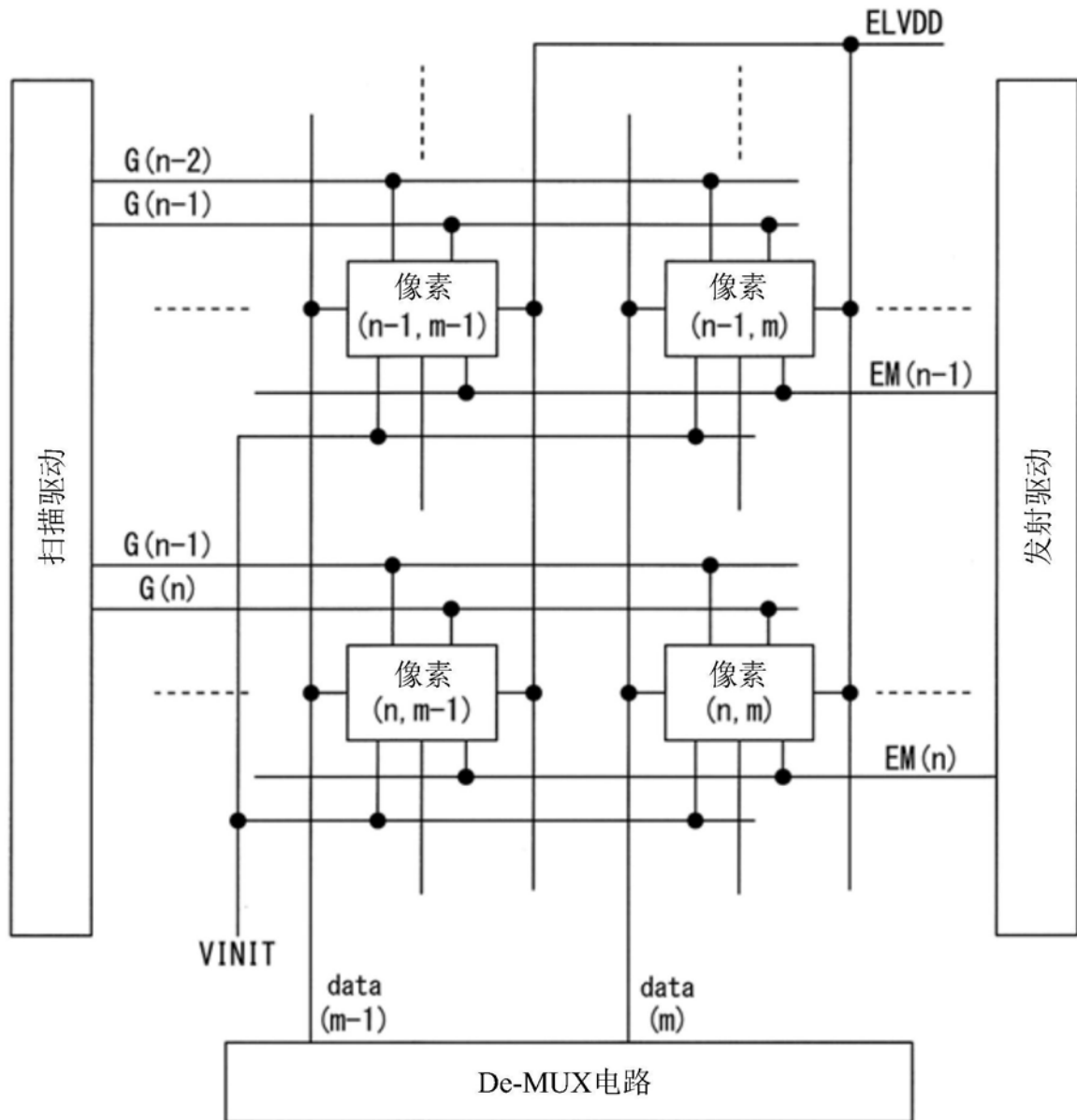


图2

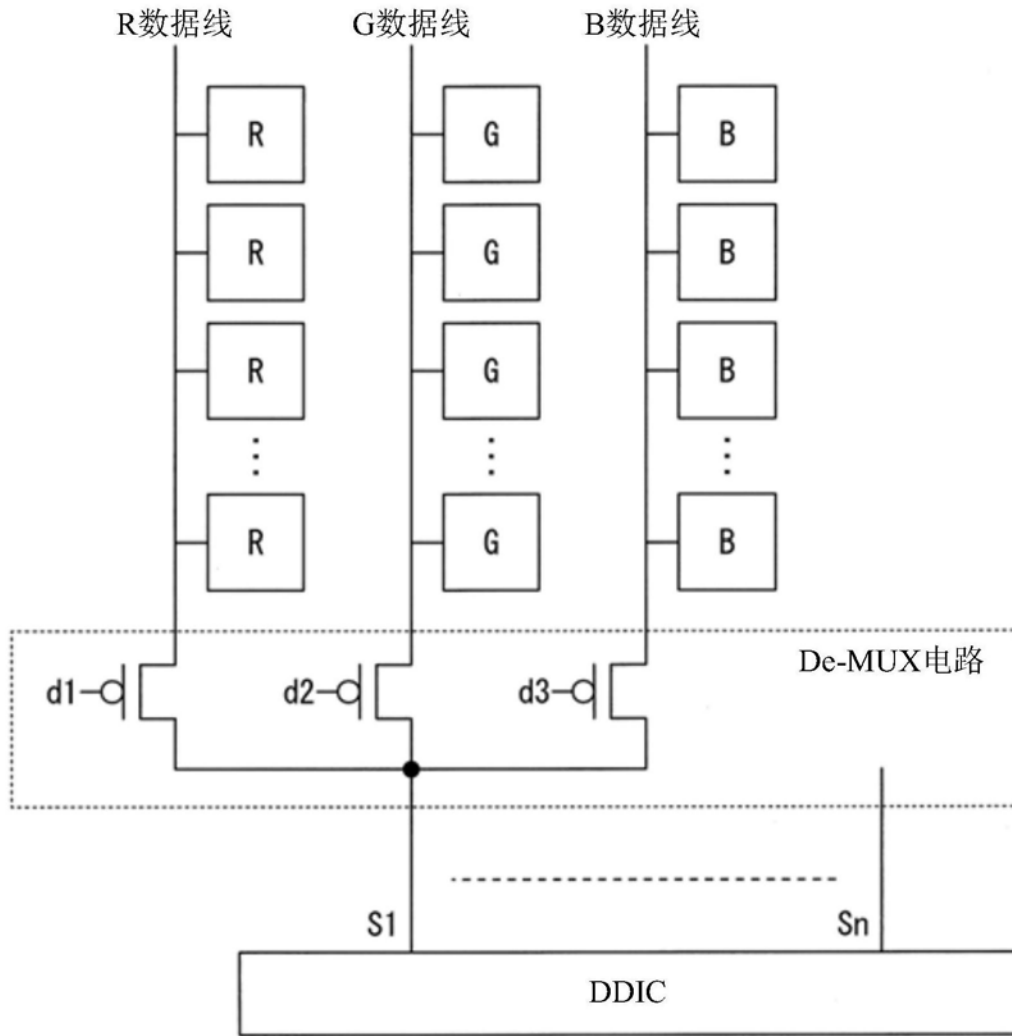


图3

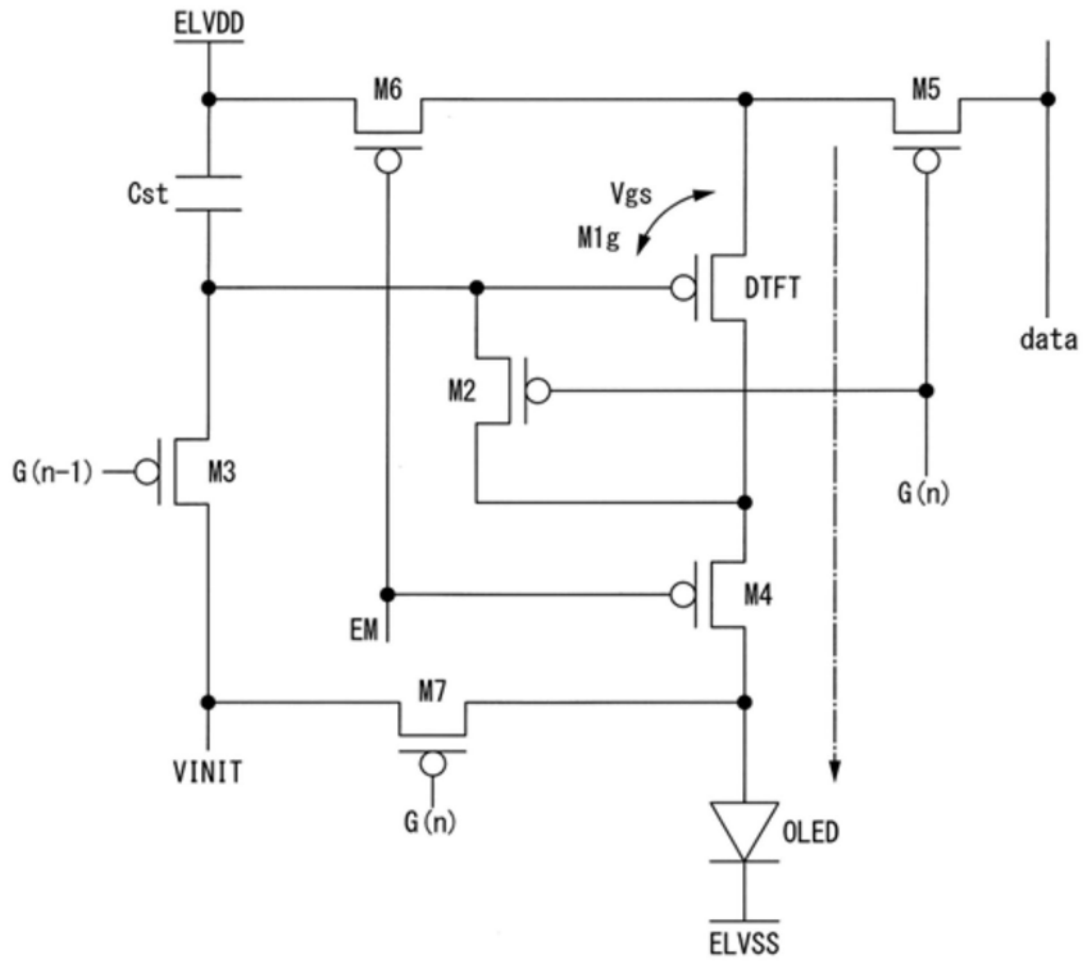
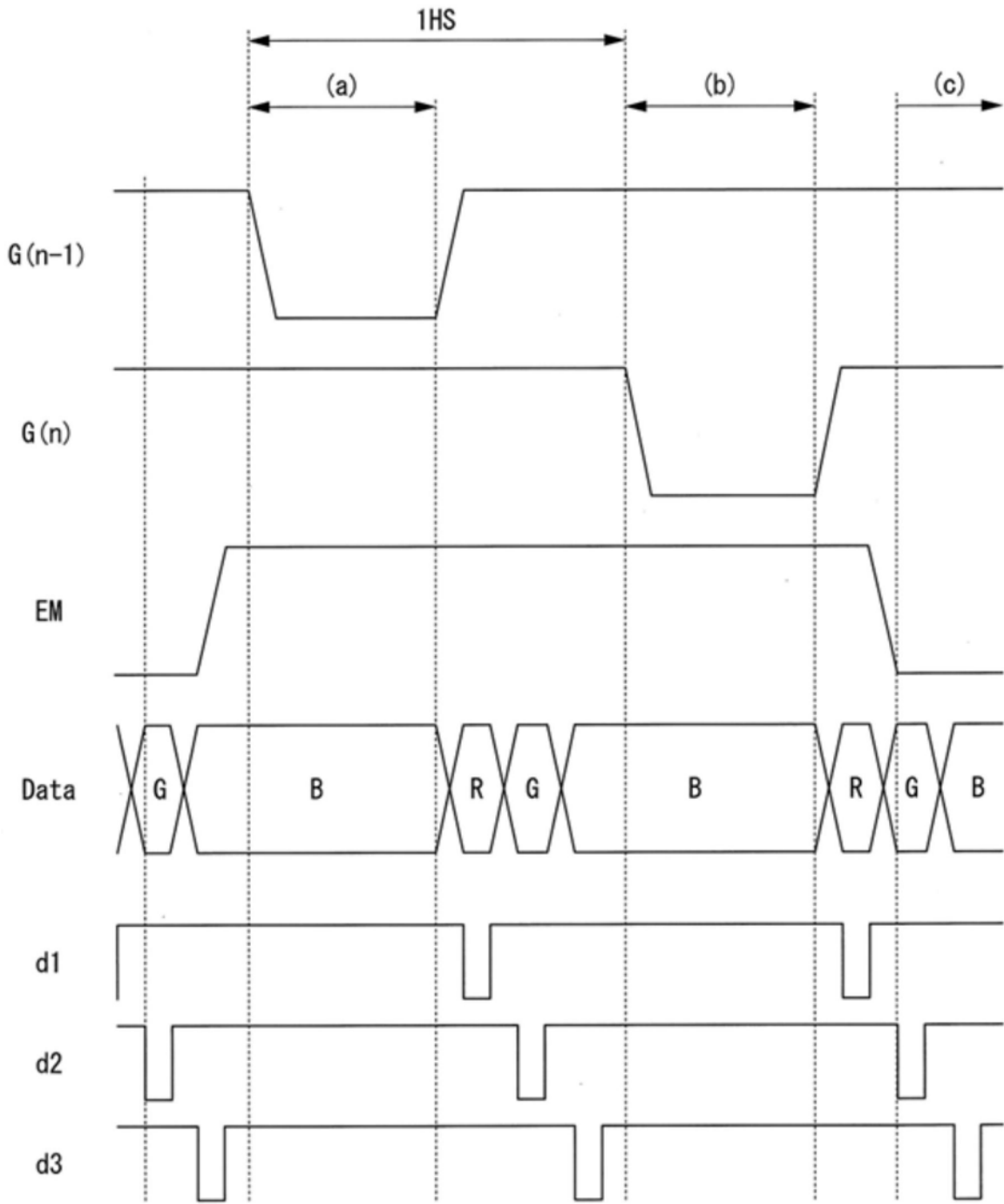


图4



(a) DTFT初始周期
 (b) V_{th} 补偿和数据写入周期
 (c) 发射周期

图5

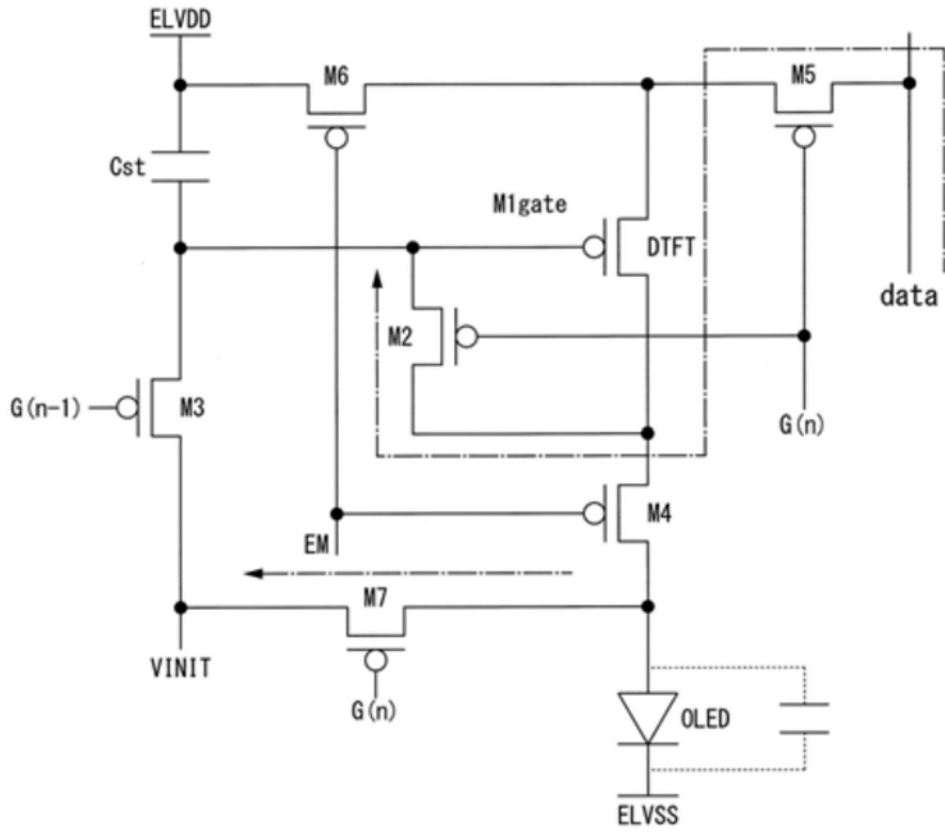


图6b

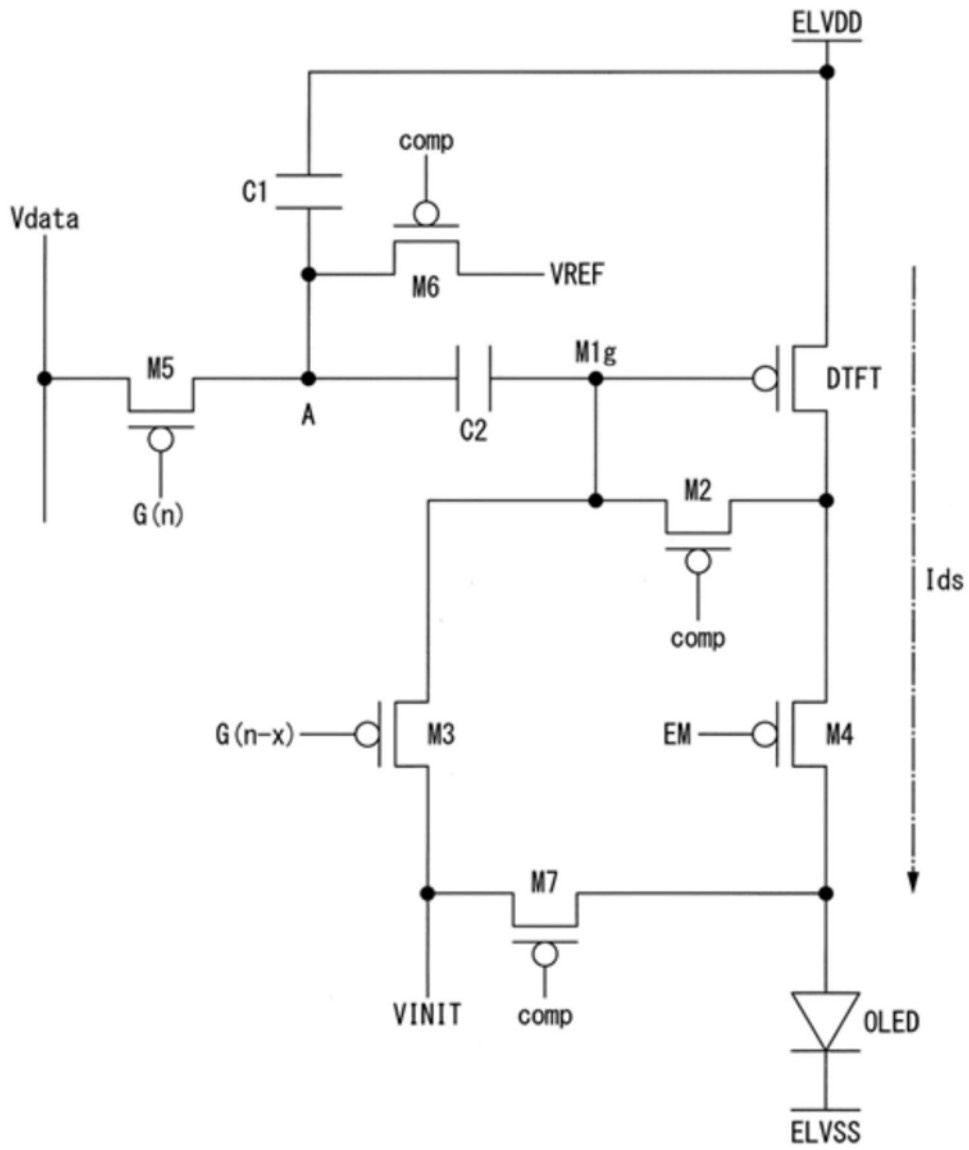
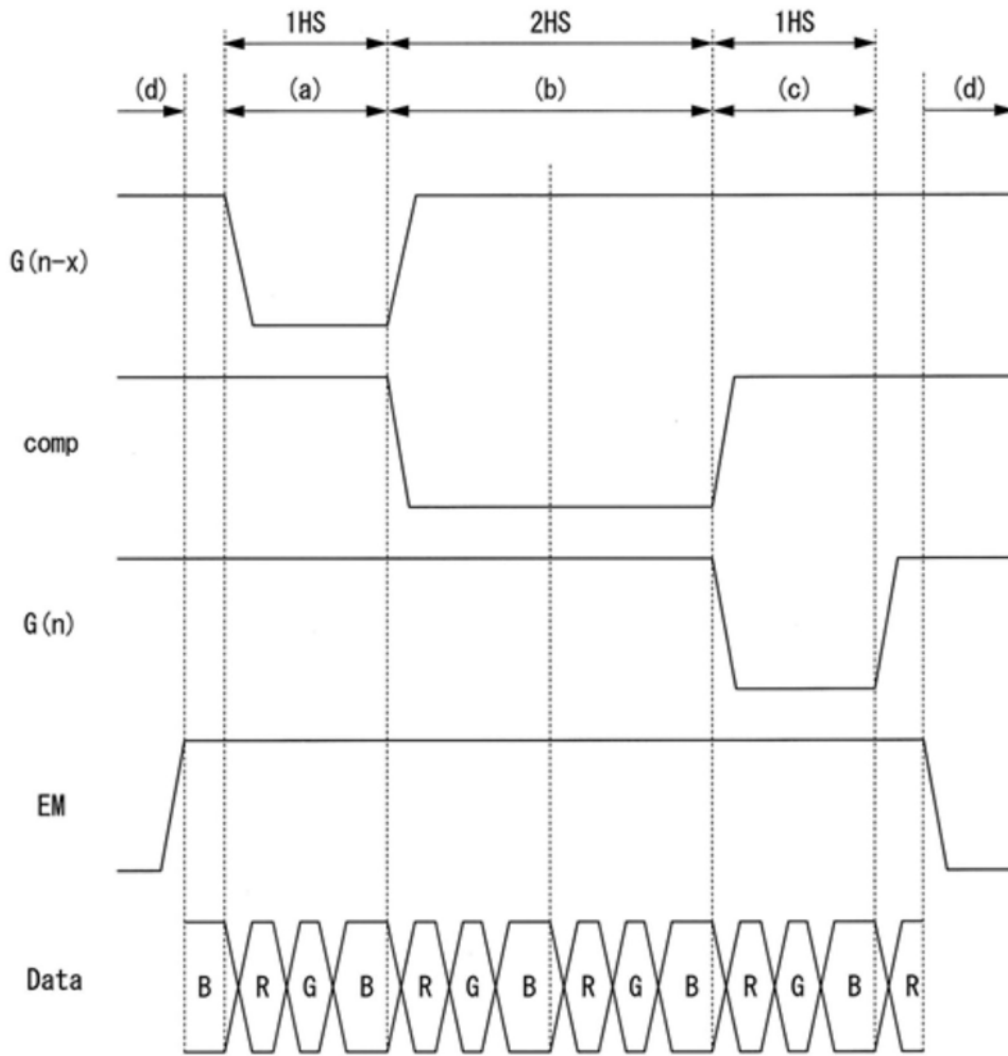


图7



- (a) DTFT初始周期
- (b) V_{th} 补偿 (大于1H) , OLED放电周期
- (c) 数据写入 (= 1H) 周期
- (d) 发射周期

图8

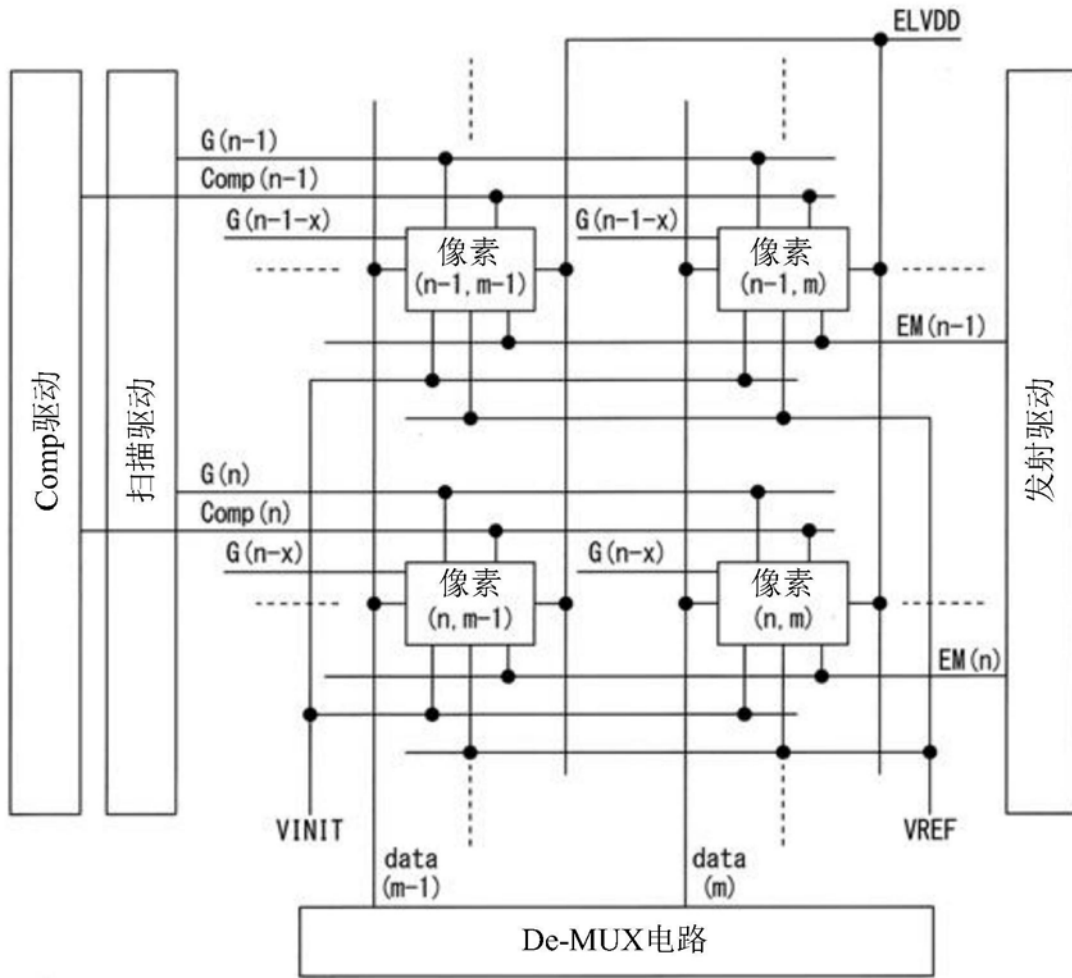


图9

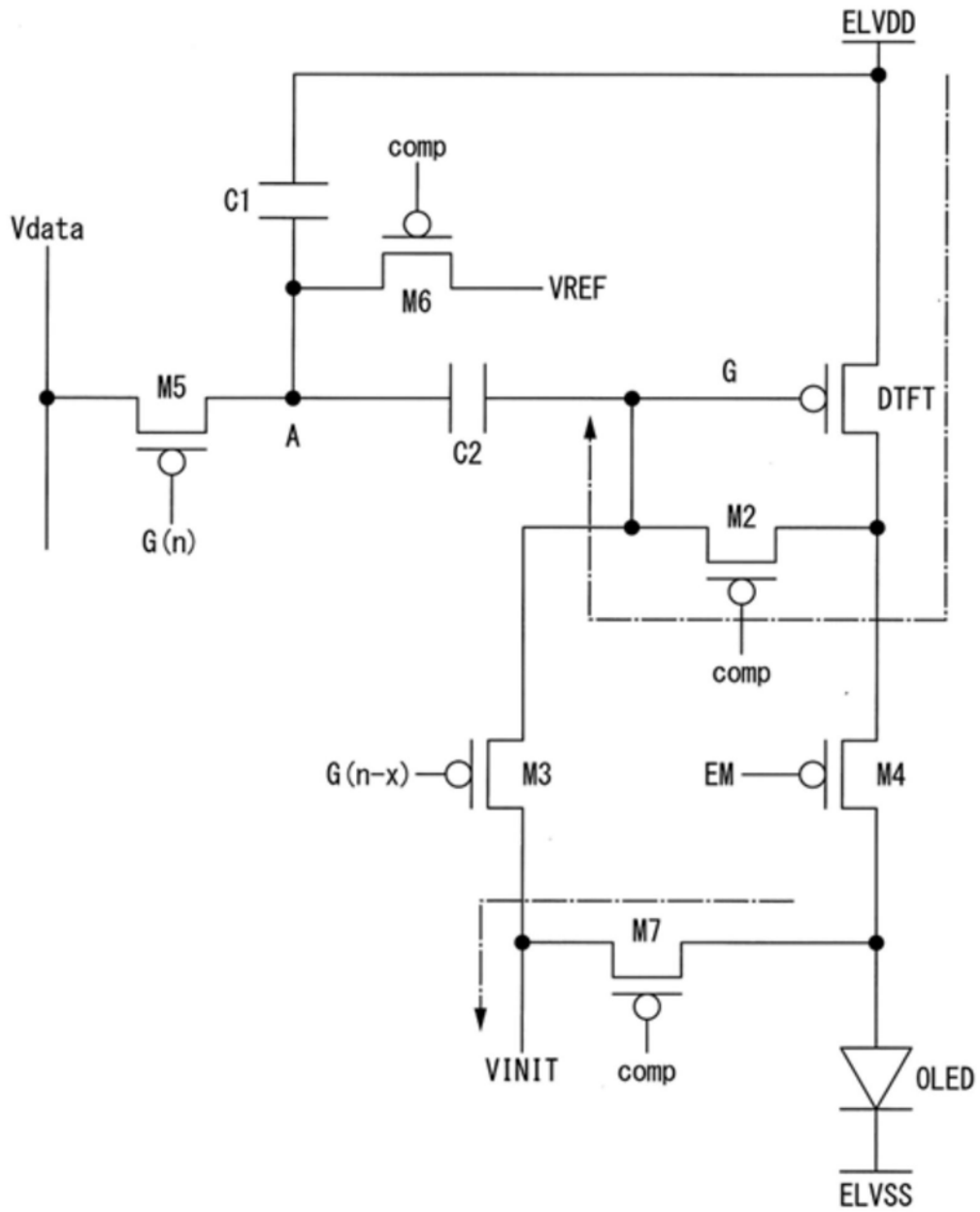


图10b

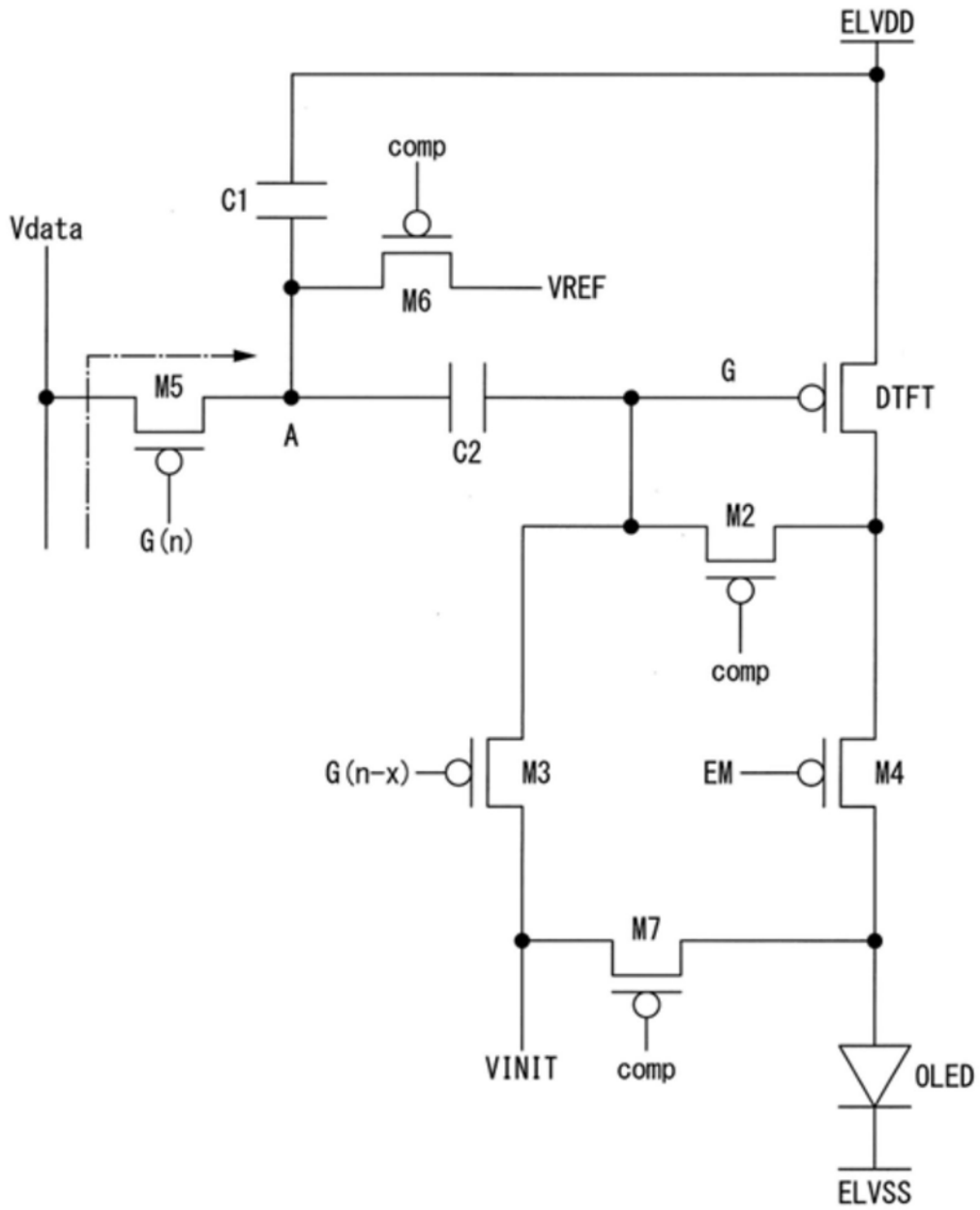


图10c

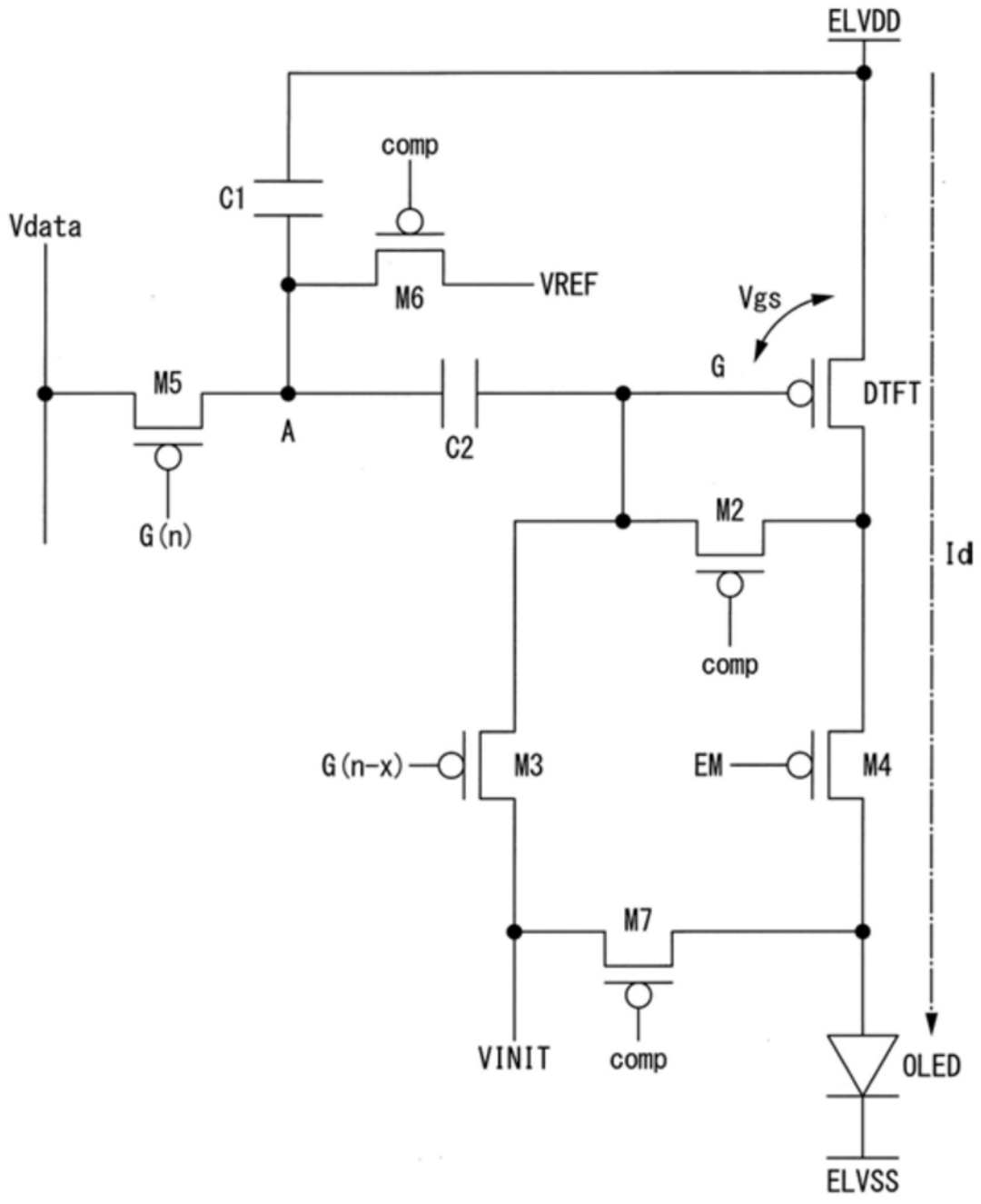


图10d

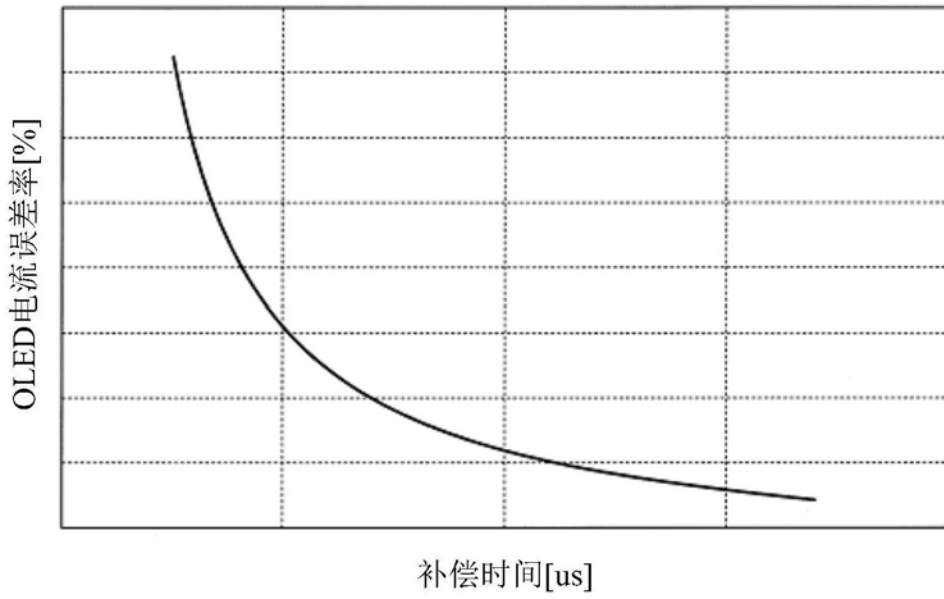


图11

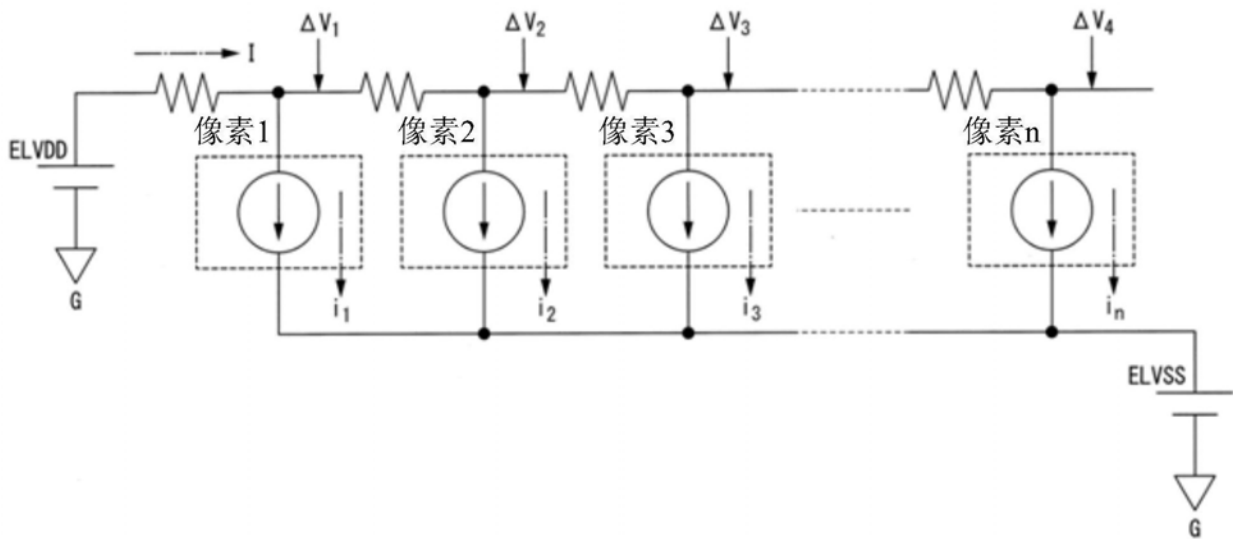


图12

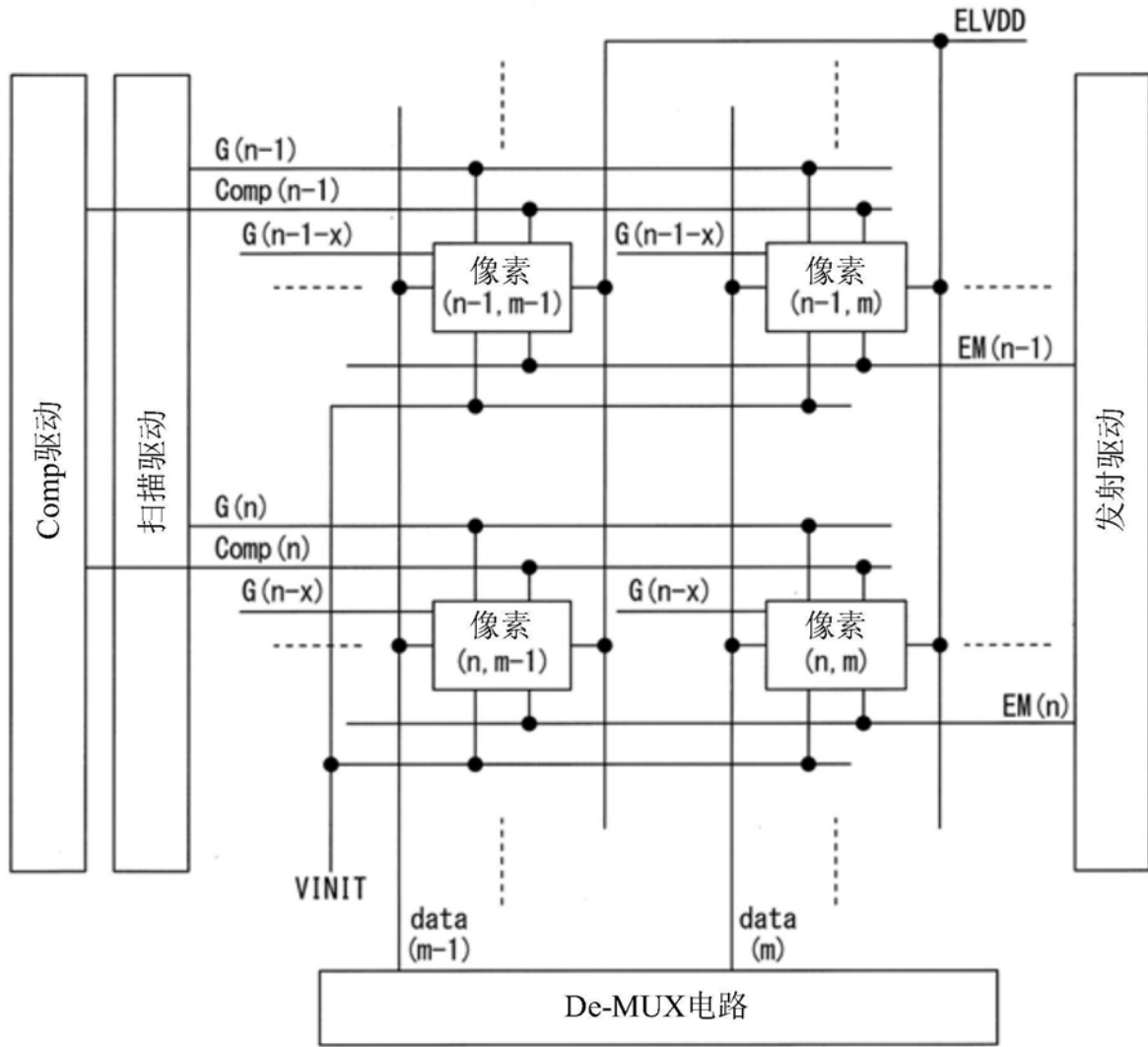


图13

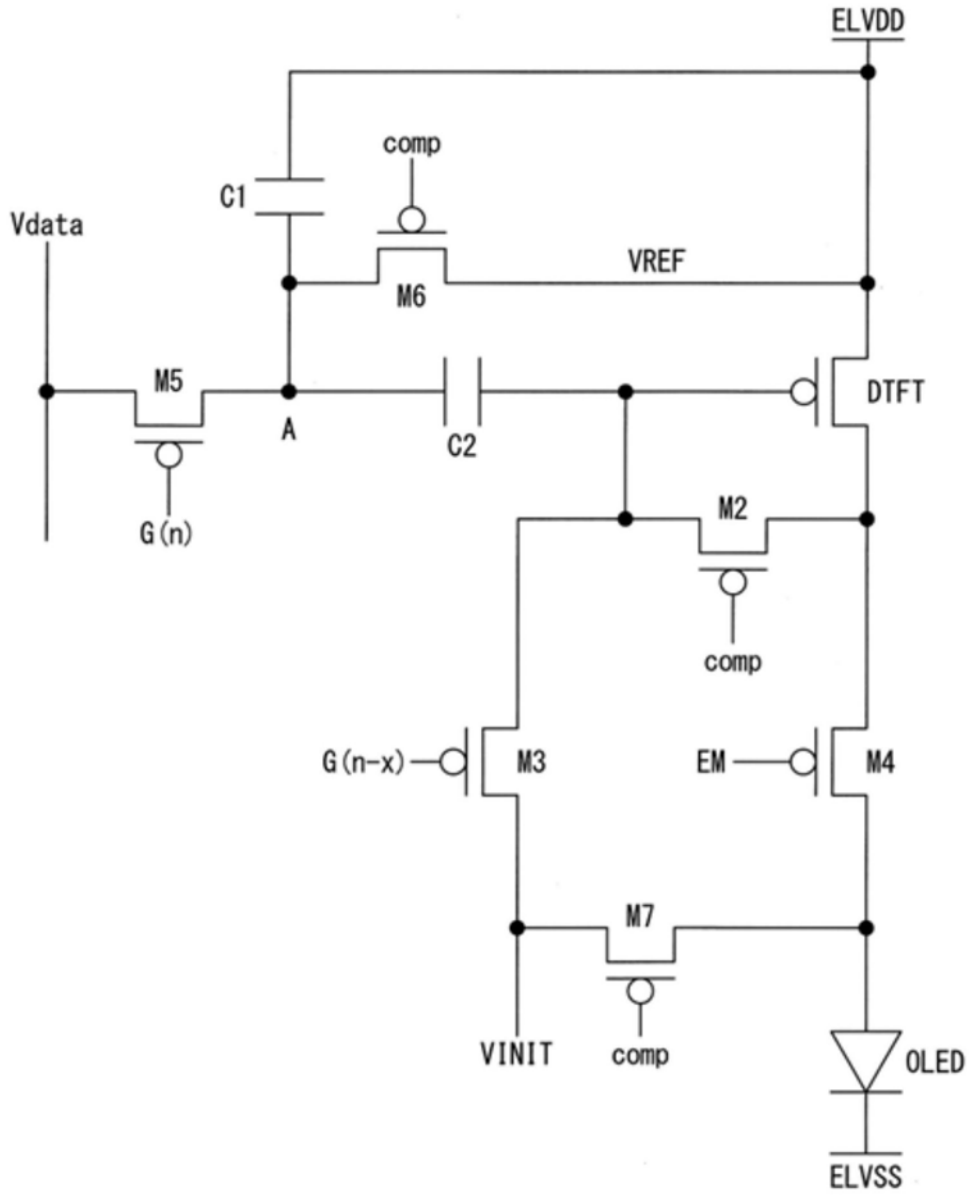


图14

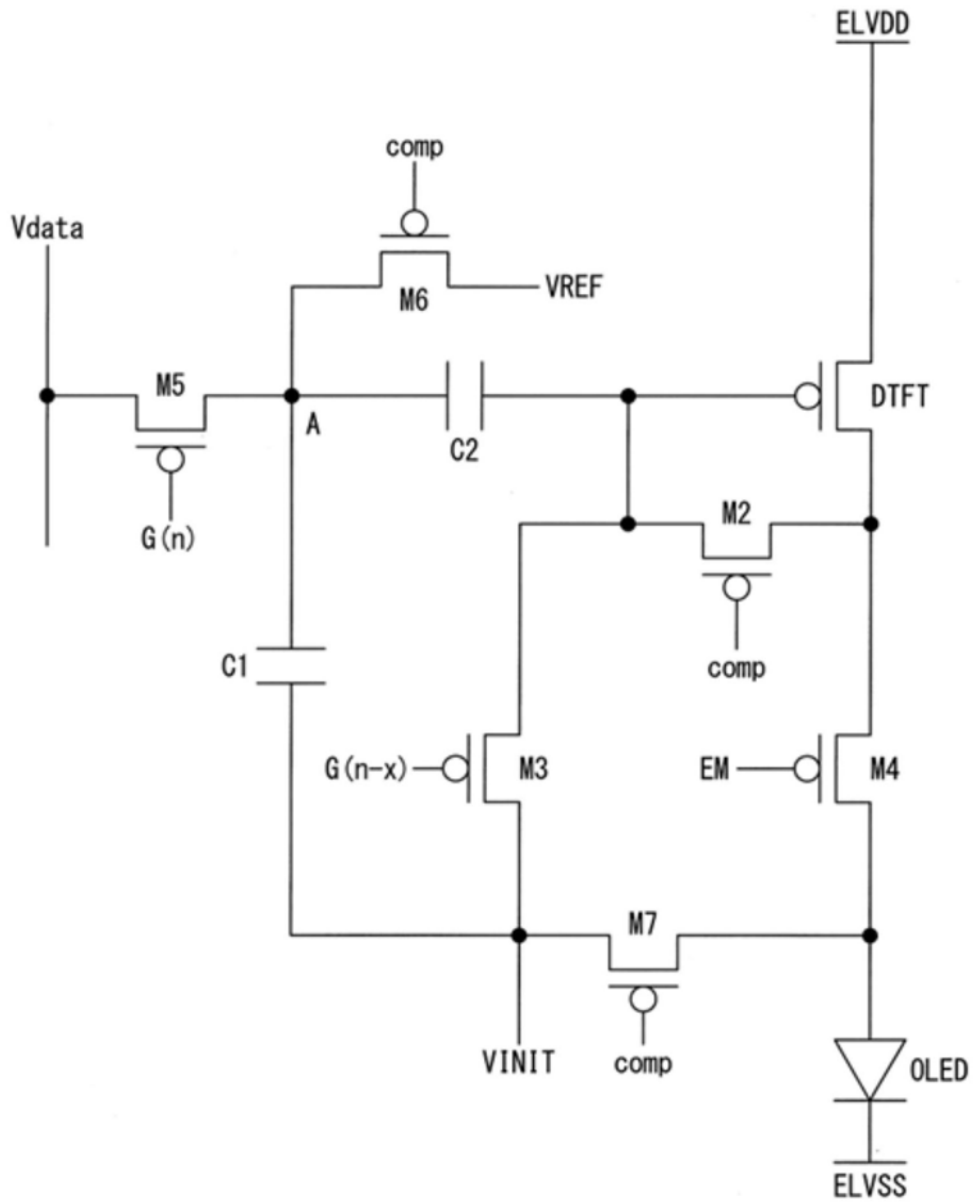


图15

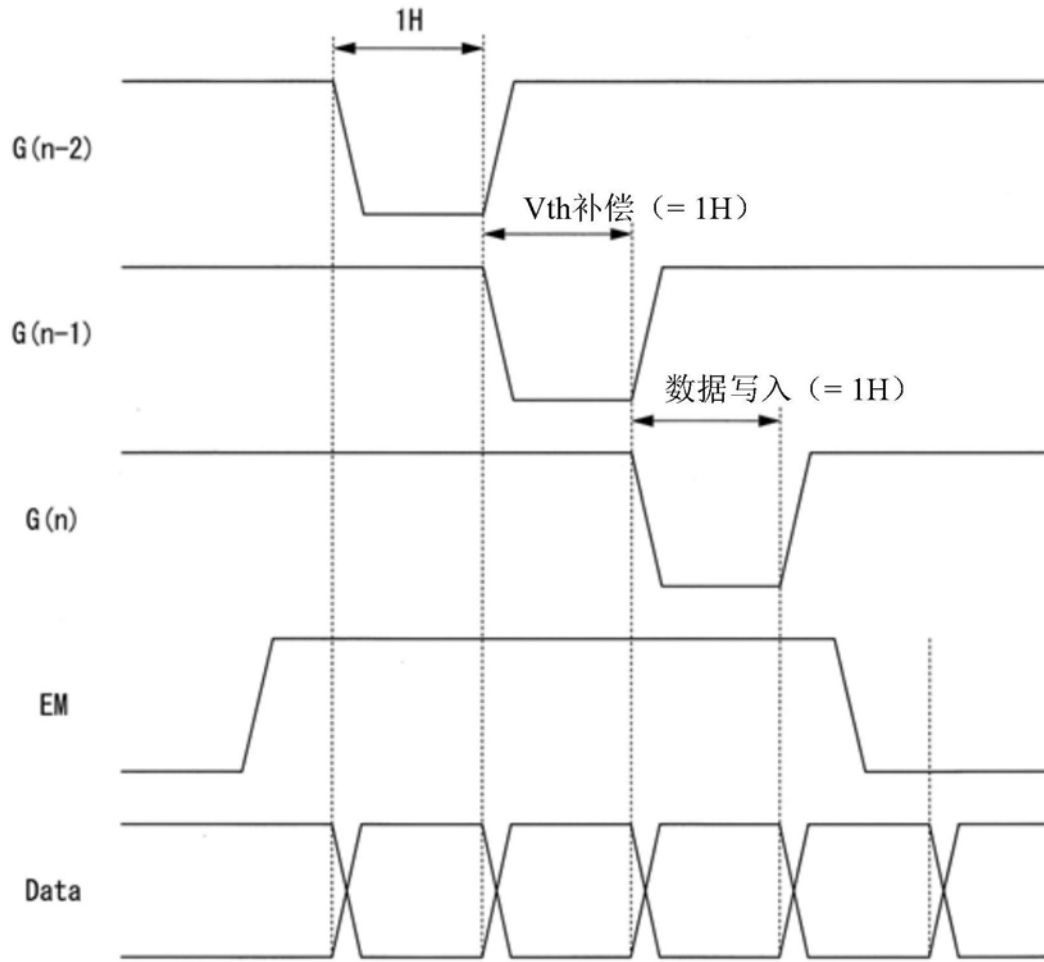


图16

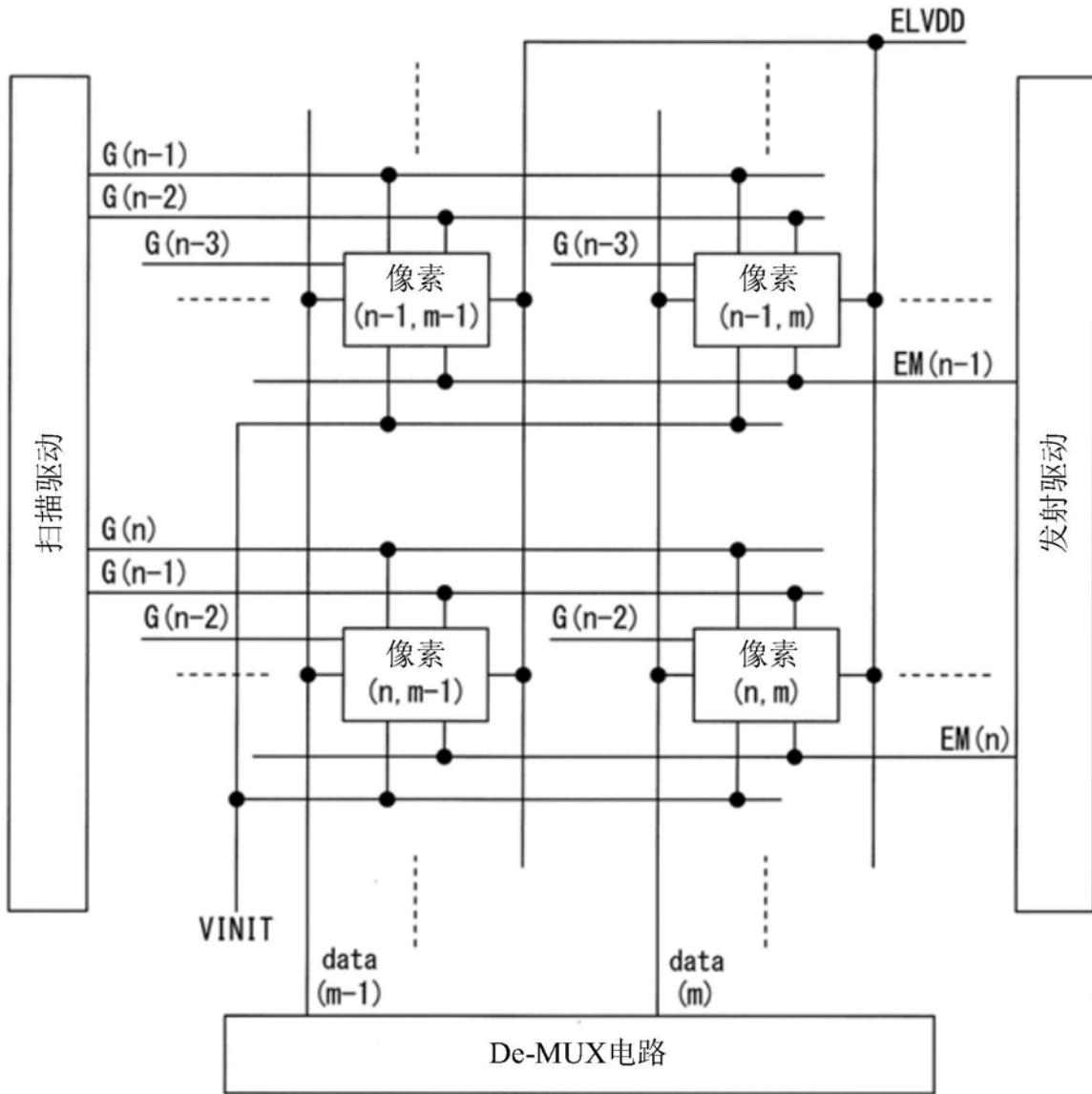


图17

专利名称(译)	一种用于显示设备的像素电路		
公开(公告)号	CN110914894A	公开(公告)日	2020-03-24
申请号	CN201780093097.7	申请日	2017-07-21
[标]申请(专利权)人(译)	华为技术有限公司		
申请(专利权)人(译)	华为技术有限公司		
当前申请(专利权)人(译)	华为技术有限公司		
[标]发明人	奥野武		
发明人	奥野武		
IPC分类号	G09G3/3208 G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/0297 G09G2320/0223 G09G3/20 G09G3/30 G09G3/32		
外部链接	Espacenet	SIPO	

摘要(译)

一种像素电路，包括：驱动晶体管(DTFT)，其中所述驱动晶体管(DTFT)的栅极连接到第二电容(C2)的第二端、第二晶体管(M2)的第二端和第三晶体管(M3)的第二端，所述驱动晶体管(DTFT)的第一端连接到第一电压，所述驱动晶体管(DTFT)的第二端连接到所述第二晶体管(M2)的第一端和第四晶体管(M4)的第一端；所述第二晶体管(M2)，其栅极连接到补偿线(comp)；所述第三晶体管(M3)，其中所述第三晶体管(M3)的栅极连接到第(n-x)条扫描线，x为大于1的整数，且所述第三晶体管(M3)的第一端连接到初始化信号线(VINIT)和第七晶体管(M7)的第二端；所述第四晶体管(M4)，其中所述第四晶体管(M4)的栅极连接到发射控制线(EM)，且所述第四晶体管(M4)的第二端连接到所述第七晶体管(M7)的第一端和发光二极管(OLED)的阳极；第五晶体管(M5)，其中所述第五晶体管(M5)的栅极连接到第n条扫描线，所述第五晶体管(M5)的第一端连接到数据线，所述第五晶体管(M5)的第二端连接到第一电容(C1)的第一端、所述第二电容(C2)的第一端和第六晶体管(M6)的第二端；所述第六晶体管(M6)，其栅极连接到所述补偿线(comp)；所述第七晶体管(M7)，其栅极连接到所述补偿线(comp)；所述第一电容(C1)；及所述第二电容(C2)。

