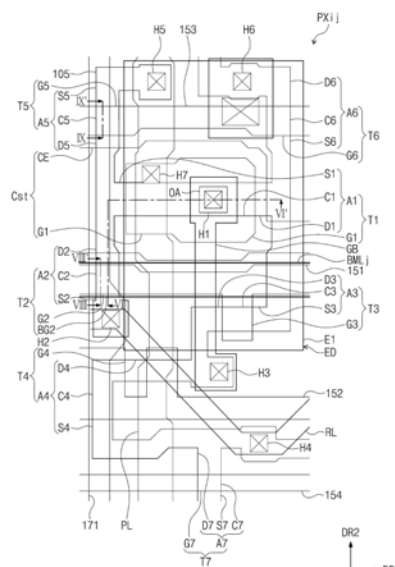




(43)申请公布日 2020.03.06

G09G 3/3225(2016.01)

本申请涉及有机发光显示装置。该有机发光显示装置包括衬底、发光二极管、第一晶体管、第二晶体管和多条驱动电压线,其中:第一晶体管控制发光二极管的驱动电流;第二晶体管包括第二漏电极、第二栅电极、第二沟道、第二源电极和下部栅电极,第二漏电极连接至第一晶体管的第一源电极,当在平面图中观察时第二沟道与第二栅电极重叠,第二源电极面对第二漏电极且第二沟道插置在第二源电极与第二漏电极之间;多条驱动电压线传输第一驱动电压。当在平面图中观察时,第二晶体管的下部栅电极与第二沟道重叠,且下部栅电极电连接至驱动电压线中的相应的驱动电压线。



1. 有机发光显示装置,包括:

衬底;

发光二极管,设置在所述衬底上并且包括阳极和阴极;

第一晶体管,包括第一源电极、第一栅电极、第一沟道和第一漏电极,其中,当在平面图中观察时所述第一沟道与所述第一栅电极重叠,所述第一漏电极面对所述第一源电极且所述第一沟道插置在所述第一漏电极与所述第一源电极之间,并且所述第一晶体管控制所述发光二极管的驱动电流;

第二晶体管,包括第二漏电极、第二栅电极、第二沟道、第二源电极和下部栅电极,其中,所述第二漏电极连接至所述第一晶体管的所述第一源电极,当在平面图中观察时所述第二沟道与所述第二栅电极重叠,所述第二源电极面对所述第二漏电极且所述第二沟道插置在所述第二源电极与所述第二漏电极之间;以及

多条驱动电压线,配置成传输第一驱动电压,其中,当在平面图中观察时,所述第二晶体管的所述下部栅电极与所述第二沟道重叠,且所述下部栅电极电连接至所述驱动电压线中的相应的驱动电压线。

2. 如权利要求1所述的有机发光显示装置,还包括多条扫描线,所述多条扫描线在第一方向上延伸且在与所述第一方向相交的第二方向上彼此间隔开地布置,其中,所述第二晶体管的所述第二栅电极连接至所述扫描线中的相应的扫描线。

3. 如权利要求2所述的有机发光显示装置,其中,所述驱动电压线分别对应于所述扫描线,且所述驱动电压线中的每一个与所述扫描线中的相应的扫描线重叠。

4. 如权利要求3所述的有机发光显示装置,其中,所述驱动电压线彼此电连接。

5. 如权利要求3所述的有机发光显示装置,其中,所述驱动电压线中的每一个在所述第二方向上的宽度比所述扫描线中的所述相应的扫描线在所述第二方向上的宽度宽。

6. 如权利要求3所述的有机发光显示装置,还包括:电压线,其中,所述衬底包括:

显示区域,所述显示区域中设置有所述发光二极管;以及

非显示区域,设置成邻近于所述显示区域,

其中,所述驱动电压线在所述第一方向上从所述电压线延伸,且所述电压线在所述非显示区域中在所述第二方向上延伸。

7. 如权利要求1所述的有机发光显示装置,其中,所述下部栅电极设置在所述衬底与第二有源图案之间,所述第二有源图案包括所述第二晶体管的所述第二源电极、所述第二沟道和所述第二漏电极。

8. 如权利要求1所述的有机发光显示装置,其中,当在平面图中观察时,所述驱动电压线不与第一有源图案重叠,所述第一有源图案包括所述第一晶体管的所述第一源电极、所述第一沟道和所述第一漏电极。

9. 有机发光显示装置,包括:

衬底;

多个像素,设置在所述衬底上;

多条扫描线,在第一方向上延伸且分别连接至所述像素;

多条数据线,在与所述第一方向相交的第二方向上延伸且分别连接至所述像素;以及

多条驱动电压线,配置成将第一驱动电压传输至所述像素,所述像素中的每一个包括:

发光二极管,包括阳极和阴极;

第一晶体管,包括第一源电极、第一栅电极、第一沟道和第一漏电极,其中,当在平面图中观察时所述第一沟道与所述第一栅电极重叠,所述第一漏电极面对所述第一源电极且所述第一沟道插置在所述第一漏电极与所述第一源电极之间,并且所述第一晶体管控制所述发光二极管的驱动电流;以及

第二晶体管,包括第二漏电极、第二栅电极、第二沟道、第二源电极和下部栅电极,其中,所述第二漏电极连接至所述第一晶体管的所述第一源电极,所述第二栅电极连接至所述扫描线中的相应的扫描线,当在平面图中观察时所述第二沟道与所述第二栅电极重叠,所述第二源电极面对所述第二漏电极且所述第二沟道插置在所述第二源电极与所述第二漏电极之间,并且所述第二源电极连接至所述数据线中的相应的数据线,其中,所述下部栅电极电连接至所述驱动电压线中的相应的驱动电压线。

10. 如权利要求9所述的有机发光显示装置,其中,当在平面图中观察时,所述第二晶体管的所述下部栅电极与所述第二沟道重叠。

有机发光显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年8月28日提交的第10-2018-0101369号韩国专利申请的优先权,该韩国专利申请的内容通过引用以其整体并入本文。

技术领域

[0003] 本公开涉及显示装置。更具体地,本公开涉及包括像素的有机发光显示装置。

背景技术

[0004] 有机发光显示装置包括像素。像素中的每一个包括有机发光二极管和控制有机发光二极管的电路部。电路部至少包括开关晶体管、驱动晶体管和存储电容器。

[0005] 有机发光二极管包括阳极、阴极和设置在阳极与阴极之间的有机发光层。当大于或等于有机发光层的阈值电压的电压施加至阳极与阴极之间时,有机发光二极管发光。

发明内容

[0006] 本公开提供包括像素的有机发光显示装置。

[0007] 本发明构思的实施方式提供有机发光显示装置,其包括:衬底;发光二极管,设置在衬底上且包括阳极和阴极;第一晶体管,包括第一源电极、第一栅电极、第一沟道和第一漏电极,其中,当在平面图中观察时第一沟道与第一栅电极重叠,第一漏电极面对第一源电极且第一沟道插置在第一漏电极与第一源电极之间,并且第一晶体管控制发光二极管的驱动电流;第二晶体管,包括第二漏电极、第二栅电极、第二沟道、第二源电极和下部栅电极,其中,第二漏电极连接至第一晶体管的第一源电极,当在平面图中观察时第二沟道与第二栅电极重叠,第二源电极面对第二漏电极且第二沟道插置在第二源电极与第二漏电极之间;以及多条驱动电压线,传输第一驱动电压。当在平面图中观察时,第二晶体管的下部栅电极与第二沟道重叠,且下部栅电极电连接至驱动电压线中的相应的驱动电压线。

[0008] 有机发光显示装置还包括多条扫描线,多条扫描线在第一方向上延伸且在与第一方向相交的第二方向上彼此间隔开地布置,并且第二晶体管的第二栅电极连接至扫描线中的相应的扫描线。

[0009] 驱动电压线分别对应于扫描线,并且驱动电压线中的每一个与扫描线中的相应的扫描线重叠。

[0010] 驱动电压线彼此电连接。

[0011] 驱动电压线中的每一个在第二方向上的宽度比扫描线中的相应的扫描线在第二方向上的宽度宽。

[0012] 有机发光显示装置还包括电压线,衬底包括其中设置有发光二极管的显示区域和设置成邻近于显示区域的非显示区域,并且驱动电压线在第一方向上从电压线延伸并且电压线在非显示区域中在第二方向上延伸。

[0013] 下部栅电极设置在衬底与第二有源图案之间,第二有源图案包括第二晶体管的第

二源电极、第二沟道和第二漏电极。

[0014] 当在平面图中观察时,驱动电压线不与第一有源图案重叠,第一有源图案包括第一晶体管的第一源电极、第一沟道和第一漏电极。

[0015] 有机发光显示装置还包括多条数据线,多条数据线在第二方向上延伸且在与第二方向不同的第一方向上彼此间隔开地布置,并且第二晶体管的第二源电极连接至数据线中的相应的数据线。

[0016] 驱动电压线分别对应于数据线,且驱动电压线中的每一个与数据线中的相应的数据线重叠。

[0017] 驱动电压线彼此连接。

[0018] 驱动电压线中的每一个的宽度比数据线中的相应的数据线在第一方向上的宽度宽。

[0019] 第一晶体管的第一沟道的掺杂浓度不同于第二晶体管的第二沟道的掺杂浓度。

[0020] 有机发光显示装置还包括第六晶体管,第六晶体管包括第六源电极、第六漏电极和第六沟道,第六源电极连接至第一晶体管的第一漏电极,第六漏电极连接至发光二极管的阳极,且第六沟道设置在第六源电极与第六漏电极之间。

[0021] 本发明构思的实施方式提供有机发光显示装置,该有机发光显示装置包括衬底、多个像素、多条扫描线、多条数据线和多条驱动电压线,其中,多个像素设置在衬底上,多条扫描线在第一方向上延伸且分别连接至像素,多条数据线在与第一方向相交的第二方向上延伸且分别连接至像素,多条驱动电压线将第一驱动电压传输至像素。像素中的每一个包括:发光二极管,包括阳极和阴极;第一晶体管,包括第一源电极、第一栅电极、第一沟道和第一漏电极,当在平面图中观察时第一沟道与第一栅电极重叠,第一漏电极面对第一源电极且第一沟道插置在第一漏电极与第一源电极之间,并且第一晶体管控制发光二极管的驱动电流;以及第二晶体管,包括第二漏电极、第二栅电极、第二沟道、第二源电极和下部栅电极,第二漏电极连接至第一晶体管的第一源电极,第二栅电极连接至扫描线中的相应的扫描线,当在平面图中观察时第二沟道与第二栅电极重叠,第二源电极面对第二漏电极且第二沟道插置在第二源电极与第二漏电极之间,并且第二源电极连接至数据线中的相应的数据线。下部栅电极电连接至驱动电压线中的相应的驱动电压线。

[0022] 当在平面图中观察时,第二晶体管的下部栅电极与第二沟道重叠。

[0023] 驱动电压线在第一方向上延伸且驱动电压线中的每一个与扫描线中的相应的扫描线重叠。

[0024] 有机发光显示装置还包括电压线,衬底包括其中设置有发光二极管的显示区域和设置成邻近于显示区域的非显示区域,且驱动电压线在第一方向上从电压线延伸,并且电压线在非显示区域中在第二方向上延伸。

[0025] 驱动电压线在第二方向上延伸,且当在平面图中观察时,驱动电压线中的每一个与数据线中的相应的数据线重叠。

[0026] 当在平面图中观察时,驱动电压线不与第一有源图案重叠,第一有源图案包括第一晶体管的第一源电极、第一沟道和第一漏电极。

[0027] 根据以上内容,有机发光显示装置的开关晶体管可具有双栅结构,并且高电压可施加至下部栅电极。因此,可防止开关晶体管的阈值电压在高温操作环境下正向偏移,且因

此可改善显示质量。此外,由于开关晶体管的有源区域的掺杂浓度被控制,因此可以控制在开关晶体管的阈值电压的范围内的变化。因此,可通过控制施加至开关晶体管的下部栅电极的电压和开关晶体管的有源区域的掺杂浓度来将开关晶体管的阈值电压精细地控制在期望范围内。

附图说明

[0028] 本公开的上述及其他优点将通过参照在结合附图考虑时进行的以下详细描述而变得容易理解,在附图中:

[0029] 图1是示出根据本公开示例性实施方式的有机发光显示装置的框图;

[0030] 图2是示出根据本公开示例性实施方式的有机发光显示装置的像素的等效电路图;

[0031] 图3是示出用于驱动图2中所示的像素的驱动信号的波形图;

[0032] 图4是示出根据本公开示例性实施方式的有机发光显示装置的一个像素的平面图;

[0033] 图5是沿着图4的线VI-VI'截取以示出有机发光显示装置的剖视图;

[0034] 图6是示出图2中所示的第二晶体管的阈值电压的变化的视图;

[0035] 图7是示出图1中所示的有机发光显示装置的AR1区域的平面图;

[0036] 图8是沿着图7的线VII-VII'截取的剖视图;

[0037] 图9A、图9B、图9C、图9D、图9E和图9F是沿着图4的线VIII-VIII'和线IX-IX'截取的剖视图;

[0038] 图10是示出根据本公开另一示例性实施方式的有机发光显示装置的平面图;

[0039] 图11是示出根据本公开示例性实施方式的有机发光显示装置的一个像素的平面图;以及

[0040] 图12是沿着图11的线X-X'截取以示出有机发光显示装置的剖视图。

具体实施方式

[0041] 将理解,当元件或层被称为在另一元件或层“上”、“连接至”或“联接至”另一元件或层时,其可以直接在该另一元件或层上、直接连接至或直接联接至该另一元件或层,或者可以存在介于中间的元件或层。

[0042] 在全文中,相同的标号表示相同的元件。在附图中,为清楚起见,层、膜和区域的厚度被夸大。

[0043] 如本文中所用,术语“和/或”包括相关列出项目中的一个或多个的任何和所有组合。

[0044] 将理解,虽然在本文中可使用术语第一、第二等来描述各种元件、组件、区域、层和/或部分,但是这些元件、组件、区域、层和/或部分不应受限于这些术语。这些术语仅用于将一个元件、组件、区域、层或部分与另一个元件、组件、区域、层或部分区分开。因此,在不背离本发明构思的教导的情况下,以下所讨论的第一元件、第一组件、第一区域、第一层或第一部分可以被称作第二元件、第二组件、第二区域、第二层或第二部分。如本文中所使用的,除非上下文另有明确指示,否则单数形式“一(a)”、“一个(an)”和“该(the)”旨在还包括

复数形式。

[0045] 为易于描述,可在本文中使用空间相对术语,诸如“下面”、“下方”、“下部”、“上方”、“上部”等来描述如图中所示的一个元件或特征与另一(些)元件或特征的关系。

[0046] 除非另有定义,否则在本文中使用的所有术语(包括技术术语和科学术语)具有与本发明构思所属领域中的普通技术人员所通常理解的含义相同的含义。还应当理解的是,术语,诸如在通常使用的字典中定义的那些术语,应被解释为具有与其在相关领域的上下文中的含义一致的含义,并且除非在本文中明确地如此定义,否则将不以理想化或过于形式化的含义进行解释。

[0047] 将进一步理解,当在本说明书中使用时,术语“包括(includes)”和/或“包括(including)”指定所述特征、整体、步骤、操作、元件和/或组件的存在,但是不排除一个或多个其他特征、整体、步骤、操作、元件、组件和/或其群组的存在或添加。

[0048] 在下文中,将参照附图详细说明本发明构思。

[0049] 图1是示出根据本公开示例性实施方式的有机发光显示装置的框图。

[0050] 参照图1,有机发光显示装置包括显示衬底100、时序控制器200、扫描驱动电路300、数据驱动电路400和电压发生器500。

[0051] 时序控制器200接收输入图像信号(未示出)并将输入图像信号的数据格式转换成适合于数据驱动电路400的接口的数据格式以产生图像数据RGB。时序控制器200输出扫描控制信号SCS、图像数据RGB和数据控制信号DCS。

[0052] 扫描驱动电路300从时序控制器200接收扫描控制信号SCS。扫描控制信号SCS包括启动扫描驱动电路300的操作的垂直启动信号和确定信号的输出时序的时钟信号。扫描驱动电路300产生多个扫描信号并且将扫描信号顺序地输出至稍后描述的多条扫描线SL1至SLn。此外,扫描驱动电路300响应于扫描控制信号SCS产生多个发光控制信号并且将发光控制信号输出至稍后描述的多条发光线EL1至ELn。

[0053] 图1示出了从一个扫描驱动电路300输出的扫描信号和发光控制信号,但是本公开不应限于此或由此限制。根据另一实施方式,多个扫描驱动电路可在划分扫描信号之后输出扫描信号并且可在划分发光控制信号之后输出发光控制信号。此外,根据另一实施方式,产生并输出扫描信号的驱动电路可与产生并输出发光控制信号的驱动电路不同。

[0054] 数据驱动电路400从时序控制器200接收数据控制信号DCS和图像数据RGB。数据驱动电路400将图像数据RGB转换成数据信号并将数据信号输出至稍后描述的多条数据线DL1至DLm。数据信号是与图像数据RGB的灰度值对应的模拟电压。

[0055] 电压发生器500产生有机发光显示装置的操作所需的电压。在本示例性实施方式中,电压发生器500产生第一驱动电压ELVDD、第二驱动电压ELVSS、初始化电压Vint和第三驱动电压VGH。第三驱动电压VGH被施加至布置在显示衬底100的非显示区域NDA中的电压线510。第三驱动电压VGH可具有与由扫描驱动电路300产生的扫描信号的高电压对应的电压电平。根据另一实施方式,第三驱动电压VGH可被施加至扫描驱动电路300。

[0056] 显示衬底100包括扫描线SL1至SLn、发光线EL1至ELn、数据线DL1至DLm、第三驱动电压线BML1至BMLn和像素PX。扫描线SL1至SLn在第一方向DR1上延伸并且在第二方向DR2上布置成彼此间隔开。

[0057] 发光线EL1至ELn中的每一个可布置成平行于扫描线SL1至SLn中的相应的扫描线。

此外,第三驱动电压线BML1至BMLn中的每一个可布置成平行于扫描线SL1至SLn中的相应的扫描线。在本示例性实施方式中,第三驱动电压线BML1至BMLn的数量等于布置在第二方向DR2上的像素PX的数量,即,等于扫描线SL1至SLn的数量。数据线DL1至DLm在与扫描线SL1至SLn相交的同时与扫描线SL1至SLn绝缘。

[0058] 像素PX中的每一个连接至扫描线SL1至SLn中的相应的扫描线、发光线EL1至ELn中的相应的发光线以及数据线DL1至DLm中的相应的数据线。此外,像素PX中的每一个连接至第三驱动电压线BML1至BMLn中的相应的第三驱动电压线。

[0059] 像素PX中的每一个接收第一驱动电压ELVDD、具有比第一驱动电压ELVDD的电平低的电平的第二驱动电压ELVSS、以及第三驱动电压VGH。像素PX中的每一个连接至施加有第一驱动电压ELVDD的第一驱动电压线PL。像素PX中的每一个连接至接收初始化电压Vint的初始化电压线RL。

[0060] 像素PX中的每一个可电连接至三条扫描线。如图1中所示,布置在第二像素行中的像素PX可连接至第一扫描线SL1、第二扫描线SL2和第三扫描线SL3。

[0061] 虽然未在图中示出,但是显示衬底100还可包括多条虚设扫描线。显示衬底100还可包括连接至布置在第一像素行中的像素PX的虚设扫描线和连接至布置在第n像素行中的像素PX的虚设扫描线。此外,连接至数据线DL1至DLm中的一条数据线的像素PX(在下文中,被称为“像素列的像素”)可彼此连接。另外,像素列的像素中的两个相邻的像素PX可彼此电连接。

[0062] 像素PX中的每一个包括有机发光二极管(未示出)和控制发光二极管的发光的像素电路部(未示出)。像素电路部包括多个晶体管和电容器。扫描驱动电路300和数据驱动电路400中的至少一者可包括通过与像素电路部相同的工艺形成的晶体管。

[0063] 扫描线SL1至SLn、发光线EL1至ELn、第三驱动电压线BML1至BMLn、数据线DL1至DLm、第一驱动电压线PL、初始化电压线RL、像素PX、扫描驱动电路300和数据驱动电路400可通过多个光刻工艺形成在基础衬底(未示出)上。绝缘层可通过多个沉淀工艺和多个涂覆工艺形成在基础衬底(未示出)上。绝缘层中的每一个可以是覆盖显示衬底100的全部的薄膜层,或者可包括仅与显示衬底100的特定组件重叠的至少一个绝缘图案。绝缘层包括有机层和/或无机层。此外,在基础衬底上还可形成有封装层(未示出)。

[0064] 显示衬底100接收第一驱动电压ELVDD和第二驱动电压ELVSS。第一驱动电压ELVDD可通过第一驱动电压线PL施加至像素PX。第二驱动电压ELVSS可通过形成在显示衬底100上的电极(未示出)或通过电源线(未示出)施加至像素PX。

[0065] 显示衬底100接收初始化电压Vint。初始化电压Vint可通过初始化电压线RL施加至像素PX。

[0066] 显示衬底100接收第三驱动电压VGH。第三驱动电压VGH可通过形成在显示面板上的第三驱动电压线BML1至BMLn施加至像素PX。

[0067] 显示衬底100包括显示区域DPA和非显示区域NDA。像素PX布置在显示区域DPA中。在本示例性实施方式中,扫描驱动电路300设置在布置在显示区域DPA的一侧处的非显示区域NDA中。从电压发生器500提供的第三驱动电压VGH通过布置在非显示区域NDA中的电压线510和布置在显示区域DPA中的第三驱动电压线BML1至BMLn施加至像素PX。

[0068] 图2是示出根据本公开示例性实施方式的有机发光显示装置的像素的等效电路

图。图3是示出用于驱动图2中所示的像素的驱动信号的波形图。

[0069] 作为代表示例,图2示出了数据线DL1至DLm中的第i数据线171、扫描线SL1至SLn中的第j扫描线151、发光线EL1至ELn中的第j发光控制线153和连接至第三驱动电压线BML1至BMLn中的第j第三驱动电压线BMLj的像素PX_{ij}的等效电路。图1中所示的像素PX中的每一个可具有与图2中所示的像素PX_{ij}的等效电路相同的电路配置。在本示例性实施方式中,像素PX_{ij}的电路部包括七个晶体管T1至T7和一个电容器C_{st}。此外,第一晶体管T1至第七晶体管T7可以是p-沟道类型晶体管,诸如PMOS,但是它们不应限于此或由此限制。换言之,第一晶体管T1至第七晶体管T7中的至少一者可以是n-沟道类型晶体管。此外,根据本公开的像素的配置不应限于图2中所示的配置。图2中所示的电路部仅仅是示例性的,且电路部的配置可以改变。

[0070] 参照图2,根据示例性实施方式的像素PX_{ij}包括信号线151、152、153、154、171、PL和BMLj。像素PX_{ij}包括连接至信号线151、152、153、154、171、PL和BMLj的第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6和第七晶体管T7、电容器C_{st}以及至少一个发光二极管ED。在本示例性实施方式中,作为代表示例,将描述包括一个发光二极管ED的一个像素PX_{ij}。

[0071] 信号线151、152、153、154、171、PL和BMLj可包括扫描线151、152和154、发光控制线153、数据线171、第一驱动电压线PL和第三驱动电压线BMLj。

[0072] 扫描线151、152和154可分别传输扫描信号GW_j、GI_j和GB_j。扫描信号GW_j、GI_j和GB_j可传输栅极导通电压和栅极截止电压以导通或截止包括在像素PX_{ij}中的晶体管T2、T3、T4和T7。

[0073] 连接至像素PX_{ij}的扫描线151、152和154可包括传输扫描信号GW_j的第一扫描线151、在与第一扫描线151不同的时序处传输具有栅极导通电压的扫描信号GI_j的第二扫描线152、以及传输扫描信号GB_j的第三扫描线154。在本示例性实施方式中,将主要描述其中第二扫描线152在比第一扫描线151更早的时序处传输栅极导通电压的示例。例如,在扫描信号GW_j是在一个帧周期期间施加的扫描信号中的第j扫描信号S_j(j是大于或等于1的自然数)的情况下,扫描信号GI_j可以是诸如第(j-1)扫描信号S_{j-1}的先前扫描信号,并且扫描信号GB_j可以是第(j+1)扫描信号S_{j+1},但是本公开不应限于此或由此限制。换言之,扫描信号GB_j可以是不同于第(j+1)扫描信号S_{j+1}的扫描信号。

[0074] 发光控制线153可传输控制信号,并且具体地可传输用于控制包括在像素PX_{ij}中的发光二极管ED的发光发光控制信号。通过发光控制线153传输的发光控制信号可具有与通过扫描线151、152和154传输的扫描信号GW_j、GI_j和GB_j不同的波形。数据线171传输数据信号Di,且第一驱动电压线PL传输第一驱动电压ELVDD。数据信号Di可具有根据输入至显示装置的图像信号而变化的电压电平,并且第一驱动电压ELVDD可具有基本上恒定的电平。

[0075] 第一扫描线151可将扫描信号GW_j传输至第二晶体管T2和第三晶体管T3,第二扫描线152可将扫描信号GI_j传输至第四晶体管T4,第三扫描线154可将扫描信号GB_j传输至第七晶体管T7,且发光控制线153可将发光控制信号E_j传输至第五晶体管T5和第六晶体管T6。

[0076] 第一晶体管T1的第一栅电极G1连接至电容器C_{st}的一端,第一晶体管T1的第一源电极S1经由第五晶体管T5连接至第一驱动电压线PL,且第一晶体管T1的第一漏电极D1经由第六晶体管T6电连接至发光二极管ED的阳极。第一晶体管T1响应于第二晶体管T2的开关操

作接收通过数据线171传输的数据信号 D_i ，并且将驱动电流 I_d 供应至发光二极管ED。

[0077] 第二晶体管T2的第二栅电极G2连接至第一扫描线151，第二晶体管T2的第二源电极S2连接至数据线171，且第二晶体管T2的第二漏电极D2连接至第一晶体管T1的第一源电极S1并且通过第五晶体管T5连接至第一驱动电压线PL。第二晶体管T2响应于通过第一扫描线151施加至其的扫描信号 GW_j 而导通，且将通过数据线171提供的的数据信号 D_i 传输至第一晶体管T1的第一源电极S1。

[0078] 在本示例性实施方式中，除了第二栅电极G2之外，第二晶体管T2还具有包括下部栅电极BG2的双栅结构。第二晶体管T2的下部栅电极BG2连接至第三驱动电压线BML $_j$ 。

[0079] 第三晶体管T3的第三栅电极G3连接至第一扫描线151。第三晶体管T3的第三漏电极D3共同地连接至第四晶体管T4的第四漏电极D4、电容器Cst的一端和第一晶体管T1的第一栅电极G1。第三晶体管T3的第三源电极S3连接至第一晶体管T1的第一漏电极D1并且通过第六晶体管T6连接至发光二极管ED的阳极。

[0080] 第三晶体管T3响应于通过第一扫描线151施加至其的扫描信号 GW_j 而导通以连接第一晶体管T1的第一栅电极G1和第一漏电极D1，且因此，第一晶体管T1以二极管配置连接。

[0081] 第四晶体管T4的第四栅电极G4连接至第二扫描线152，第四晶体管T4的第四源电极S4连接至传输初始化电压 V_{int} 的初始化电压线RL，且第四晶体管T4的第四漏电极D4通过第三晶体管T3的第三漏电极D3连接至电容器Cst的一端和第一晶体管T1的第一栅电极G1。第四晶体管T4响应于通过第二扫描线152施加至其的扫描信号 GI_j 而导通，并且将初始化电压 V_{int} 传输至第一晶体管T1的第一栅电极G1以执行将第一栅电极G1的电压初始化的初始化操作。

[0082] 第五晶体管T5的第五栅电极G5连接至发光控制线153，第五晶体管T5的第五源电极S5连接至第一驱动电压线PL，且第五晶体管T5的第五漏电极D5连接至第一晶体管T1的第一源电极S1和第二晶体管T2的第二漏电极D2。

[0083] 第六晶体管T6的第六栅电极G6连接至发光控制线153，第六晶体管T6的第六源电极S6连接至第一晶体管T1的第一漏电极D1和第三晶体管T3的第三源电极S3，且第六晶体管T6的第六漏电极D6电连接至发光二极管ED的阳极。第五晶体管T5和第六晶体管T6响应于通过发光控制线153施加至其的发光控制信号 E_j 基本上同时导通，且第一驱动电压ELVDD通过连接至二极管的第一晶体管T1补偿并且传输至发光二极管ED。

[0084] 第七晶体管T7的第七栅电极G7连接至第三扫描线154，第七晶体管T7的第七源电极S7连接至第六晶体管T6的第六漏电极D6和发光二极管ED的阳极，且第七晶体管T7的第七漏电极D7连接至初始化电压线RL和第四晶体管T4的第四源电极S4。根据另一实施方式，第七晶体管T7的第七栅电极G7可连接至第二扫描线152。

[0085] 如上所述，电容器Cst的一端连接至第一晶体管T1的第一栅电极G1，且电容器Cst的另一端连接至第一驱动电压线PL。发光二极管ED的阴极可连接至传输第二驱动电压ELVSS的端子。根据示例性实施方式的像素 PX_{ij} 的配置不应限于图2中所示的配置，且包括在像素 PX_{ij} 中的晶体管的数量、电容器的数量以及晶体管和电容器的连接关系可以各种方式改变。

[0086] 将参照图2和图3描述根据示例性实施方式的显示装置的操作。在下面的描述中，第一晶体管T1至第七晶体管T7被描述为p沟道类型晶体管，并且将描述对应于一个帧周期

的操作。

[0087] 参照图2和图3,具有低电平的扫描信号 S_{j-1} 、 S_j 和 S_{j+1} 可在一个帧周期期间作为扫描信号 GW_j 顺序地施加至连接至像素 PX_{ij} 的第一扫描线151。

[0088] 在初始化周期期间,具有低电平的扫描信号 GI_j 通过第二扫描线152提供至第四晶体管 $T4$ 。扫描信号 GI_j 例如可以是第 $(j-1)$ 扫描信号 S_{j-1} 。第四晶体管 $T4$ 响应于具有低电平的扫描信号 GI_j 而导通,初始化电压 V_{int} 通过第四晶体管 $T4$ 施加至第一晶体管(在下文中,被称为驱动晶体管) $T1$ 的第一栅电极 $G1$,且第一晶体管 $T1$ 通过初始化电压 V_{int} 被初始化。

[0089] 然后,当在数据编程和补偿周期期间通过第一扫描线151提供具有低电平的扫描信号 GW_j 时,第二晶体管 $T2$ 和第三晶体管 $T3$ 响应于具有低电平的扫描信号 GW_j 而导通。扫描信号 GW_j 例如可以是第 j 扫描信号 S_j 。在这种情况下,第一晶体管 $T1$ 通过导通的第三晶体管 $T3$ 以二极管配置连接并且正向偏压。因此,通过将经由数据线171提供的数据信号 D_i 降低第一晶体管 $T1$ 的阈值电压 V_{th} 而获得的补偿电压 $D_i - V_{th}$ 施加至第一晶体管 $T1$ 的第一栅电极 $G1$ 。换言之,施加至第一晶体管 $T1$ 的第一栅电极 $G1$ 的栅极电压可以是补偿电压 $D_i - V_{th}$ 。

[0090] 第一驱动电压 $ELVDD$ 和补偿电压 $D_i - V_{th}$ 施加至电容器 C_{st} 的两端,且电容器 C_{st} 存储与电容器 C_{st} 的两端之间的电压差对应的电荷。

[0091] 在旁路周期期间,第七晶体管 $T7$ 响应于通过第三扫描线154施加至其的具有低电平的扫描信号 GB_j 而导通。扫描信号 GB_j 可以是第 $(j+1)$ 扫描信号 S_{j+1} 。由于导通的第七晶体管 $T7$,驱动电流 I_d 的一部分可作为旁路电流 I_{bp} 通过第七晶体管(在下文中,被称为旁路晶体管) $T7$ 放电。

[0092] 当发光二极管 ED 发光时,即使在驱动晶体管 $T1$ 的显示黑色图像的最小电流作为驱动电流 I_d 流过的情况下,黑色图像也无法恰当地显示。因此,根据示例性实施方式的有机发光显示装置的旁路晶体管 $T7$ 可将驱动晶体管 $T1$ 的最小电流中的一些作为旁路电流 I_{bp} 分散到除了朝向发光二极管 ED 的电流路径之外的电流路径。这里,驱动晶体管 $T1$ 的最小电流表示在驱动晶体管 $T1$ 的栅源电压 V_{gs} 小于阈值电压 V_{th} 使得驱动晶体管 $T1$ 截止的条件下的电流。在驱动晶体管 $T1$ 截止的条件下的最小驱动电流(例如,约10pA或更小的电流)传递到发光二极管 ED ,从而显示具有黑色亮度的图像。在显示黑色图像的最小驱动电流流过的情况下,旁路电流 I_{bp} 的旁路传递的影响大。另一方面,在显示诸如一般图像或白色图像的图像的大驱动电流流过的情况下,旁路电流 I_{bp} 的影响可能几乎不存在。因此,在显示黑色图像的驱动电流流过的情况下,从驱动电流 I_d 减小达通过旁路晶体管 $T7$ 流出的旁路电流 I_{bp} 的量的发光二极管 ED 的发光电流 I_{ed} 具有最小电流量,其具有可以必然地显示黑色图像的电平。因此,使用旁路晶体管 $T7$ 实现精确的黑色亮度图像,由此使得改善对比度成为可能。在本示例性实施方式中,作为旁路信号的扫描信号 GB_j 与第 $(j+1)$ 扫描信号 S_{j+1} 相同,但是不应限于此或由此限制。

[0093] 然后,在发光周期期间,通过发光控制线153提供的发光控制信号 E_j 的电平从高电平改变到低电平。在发光周期期间,第五晶体管 $T5$ 和第六晶体管 $T6$ 响应于发光控制信号 E_j 而导通。因此,由于第一晶体管 $T1$ 的第一栅电极 $G1$ 的栅极电压与第一驱动电压 $ELVDD$ 之间的电压差而生成驱动电流 I_d ,驱动电流 I_d 通过第六晶体管 $T6$ 供应至发光二极管 ED ,且因此发光电流 I_{ed} 流经发光二极管 ED 。在发光周期期间,第一晶体管 $T1$ 的栅源电压 V_{gs} 通过电容器 C_{st} 保持为以下“ $(D_i - V_{th}) - ELVDD$ ”,且根据第一晶体管 $T1$ 的电流电压关系,驱动电流 I_d 可与

“(Di-ELVDD)²”成比例,其对应于通过从栅源电压 V_{gs} 减去阈值电压 V_{th} 而获得的值的平方。因此,驱动电流 I_d 可与第一晶体管T1的阈值电压 V_{th} 无关地确定。

[0094] 在下文中,将参照图4和图5详细描述像素 PX_{ij} 的结构。为便于理解,将主要描述像素 PX_{ij} 的平面图中的平面结构,且然后将详细描述像素 PX_{ij} 的截面结构。

[0095] 图4是示出根据本公开示例性实施方式的有机发光显示装置的一个像素的平面图。图5是沿着图4的线VI-VI'截取以示出有机发光显示装置的剖视图。

[0096] 根据实施方式的像素 PX_{ij} 可包括具有第一扫描线151、第二扫描线152、第三扫描线154和发光控制线153的第一导电层,其中,第一扫描线151传输扫描信号 GW_j ,第二扫描线152传输扫描信号 GI_j ,第三扫描线154传输扫描信号 GB_j ,发光控制线153传输发光控制信号 E_j 。第一导电层定位在衬底110的一个表面上。衬底110可包括无机绝缘材料或有机绝缘材料,诸如玻璃、塑料等,并且可具有柔性。

[0097] 当在平面图中观察时,扫描线151、152和154、发光控制线153和第三驱动电压线 BML_j 可在相同的方向(例如,第一方向 DR_1)上延伸。当在平面图中观察时,第一扫描线151可设置在第二扫描线152与发光控制线153之间。

[0098] 根据示例性实施方式的显示装置的像素 PX_{ij} 还可包括具有电容器电极CE和初始化电压线RL的第二导电层。当在截面中观察时,第二导电层设置在与第一导电层不同的层上。例如,当在截面中观察时,第二导电层可设置在第一导电层上方。

[0099] 当在平面图中观察时,电容器电极CE和初始化电压线RL在与扫描线151、152和154基本上相同的方向(例如,第一方向 DR_1)上延伸。

[0100] 根据实施方式的像素 PX_{ij} 还可包括具有数据线171和第一驱动电压线PL的第三导电层,其中,数据线171传输数据信号 Di ,第一驱动电压线PL传输第一驱动电压ELVDD。当在截面中观察时,第三导电层设置在与第一导电层和第二导电层不同的层上。例如,第三导电层可设置在第二导电层上方。

[0101] 当在平面图中观察时,数据线171和第一驱动电压线PL可在基本上相同的方向(例如,第二方向 DR_2)上延伸,并且可与扫描线151、152和154、发光控制线153、初始化电压线RL以及电容器电极CE相交。

[0102] 像素 PX_{ij} 可包括第一晶体管T1至第七晶体管T7、电容器Cst和发光二极管ED,第一晶体管T1至第七晶体管T7以及电容器Cst连接至扫描线151、152和154、发光控制线153、数据线171和第一驱动电压线PL。

[0103] 第一晶体管T1至第七晶体管T7中的每一个的沟道可形成在一个有源图案105中,且有源图案105可弯曲成各种形状。有源图案105可包括半导体材料,诸如多晶硅或氧化物半导体。当在截面中观察时,有源图案105可设置在衬底110与第一导电层之间。

[0104] 有源图案105包括分别对应于第一晶体管T1至第七晶体管T7的第一有源图案A1至第七有源图案A7。第一有源图案A1包括第一源电极S1、第一沟道C1和第一漏电极D1。第一源电极S1连接至第二晶体管T2的第二漏电极D2和第五晶体管T5的第五漏电极D5,且第一漏电极D1连接至第三晶体管T3的第三源电极S3和第六晶体管T6的第六源电极S6。

[0105] 第一有源图案A1可包括多晶硅或氧化物半导体。氧化物半导体可包括基于钛(Ti)、铪(Hf)、锆(Zr)、铝(Al)、钽(Ta)、锗(Ge)、锌(Zn)、镓(Ga)、锡(Sn)或铟(In)的氧化物及其复合氧化物中的一种,诸如锌氧化物(ZnO)、铟镓锌氧化物($In-Ga-Zn-O$)、锌铟氧化物

(Zn-In-O)、锌锡氧化物(Zn-Sn-O)、铟镓氧化物(In-Ga-O)、铟锡氧化物(In-Sn-O)、铟锆氧化物(In-Zr-O)、铟锆锌氧化物(In-Zr-Zn-O)、铟锆锡氧化物(In-Zr-Sn-O)、铟锆镓氧化物(In-Zr-Ga-O)、铟铝氧化物(In-Al-O)、铟锌铝氧化物(In-Zn-Al-O)、铟锡铝氧化物(In-Sn-Al-O)、铟铝镓氧化物(In-Al-Ga-O)、铟钽氧化物(In-Ta-O)、铟钽锌氧化物(In-Ta-Zn-O)、铟钽锡氧化物(In-Ta-Sn-O)、铟钽镓氧化物(In-Ta-Ga-O)、铟锗氧化物(In-Ge-O)、铟锗锌氧化物(In-Ge-Zn-O)、铟锗锡氧化物(In-Ge-Sn-O)、铟锗镓氧化物(In-Ge-Ga-O)、钛铟锌氧化物(Ti-In-Zn-O)和铪铟锌氧化物(Hf-In-Zn-O)。在第一有源图案A1包括氧化物半导体的情况下,可添加附加保护层以保护易受外部环境(例如高温)影响的氧化物半导体。

[0106] 第一有源图案A1的第一沟道C1可以是掺杂有n型杂质或p型杂质的沟道,且第一源电极S1和第一漏电极D1可彼此间隔开使得第一沟道C1设置在第一源电极S1与第一漏电极D1之间,并且第一源电极S1和第一漏电极D1可掺杂有与提供至第一沟道C1的掺杂杂质相反的掺杂杂质。

[0107] 第一栅电极G1设置在第一有源图案A1的第一沟道C1上方且具有岛状形状。第一栅电极G1通过接触孔H1和接触孔H3、经由栅桥GB连接至第四晶体管T4的第四漏电极D4和第三晶体管T3的第三漏电极D3。第一栅电极G1与电容器电极CE重叠,充当第一晶体管T1的栅电极,并且充当电容器Cst的一个电极。换言之,第一栅电极G1与电容器电极CE一起形成电容器Cst。

[0108] 第二晶体管T2设置在衬底110上方且包括第二有源图案A2和第二栅电极G2。第二有源图案A2包括第二源电极S2、第二沟道C2和第二漏电极D2。第二源电极S2通过接触孔H2连接至数据线171,且第二漏电极D2连接至第一晶体管T1的第一源电极S1。作为第二有源图案A2的与第二栅电极G2重叠的沟道区域的第二沟道C2设置在第二源电极S2与第二漏电极D2之间。换言之,第二有源图案A2连接至第一有源图案A1。

[0109] 下部栅电极BG2设置在第二有源图案A2与衬底110之间。下部栅电极BG2与第三驱动电压线BMLj一体地形成。第二有源图案A2的第二沟道C2与第三驱动电压线BMLj重叠,第三驱动电压VGH施加至第三驱动电压线BMLj,且根据供应至第三驱动电压线BMLj的电源的极性,诸如电子或空穴的电荷积聚在第二有源图案A2的第二沟道C2中,从而控制第二晶体管T2的阈值电压。

[0110] 换言之,可使用第三驱动电压线BMLj减小或增大第二晶体管T2的阈值电压,并且可通过控制第二晶体管T2的阈值电压改善第二晶体管T2的滞后现象。

[0111] 在本示例性实施方式中,第三驱动电压线BMLj设置在第一扫描线151下方。第三驱动电压线BMLj在第二方向DR2上的宽度比第一扫描线151在第二方向DR2上的宽度宽。

[0112] 第二有源图案A2的第二沟道C2可以是掺杂有n型杂质或p型杂质的沟道,且第二源电极S2和第二漏电极D2可彼此间隔开使得第二沟道C2设置在第二源电极S2与第二漏电极D2之间,并且第二源电极S2和第二漏电极D2可掺杂有与提供至第二沟道C2的掺杂杂质相反的掺杂杂质。第二有源图案A2设置在与第一有源图案A1相同的层上,包括与第一有源图案A1相同的材料,且与第一有源图案A1一体地形成。

[0113] 第二栅电极G2设置在第二有源图案A2的第二沟道C2上方,且与第一扫描线151一体地形成。

[0114] 下部栅电极BG2(即,第三驱动电压线BMLj)不设置在第一有源图案A1与衬底110之

间。换言之，第一有源图案A1的第一沟道C1不与第三驱动电压线BMLj重叠。

[0115] 第三晶体管T3设置在衬底110上方并且包括第三有源图案A3和第三栅电极G3。

[0116] 第三有源图案A3包括第三源电极S3、第三沟道C3和第三漏电极D3。第三源电极S3连接至第一漏电极D1，且第三漏电极D3通过设置在接触孔H3中的栅桥GB连接至第一晶体管T1的第一栅电极G1。作为第三有源图案A3的与第三栅电极G3重叠的沟道区域的第三沟道C3设置在第三源电极S3与第三漏电极D3之间。换言之，第三有源图案A3连接第一有源图案A1和第一栅电极G1。

[0117] 第三有源图案A3的第三沟道C3可以是掺杂有n型杂质或p型杂质的沟道，且第三源电极S3和第三漏电极D3可彼此间隔开使得第三沟道C3设置在第三源电极S3与第三漏电极D3之间，并且第三源电极S3和第三漏电极D3可掺杂有与提供至第三沟道C3的掺杂杂质相反的掺杂杂质。第三有源图案A3设置在与第一有源图案A1和第二有源图案A2相同的层上，包括与第一有源图案A1和第二有源图案A2相同的材料，并且与第一有源图案A1和第二有源图案A2一体地形成。第三栅电极G3设置在第三有源图案A3的第三沟道C3上方，且与第一扫描线151一体地形成。

[0118] 第四晶体管T4设置在衬底110上方且包括第四有源图案A4和第四栅电极G4。

[0119] 第四有源图案A4包括第四源电极S4、第四沟道C4和第四漏电极D4。第四源电极S4通过接触孔H4连接至初始化电压线RL，并且第四漏电极D4通过接触孔H3、经由栅桥GB连接至第一晶体管T1的第一栅电极G1。作为第四有源图案A4的与第四栅电极G4重叠的沟道区域的第四沟道C4设置在第四源电极S4和第四漏电极D4之间。换言之，第四有源图案A4连接初始化电压线RL和第一栅电极G1，并且连接至第三有源图案A3和第一栅电极G1。

[0120] 第四有源图案A4的第四沟道C4可以是掺杂有n型杂质或p型杂质的沟道，且第四源电极S4和第四漏电极D4可彼此间隔开使得第四沟道C4设置在第四源电极S4与第四漏电极D4之间，并且第四源电极S4和第四漏电极D4可掺杂有与提供至第四沟道C4的掺杂杂质相反的掺杂杂质。第四有源图案A4设置在与第一有源图案A1、第二有源图案A2和第三有源图案A3相同的层上，包括与第一有源图案A1、第二有源图案A2和第三有源图案A3相同的材料，并且与第一有源图案A1、第二有源图案A2和第三有源图案A3一体地形成。第四栅电极G4设置在第四有源图案A4的第四沟道C4上方，且与第二扫描线152一体地形成。

[0121] 第五晶体管T5设置在衬底110上方且包括第五有源图案A5和第五栅电极G5。

[0122] 第五有源图案A5包括第五源电极S5、第五沟道C5和第五漏电极D5。第五源电极S5通过接触孔H5连接至第一驱动电压线PL，并且第五漏电极D5连接至第一晶体管T1的第一源电极S1。作为第五有源图案A5的与第五栅电极G5重叠的沟道区域的第五沟道C5设置在第五源电极S5与第五漏电极D5之间。换言之，第五有源图案A5连接第一驱动电压线PL和第一有源图案A1。

[0123] 第五有源图案A5的第五沟道C5可以是掺杂有n型杂质或p型杂质的沟道，且第五源电极S5和第五漏电极D5可彼此间隔开使得第五沟道C5设置在第五源电极S5与第五漏电极D5之间，并且第五源电极S5和第五漏电极D5可掺杂有与提供至第五沟道C5的掺杂杂质相反的掺杂杂质。第五有源图案A5设置在与第一有源图案A1、第二有源图案A2、第三有源图案A3和第四有源图案A4相同的层上，包括与第一有源图案A1、第二有源图案A2、第三有源图案A3和第四有源图案A4相同的材料，并且与第一有源图案A1、第二有源图案A2、第三有源图案A3

和第四有源图案A4一体地形成。

[0124] 第五栅电极G5设置在第五有源图案A5的第五沟道C5上方,且与发光控制线153一体地形成。

[0125] 第六晶体管T6设置在衬底110上方且包括第六有源图案A6和第六栅电极G6。

[0126] 第六有源图案A6包括第六源电极S6、第六沟道C6和第六漏电极D6。第六源电极S6连接至第一晶体管T1的第一漏电极D1,且第六漏电极D6通过接触孔H6连接至发光二极管ED的第一电极E1。作为第六有源图案A6的与第六栅电极G6重叠的沟道区域的第六沟道C6设置在第六源电极S6与第六漏电极D6之间。换言之,第六有源图案A6连接第一有源图案A1和发光二极管ED的第一电极E1。

[0127] 第六有源图案A6的第六沟道C6可以是掺杂有n型杂质或p型杂质的沟道,且第六源电极S6和第六漏电极D6可彼此间隔开使得第六沟道C6设置在第六源电极S6与第六漏电极D6之间,并且第六源电极S6和第六漏电极D6可掺杂有与提供至第六沟道C6的掺杂杂质相反的掺杂杂质。第六有源图案A6设置在与第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4和第五有源图案A5相同的层上,包括与第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4和第五有源图案A5相同的材料,并且与第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4和第五有源图案A5一体地形成。

[0128] 第六栅电极G6设置在第六有源图案A6的第六沟道C6上方,且与发光控制线153一体地形成。

[0129] 第七晶体管T7设置在衬底110上方且包括第七有源图案A7和第七栅电极G7。

[0130] 第七有源图案A7包括第七源电极S7、第七沟道C7和第七漏电极D7。第七源电极S7连接至发光二极管ED的第一电极E1,并且第七漏电极D7连接至第四晶体管T4的第四源电极S4。作为第七有源图案A7的与第七栅电极G7重叠的沟道区域的第七沟道C7设置在第七源电极S7与第七漏电极D7之间。换言之,第七有源图案A7连接发光二极管ED的第一电极E1和第四有源图案A4。

[0131] 第七有源图案A7的第七沟道C7可以是掺杂有n型杂质或p型杂质的沟道,且第七源电极S7和第七漏电极D7可彼此间隔开使得第七沟道C7设置在第七源电极S7与第七漏电极D7之间,并且第七源电极S7和第七漏电极D7可掺杂有与提供至第七沟道C7的掺杂杂质相反的掺杂杂质。第七有源图案A7设置在与第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4、第五有源图案A5和第六有源图案A6相同的层上,包括与第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4、第五有源图案A5和第六有源图案A6相同的材料,并且与第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4、第五有源图案A5和第六有源图案A6一体地形成。

[0132] 第七栅电极G7设置在第七有源图案A7的第七沟道C7上方,且与第三扫描线154一体地形成。

[0133] 如上所述,与第三驱动电压线BMLj一体形成的下部栅电极BG2设置在第二晶体管T2的第二有源图案A2与衬底110之间,但是下部栅电极BG2(即,第三驱动电压线BMLj)不设置在衬底110与第一晶体管T1、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6和第七晶体管T7的有源图案A1、A3、A4、A5、A6和A7之间。

[0134] 电容器Cst包括一个电极和另一个电极,一个电极和另一个电极彼此面对使得绝

缘层设置在一个电极与另一个电极之间。一个电极可以是电容器电极CE,且另一个电极可以是第一栅电极G1。电容器电极CE设置在第一栅电极G1上方并且通过接触孔H7连接至第一驱动电压线PL。电容器电极CE和第一栅电极G1可在彼此不同的层上由相同或不同的金属材料形成。

[0135] 电容器电极CE包括与第一栅电极G1的一部分重叠的开口OA,并且栅桥GB通过开口OA连接至第一栅电极G1。

[0136] 栅桥GB设置在第一扫描线151上,与第一驱动电压线PL间隔开,通过接触孔H3连接至第三有源图案A3的第三漏电极D3和第四有源图案A4的第四漏电极D4,并且通过接触孔H1连接至第一栅电极G1,接触孔H1形成穿过电容器电极CE的开口OA。

[0137] 初始化电压线RL通过接触孔H4连接至第四有源图案A4的第四源电极S4。初始化电压线RL设置在与发光二极管ED的第一电极E1相同的层上,并且包括与发光二极管ED的第一电极E1相同的材料。另一方面,根据本公开另一实施方式,初始化电压线RL可设置在与第一电极E1不同的层上,并且可包括与第一电极E1不同的材料。

[0138] 将参照图5详细描述根据示例性实施方式的显示装置在截面中的结构。

[0139] 缓冲层120可设置在衬底110上。缓冲层120防止杂质从衬底110传递到缓冲层120的上层,具体地,防止杂质传递到有源图案105,以改善有源图案105的特性并缓解应力。缓冲层120可包括无机绝缘材料和/或有机绝缘材料,诸如硅的氮化物(SiN_x)或硅的氧化物(SiO_x)。缓冲层120的至少一部分可被省略。

[0140] 如上所述的下部栅电极BG2设置在缓冲层120上,并且第一绝缘层130设置在下部栅电极BG2上。下部栅电极BG2包括金属材料,然而,其不应限于金属材料。换言之,下部栅电极BG2可包括可用于供应电力的其他材料,例如导电聚合物。有源图案105设置在第一绝缘层130上,并且第二绝缘层140设置在有源图案105上。

[0141] 上述第一导电层可设置在第一绝缘层130上。第一导电层可包括铜(Cu)、铝(Al)、钼(Mo)、钛(Ti)或其合金。

[0142] 第三绝缘层150可设置在第一导电层和第二绝缘层140上。

[0143] 上述第二导电层可设置在第三绝缘层150上。第二导电层可包括铜(Cu)、铝(Al)、钼(Mo)、钛(Ti)或其合金。

[0144] 第四绝缘层160可设置在第二导电层和第三绝缘层150上。

[0145] 第一绝缘层130、第二绝缘层140、第三绝缘层150和第四绝缘层160中的至少一者可包括无机绝缘材料和/或有机绝缘材料,诸如硅的氮化物(SiN_x)、硅的氧化物(SiO_x)或硅的氧氮化物(SiO_xN_y)。

[0146] 第一绝缘层130、第二绝缘层140、第三绝缘层150和第四绝缘层160可包括设置在第一栅电极G1上方的接触孔H1、设置在第二晶体管T2的第二源电极S2上方的接触孔H2、设置在第三晶体管T3的第三漏电极D3和第四晶体管T4的第四漏电极D4上方的接触孔H3、设置在初始化电压线RL上方的接触孔H4、设置在第五晶体管T5的第五源电极S5上方的接触孔H5、设置在第六晶体管T6的第六漏电极D6上方的接触孔H6、以及设置在电容器电极CE上方的接触孔H7。

[0147] 上述第三导电层可设置在第四绝缘层160上。第三导电层可包括铜(Cu)、铝(Al)、钼(Mo)、钛(Ti)或其合金。

[0148] 电容器电极CE设置成与第一栅电极G1重叠,并且第三绝缘层150设置在电容器电极CE与第一栅电极G1之间,从而形成电容器Cst。

[0149] 保护层180设置在第三导电层和第四绝缘层160上。保护层180可包括有机绝缘材料,诸如聚丙烯酸基树脂或聚酰亚胺基树脂,并且保护层180的上表面可以是平坦的。

[0150] 包括第一电极E1的第四导电层可设置在保护层180上。第四导电层可包括铜(Cu)、铝(Al)、钼(Mo)、钛(Ti)或其合金。像素限定层190可设置在保护层180和第四导电层上。像素限定层190设置有位于第一电极E1上方、穿透像素限定层190而限定的开口191。

[0151] 有机发光层OL设置在第一电极E1上。有机发光层OL可设置在开口191中。有机发光层OL可包括有机发光材料或无机发光材料。

[0152] 第二电极E2设置在有机发光层OL上。第二电极E2可形成在像素限定层190上并且可在多个像素上方延伸。

[0153] 第一电极E1、有机发光层OL和第二电极E2形成发光二极管ED。

[0154] 在第二电极E2上还可设置有封装层(未示出)以保护发光二极管ED。封装层可包括彼此交替地堆叠的无机层和有机层。

[0155] 第一电极E1通过接触孔连接至第六晶体管T6的第六漏电极D6。有机发光层OL设置在第一电极E1与第二电极E2之间。第二电极E2设置在有机发光层OL上。第一电极E1和第二电极E2中的至少一者可以是光透射电极、光反射电极和光半反射半透射电极中的至少一者,并且从有机发光层OL发射的光可朝向第一电极E1和第二电极E2中的一者或两者发射。

[0156] 封盖层可设置在发光二极管ED上以覆盖发光二极管ED,并且薄膜封装层或封装衬底可设置在发光二极管ED上方使得封盖层设置在其间。

[0157] 图6是示出图2中所示的第二晶体管的阈值电压的变化的视图。

[0158] 参照图2和图6,当环境温度从室内温度改变为高温(例如,约70摄氏度)时,第二晶体管T2的阈值电压正向偏移。换言之,高温中的阈值电压曲线HT比室温中的阈值电压曲线LT更偏向于正方向(+方向)。在第二晶体管T2的阈值电压正向偏移的情况下,在第二晶体管T2和第三晶体管T3需要维持截止状态的发光周期期间,流经第二晶体管T2和第三晶体管T3的泄漏电流可能增加。流经第二晶体管T2和第三晶体管T3的泄漏电流使第一晶体管T1的第一栅电极G1的电压电平增加,并且使供应至发光二极管ED的驱动电流Id减小。因此,发光二极管ED的发光亮度可能劣化。

[0159] 根据本公开示例性实施方式的第二晶体管T2包括下部栅电极BG2,并且第三驱动电压VGH通过第三驱动电压线BMLj施加至下部栅电极BG2。第三驱动电压VGH例如可以是约7伏。例如,当第三驱动电压VGH为约7伏时,第二晶体管T2的阈值电压可偏移约-0.3伏。

[0160] 因此,可防止发光二极管ED的发光亮度由于发光二极管ED的阈值电压的正向偏移而劣化。

[0161] 图7是示出图1中所示的有机发光显示装置的AR1区域的平面图。图8是沿着图7的线VII-VII'截取的剖视图。

[0162] 参照图1、图7和图8,传输来自电压发生器500的第三驱动电压VGH的电压线510在第二方向DR2上延伸。发光线EL1至ELn和扫描线SL1至SLn在与第二方向DR2相交的第一方向DR1上延伸。

[0163] 第三驱动电压线BML1至BMLn中的每一个可布置成平行于扫描线SL1至SLn中的相

应的扫描线。在本示例性实施方式中,第三驱动电压线BML1至BMLn中的每一个布置在扫描线SL1至SLn中的相应的扫描线下方。此外,第三驱动电压线BML1至BMLn的数量等于布置在第二方向DR2上的像素的数量,即,等于扫描线SL1至SLn的数量。

[0164] 电压线510通过接触孔CH1至CHn连接至第三驱动电压线BML1至BMLn。

[0165] 参照图5、图7和图8,发光线EL1至ELn可包括与发光控制线153相同的材料,并且可设置在与发光控制线153相同的层上。电压线510可设置在包括电容器电极CE和初始化电压线RL的第二导电层中。根据另一实施方式,电压线510可设置在包括数据线171和传输第一驱动电压ELVDD的第一驱动电压线PL的第三导电层中。

[0166] 图9A至图9F是沿着图4的线VIII-VIII'和线IX-IX'截取的剖视图。

[0167] 参照图9A,缓冲层120形成在衬底110上。下部栅电极BG2形成在缓冲层120上。第一绝缘层130和初始半导体图案SP1形成在下部栅电极BG2上。初始半导体图案SP1可通过沉积半导体材料并图案化半导体材料来形成。初始半导体图案SP1可通过进一步执行诸如热处理工艺的结晶化工艺来形成。

[0168] 然后,如图9B中所示,光致抗蚀剂PR均匀地涂覆在初始半导体图案SP1上,且与初始半导体图案SP1的第二有源图案A2对应的区域掺杂有第一杂质DM1。作为示例,第一杂质DM1是硼(B)离子。

[0169] 然后,如图9C中所示,移除光致抗蚀剂PR。与初始半导体图案SP1的第二晶体管T2的第二有源图案A2对应的区域掺杂有硼离子。第一杂质DM1可通过扩散工艺或离子注射工艺注射到初始半导体图案SP1中,然而,其不应被特别限制。

[0170] 然后,如图9D中所示,形成第二绝缘层140和第一导电层CL1。第二绝缘层140可通过在衬底110或缓冲层120上沉积、涂覆或印刷无机材料和/或有机材料来形成。第二绝缘层140可覆盖初始半导体图案SP1。然后,导电材料沉积在第二绝缘层140上以形成第一导电层CL1。

[0171] 如图9E中所示,在形成第二栅电极G2和第五栅电极G5之后,形成第二有源图案A2和第五有源图案A5。第二栅电极G2和第五栅电极G5可通过图案化第一导电层CL1来形成。可使用相同的掩模基本上同时图案化第二栅电极G2和第五栅电极G5。另一方面,这仅仅是示例性的,并且可使用彼此不同的掩模单独地图案化第二栅电极G2和第五栅电极G5。

[0172] 然后,第二杂质DM2注射到初始半导体图案SP1中以形成第二有源图案A2和第五有源图案A5。可使用扩散工艺或离子注射工艺将第二杂质DM2注射到初始半导体图案SP1中,然而,其不应被特别限制。

[0173] 第二杂质DM2可包括各种材料。例如,第二杂质DM2可包括三价元素。在这种情况下,第二有源图案A2和第五有源图案A5可形成为p型半导体。

[0174] 第二杂质DM2注射到初始半导体图案SP1的不与第二栅电极G2和第五栅电极G5重叠的区域中,且因此,初始半导体图案SP1形成在包括第二源电极S2、第二沟道C2和第二漏电极D2的第二有源图案A2以及包括第五源电极S5、第五沟道C5和第五漏电极D5的第五有源图案A5中。

[0175] 因此,具有比第二有源图案A2的第二沟道C2中的浓度以及第五有源图案A5的第五沟道C5中的浓度相对高的浓度的第二杂质DM2存在于第二有源图案A2的第二源电极S2和第二漏电极D2以及第五有源图案A5的第五源电极S5和第五漏电极D5中。换言之,当初始半导

体图案SP1使用第二栅电极G2和第五栅电极G5作为自对齐掩模来掺杂离子杂质时,初始半导体图案SP1包括掺杂有离子杂质的第二有源图案A2和第五有源图案A5。

[0176] 然后,如图9F中所示,第三绝缘层150、第四绝缘层160、第三导电层171、保护层180、像素限定层190和第一电极E1顺序地堆叠。在本示例性实施方式中,第三导电层171是数据线。

[0177] 在第三驱动电压VGH(例如,约7伏)施加至第二晶体管T2的下部栅电极BG2的情况下,第二晶体管T2的阈值电压负向偏移。在第二晶体管T2的阈值电压负向偏移超过期望电压的情况下,掺杂到与初始半导体图案SP1的第二有源图案A2对应的区域中的第一杂质DM1的浓度可能改变。

[0178] 例如,当掺杂到与初始半导体图案SP1的第二有源图案A2对应的区域中的硼(B)离子的浓度增加约 1×10^{11} 原子/cm²时,第二晶体管T2的阈值电压正向偏移约0.1伏。

[0179] 换言之,随着施加至第二晶体管T2的下部栅电极BG2的第三驱动电压VGH的电压电平增加,第二晶体管T2的阈值电压负向偏移,且随着掺杂到与初始半导体图案SP1的第二有源图案A2对应的区域中的硼(B)离子的浓度增加,第二晶体管T2的阈值电压正向偏移。因此,可通过控制施加至第二晶体管T2的下部栅电极BG2的第三驱动电压VGH的电压电平和掺杂到与初始半导体图案SP1的第二有源图案A2对应的区域中的硼(B)离子的浓度来调整第二晶体管T2的阈值电压的范围。

[0180] 根据另一实施方式,掺杂到与初始半导体图案SP1的第二有源图案A2对应的区域中的第一杂质DM1可以是磷(P)离子。随着掺杂到与初始半导体图案SP1的第二有源图案A2对应的区域中的磷(P)离子的浓度增加,第二晶体管T2的阈值电压负向偏移。换言之,在第二晶体管T2的阈值电压的负向偏移量由于施加至第二晶体管T2的下部栅电极BG2的第三驱动电压VGH而不足的情况下,可以增加掺杂到与初始半导体图案SP1的第二有源图案A2对应的区域中的磷(P)离子的浓度。

[0181] 图10是示出根据本公开另一示例性实施方式的有机发光显示装置的平面图。

[0182] 参照图10,有机发光显示装置600包括具有显示区域DPA和非显示区域NDA的显示衬底610。多个像素(未示出)布置在显示区域DPA中。扫描驱动电路620和数据驱动电路630布置在非显示区域NDA中。包括沿着非显示区域NDA的边缘对齐的多个焊盘P1至Pk的焊盘部605布置在非显示区域NDA中。焊盘P1至Pk连接至外部主机装置(未示出)并且从主机装置接收信号。焊盘P1至Pk中的一个焊盘Pk可以是用于接收第三驱动电压VGH的焊盘。

[0183] 扫描驱动电路620生成多个扫描信号并且将扫描信号顺序地输出至多条扫描线SL1至SLn。此外,扫描驱动电路620生成多个发光控制信号并且将发光控制信号输出至多条发光线EL1至ELn。

[0184] 数据驱动电路630将数据信号输出至稍后描述的多条数据线DL1至DLm。

[0185] 显示衬底610包括扫描线SL1至SLn、发光线EL1至ELn、数据线DL1至DLm、第三驱动电压线BML1至BMLm和像素(未示出)。扫描线SL1至SLn在第一方向DR1上延伸。发光线EL1至ELn中的每一个可布置成平行于扫描线SL1至SLn中的相应的扫描线。数据线DL1至DLm在第二方向DR2上延伸。数据线DL1至DLm在与扫描线SL1至SLn和发光线EL1至ELn相交的同时与扫描线SL1至SLn和发光线EL1至ELn绝缘。

[0186] 第三驱动电压线BML1至BMLm中的每一个可布置成平行于数据线DL1至DLm中的相

应的数据线。在本示例性实施方式中,第三驱动电压线BML1至BMLm的数量等于布置在第一方向DR1上的像素的数量,即等于数据线DL1至DLm的数量。第三驱动电压线BML1至BMLm在与扫描线SL1至SLn和发光线EL1至ELn相交的同时与扫描线SL1至SLn和发光线EL1至ELn绝缘。

[0187] 图11是示出根据本公开示例性实施方式的有机发光显示装置的一个像素的平面图。图12是沿着图11的线X-X'截取以示出有机发光显示装置的剖视图。

[0188] 在图11和图12中,像素PX_{i j}的相同的元件被分配有与图4和图5中所示的像素PX_{i j}相同的参考标号。

[0189] 参照图11,第三驱动电压线BML_i与数据线171重叠。当第三驱动电压VGH施加至第三驱动电压线BML_i时,第二晶体管T2的阈值电压根据施加至第三驱动电压线BML_i的电压的电压电平来控制。

[0190] 在本示例性实施方式中,第三驱动电压线BML_i设置在数据线171下方。第三驱动电压线BML_i在第一方向DR1上的宽度比数据线171在第一方向DR1上的宽度宽。

[0191] 将参照图12详细描述根据示例性实施方式的显示装置的截面结构。

[0192] 缓冲层120设置在衬底110上。下部栅电极BG2设置在缓冲层120上,并且第一绝缘层130设置在下部栅电极BG2上。下部栅电极BG2包括金属材料,然而,其不应限于金属材料。换言之,下部栅电极BG2可包括可用于供应电力的其他材料,例如导电聚合物。第二有源图案A2的第二沟道C2与下部栅电极BG2重叠。当第三驱动电压VGH施加至下部栅电极BG2时,根据施加至第三驱动电压线BML_i的电源的极性,诸如电子或空穴的电荷积聚在第二有源图案A2的第二沟道C2中。因此,第二晶体管T2的阈值电压得到控制。

[0193] 尽管已描述了本发明构思的示例性实施方式,但是应理解,本发明构思不应限于这些示例性实施方式,而是在如所附权利要求所要求保护的本发明构思的精神和范围内,可以由本领域普通技术人员作出各种改变和修改。

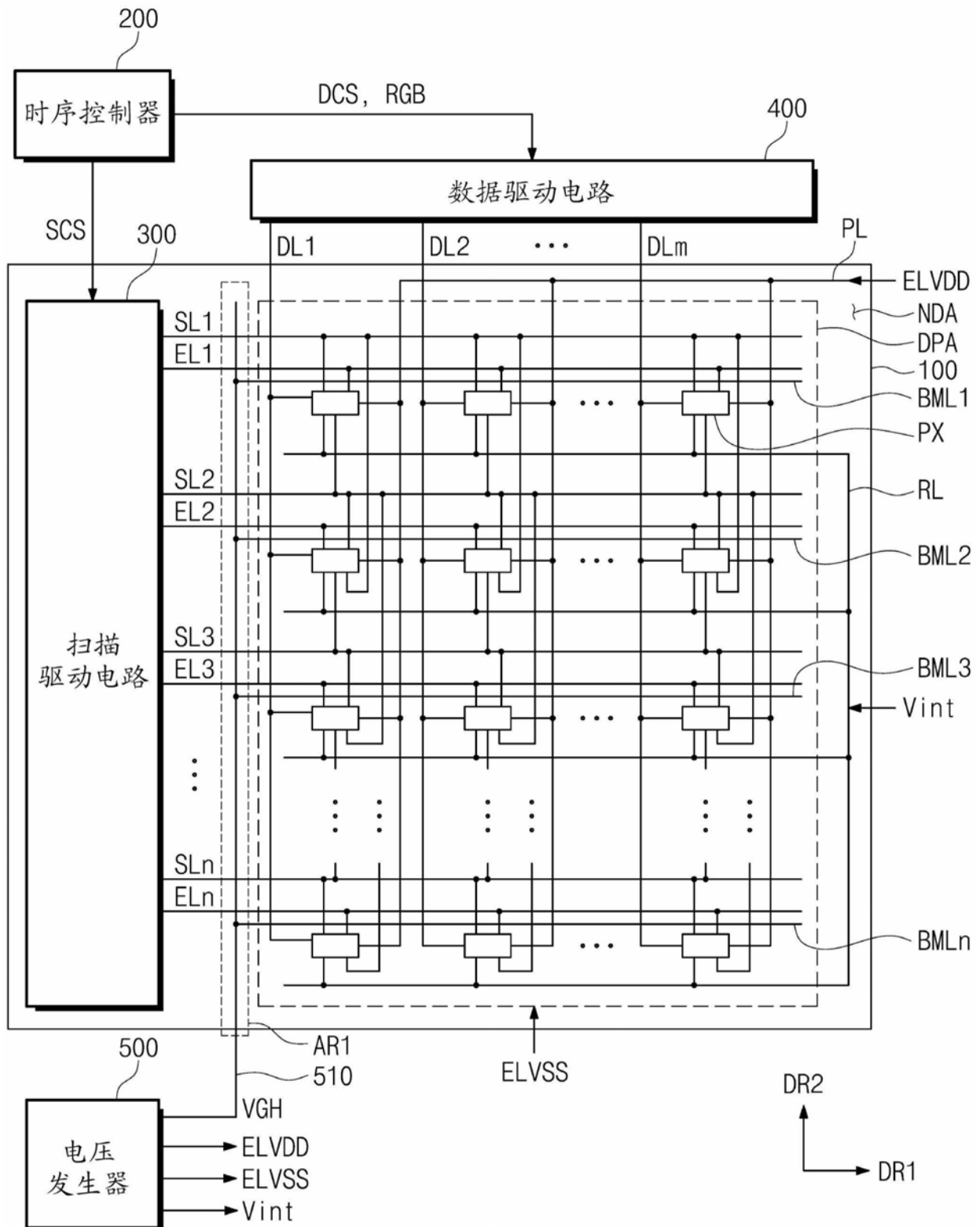


图1

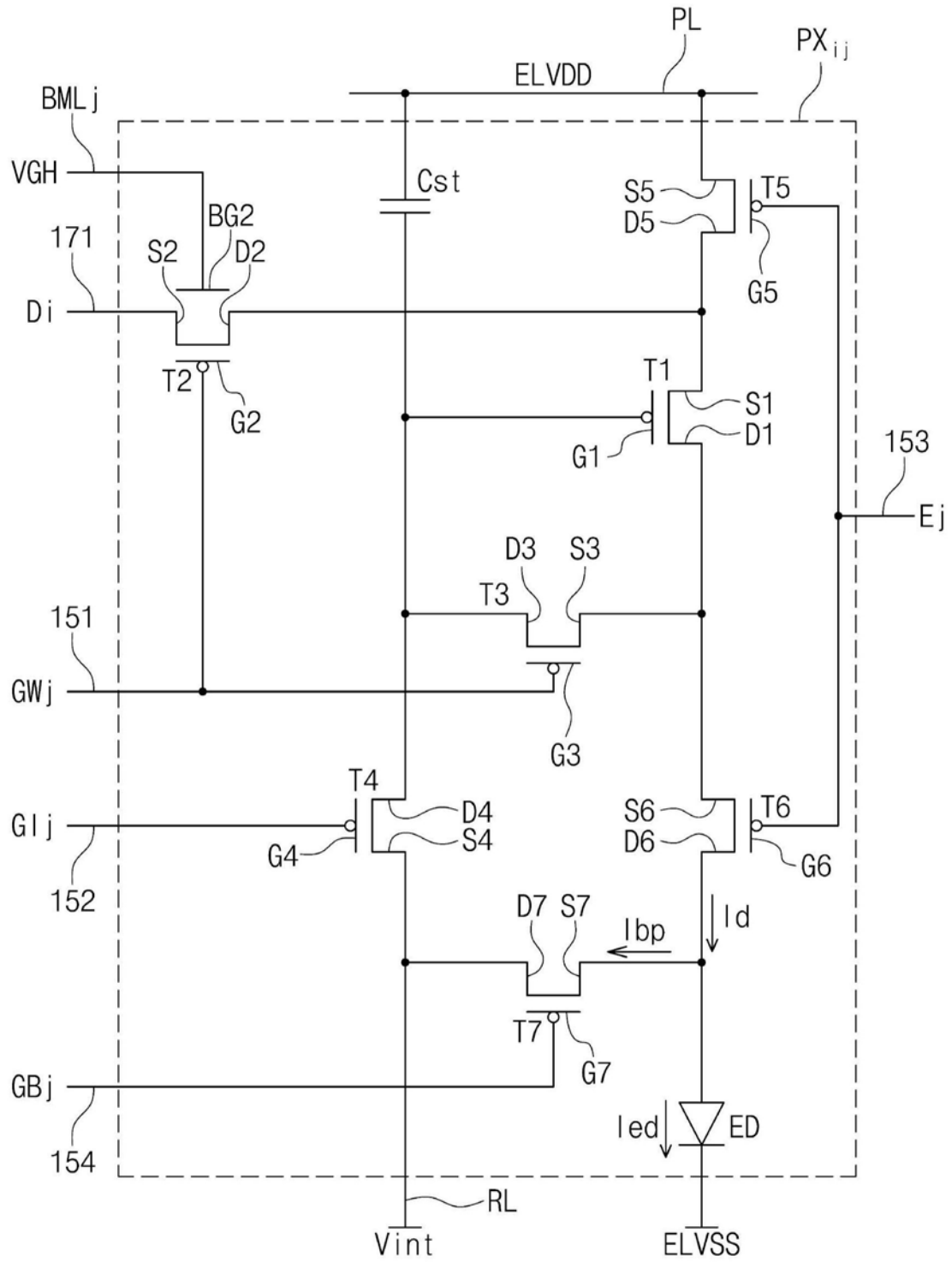


图2

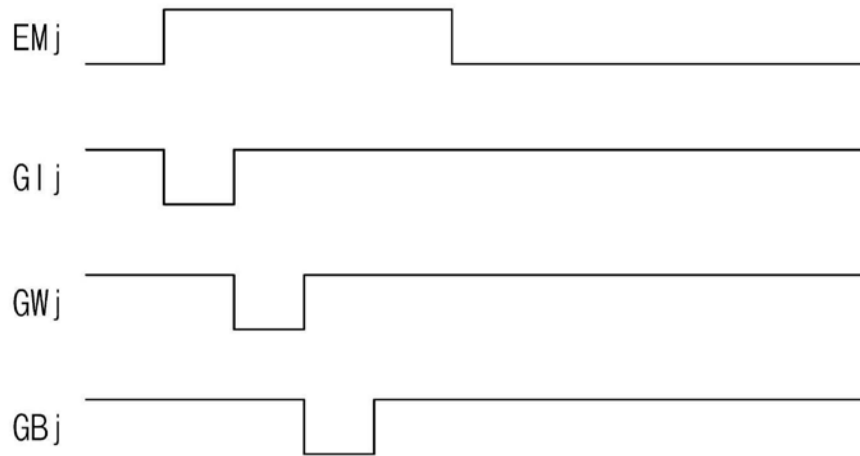


图3

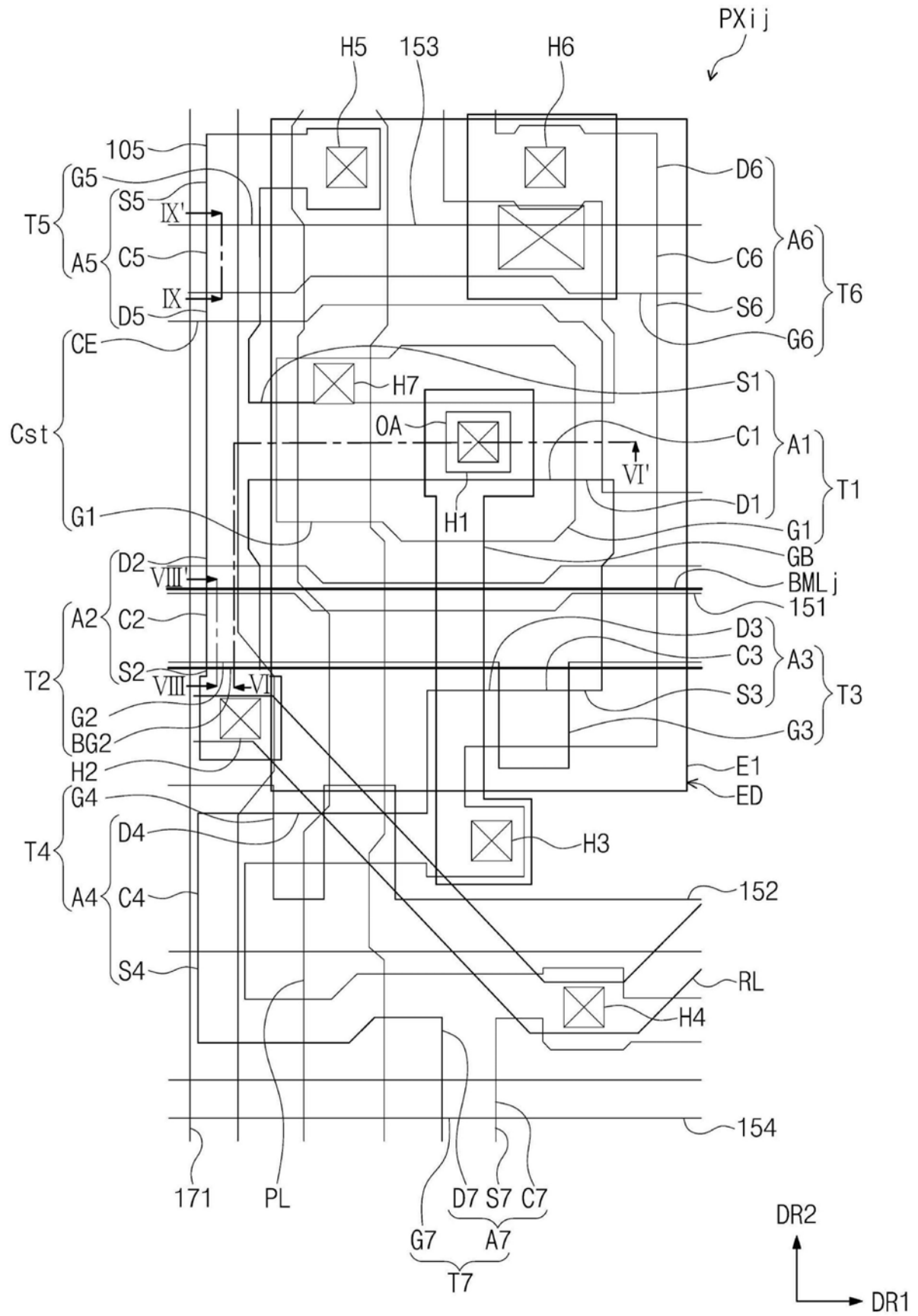


图4

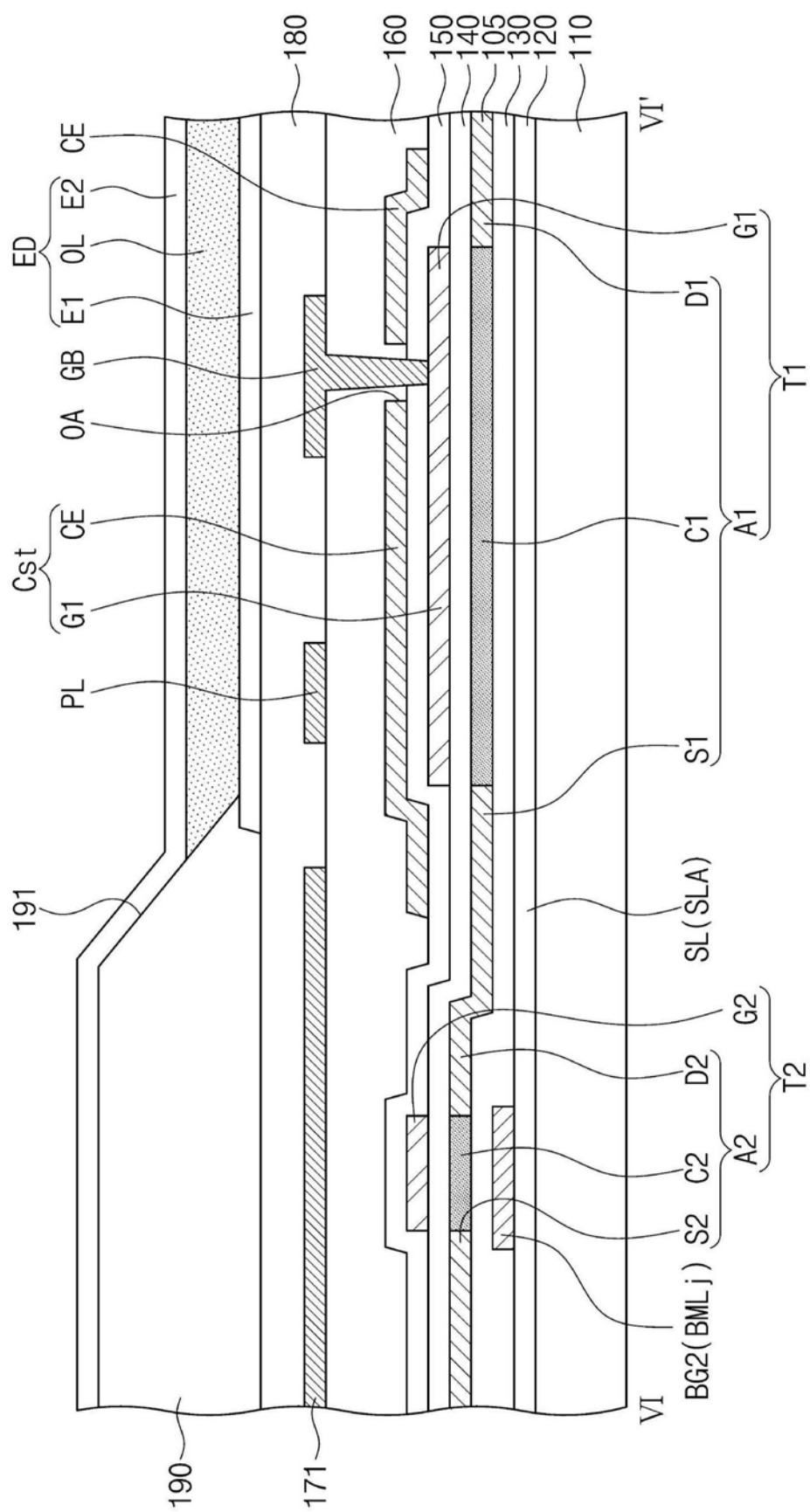


图5

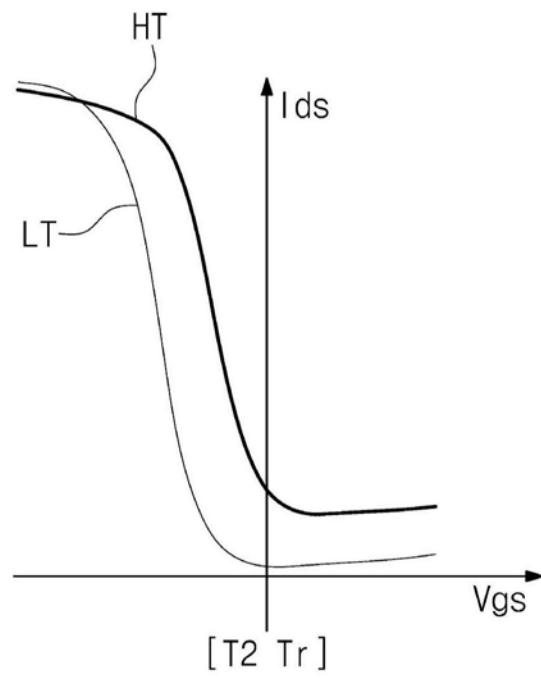


图6

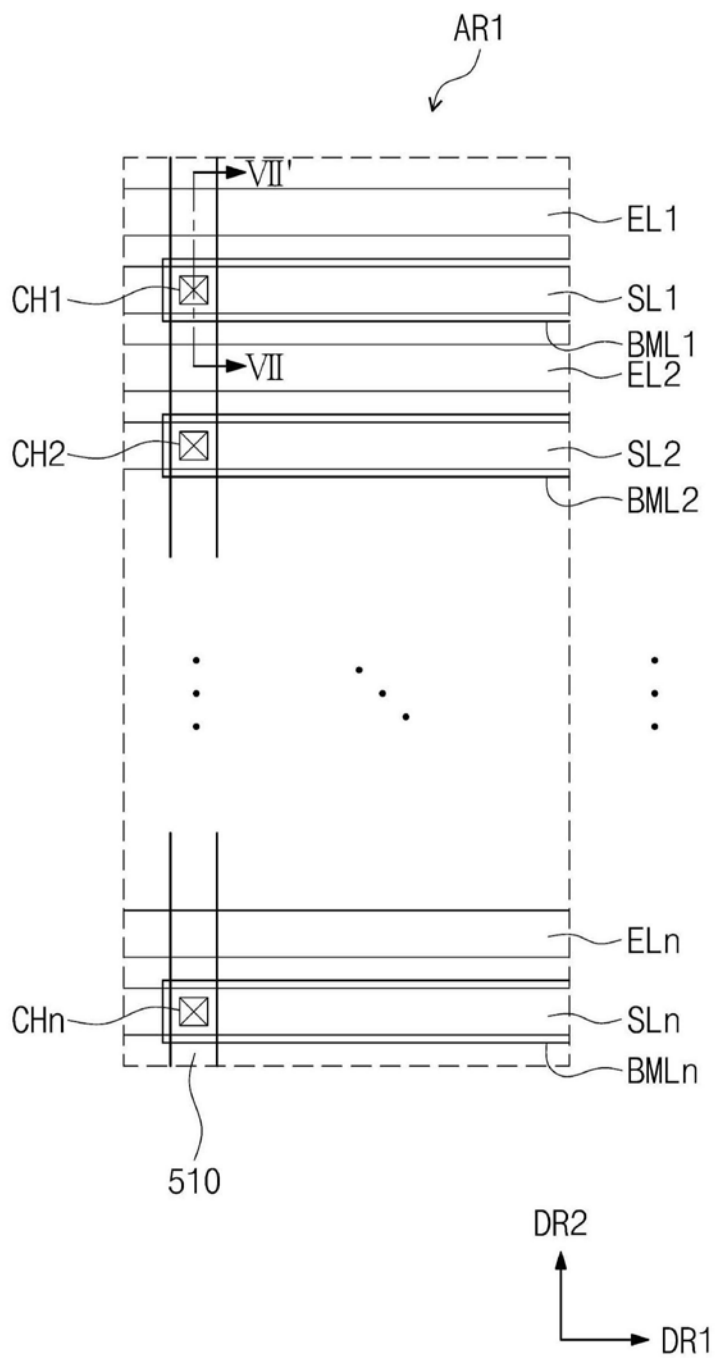


图7

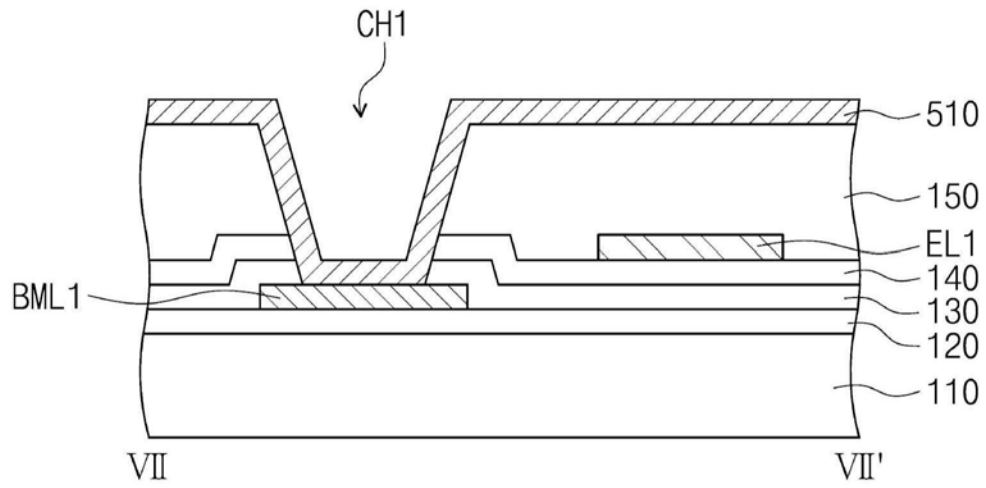


图8

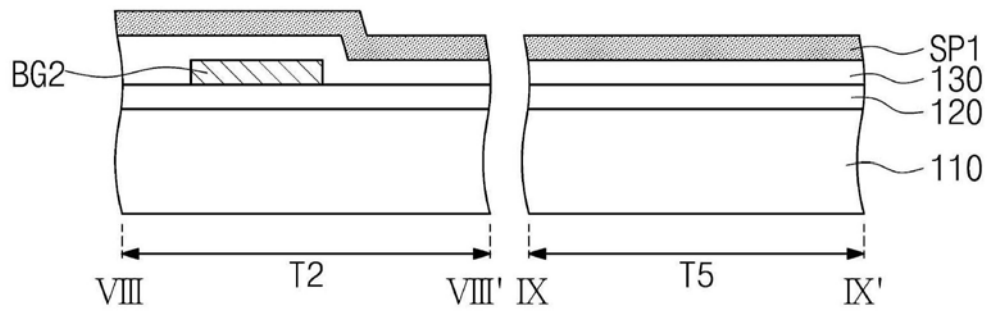


图9A

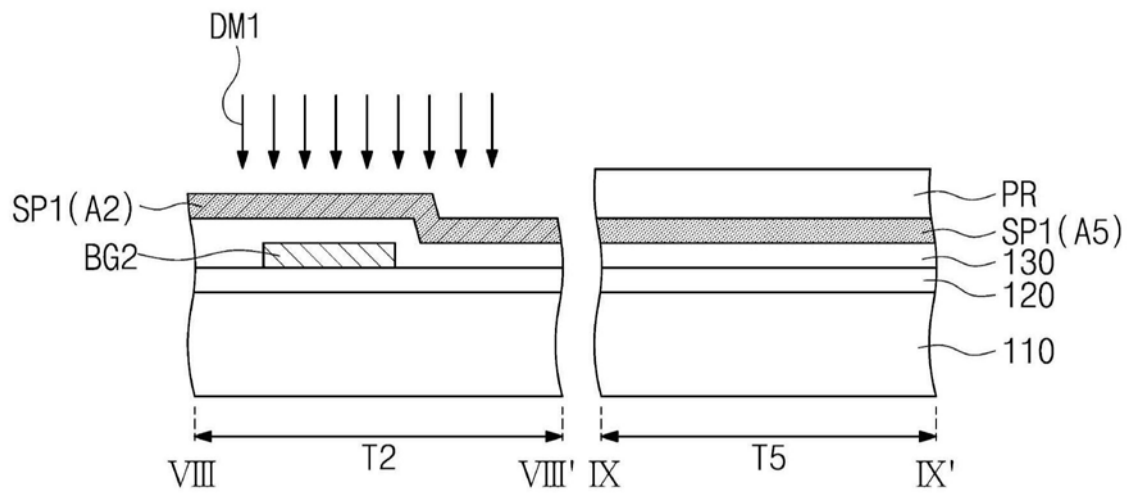


图9B

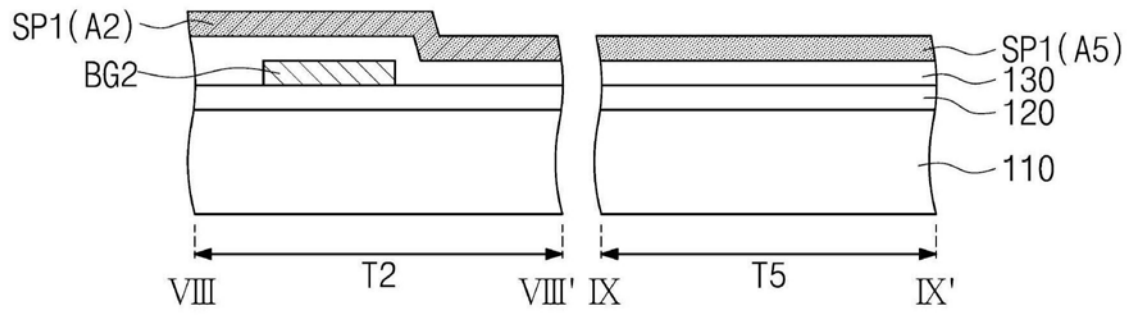


图9C

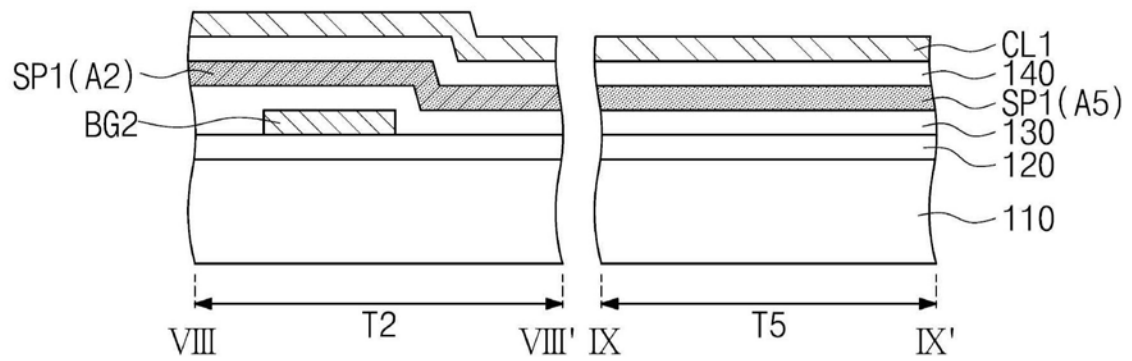


图9D

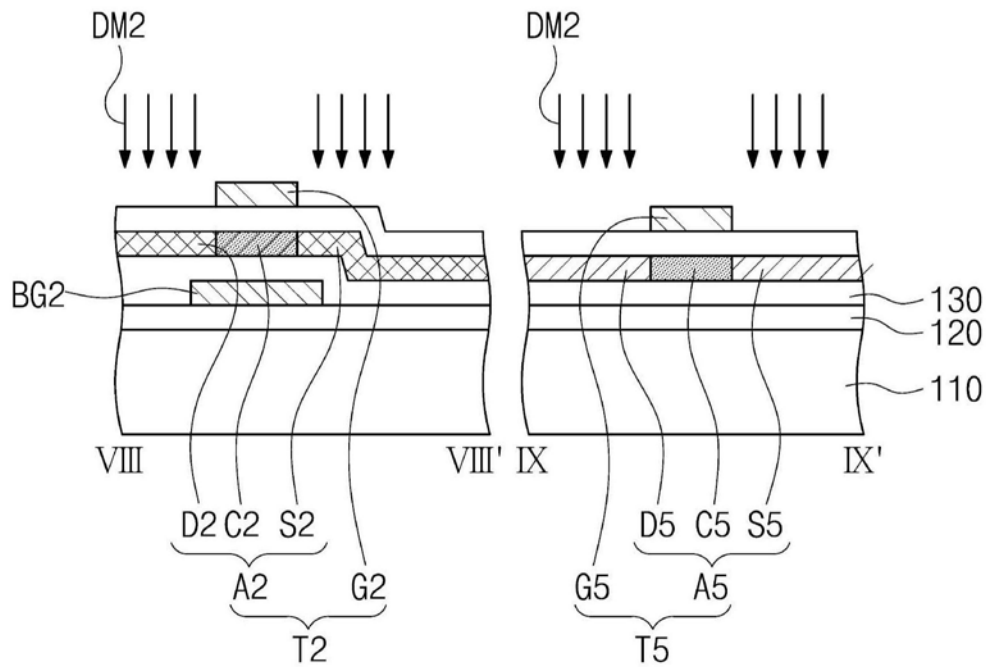


图9E

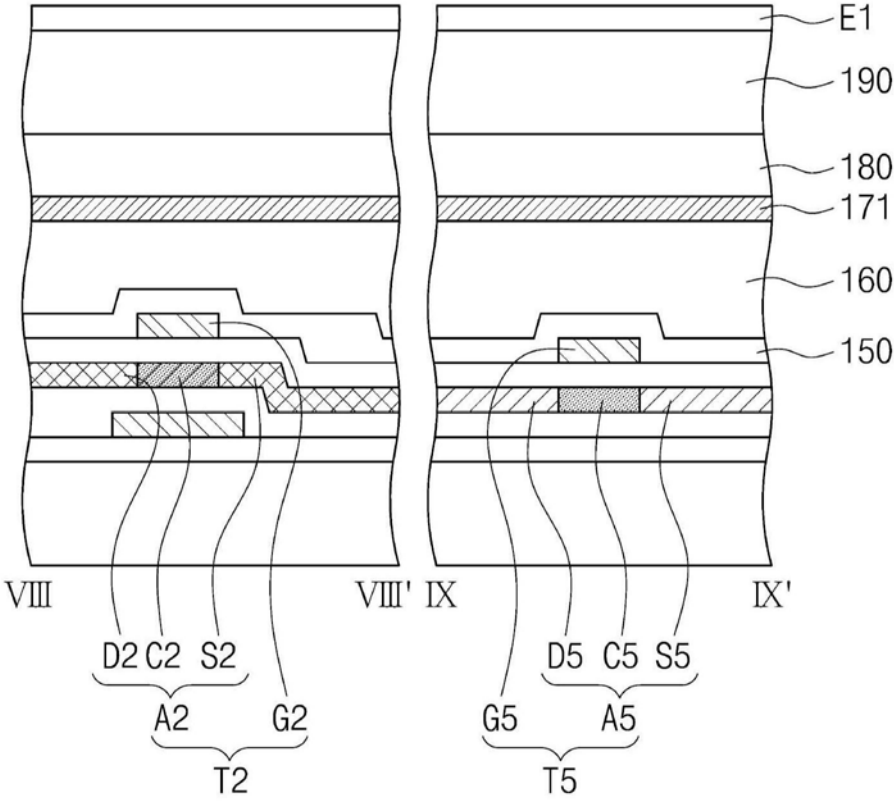


图9F

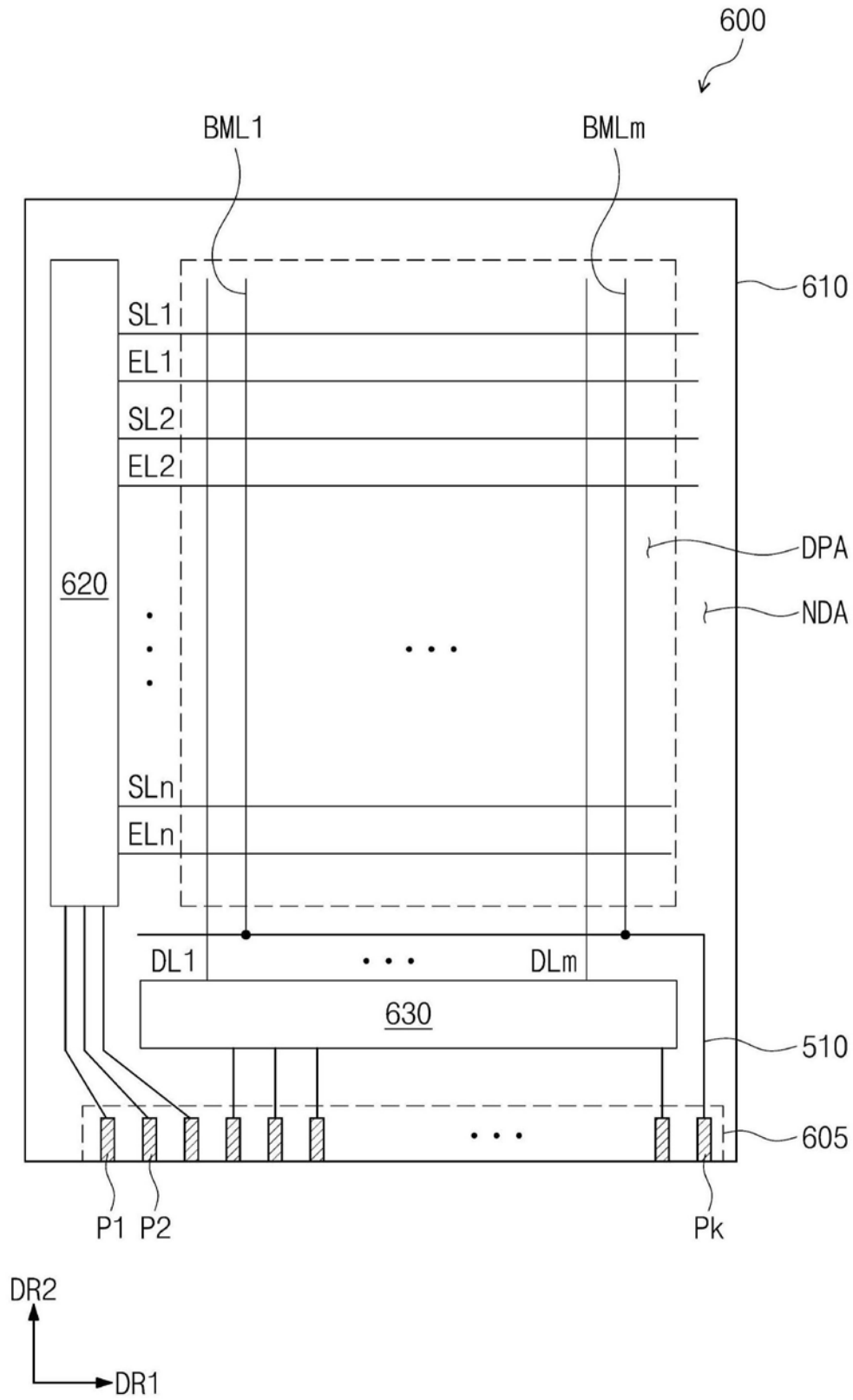


图10

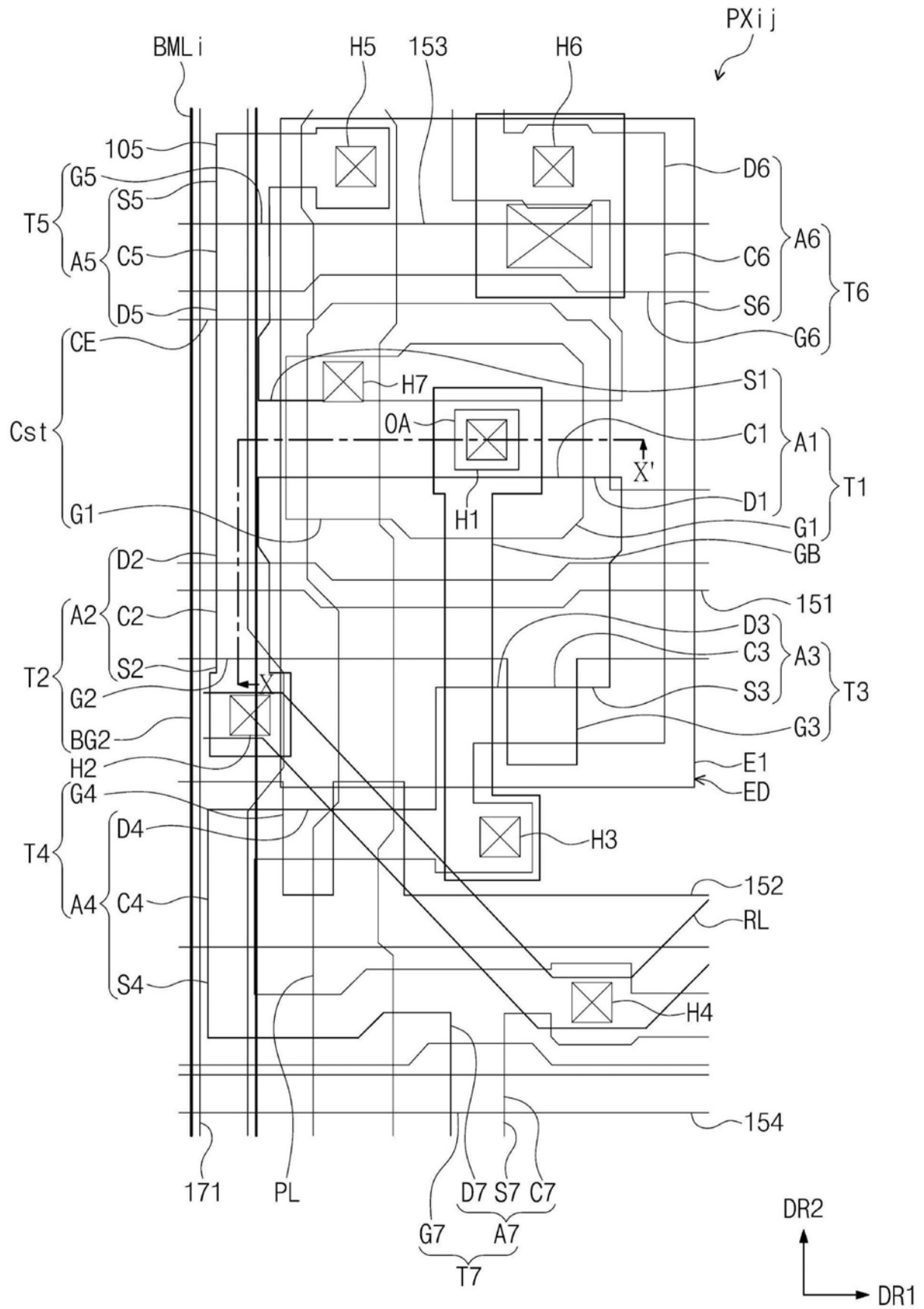


图11

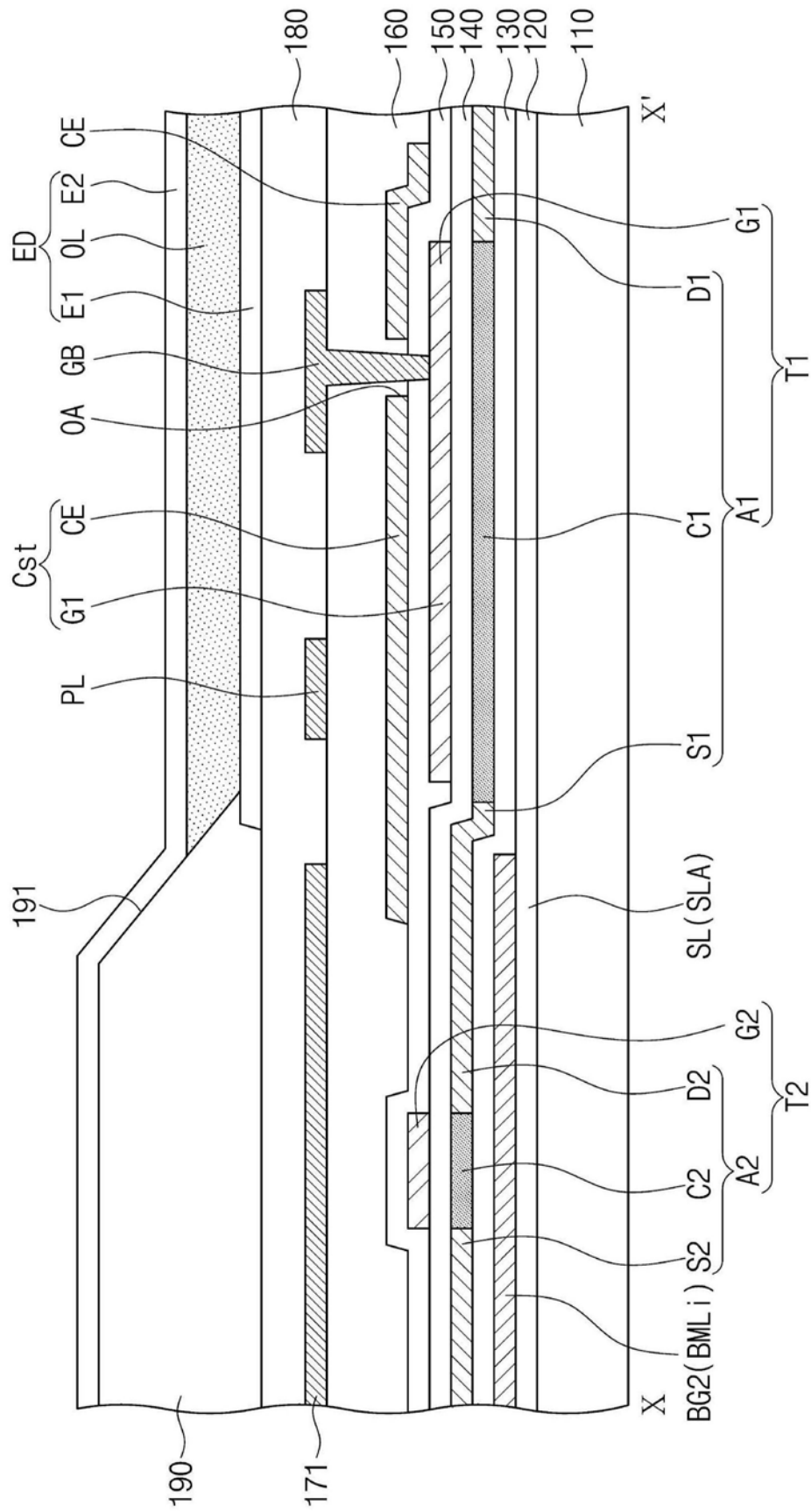


图12

专利名称(译)	有机发光显示装置		
公开(公告)号	CN110867454A	公开(公告)日	2020-03-06
申请号	CN201910788153.X	申请日	2019-08-26
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	王盛民 黄荣仁		
发明人	秋性伯 金应泽 王盛民 黄荣仁		
IPC分类号	H01L27/12 H01L27/32 G09G3/3225		
CPC分类号	G09G3/3225 H01L27/124 H01L27/1251 H01L27/3244 G09G3/3233 G09G2300/0421 G09G2300/0426 G09G2300/0814 G09G2300/0819 G09G3/3266 G09G3/3291 G09G2300/0439 G09G2300/0809 G09G2310/08		
代理人(译)	刘铮		
优先权	1020180101369 2018-08-28 KR		
外部链接	Espacenet SIPO		

摘要(译)

本申请涉及有机发光显示装置。该有机发光显示装置包括衬底、发光二极管、第一晶体管、第二晶体管和多条驱动电压线，其中：第一晶体管控制发光二极管的驱动电流；第二晶体管包括第二漏电极、第二栅电极、第二沟道、第二源电极和下部栅电极，第二漏电极连接至第一晶体管的第一源电极，当在平面图中观察时第二沟道与第二栅电极重叠，第二源电极面对第二漏电极且第二沟道插置在第二源电极与第二漏电极之间；多条驱动电压线传输第一驱动电压。当在平面图中观察时，第二晶体管的下部栅电极与第二沟道重叠，且下部栅电极电连接至驱动电压线中的相应的驱动电压线。

