



# (12)发明专利申请

(10)申请公布号 CN 109841193 A

(43)申请公布日 2019.06.04

(21)申请号 201810548016.4

(22)申请日 2018.05.31

(30)优先权数据

10-2017-0159650 2017.11.27 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 金旻旼 韩仁孝 辛宪基

(74)专利代理机构 北京三友知识产权代理有限公司 11127

代理人 刘久亮

(51)Int.Cl.

G09G 3/3266(2016.01)

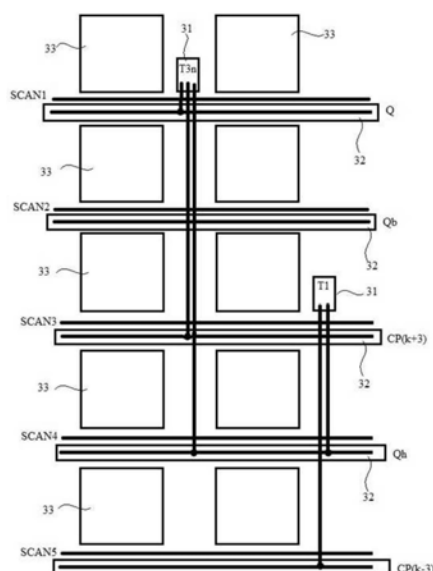
权利要求书3页 说明书11页 附图7页

## (54)发明名称

OLED显示面板及包括该OLED显示面板的OLED显示装置

## (57)摘要

OLED显示面板及包括该OLED显示面板的OLED显示装置。本发明涉及一种OLED显示面板，该OLED显示面板使边框尺寸最小化，并且包括：有效显示区域，所述有效显示区域包括数据线、与所述数据线交叉的扫描线以及布置在每个交叉处的子像素；以及GIP驱动电路的级，所述GIP驱动电路的级被分布并布置在所述有效显示区域中的由m(m是自然数)条扫描线所驱动的多个单元像素区中，以向对应的扫描线供应扫描脉冲，其中，所述有效显示区域还包括分别与所述m条扫描线相邻的m个GIP内部连接线部，并且用于将构成每个级的元件连接的多条内部连接线被分布并布置在所述m个GIP内部连接线部中。



1. 一种OLED显示面板,该OLED显示面板包括:

有效显示区域,所述有效显示区域包括数据线、与所述数据线交叉的扫描线以及布置在每个交叉处的子像素;以及

GIP驱动电路的级,所述GIP驱动电路的级被分布并布置在所述有效显示区域中的由m条扫描线所驱动的多个单元像素区中,以向对应的扫描线供应扫描脉冲,m是自然数,

其中,所述有效显示区域还包括分别与所述m条扫描线相邻的m个GIP内部连接线部,并且用于将构成每个级的元件连接的多条内部连接线被分布并布置在所述m个GIP内部连接线部中。

2. 根据权利要求1所述的OLED显示面板,其中,每个级包括:

逻辑单元,所述逻辑单元用于使用前一级的进位脉冲和后一级的进位脉冲来控制第一节点和第二节点的电压电平;

进位脉冲输出单元,所述进位脉冲输出单元用于响应于所述第一节点和所述第二节点的电压电平而将输入进位脉冲输出时钟信号作为进位脉冲输出;以及

m个扫描脉冲输出单元,所述m个扫描脉冲输出单元用于响应于所述第一节点和所述第二节点的电压电平而将输入扫描脉冲输出时钟信号作为扫描脉冲分别输出到所述m条扫描线。

3. 根据权利要求1所述的OLED显示面板,其中,所述单元像素区中的每一个包括至少三个子像素以及其中布置有构成所述GIP驱动电路的每个级的一个元件的GIP部,并且布置在所述m个GIP内部连接线部中的所述多条内部连接线延伸到所述GIP部并且与构成每个级的元件电连接。

4. 根据权利要求1所述的OLED显示面板,其中,在分别与所述m条扫描线相邻的区域中包括m个GIP内部连接线部,并且用于将构成每个级的单元元件连接的节点Q、节点Qb、节点Qh、前一级的进位脉冲输出端子和后一级的进位脉冲输出端子被分布并布置在所述m个GIP内部连接线部中。

5. 一种OLED显示面板,该OLED显示面板包括:

有效显示区域,所述有效显示区域包括数据线、与所述数据线交叉的扫描线以及布置在每个交叉处的子像素;以及

GIP驱动电路的级,所述GIP驱动电路的级被分布并布置在所述有效显示区域中的由五条扫描线所驱动的多个单元像素区中,以向对应的扫描线供应扫描脉冲,

其中,每个级包括:

逻辑单元,所述逻辑单元用于使用前一级的进位脉冲和后一级的进位脉冲来控制第一节点和第二节点的电压电平;

进位脉冲输出单元,所述进位脉冲输出单元用于响应于所述第一节点和所述第二节点的电压电平而将输入进位脉冲输出时钟信号作为进位脉冲输出;以及

第一扫描脉冲输出单元至第五扫描脉冲输出单元,所述第一扫描脉冲输出单元至所述第五扫描脉冲输出单元用于响应于所述第一节点和所述第二节点的电压电平而将第一输入扫描脉冲输出时钟信号至第五输入扫描脉冲输出时钟信号作为扫描脉冲分别输出到所述五条扫描线。

6. 根据权利要求5所述的OLED显示面板,其中,在分别与所述五条扫描线相邻的区域中

包括五个GIP内部连接线部,并且用于将构成每个级的单元元件连接的节点Q、节点Qb、节点Qh、所述前一级的进位脉冲输出端子和所述后一级的进位脉冲输出端子被分布并布置在各个GIP内部连接线部中。

7. 根据权利要求5所述的OLED显示面板,其中,所述单元像素区中的每一个包括至少三个子像素以及其中布置有构成所述GIP驱动电路的每个级的一个元件的GIP部,并且布置在五个GIP内部连接线部中的所述节点Q、所述节点Qb、所述节点Qh、所述前一级的进位脉冲输出端子和所述后一级的进位脉冲输出端子延伸到所述GIP部并且与构成每个级的单元元件电连接。

8. 一种OLED显示面板,该OLED显示面板包括:

有效显示区域,所述有效显示区域包括数据线、与所述数据线交叉的扫描线以及布置在每个交叉处的子像素;以及

GIP驱动电路的级,所述GIP驱动电路的级被分布并布置在所述有效显示区域中的由两条扫描线所驱动的多个单元像素区中,以向对应的扫描线供应扫描脉冲,

其中,每个级包括:

逻辑单元,所述逻辑单元用于使用前一级的进位脉冲和后一级的进位脉冲来控制第一节点和第二节点的电压电平;

进位脉冲输出单元,所述进位脉冲输出单元用于响应于所述第一节点和所述第二节点的电压电平而将输入进位脉冲输出时钟信号作为进位脉冲输出;以及

第一扫描脉冲输出单元和第二扫描脉冲输出单元,所述第一扫描脉冲输出单元和所述第二扫描脉冲输出单元用于响应于所述第一节点和所述第二节点的电压电平而将第一输入扫描脉冲输出时钟信号和第二输入扫描脉冲输出时钟信号作为扫描脉冲分别输出到所述两条扫描线。

9. 根据权利要求8所述的OLED显示面板,其中,所述有效显示区域还包括分别与所述两条扫描线相邻的两个GIP内部连接线部,

用于将构成每个级的单元元件连接的节点Q、节点Qb、节点Qh、所述前一级的进位脉冲输出端子和所述后一级的进位脉冲输出端子被分布并布置在所述两个GIP内部连接线部中。

10. 一种OLED显示面板,该OLED显示面板包括:

有效显示区域,所述有效显示区域包括数据线、与所述数据线交叉的扫描线以及布置在每个交叉处的子像素;以及

GIP驱动电路的级,所述GIP驱动电路的级被分布并布置在所述有效显示区域中的由三条扫描线所驱动的多个单元像素区中,以向对应的扫描线供应扫描脉冲,

其中,所述级包括:

逻辑单元,所述逻辑单元用于使用前一级的进位脉冲和后一级的进位脉冲来控制第一节点和第二节点的电压电平;

进位脉冲输出单元,所述进位脉冲输出单元用于响应于所述第一节点和所述第二节点的电压电平而将输入进位脉冲输出时钟信号作为进位脉冲输出;以及

第一扫描脉冲输出单元至第三扫描脉冲输出单元,所述第一扫描脉冲输出单元至所述第三扫描脉冲输出单元用于响应于所述第一节点和所述第二节点的电压电平而将第一输

入扫描脉冲输出时钟信号至第三输入扫描脉冲输出时钟信号作为扫描脉冲分别输出到所述三条扫描线。

11. 一种OLED显示装置, 该OLED显示装置包括根据权利要求1至10中的任一项所述的OLED显示面板。

## OLED显示面板及包括该OLED显示面板的OLED显示装置

### 技术领域

[0001] 本发明涉及OLED显示面板及包括该OLED显示面板的OLED显示装置,该OLED显示面板具有布置在像素阵列中的GIP驱动电路的各级和用于构成GIP驱动电路的信号连接线。

### 背景技术

[0002] 随着信息社会和诸如移动通信终端和笔记本电脑的各种便携式电子装置的发展,对适用于电子装置的平板显示装置的需求有所增加。

[0003] 液晶显示器(LCD)和使用有机发光二极管(OLED)的OLED显示装置被用作这种平板显示装置。

[0004] 这种平板显示装置由包括多条选通线 and 多条数据线以便显示图像的显示面板和用于驱动显示面板的驱动电路构成。

[0005] 在以上提到的显示装置当中,LCD的显示面板包括:薄膜晶体管阵列基板,该薄膜晶体管阵列基板具有形成在玻璃基板上的薄膜晶体管阵列;滤色器阵列基板,该滤色器阵列基板具有形成在玻璃基板上的滤色器阵列;以及液晶层,该液晶层插置在薄膜晶体管阵列基板与滤色器阵列基板之间。

[0006] 薄膜晶体管阵列基板包括在第一方向上延伸的多条选通线GL和在与第一方向垂直的第二方向上延伸的多条数据线DL,并且通过各条选通线和各条数据线来限定子像素区(像素:P)。在子像素区P中形成薄膜晶体管和像素电极。

[0007] LCD的显示面板通过以下方法来显示图像:向电场产生电极(像素电极和公共电极)施加电压,以在液晶层中产生电场,并且通过该电场来调节液晶层的液晶分子的取向状态,以控制入射光的偏振。

[0008] 另外,在以上提到的显示装置当中,OLED显示装置的显示面板包括根据多条选通线 and 多条数据线的交叉而限定的子像素,并且每个子像素包括由阳极、阴极和插置在阳极与阴极之间的有机发光层构成的OLED和用于独立驱动OLED的像素电路。

[0009] 像素电路以各种方式进行配置,并且包括至少一个开关TFT、电容器和驱动TFT。

[0010] 至少一个开关TFT响应于扫描脉冲而将数据电压充入到电容器中。驱动TFT响应于充入到电容器中的数据电压而控制供应到OLED的电流,以调节OLED所发射的光的量。

[0011] 显示装置的这种显示面板由通过其向用户显示图像的有效显示区域(active area:AA)和作为有效显示区域AA的外围区域的无效显示区域(non-active area:NA)来限定。

[0012] 另外,用于驱动显示面板的驱动电路包括:选通驱动电路,该选通驱动电路用于向多条选通线(扫描线)依次供应选通脉冲(或扫描脉冲);数据驱动电路,该数据驱动电路用于向多条数据线供应数据电压;以及定时控制器,该定时控制器用于向选通驱动电路和数据驱动电路供应图像数据和各种控制信号。

[0013] 尽管选通驱动电路可由至少一个选通驱动IC构成,但是选通驱动电路可在形成显示面板的多条信号线(选通线和数据线)和子像素的过程中被同时形成在显示面板的无效

显示区域上。

[0014] 也就是说,应用将选通驱动电路集成到显示面板中的面板内选通 (GIP) 方法。

[0015] 以上提到的选通驱动电路包括数目比选通线数目大的级,以便向选通线依次供应扫描脉冲。为了改进驱动特性,每个级由氧化物半导体TFT构成。

[0016] 也就是说,选通驱动电路包括级联的多个级。另外,各个级包括与各条选通线(扫描线)连接的输出单元。每个级从定时控制器接收时钟信号、选通起始信号、选通高电压和选通低电压,并且产生进位脉冲和扫描脉冲。

[0017] 图1是示出常规OLED显示装置的驱动电路以及驱动电路之间的关系的框图。

[0018] 参照图1,OLED显示装置100包括OLED显示面板PNL和用于向OLED显示面板PNL的像素阵列110施加输入图像数据的驱动电路。

[0019] OLED显示面板PNL包括以交叉方式布置的多条选通线149和多条数据线139以及其中由多条选通线149和多条数据线139限定的子像素被布置成矩阵的像素阵列110。

[0020] 每个子像素包括由阳极、阴极和插置在阳极与阴极之间的有机发光层构成的OLED以及用于独立驱动OLED的像素电路。

[0021] 像素电路可按照各种方式进行配置,并且包括至少一个开关TFT、电容器和驱动TFT。

[0022] 用于驱动OLED显示面板PNL的驱动电路包括:数据驱动电路130,该数据驱动电路130形成在无效显示区域中并且向多条数据线139供应数据电压;GIP驱动电路140,该GIP驱动电路140形成在无效显示区域中并且向多条选通线149供应与数据电压同步的选通(扫描)信号;以及定时控制器(TCON)120。

[0023] 定时控制器120设置在印刷电路板(PCB)上,对从外部主机系统接收的输入图像数据进行排列,并且将排列后的输入图像数据供应到数据驱动电路130。另外,定时控制器120从外部主机系统接收与输入图像同步的诸如垂直同步信号、水平同步信号、数据使能信号和点时钟信号之类的定时信号,并且生成用于控制数据驱动电路130和GIP驱动电路140的操作定时的控制信号(数据驱动器控制信号DDC和选通驱动器控制信号GDC)。

[0024] 数据驱动电路130从定时控制器120接收输入图像数据和数据驱动器控制信号DDC,并且将输入图像数据转换成伽玛补偿电压以生成数据电压,并且将该数据电压输出到多条数据线139。

[0025] 数据驱动电路130包括多个源驱动集成电路(IC),源驱动IC中的每一个以膜上芯片(COF)的形式进行配置,并且源驱动IC中的每一个连接在印刷电路板的其上安装有定时控制器120的焊盘部与显示面板PNL的焊盘部之间。

[0026] 根据驱动方法,GIP驱动电路140可设置在显示面板PNL的一个边缘或两个边缘处。图1中示出的选通驱动电路140是交织GIP驱动电路,并且包括设置在显示面板PNL左侧的第一GIP驱动电路140L和设置在显示面板PNL右侧的第二GIP驱动电路140R。

[0027] 虽然GIP驱动电路140可由至少一个选通驱动IC构成,但是GIP驱动电路140可与多条信号线(选通线和数据线)和构成OLED显示面板PNL的像素阵列110的子像素同时地,通过形成信号线和子像素的过程形成在显示面板的无效显示区域中。

[0028] 也就是说,应用将选通驱动电路集成到显示面板中的面板内选通 (GIP) 方法。

[0029] GIP驱动电路140响应于从定时控制器120发送的控制信号GDC而将选通(扫描)信

号依次供应到选通线149。

[0030] 以上提到的GIP驱动电路140包括数目比选通线数目大的级(下文中,“GIP”),以便向选通线依次供应扫描脉冲,并且使用氧化物半导体薄膜晶体管以便改进驱动特性。

[0031] 也就是说,GIP驱动电路140包括级联的多个级。另外,各个级GIP包括与各条选通线连接的输出单元。每个级GIP接收从定时控制器供应的时钟信号、选通起始信号、选通高电压和选通低电压,并且生成进位脉冲和扫描脉冲。

[0032] 图2是正常第n级GIP的框图。

[0033] 如图2中所示,每个级GIP包括:节点控制器100,该节点控制器100由从前一级GIP输出的起始脉冲或进位脉冲SET设置,并且由从后一级GIP输出的进位脉冲RST重置,以控制第一节点Q和第二节点Qb的电压;以及输出单元200,该输出单元200接收用于扫描脉冲输出的多个时钟信号SCCLK中的一个和用于进位脉冲输出的多个时钟信号CRCLK中的一个,并且响应于第一节点Q和第二节点Qb的电压电平而输出扫描脉冲So(n)和进位脉冲Co(n)。

[0034] 在由6相时钟信号驱动的级GIP的情况下,节点控制器100由从前第三级GIP输出的进位脉冲Co(n-3)设置,并且由从后第三级GIP输出的进位脉冲Co(n+3)重置,以控制第一节点Q和第二节点Qb的电压。

[0035] 虽然在图中未示出,但是该级GIP的输出单元200包括进位脉冲输出单元和扫描脉冲输出单元。

[0036] 进位脉冲输出单元包括第一上拉晶体管和第一下拉晶体管,所述第一上拉晶体管和所述第一下拉晶体管串联连接在被施加用于进位脉冲输出的多个时钟信号中的一个的进位脉冲输出时钟信号端子与第一选通低电压端子VGL1之间。

[0037] 第一上拉晶体管响应于第一节点Q的电压电平而导通/截止,并且第一下拉晶体管响应于第二节点Qb的电压电平而导通/截止,以将输入进位脉冲输出时钟信号作为进位脉冲Co(n)输出。

[0038] 扫描脉冲输出单元包括:第二上拉晶体管和第二下拉晶体管,所述第二上拉晶体管和所述第二下拉晶体管串联连接在被施加用于扫描脉冲输出的多个时钟信号中的一个的扫描脉冲输出时钟信号端子与第二选通低电压端子VGL2之间;以及自举电容器,该自举电容器连接在第二上拉晶体管的栅极和源极之间。

[0039] 第二上拉晶体管响应于第一节点Q的电压电平而导通/截止,并且第二下拉晶体管响应于第二节点Qb的电压电平而导通/截止,以将输入扫描脉冲输出时钟信号作为扫描脉冲So(n)输出。

[0040] 图3是示出图2中示出的第n级GIP的操作的波形图。

[0041] 图3示出节点控制器100由从前第三级GIP输出的进位脉冲Co(n-3)设置,并且由从后第三级GIP输出的进位脉冲Co(n+3)重置,以控制第一节点Q和第二节点Qb的电压。

[0042] 第n级GIP(n)由从前第三级GIP输出的进位脉冲Co(n-3)设置,以用选通高电压VGH对第一节点Q进行充电,并且将第二节点Qb放电至选通低电压VGL。因此,进位脉冲输出单元的第一上拉晶体管和扫描脉冲输出单元的第二上拉晶体管导通,而进位脉冲输出单元的第一下拉晶体管和扫描脉冲输出单元的第二下拉晶体管截止。

[0043] 另外,具有相同相位的时钟信号CRCLK和SCCLK被施加到进位脉冲输出单元的第一上拉晶体管的漏极和扫描脉冲输出单元的第二上拉晶体管的漏极。

[0044] 当与高电平对应的时钟信号CRCLK和SCCLK被施加到第一上拉晶体管的漏极和第二上拉晶体管的漏极时,浮置的第一节点Q的电压被自举电容器自举以增加 $2V_{GH}$ 。

[0045] 在以这种方式将第一节点Q自举的状态下,进位脉冲输出单元和扫描脉冲输出单元分别将输入时钟信号CRCLK和SCCLK作为进位脉冲 $Co(n)$ 和扫描脉冲 $So(n)$ 输出。

[0046] 另外,该级由从后第三级GIP输出的进位脉冲 $Co(n+3)$ 重置,因此第一节点Q变成低状态并且第二节点Qb变成高状态。因此,进位脉冲输出单元的第一上拉晶体管和扫描脉冲输出单元的第二上拉晶体管截止,而进位脉冲输出单元的第一下拉晶体管和扫描脉冲输出单元的第二下拉晶体管导通,以将选通低电压VGL作为进位脉冲 $Co(n)$ 和扫描脉冲 $So(n)$ 输出。

[0047] 然而,如上所述,GIP驱动电路在常规OLED显示面板中被集成在显示面板的无效显示区域中,因此难以设计出具有窄边框的显示装置。

## 发明内容

[0048] 为解决以上提到的问题而设计的本发明的目的是提供一种OLED显示面板以及一种OLED显示装置,所述OLED显示面板用于将GIP驱动电路的信号连接线设置在有效显示区域中并且使信号连接线的数目最小化,以便使边框尺寸最小化。

[0049] 为实现所述目的根据本发明的一种OLED显示面板包括:有效显示区域,所述有效显示区域包括数据线、与所述数据线交叉的扫描线以及布置在每个交叉处的子像素;以及GIP驱动电路的级,所述GIP驱动电路的级被分布并布置在所述有效显示区域中的由 $m$  ( $m$ 是自然数)条扫描线所驱动的多个单元像素区中,以向对应的扫描线供应扫描脉冲,其中,所述有效显示区域还包括分别与所述 $m$ 条扫描线相邻的 $m$ 个GIP内部连接线部,并且用于将构成每个级的元件连接的多条内部连接线被分布并布置在所述 $m$ 个GIP内部连接线部中。

[0050] 这里,每个级包括:逻辑单元,所述逻辑单元用于使用前一级的进位脉冲和后一级的进位脉冲来控制第一节点和第二节点的电压电平;进位脉冲输出单元,所述进位脉冲输出单元用于响应于所述第一节点和所述第二节点的电压电平而将输入进位脉冲输出时钟信号作为进位脉冲输出;以及 $m$ 个扫描脉冲输出单元,所述 $m$ 个扫描脉冲输出单元用于响应于所述第一节点和所述第二节点的电压电平而将输入扫描脉冲输出时钟信号作为扫描脉冲分别输出到所述 $m$ 条扫描线。

[0051] 为实现所述目的根据本发明的一种OLED显示装置,该OLED显示装置包括OLED显示面板,所述OLED显示面板包括:有效显示区域,所述有效显示区域包括数据线、与所述数据线交叉的扫描线以及布置在每个交叉处的子像素;以及GIP驱动电路的级,所述GIP驱动电路的级被分布并布置在所述有效显示区域中的由 $m$  ( $m$ 是自然数)条扫描线所驱动的多个单元像素区中,以向对应的扫描线供应扫描脉冲,其中,所述有效显示区域还包括分别与所述 $m$ 条扫描线相邻的 $m$ 个GIP内部连接线部,并且用于将构成每个级的元件连接的多条内部连接线被分布并布置在所述 $m$ 个GIP内部连接线部中。

[0052] 所述单元像素区中的每一个包括至少三个子像素以及其中布置有构成所述GIP驱动电路的每个级的一个元件的GIP部,并且布置在所述 $m$ 个GIP内部连接线部中的所述多条内部连接线延伸到所述GIP部并且与构成每个级的元件电连接。

[0053] 根据本发明的具有前述特征的OLED显示面板具有以下优点。

[0054] 即,根据本发明的第一实施方式的OLED显示面板可将内部连接线布置在有效显示区域中的GIP内部连接线部中。

[0055] 此外,根据本发明的第二实施方式的OLED显示面板能减少布置在GIP内部连接线部中的内部连接线的数目,这是因为输出缓冲器包括多个扫描脉冲输出单元,GIP元件被分布并布置在由数目与扫描脉冲输出单元的数目一样多的扫描线所驱动的单位像素中,并且内部连接线(节点Q、节点Qb、节点Qh、与前一级的进位脉冲输出端子和后一级的进位脉冲输出端子连接的连接线)被分布并布置在与扫描线相邻的GIP内部连接线部中。

[0056] 因此,根据本发明的第一实施方式的OLED显示面板的边框尺寸可被减小。因此,根据本发明的第二实施方式的OLED显示面板的开口率可增加,并且GIP内部连接线部所占据的面积可减少,因此能实现高分辨率显示面板。

## 附图说明

[0057] 图1是示出常规OLED显示装置的驱动电路以及驱动电路之间的关系的框图。

[0058] 图2是正常第n级GIP的框图。

[0059] 图3是示出图2中示出的第n级GIP的操作的波形图。

[0060] 图4是根据本发明的一个实施方式的OLED显示面板中的子像素的电路图。

[0061] 图5是根据本发明的一个实施方式的第k级GIP驱动电路的电路图。

[0062] 图6是示出根据本发明的第一实施方式的OLED显示面板的有效显示区域的配置的图。

[0063] 图7是示出布置在图6的OLED显示面板的有效显示区中的两个相邻的单元像素区的详细配置的图。

[0064] 图8是用于描述根据本发明的第一实施方式的布置在GIP内部连接线部中的内部连接线的图。

[0065] 图9是根据本发明的第二实施方式的第n级GIP的框图。

[0066] 图10是用于描述根据本发明的第二实施方式的布置在GIP内部连接线部中的内部连接线的图。

## 具体实施方式

[0067] 为了使显示面板的边框尺寸最小化,申请人应用了将GIP驱动电路分布和布置在显示面板的有效显示区域中的技术(韩国专利申请No.10-2017-0125355(申请日:2017年10月27日))。

[0068] 韩国专利申请(10-2017-0125355)的发明将简要描述如下。

[0069] 图4是根据本发明的OLED显示面板中的子像素的电路图,并且图5是根据本发明的一个实施方式的第k级GIP驱动电路的电路图。

[0070] 也就是说,图4对应于韩国专利申请(10-2017-0125355)的图4,并且图5对应于韩国专利申请(10-2017-0125355)的图5。

[0071] 如图4中所示,根据本发明的一个实施方式的OLED显示面板的每个子像素包括OLED和用于驱动OLED的像素电路。

[0072] 像素电路包括第一开关TFT T1和第二开关TFT T2、存储电容器Cst和驱动TFT DT。

[0073] 第一开关TFT T1响应于扫描脉冲信号而将数据电压DATA充入到存储电容器Cst中。驱动TFT DT根据充入到存储电容器Cst中的数据电压来控制供应到OLED的电流,以调节OLED所发射的光的量。第二开关TFT T2响应于感测信号而感测驱动TFT DT的阈值电压和迁移率。

[0074] OLED可由第一电极(例如,阳极或阴极)、有机发光层和第二电极(例如,阴极或阳极)构成。

[0075] 存储电容器Cst电连接在驱动TFT DT的栅和源之间,以在一帧时间段内保持与图像信号电压对应的数据电压或与其对应的电压。

[0076] 虽然图4示出了由三个TFT (T1、T2和DT) 和一个存储电容器Cst构成的3T1C子像素配置,但是本发明不限于此,并且根据本发明的OLED显示面板的每个子像素可具有4T1C、4T2C、5T1C或5T2C子像素配置。

[0077] 此外,如图5中所示,根据本发明的一个实施方式的GIP驱动电路的第k级电路包括:消隐时间第一节点控制器21和第二节点控制器26,该第一节点控制器21和第二节点控制器26包括晶体管TA、TB、T3qA、T1B、T1C、T5A和T5B以及电容器C1,在消隐时间内,根据行选择脉冲(LSP) 选择性地存储设置信号CP (k),根据垂直实时(VRT) 信号用第一恒定电压GVDD对对应级的第一节点Q进行充电并且将第二节点Qb放电至第二恒定电压GVSS2;驱动时间第一节点和第三节点控制器23与驱动时间第二节点控制器25,该驱动时间第一节点和第三节点控制器23与驱动时间第二节点控制器25包括晶体管T1、T1A、T3n、T3nA、T3q、T3、T3A和T5,在驱动时间内,根据前第三级的进位脉冲CP (k-3) 用进位脉冲CP (k-3) 的电压对对应级的第一节点Q进行充电,根据后第三级的进位脉冲CP (k+3) 将第一节点Q和第三节点Qh放电至第二恒定电压GVSS2,并且根据第一节点的电压用第一恒定电压GVDD对第三节点Qh进行充电;反相器24,该反相器24包括晶体管T4、T41、T4q和T5q以及电容器C2,将第一节点Q的电压反相并且将反相后的电压施加到第二节点Qb;输出缓冲器27,该输出缓冲器27包括上拉晶体管T6cr和T6、下拉晶体管T7cr和T7以及自举电容器C3,接收用于进位脉冲输出的多个时钟信号其中的一个时钟信号CRCLK (k) 和用于扫描脉冲输出的多个时钟信号其中的一个时钟信号SCCLK (k),并且根据第一节点Q和第二节点Qb的电压来输出进位脉冲CP (k) 和扫描脉冲SP (k);以及重置单元22,该重置单元22包括晶体管T3nB和T3nC,并且根据在消隐时间内从定时控制器输出的重置信号RST,将第一节点Q放电至第二恒定电压GVSS2。

[0078] 当LSP处于高电平时,消隐时间第一节点控制器21和第二节点控制器26中的晶体管TB、TA和T3qA导通,以将设置信号CP (k) 存储在电容器C1中。

[0079] 另外,当VRT信号在消隐时间内处于高电平时,晶体管T1C和T5A导通,以用第一恒定电压GVDD对第一节点Q进行充电并且将第二节点Qb放电至第二恒定电压GVSS2。

[0080] 当前第三级的进位脉冲CP (k-3) 在驱动时间内处于高电平时,驱动时间第一节点和第三节点控制器23与驱动时间第二节点控制器25中的晶体管T1、T1A和T5导通,以用前第三级进位脉冲CP (k-3) 对第一节点Q进行充电并且将第二节点Qb放电至第二恒定电压GVSS2。当以这种方式对第一节点Q进行充电并且对第二节点Qb进行放电时,晶体管T3q导通,以用第一恒定电压GVDD对第三节点Qh进行充电。

[0081] 当后第三级的进位脉冲CP (k+3) 处于高电平时,晶体管T3n和T3nA导通,以将第一节点Q和第三节点Qh放电至第二恒定电压GVSS2。

[0082] 反相器24将第一节点Q的电压反相,并且将反相后的电压施加到第二节点Qb。

[0083] 在输出缓冲器27中,当第一节点Q处于高电平而第二节点Qb处于低电平时,上拉晶体管T6cr导通而下拉晶体管T7cr截止,以将用于进位脉冲输出的多个时钟信号其中的一个时钟信号CRCLK(k)作为进位脉冲CP(k)输出。另外,当第一节点Q处于高电平而第二节点Qb处于低电平时,上拉晶体管T6导通而下拉晶体管T7截止,以将用于扫描脉冲输出的多个时钟信号其中的一个时钟信号SCCLK(k)作为扫描脉冲SP(k)输出。

[0084] 这里,当施加处于高电平的用于扫描脉冲输出的时钟信号SCCLK(k)时,输出缓冲器27的自举电容器C3自举(联接)第一节点Q,因此第一节点Q具有较高的电位。

[0085] 以这种方式,输出缓冲器27在第一节点Q被自举的状态下将输入到输出缓冲器27的用于进位脉冲输出的时钟信号CRCLK(k)和用于扫描脉冲输出的时钟信号SCCLK(k)作为进位脉冲CL(k)和扫描脉冲SP(k)输出,因此可防止输出损失。

[0086] 在重置单元22中,当从定时控制器输出的重置信号RST在消隐时间内处于高电平时,晶体管T3nB和T3nC导通,以将第一节点Q放电至第二恒定电压GVSS2。

[0087] 虽然图5示出用6个相位驱动GIP驱动电路的级,但是本发明不限于此,并且GIP驱动电路的各级可按各种方式进行配置。

[0088] 如图5中所示,GIP驱动电路的每个级包括25个晶体管和3个电容器。

[0089] 因此,当构成GIP驱动电路的级的元件(晶体管或电容器)被分布并布置在单元像素区域中时,可布置用于驱动选通线(扫描线)的级的电路。

[0090] 图6是示出根据本发明的第一实施方式的OLED显示面板的有效显示区域的配置的图,并且图7是示出在图6中示出的OLED显示面板的有效显示区域中布置的两个相邻的单元像素的详细配置的图。

[0091] 也就是说,图6对应于韩国专利申请(10-2017-0125355)的图6,图7对应于韩国专利申请(10-2017-0125355)的图7。

[0092] 如图6和图7中所示,在布置OLED显示面板的有效显示区域中的GIP驱动电路时,有效显示区域的单元像素区被划分成至少三个子像素R、G、B和W、GIP部31和GIP内部连接线部32。

[0093] 至少三个子像素(R、G、B和W)33按以下这样的方式配置:多条数据线DL1至DL8、多条参考电压线Vref以及第一恒定电压线EVDD和第二恒定电压线EVSS沿垂直方向布置,并且多条选通线(扫描线)SCAN沿水平方向布置。

[0094] GIP部31与构成GIP驱动电路的级的元件(晶体管或电容器)对应。也就是说,构成GIP驱动电路的级的元件(晶体管或电容器)被分布并布置在由红色子像素R、绿色子像素G、蓝色子像素B和白色子像素W构成的单元像素区中。

[0095] 也就是说,用于驱动选通线(扫描线)的GIP驱动电路的至少一个级ST被分布并布置在由选通线(扫描线)驱动多个单元像素区中。

[0096] GIP内部连接线部32是其中布置有用于将GIP驱动电路的级中的元件连接的连接线(节点Q、节点Qb、节点Qh、前一级的进位脉冲输出端子、后一级的进位脉冲输出端子等)的区域。

[0097] 如上所述,当GIP驱动电路布置在有效显示区域中时,用于驱动子像素R、G、B和W的多条数据线DL1至DL8和参考电压线Vref沿着垂直方向布置,如图7中所示。

[0098] 另外,由于GIP部31与构成GIP驱动电路的级的元件(晶体管或电容器)对应,因此图5中示出的信号LSP、VRT、GVDD、GVSS0、GVSS1、GVSS2、VST、CRCLK和SCCLK中的一个被施加到GIP部31。

[0099] 此外,在根据本发明的第一实施方式的OLED显示面板中,级的用于驱动选通线(扫描线)的电路被分布并布置在由选通线(扫描线)驱动的单元像素区中,因此用于将GIP驱动电路的级中的元件连接的所有连接线(节点Q、节点Qb、节点Qh、前一级的进位脉冲输出端子、后一级的进位脉冲输出端子、元件之间的连接线等)需要布置在与选通线(扫描线)对应的GIP内部连接线部32中。

[0100] 图8是示出根据本发明的第一实施方式的布置在GIP内部连接线部32中的内部连接线。

[0101] 在图5中,例如,被施加从后第三级输出的进位脉冲的信号线CP(k+3)连接到晶体管T3n的栅极,节点Q连接到晶体管T3n的源极,并且节点Qh连接到晶体管T3n的漏极。

[0102] 因此,当假定图5中示出的晶体管T3n被布置在GIP部31中时,至少被施加从后第三级输出的进位脉冲的信号线CP(k+3)、节点Q和节点Qb需要布置在GIP内部连接线部32中。

[0103] 以这种方式,级的用于驱动选通线(扫描线)的电路在根据本发明的第一实施方式的OLED显示面板中分布并布置在由选通线(扫描线)驱动的单元像素区中,因此最多四条GIP内部连接线(节点Q、节点Qb、节点Qh、前一级的进位脉冲输出端子、后一级的进位脉冲输出端子、元件之间的连接线等)被布置在每条线的GIP内部连接线部32中。例如,元件之间的连接线对应于图5中的晶体管T4的栅与晶体管T41的漏极之间的连接线。

[0104] 因此,根据本发明的第一实施方式的OLED显示面板的开口率降低,并且GIP内部连接线部32所占据的面积增加,因此OLED显示面板不适合高分辨率。

[0105] 为了解决这个问题,在根据本发明的第二实施方式的OLED显示面板和OLED显示装置中,GIP驱动电路的各级被布置在像素阵列中以在提供窄边框的同时增加OLED显示面板的开口率,并且减少GIP内部连接线部所占据的面积,从而实现高分辨率。

[0106] 图9是根据本发明的第二实施方式的第n级GIP的框图。

[0107] 在根据本发明的第二实施方式的OLED显示面板中,GIP驱动电路的各级按照针对由多条扫描线驱动的单元像素配置包括多个扫描脉冲输出单元的级的方式布置在像素阵列中。

[0108] 也就是说,如以上参照图5描述的,根据本发明的一个实施方式的GIP驱动电路的第k级电路包括消隐时间第一节点控制器21和第二节点控制器26、驱动时间第一节点和第三节点控制器23与驱动时间第二节点控制器25、反相器24、输出缓冲器27和重置单元22。

[0109] 然而,根据本发明的第二实施方式的OLED显示面板具有布置在像素阵列中的GIP驱动电路的级,其中,如图9中所示,以上参照图5描述的消隐时间第一节点控制器21和第二节点控制器26、驱动时间第一节点和第三节点控制器23与驱动时间第二节点控制器25、反相器24和重置单元22以及包括进位脉冲输出单元和多个扫描脉冲输出单元的缓冲器27布置在由多条扫描线驱动的单元像素中。

[0110] 在图9中,用逻辑单元S/R1表示以上参照图5描述的消隐时间第一节点控制器21和第二节点控制器26、驱动时间第一节点和第三节点控制器23与驱动时间第二节点控制器25、反相器24和重置单元22。

[0111] 逻辑单元S/R1使用如图5中描述的行选择信号LSP、设置信号CP(k)、垂直实时信号VRT、前第三级的进位脉冲CP(k-3)、后第三级的进位脉冲CP(k+3)和重置信号RST来控制第一节点Q和第二节点Qb的电压电平。

[0112] 另外,输出缓冲器27包括进位脉冲输出单元和多个扫描脉冲输出单元。

[0113] 也就是说,输出缓冲器27包括:进位脉冲输出单元,该进位脉冲输出单元由上拉晶体管T6cr和下拉晶体管T7cr构成,并且被配置成使得当第一节点Q处于高电平而第二节点Qb处于低电平时,上拉晶体管T6cr导通而下拉晶体管T7cr截止,以将多个进位脉冲输出时钟信号当中的时钟信号CRCLK1作为进位脉冲CP(1)输出;第一扫描脉冲输出单元,该第一扫描脉冲输出单元由第一上拉晶体管T6-1、第一下拉晶体管T7-1和第一自举电容器Cq1构成,并且被配置成使得当第一节点Q处于高电平而第二节点Qb处于低电平时,第一上拉晶体管T6-1导通而第一下拉晶体管T7-1截止,以将多个扫描脉冲输出时钟信号当中的时钟信号SCCLK(1)作为扫描脉冲SP(1)输出;第二扫描脉冲输出单元,该第二扫描脉冲输出单元由第二上拉晶体管T6-2、第二下拉晶体管T7-2和第二自举电容器Cq2构成,并且被配置成使得当第一节点Q处于高电平而第二节点Qb处于低电平时,第二上拉晶体管T6-2导通而第二下拉晶体管T7-2截止,以将多个扫描脉冲输出时钟信号当中的时钟信号SCCLK(2)作为扫描脉冲SP(2)输出;第三扫描脉冲输出单元,该第三扫描脉冲输出单元由第三上拉晶体管T6-3、第三下拉晶体管T7-3和第三自举电容器Cq3构成,并且被配置成使得当第一节点Q处于高电平而第二节点Qb处于低电平时,第三上拉晶体管T6-3导通而第三下拉晶体管T7-3截止,以将多个扫描脉冲输出时钟信号当中的时钟信号SCCLK(3)作为扫描脉冲SP(3)输出;第四扫描脉冲输出单元,该第四扫描脉冲输出单元由第四上拉晶体管T6-4、第四下拉晶体管T7-4和第四自举电容器Cq4构成,并且被配置成使得当第一节点Q处于高电平而第二节点Qb处于低电平时,第四上拉晶体管T6-4导通而第四下拉晶体管T7-4截止,以将多个扫描脉冲输出时钟信号当中的时钟信号SCCLK(4)作为扫描脉冲SP(4)输出;以及第五扫描脉冲输出单元,该第五扫描脉冲输出单元由第五上拉晶体管T6-5、第五下拉晶体管T7-5和第五自举电容器Cq5构成,并且被配置成使得当第一节点Q处于高电平而第二节点Qb处于低电平时,第五上拉晶体管T6-5导通而第五下拉晶体管T7-5截止,以将多个扫描脉冲输出时钟信号当中的时钟信号SCCLK(5)作为扫描脉冲SP(5)输出。

[0114] 如图9中所示,当输出缓冲器27包括一个进位脉冲输出单元和五个扫描脉冲输出单元时,图9中示出的构成具有逻辑单元S/R1和输出缓冲器27的级的元件在根据本发明的第二实施方式的OLED显示面板中被分布并布置在由五条扫描线所驱动的单位像素中。

[0115] 虽然输出缓冲器27在图9中包括一个进位脉冲输出单元和五个扫描脉冲输出单元,但是本发明不限于此,输出缓冲器27可包括一个进位脉冲输出单元和至少两个扫描脉冲输出单元。

[0116] 如果输出缓冲器27包括一个进位脉冲输出单元和两个扫描脉冲输出单元,则图9中示出的构成具有逻辑单元S/R1和输出缓冲器27的级的元件在根据本发明的第二实施方式的OLED显示面板中被分布并布置在由两条扫描线所驱动的单位像素中。

[0117] 另外,当输出缓冲器27包括一个进位脉冲输出单元和三个扫描脉冲输出单元时,图9中示出的构成具有逻辑单元S/R1和输出缓冲器27的级的元件在根据本发明的第二实施方式的OLED显示面板中被分布并布置在由三条扫描线所驱动的单位像素中。

[0118] 也就是说,在根据本发明的第二实施方式的OLED显示面板中,图9中示出的构成具有逻辑单元S/R1和输出缓冲器27的级的元件被分布并布置在由与扫描脉冲输出单元的数目一样多的扫描线所驱动的单位像素中。

[0119] 下面将描述当具有以上提到的配置的级被布置在对应区域中时GIP内部连接线部的线布置。

[0120] 图10是用于描述根据本发明的第二实施方式的布置在GIP内部连接线部中的内部连接线的图。

[0121] 图10例示了当输出缓冲器27如图9中所示包括一个进位脉冲输出单元和五个扫描脉冲输出单元时的内部连接线。

[0122] 也就是说,图9中示出的构成具有逻辑单元S/R1和输出缓冲器27的级的元件被分布并布置由第一扫描线SCAN1至第五扫描线SCAN5所驱动的单位像素当中的任意单位像素中。

[0123] 另外,在与各条扫描线SCAN1至SCAN5相邻的每个GIP内部连接线部32中布置内部连接线(节点Q、节点Qb、节点Qh、前一级的进位脉冲输出端子、后一级的进位脉冲输出端子、元件之间的连接线等)中的一条。

[0124] 也就是说,节点Q布置在与第一扫描线SCAN1相邻的GIP内部连接线部32中,节点Qb布置在与第二扫描线SCAN2相邻的GIP内部连接线部32中,与后一级的进位脉冲输出端子连接的连接线CP(k+3)布置在与第三扫描线SCAN3相邻的GIP内部连接线部32中,节点Qh布置在与第四扫描线SCAN4相邻的GIP内部连接线部32中,并且与前一级的进位脉冲输出端子连接的连接线CP(k-3)布置在与第五扫描线SCAN5相邻的GIP内部连接线部32中。

[0125] 另外,如上所述,图9中示出的构成具有逻辑单元S/R1和输出缓冲器27的级的元件被分布并布置由第一扫描线SCAN1至第五扫描线SCAN5所驱动的单位像素当中的任意单位像素中。

[0126] 例如,被施加从后第三级输出的进位脉冲的信号线CP(k+3)连接到图9中示出的构成具有逻辑单元S/R1和输出缓冲器27的级的元件当中的晶体管T3n(参照图5)的栅极,节点Q连接到晶体管T3n的源极,并且节点Qh连接到晶体管T3n的漏极。

[0127] 因此,如果图5所示的晶体管T3n布置在GIP部31中,则如图10中所示,布置在与第一扫描线SCAN1相邻的GIP内部连接线部32中的节点Q、与布置在和第三扫描线SCAN3相邻的GIP内部连接线部32中的后一级的进位脉冲输出端子连接的连接线CP(k+3)以及布置在与第四扫描线SCAN4相邻的GIP内部连接线部32中的节点Qh连接到晶体管T3n。

[0128] 另外,被施加从前第三级输出的进位脉冲的信号线CP(k-3)连接到图9中示出的构成具有逻辑单元S/R1和输出缓冲器27的级的元件当中的晶体管T1(参照图5)的栅极和漏极,并且节点Qh连接到晶体管T1的源极。

[0129] 因此,如果图5示出的晶体管T1布置在GIP部31中,则如图10中所示,布置在与第四扫描线SCAN4相邻的GIP内部连接线部32中的节点Qh以及布置在和第五扫描线SCAN5相邻的GIP内部连接线部32中的前一级的进位脉冲输出端子连接的连接线CP(k-3)连接到晶体管T1。

[0130] 如上所述,由于图9中示出的构成具有逻辑单元S/R1和输出缓冲器27的级的元件被分布并布置在由第一扫描线SCAN1至第五扫描线SCAN5所驱动的单位像素当中的任意单

元像素中,因此GIP元件没有布置在所有单元像素的GIP部31中。因此,延伸到GIP部31并且布置在GIP内部连接线部32中的信号线可连接到GIP元件。

[0131] 虽然图10例示了图9中示出的构成具有逻辑单元S/R1和输出缓冲器27的级的单元元件被分布并布置在由第一扫描线SCAN1至第五扫描线SCAN5所驱动的单位像素当中的任意单元像素中,但是本发明不限于此,并且构成该级的单元元件可分布并布置在由至少两条扫描线所驱动的单位像素当中的任意单元像素中。

[0132] 如果图9中示出的输出缓冲器27包括一个进位脉冲输出单元和两个扫描脉冲输出单元,则图9中示出的构成具有逻辑单元S/R1和输出缓冲器27的级的元件在根据本发明的第二实施方式的OLED显示面板中被分布并布置在由第一扫描线SCAN1和第二扫描线SCAN2所驱动的单位像素中。另外,内部连接线(节点Q、节点Qb、节点Qh、前一级的进位脉冲输出端子、后一级的进位脉冲输出端子、元件之间的连接线等)被分布并布置在与第一扫描线SCAN1和第二扫描线SCAN2相邻的两个GIP内部连接线部32中。

[0133] 如果图9中示出的输出缓冲器27包括一个进位脉冲输出单元和三个扫描脉冲输出单元,则图9中示出的构成具有逻辑单元S/R1和输出缓冲器27的级的元件在根据本发明的第二实施方式的OLED显示面板中被分布并布置在由第一扫描线SCAN1至第三扫描线SCAN3所驱动的单位像素中。另外,内部连接线(节点Q、节点Qb、节点Qh、前一级的进位脉冲输出端子、后一级的进位脉冲输出端子、元件之间的连接线等)被分布并布置在与第一扫描线SCAN1至第三扫描线SCAN3相邻的三个GIP内部连接线部32中。

[0134] 也就是说,在根据本发明的第二实施方式的OLED显示面板中,图9中示出的构成具有逻辑单元S/R1和输出缓冲器27的级的元件被分布并布置在由数目与输出缓冲器27中包括的扫描脉冲输出单元的数目一样多的扫描线所驱动的单位像素中,并且内部连接线(节点Q、节点Qb、节点Qh、前一级的进位脉冲输出端子、后一级的进位脉冲输出端子、元件之间的连接线等)被分布并布置在与对应扫描线相邻的GIP内部连接线部32中。

[0135] 如上所述,在根据本发明的第二实施方式的OLED显示面板中,图9中例示的输出缓冲器包括多个扫描脉冲输出单元,GIP元件被分布并布置在由数目与扫描脉冲输出单元的数目一样多的扫描线所驱动的单位像素中,并且内部连接线(节点Q、节点Qb、节点Qh、前一级的进位脉冲输出端子、后一级的进位脉冲输出端子、元件之间的连接线等)被分布并布置在与对应扫描线相邻的GIP内部连接线部32中,因此可减少布置在GIP内部连接线部32中的内部连接线的数目。

[0136] 因此,根据本发明的第二实施方式的OLED显示面板的开口率可增加,并且GIP内部连接线部32所占据的面积可减小,因此能实现高分辨率显示面板。

[0137] 本领域技术人员将领会的是,在不脱离本发明的以上描述中的精神或范围的情况下,可对本发明进行各种修改和变形。因此,本发明的范围应当由所附权利要求书及其法律等同物来确定,而不是通过以上描述来确定。

[0138] 本申请要求于2017年11月27日提交的韩国专利申请No.10-2017-0159650的权益,该韩国专利申请通过引用并入本文中,如同其在本文中完全阐述一样。

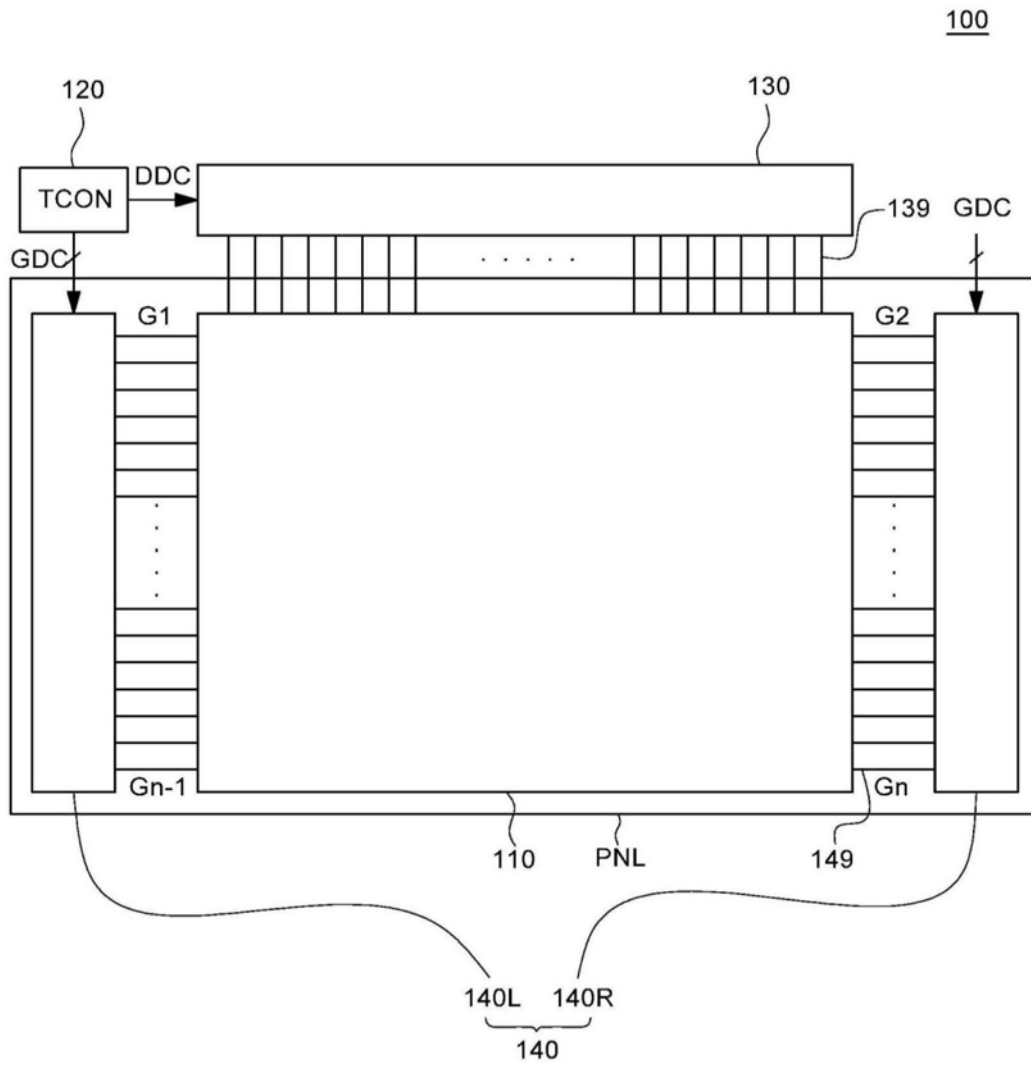


图1

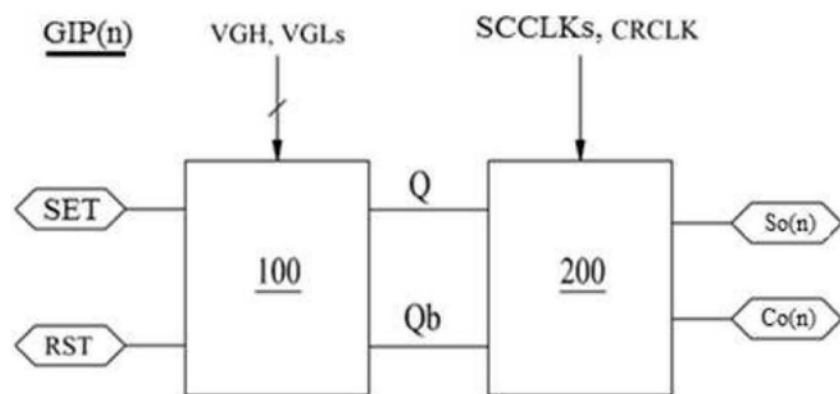


图2

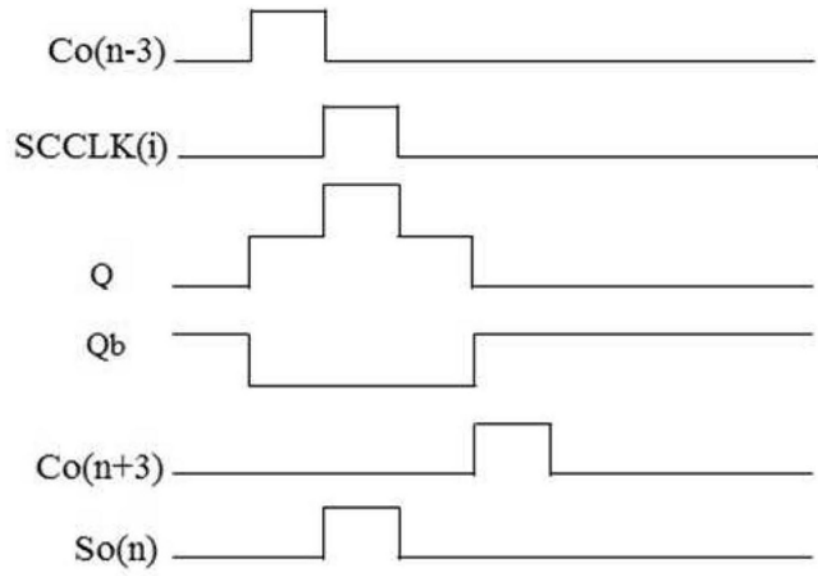


图3

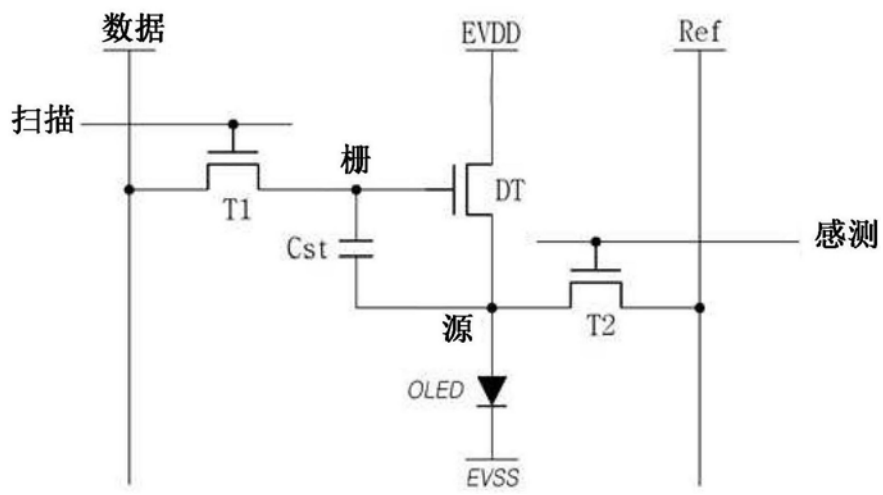


图4

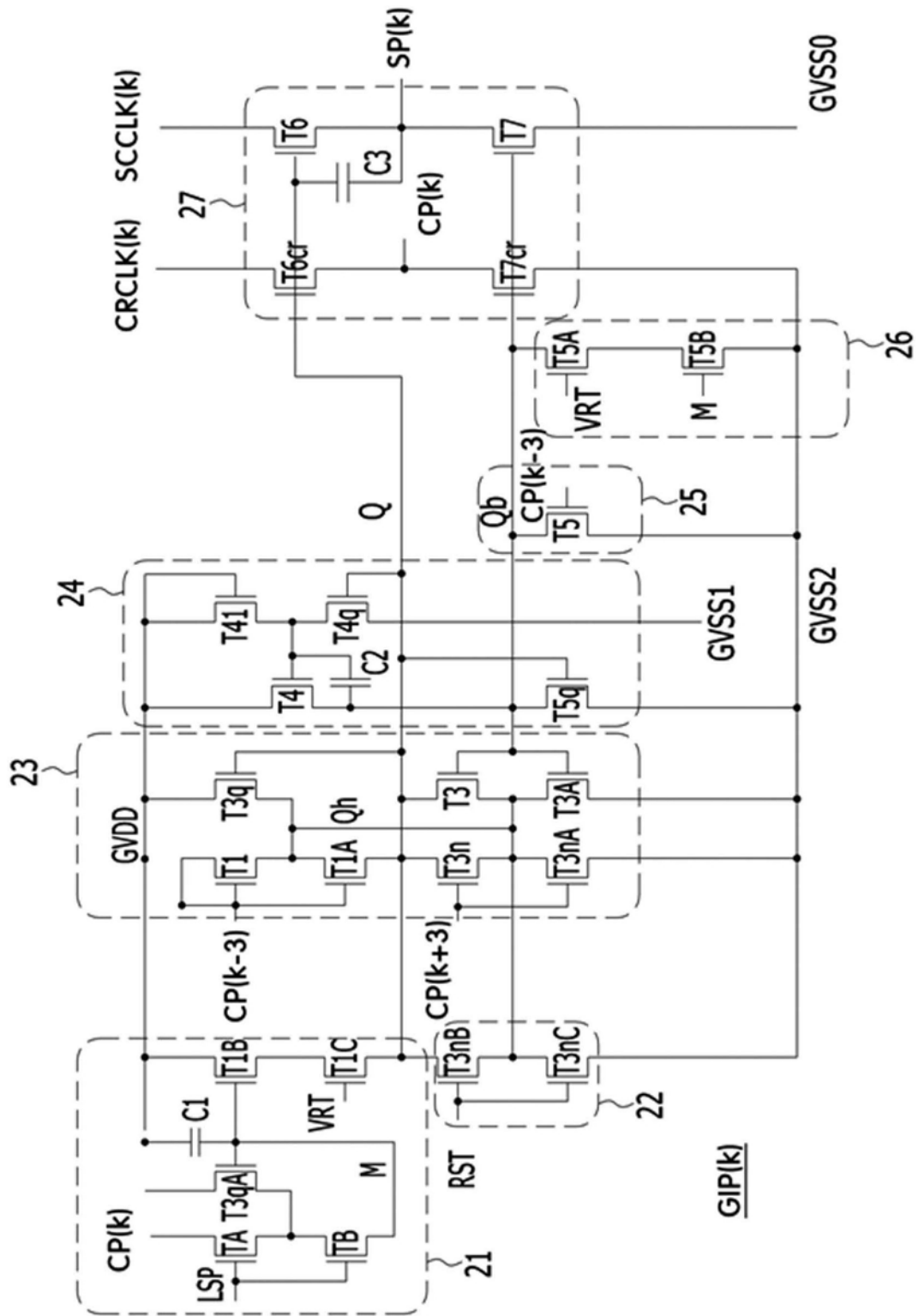


图5

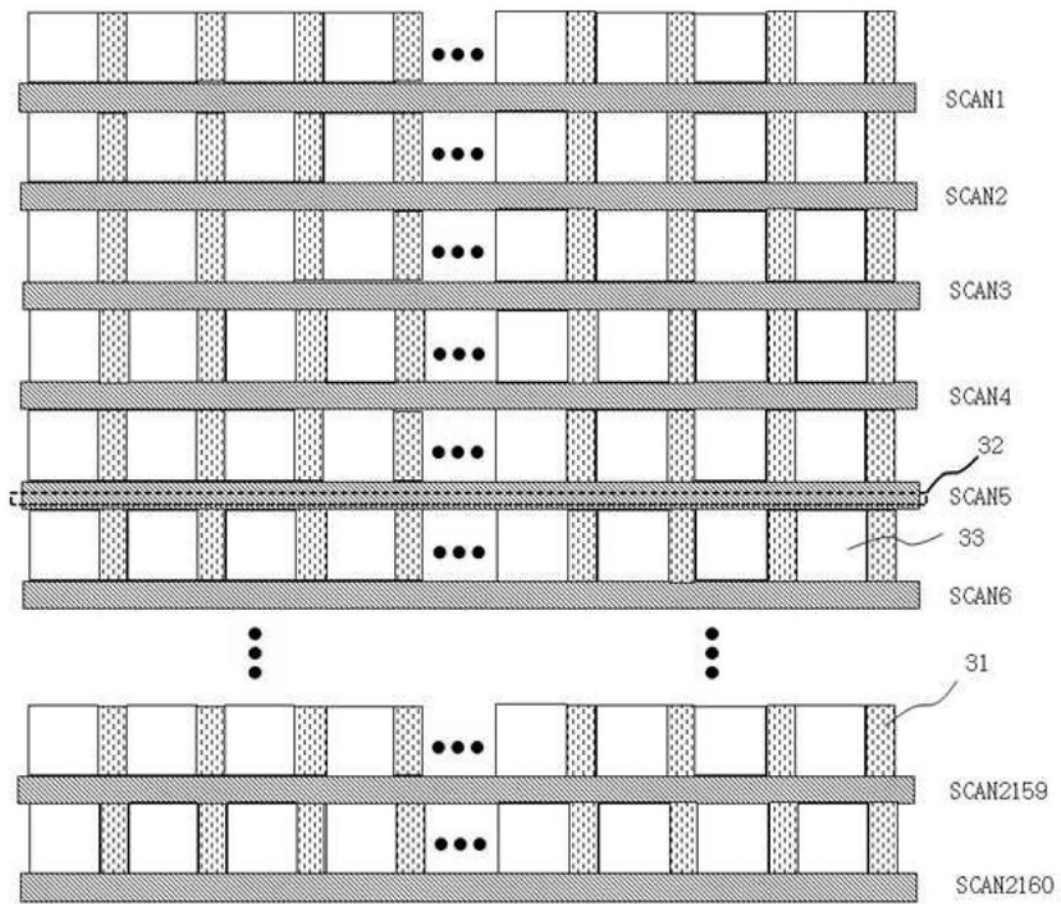


图6

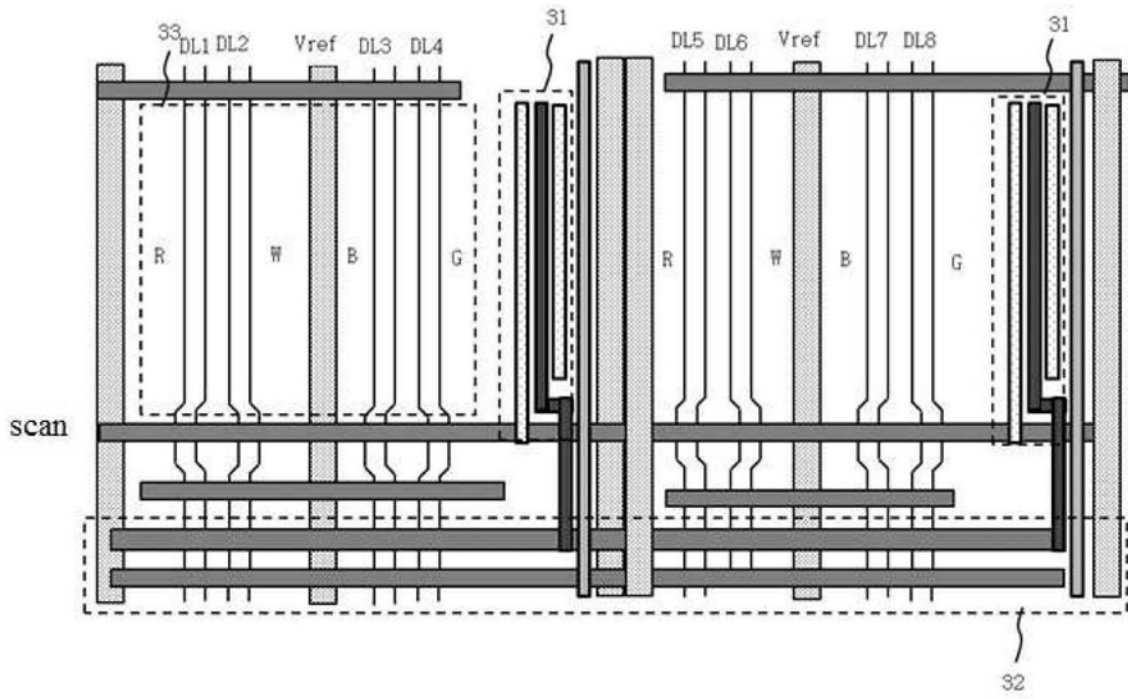


图7

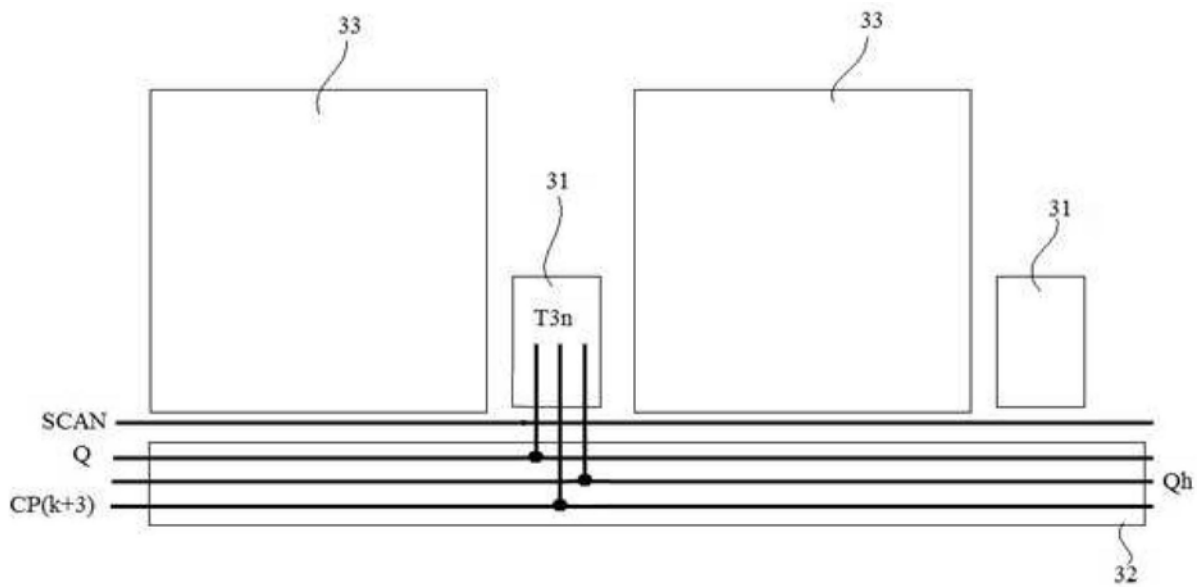


图8

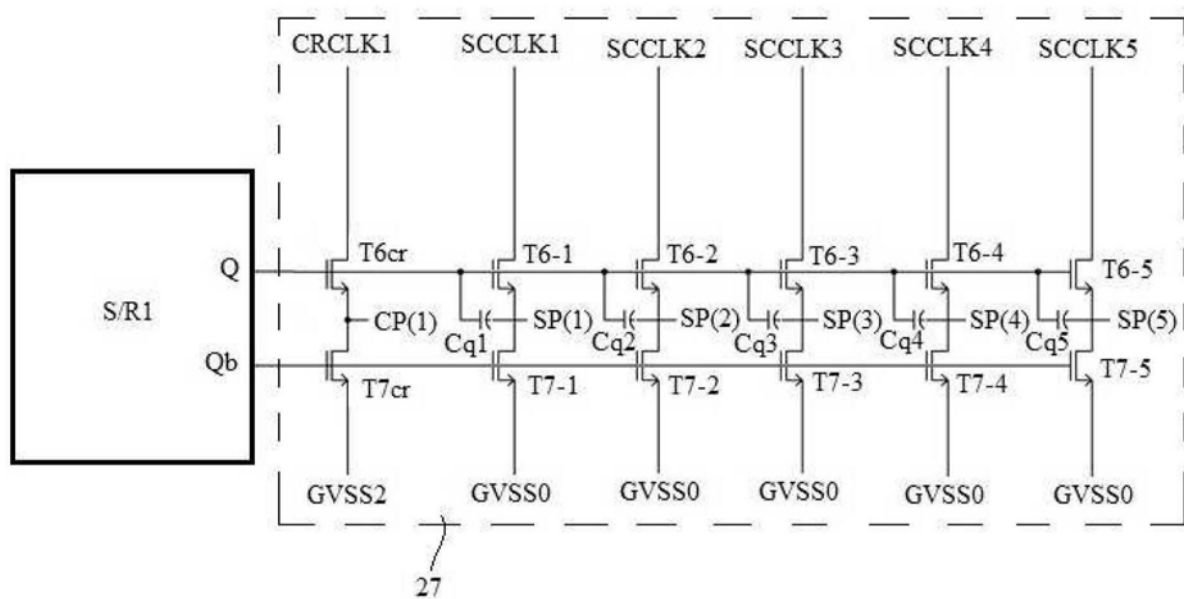


图9

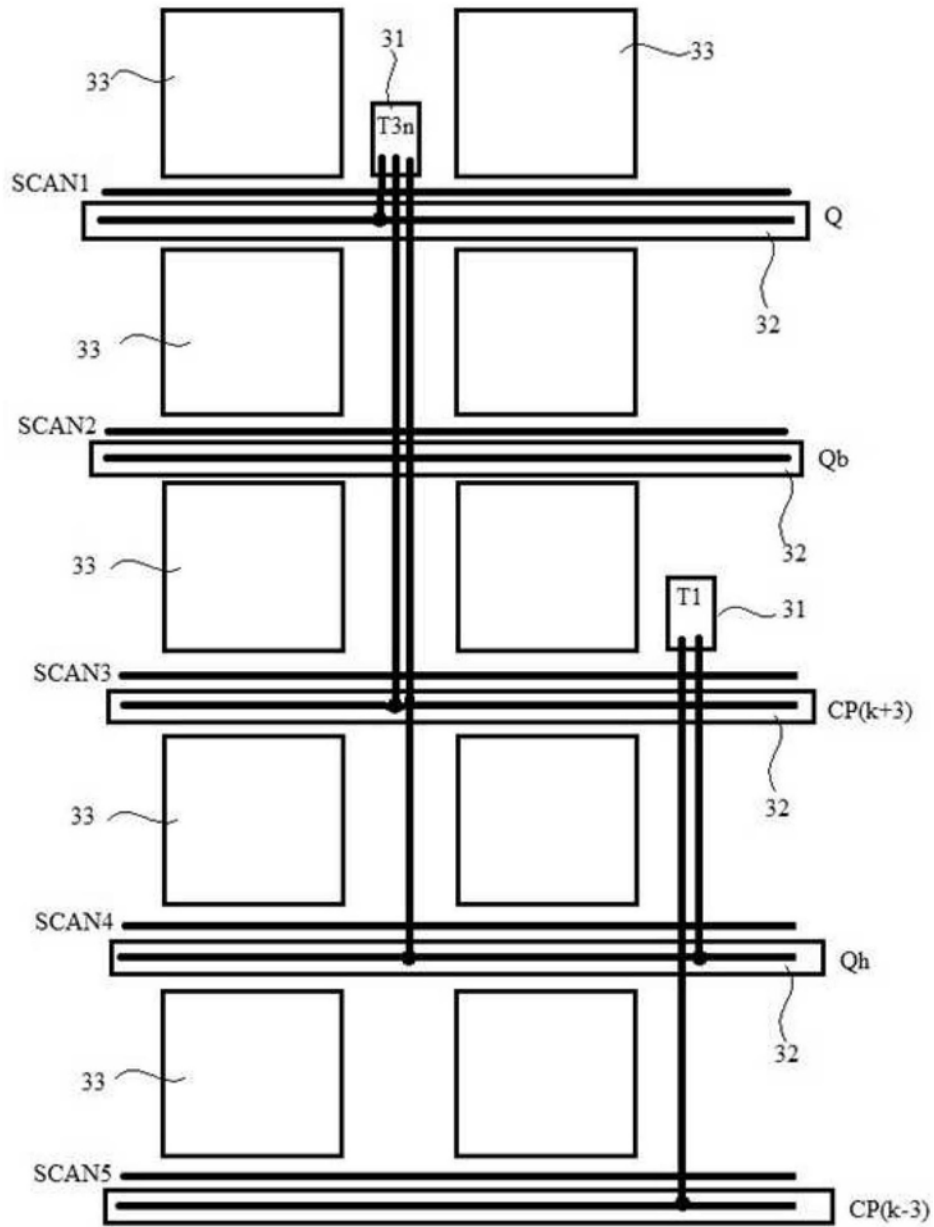


图10

|                |                                                |         |            |
|----------------|------------------------------------------------|---------|------------|
| 专利名称(译)        | OLED显示面板及包括该OLED显示面板的OLED显示装置                  |         |            |
| 公开(公告)号        | <a href="#">CN109841193A</a>                   | 公开(公告)日 | 2019-06-04 |
| 申请号            | CN201810548016.4                               | 申请日     | 2018-05-31 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                       |         |            |
| 申请(专利权)人(译)    | 乐金显示有限公司                                       |         |            |
| 当前申请(专利权)人(译)  | 乐金显示有限公司                                       |         |            |
| [标]发明人         | 金灵旼<br>韩仁孝<br>辛宪基                              |         |            |
| 发明人            | 金灵旼<br>韩仁孝<br>辛宪基                              |         |            |
| IPC分类号         | G09G3/3266                                     |         |            |
| 代理人(译)         | 刘久亮                                            |         |            |
| 优先权            | 1020170159650 2017-11-27 KR                    |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a> |         |            |

#### 摘要(译)

OLED显示面板及包括该OLED显示面板的OLED显示装置。本发明涉及一种OLED显示面板，该OLED显示面板使边框尺寸最小化，并且包括：有效显示区域，所述有效显示区域包括数据线、与所述数据线交叉的扫描线以及布置在每个交叉处的子像素；以及GIP驱动电路的级，所述GIP驱动电路的级被分布并布置在所述有效显示区域中的由m(m是自然数)条扫描线所驱动的多个单元像素区中，以向对应的扫描线供应扫描脉冲，其中，所述有效显示区域还包括分别与所述m条扫描线相邻的m个GIP内部连接线部，并且用于将构成每个级的元件连接的多条内部连接线被分布并布置在所述m个GIP内部连接线部中。

