



(12)发明专利申请

(10)申请公布号 CN 109616052 A

(43)申请公布日 2019. 04. 12

(21)申请号 201811537144.5

(22)申请日 2018.12.14

(71)申请人 昆山国显光电有限公司

地址 215300 江苏省苏州市昆山市开发区
龙腾路1号4幢

(72)发明人 范龙飞 王龙彦 朱晖 韩珍珍
胡思明 吴剑龙 张露

(74)专利代理机构 广东君龙律师事务所 44470
代理人 丁建春

(51)Int.Cl.

G09G 3/3225(2016.01)

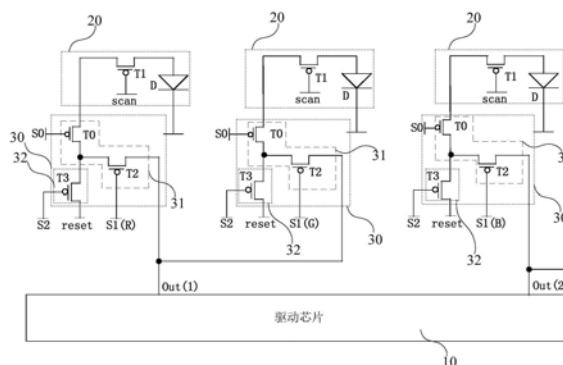
权利要求书4页 说明书10页 附图3页

(54)发明名称

显示面板、像素电路及其驱动方法

(57)摘要

本申请公开了一种显示面板、像素电路及其驱动方法,其中像素电路包括驱动芯片、与驱动芯片连接的若干个像素电路单元和若干个侦测电路单元,像素电路单元包括第一开关管和电致发光元件;每一侦测电路单元包括选择电路,选择电路包括第二开关管和连接开关管,第二开关管的第一通路端通过连接开关管和像素电路单元连接其中的电致发光元件的阳极,第二开关管的控制端连接第一时序信号端,第二开关管的第二通路端连接驱动芯片;在第二方向上至少两个相邻设置的侦测电路单元之间通过连接端子相连,并通过该连接端子连接驱动芯片的同一引脚。本申请能够便于高像素密度显示面板的阳极电位侦测,可以提高显示面板的显示效果。



1. 一种像素电路,其特征在于,所述像素电路包括驱动芯片、以及与所述驱动芯片连接的若干个像素电路单元和若干个侦测电路单元,其中,每一所述侦测电路单元分别独立的对应沿第一方向排布的一组所述像素电路单元,并与一组所述像素电路单元中每一所述像素电路单元选择性耦合连接,所述第一方向为呈阵列排布的像素电路单元的行方向或列方向;其中,

每一所述像素电路单元至少包括第一开关管和电致发光元件,所述第一开关管的一通路端与所述电致发光元件的阳极电连接,所述第一开关管的控制端连接扫描信号端;

每一所述侦测电路单元至少包括选择电路,所述选择电路至少包括第二开关管和连接开关管,所述第二开关管的第一通路端通过所述连接开关管和对应该像素电路单元连接其中的电致发光元件的阳极,所述第二开关管的控制端连接第一时序信号端,所述第二开关管的第二通路端连接所述驱动芯片;

其中,当所述侦测电路单元中的第二开关管处于导通状态且与其耦合连接的所述像素电路单元中的第一开关管也处于导通状态时,所述驱动芯片侦测导通状态的第一开关管对应的像素电路单元中所述电致发光元件的阳极的电位;

在所述第二方向上的至少两个相邻设置的所述侦测电路单元为一组,一组中所述至少两个相邻设置的侦测电路单元之间通过连接端子相连,并通过所述连接端子连接所述驱动芯片的同一引脚,所述第二方向与第一方向不同,其为呈阵列排布的像素电路单元的列方向或行方向。

2. 根据权利要求1所述的像素电路,其特征在于,沿第二方向排布的各所述像素电路单元中的第一开关管连接至同一扫描信号端。

3. 根据权利要求1所述的像素电路,其特征在于,

每一所述侦测电路单元进一步包括复位电路,所述复位电路至少包括第三开关管,所述第三开关管的第一通路端通过所述连接开关管和对应该像素电路单元连接其中所述电致发光元件的阳极,所述第三开关管的控制端连接第二时序信号端,所述第三开关管的第二通路端连接复位信号端。

4. 根据权利要求3所述的像素电路,其特征在于,

每一所述像素电路单元进一步包括存储电容和与所述电致发光元件的阳极耦合连接的电流控制驱动管,所述存储电容的一端选择性与所述驱动芯片耦合连接,另一端选择性与所述电流控制驱动管的控制端耦合连接,用于接收并存储来自驱动芯片的阳极电压补偿信号,并根据所述阳极电压补偿信号控制所述电流控制驱动管。

5. 根据权利要求4所述的像素电路,其特征在于,每一所述侦测电路单元中第三开关管的第一通路端通过所述连接开关管与对应该像素电路单元中的所述存储电容耦合连接,用于对所述储存电容进行选择性复位处理。

6. 根据权利要求4所述的像素电路,其特征在于,所述选择电路进一步包括第十开关管,所述第十开关管的第一通路端通过所述连接开关管与所述存储电容的一端耦合连接,第二通路端与所述连接端子和所述驱动芯片连接,控制端连接第五时序信号端。

7. 根据权利要求4所述的像素电路,其特征在于,每一所述像素电路单元进一步包括第四开关管、第五驱动管、第六开关管、第七开关管、第八开关管以及第九开关管,其中,所述第五驱动管为所述电流控制驱动管,每一侦测电路单元中的选择电路进一步包括第十开关

管；

所述第四开关管的第一通路端连接第一工作电压端，所述第四开关管的第二通路端连接第五驱动管的第一通路端和所述第九开关管的第二通路端，所述第四开关管的控制端连接使能信号端；

所述第五驱动管的第二通路端连接所述第六开关管的第一通路端和所述第七开关管的第二通路端，所述第五驱动管的控制端连接所述存储电容的第二端；

所述第六开关管的第二通路端连接所述第一开关管的第二通路端和所述电致发光元件的阳极，所述第六开关管的控制端连接所述使能信号端；

所述第七开关管的第一通路端连接所述第五驱动管的控制端，所述第七开关管的控制端连接第三时序信号端；

所述第八开关管的第一通路端连接所述存储电容的第二端，所述第八开关管的第二通路端所述连接开关管的第一通路端和第一开关管T1的第一通路端，所述连接开关管的第二通路端连接所述第二开关管的第一通路端和第三开关管的第一通路端，所述第八开关管的控制端连接第四时序信号端；

所述第九开关管的第一通路端连接所述第五开关管的第一通路端，所述第九开关管的第二通路端连接所述第十开关管的第一通路端，所述第十开关管的第二通路端连接所述连接端子且连接所述驱动芯片，所述第九开关管的控制端连接所述第三时序信号端，所述第十开关管的控制端连接所述第五时序信号端；

所述存储电容的第一端连接所述第一工作电压，所述电致发光元件的阴极连接第二工作电压，所述第二开关管的第一通路端连接所述第一开关管的第一通路端，所述第三开关管的第一通路端连接第一开关管的第一通路端。

8. 根据权利要求7所述的像素电路，其特征在于，所述第七开关管和所述第八开关管均为双栅开关管结构，所述双栅开关管结构包括第一子开关管和第二子开关管，所述第一子开关管和所述第二子开关管的栅极连接在一起作为所述双栅开关管结构的控制端，所述第一子开关管的第一通路端作为所述双栅开关管结构的第一通路端，所述第二子开关管的第二通路端作为所述双栅开关管结构的第二通路端，所述第一子开关管的第二通路端和所述第二子开关管的第一通路端连接。

9. 一种权利要求1-8中任一项所述的像素电路的驱动方法，其特征在于，所述驱动方法包括：

侦测每一像素电路单元中电致发光元件的阳极的电位，并将电致发光元件的阳极的电位收录在驱动芯片中形成阳极电压补偿信号；其中，每一所述像素电路单元至少包括第一开关管和电致发光元件；每一所述侦测电路单元至少包括选择电路，所述选择电路至少包括第二开关管和连接开关管；侦测每一所述像素电路单元中电致发光元件的阳极的电位的步骤包括：输入第一时序信号控制侦测电路单元中第二开关管导通，输入扫描信号控制对应像素电路单元中第一开关管导通，并控制所述连接开关管导通，以使得驱动芯片与对应像素电路单元中电致发光元件的阳极导通，进而获取所述电致发光元件的阳极的电位；

所述驱动芯片调用所述阳极电压补偿信号并将所述阳极电压补偿信号输出至对应的像素电路单元；

其中，输入第一时序信号控制侦测电路单元中第二开关管导通的步骤中，控制位于同

一组中至少两个相邻设置的侦测电路单元中的第二开关管分别单独导通,以在不同的时间段分别获取对应像素电路单元中的所述电致发光元件的阳极的电位。

10. 根据权利要求9所述的驱动方法,其特征在于,每一所述侦测电路单元进一步包括复位电路,所述复位电路至少包括第三开关管;

侦测每一所述像素电路单元中电致发光元件的阳极的电位的步骤还包括:在获取对应像素电路单元中所述电致发光元件的阳极的电位之前,对该电致发光元件的阳极的电位进行初始化处理;

其中,对所述电致发光元件的阳极的电位进行初始化处理的步骤包括:输入第二时序信号控制所述第三开关管导通,输入扫描信号控制所述第一开关管导通,并控制所述连接开关管导通,以使复位信号端与对应像素电路单元中所述电致发光元件的阳极导通,进而对所述电致发光元件的阳极的电位进行初始化。

11. 根据权利要求10所述的驱动方法,其特征在于,

在侦测与一个所述侦测电路单元对应的一组像素电路单元中电致发光元件的阳极的电位的过程中,输入第二时序信号控制所述第三开关管的第一通路端和第二通路端持续导通。

12. 根据权利要求9所述的驱动方法,其特征在于,每一像素电路单元还包括存储电容和与所述电致发光元件的阳极耦合连接的电流控制驱动管,每一像素电路单元的所述选择电路进一步包括第十开关管,

所述驱动方法包括:

对每一像素电路单元中存储电容进行信号写入处理;其中对每一像素电路单元中存储电容进行信号写入处理的步骤包括:控制所述侦测电路单元中第十开关管和连接开关管处于导通状态,并控制所述第十开关管与对应像素电路单元中的存储电容之间的电路处于导通状态,以使所述驱动芯片与对应像素电路单元中的存储电容电连通,进而将所述驱动芯片中阳极电压补偿信号输出至对应像素电路单元中的储存电容中;以及

驱动每一像素电路单元中电致发光元件进行发光;其中驱动每一像素电路单元中电致发光元件进行发光的步骤包括:释放存储电容中的电流,以控制与该存储电容处于导通状态的电流控制驱动管处于开通状态,进而使得对应的电致发光元件处于发光状态;

其中,控制所述第十开关管与对应像素电路单元中的存储电容之间的电路处于导通状态的步骤中,控制对应侦测电路中第二开关管处于截止状态,并控制位于同一组中至少两个相邻设置的侦测电路中的第十开关管分别单独导通,以在不同的时间段将所述驱动芯片中阳极电压补偿信号输出至对应像素电路单元中的储存电容中。

13. 根据权利要求12所述的驱动方法,其特征在于,对每一像素电路单元中存储电容进行信号写入处理的步骤中,还包括预先对对应的像素电路单元中的存储电容进行初始化处理的步骤;对对应像素电路单元中的存储电容进行初始化处理的步骤包括:控制所述侦测电路单元中第三开关管和连接开关管处于导通状态,并控制所述第三开关管与对应像素电路单元中的存储电容之间的电路处于导通状态,以使所述复位信号端与对应像素电路单元中的存储电容导通,进而对该存储电容进行初始化;

驱动每一像素电路单元中电致发光元件进行发光的步骤,还包括预先对对应像素电路单元中的电致发光元件的阳极进行复位处理的步骤;对对应像素电路单元中的电致发光元

件的阳极进行复位处理的步骤包括:控制所述侦测电路单元中第三开关管和连接开关管处于导通状态,并控制对应的像素电路单元中第一开关管处于导通状态,以使所述复位信号端与对应像素电路单元中的电致发光元件的阳极导通,以对相应电致发光元件的阳极电位进行复位处理电流控制驱动管。

14.根据权利要求13所述的驱动方法,其特征在于,每一所述像素电路单元进一步包括第四开关管、第五驱动管、第六开关管、第七开关管、第八开关管以及第九开关管,

对每一像素电路单元中存储电容进行信号写入处理的步骤中,

对对应像素电路单元中的存储电容进行初始化处理的步骤包括:控制所述第四开关管、所述第六开关管、所述第一开关管、所述第七开关管和所述第九开关管截止;并控制所述第三开关管、所述连接开关管和所述第八开关管导通,以使所述复位信号对所述存储电容进行复位;

将所述驱动芯片中阳极电压补偿信号输出至对应像素电路单元中的储存电容的步骤包括:控制所述第四开关管、所述第六开关管、所述第一开关管和所述第八开关管截止;并控制所述第五驱动管、所述第七开关管、所述第九开关管、所述第十开关管和连接开关管导通,以使所述驱动芯片将所述阳极电压补偿信号写入所述存储电容;

驱动每一像素电路单元中电致发光元件进行发光的步骤中,

对对应像素电路单元中的电致发光元件的阳极进行复位处理的步骤包括:控制所述第四开关管、所述第六开关管、所述第七开关管、第八开关管、第九开关管截止,并控制第一开关管、所述连接开关管和第三开关管导通,以使所述复位信号对所述电致发光元件的阳极电位进行复位;

使得对应的电致发光元件处于发光状态的步骤包括:控制所述第一开关管、所述第七开关管、所述第八开关管和所述第九开关管截止,并控制所述第四开关管、所述第五驱动管和所述第六开关管导通,以使得所述电致发光元件发光。

15.根据权利要求9所述的驱动方法,其特征在于,沿第二方向排布的各所述像素电路单元中的第一开关管共用同一扫描信号;沿第一方向排布的各所述像素电路单元中的第一开关管各自独立连接相应扫描信号;在侦测阶段和显示阶段,沿第一方向对所述像素电路中各像素电路单元进行逐行扫描。

16.根据权利要求9所述的驱动方法,其特征在于,对应于沿第二方向排布的各所述像素电路单元,所述侦测电路单元中第三开关管共用同一第二时序信号和同一复位信号。

17.根据权利要求9所述的驱动方法,其特征在于,对应于沿第二方向排布的各像素电路单元,所述侦测电路单元中第二开关管的控制端根据相应像素电路单元中电致发光元件的发光颜色接入不同的第一时序信号。

18.一种显示面板,其特征在于,所述显示面板包括基板和设置于基板上的像素电路,所述像素电路为如权利要求1-8任意一项所述的像素电路。

显示面板、像素电路及其驱动方法

技术领域

[0001] 本发明涉及显示技术领域,具体涉及一种显示面板、像素电路及其驱动方法。

背景技术

[0002] AMOLED (Active-matrix organic light-emitting diode,有源矩阵有机发光二极管或主动矩阵有机发光二极管)显示屏由于广视角、低功耗等优势被大量应用于手机、电视中。

[0003] 然而,随着时间的流逝,OLED (organic light-emitting diode,有机发光二极管)的效率也会快速衰退,这将导致屏体亮度逐渐降低。影响显示效果,影响显示面板的使用寿命。

发明内容

[0004] 本申请主要解决的问题是提供一种显示面板、像素电路及其驱动方法,能够提高显示面板的显示效果,提高显示面板的使用寿命。

[0005] 为解决上述技术问题,本申请采用的一技术方案是:提供一种像素电路,该像素电路包括驱动芯片、以及与驱动芯片连接的若干个像素电路单元和若干个侦测电路单元,其中,每一侦测电路单元分别独立的对应沿第一方向排布的一组像素电路单元,并与一组像素电路单元中每一像素电路单元选择性耦合连接,第一方向为呈阵列排布的像素电路单元的行方向或列方向;其中,每一像素电路单元至少包括第一开关管和电致发光元件,第一开关管的一通路端与电致发光元件的阳极电连接,第一开关管的控制端连接扫描信号端;每一侦测电路单元至少包括选择电路,选择电路至少包括第二开关管和连接开关管,第二开关管的第一通路端通过连接开关管和对应该像素电路单元连接其中的电致发光元件的阳极,第二开关管的控制端连接第一时序信号端,第二开关管的第二通路端连接驱动芯片;其中,当侦测电路单元中的第二开关管处于导通状态且与其耦合连接的像素电路单元中的第一开关管也处于导通状态时,驱动芯片侦测导通状态的第一开关管对应的像素电路单元中电致发光元件的阳极的电位,在所述第二方向上的至少两个相邻设置的侦测电路单元为一组,一组中至少两个相邻设置的侦测电路单元之间通过连接端子相连,并通过该连接端子连接所述驱动芯片的同一引脚,所述第二方向与第一方向不同,其为呈阵列排布的像素电路单元的列方向或行方向。

[0006] 为解决上述技术问题,本申请采用的另一技术方案是:提供一种上述像素电路的驱动方法,驱动方法包括:侦测每一像素电路单元中电致发光元件的阳极的电位,并将电致发光元件的阳极的电位收录在驱动芯片中形成阳极电压补偿信号;其中,每一像素电路单元至少包括第一开关管和电致发光元件;每一侦测电路单元至少包括选择电路,选择电路至少包括第二开关管和连接开关管;侦测每一像素电路单元中电致发光元件的阳极的电位的步骤包括:输入第一时序信号控制侦测电路单元中第二开关管导通,输入扫描信号控制对应该像素电路单元中第一开关管导通,并控制所述连接开关管导通,以使得驱动芯片与对

应像素电路单元中电致发光元件的阳极导通,进而获取电致发光元件的阳极的电位;驱动芯片调用阳极电压补偿信号并将阳极电压补偿信号输出至对应的像素电路单元;其中,输入第一时序信号控制侦测电路单元中第二开关管导通的步骤中,控制位于同一组中至少两个相连的侦测电路中的第二开关管分别单独导通,以在不同的时间段分别获取对应像素电路单元中的所述电致发光元件的阳极的电位。

[0007] 为解决上述技术问题,本申请采用的又一技术方案是:提供一种显示面板,该显示面板包括基板和设置于基板上的像素电路,像素电路为上述的像素电路。

[0008] 本申请通过设置像素电路包括驱动芯片、以及与驱动芯片连接的若干个像素电路单元和若干个侦测电路单元,利用侦测电路单元导通驱动芯片与对应像素电路单元中电致发光元件的阳极。从而能够便于驱动芯片获取到电致发光元件的阳极电位,便于后续显示阶段对阳极电位的补偿,该电路能够较好的与像素电路单元融合,电路结构简单,且该电路结构便于侦测阶段与显示阶段相互独立设计,使得侦测阶段不会对显示阶段产生影响,并且通过将位于一组中侦测电路单元之间通过连接端子连接,并通过该连接端子对应连接驱动芯片的同一引脚,可以节省驱动芯片上的引脚,便于硬件资源的节约。

附图说明

[0009] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。其中:

[0010] 图1是本申请第一实施例的像素电路的电路结构示意图;

[0011] 图2是本申请第二实施例的像素电路的电路结构示意图;

[0012] 图3是本申请实施例双栅开关管结构的原理示意图;

[0013] 图4是本申请实施例的像素电路的驱动方法的实施例的流程示意图;

[0014] 图5是本申请实施例的像素电路的驱动方法的实施例一种显示阶段的具体流程示意图;

[0015] 图6是本申请实施例显示面板的结构示意图。

具体实施方式

[0016] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性的劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0017] 请参阅图1,图1是本申请第一实施例的像素电路的电路结构示意图。

[0018] 在本实施例中,像素电路包括驱动芯片10以及与驱动芯片10连接的若干个像素电路单元20和若干个侦测电路单元30。

[0019] 每一侦测电路单元30分别独立的对应沿第一方向排布的一组像素电路单元20,并与一组像素电路单元20中每一像素电路单元20选择性耦合连接,第一方向为呈阵列排布的像素电路单元20的行方向或列方向。

[0020] 例如,第一方向可以为呈阵列排布的像素电路单元的列方向。图1中仅为示意,其仅示意出一列的若干个像素电路单元20中的一个像素电路单元20与侦测电路单元30的连接关系,不难理解,该列的其他像素电路单元20与该侦测电路单元30的连接关系与之相同,图中不逐一体现。

[0021] 在第二方向上至少两个相邻设置的侦测电路单元30之间通过连接端子相连,并通过所述连接端子连接驱动芯片10的同一引脚,第二方向与第一方向不同,其为呈阵列排布的像素电路单元20的列方向或行方向。例如,如图1所示,两个相邻的侦测电路单元30为一组,两者之间通过连接端子连接;当然在另外的实施例中,位于一组中的侦测电路单元30不限于两个,可以为三个、四个、甚至更多。例如,如图1所示,第二方向为呈阵列排布的像素电路单元20的行方向。

[0022] 每一像素电路单元20至少包括第一开关管T1和电致发光元件D,第一开关管T1的一通路端与电致发光元件D的阳极电连接,第一开关管T1的控制端连接扫描信号(scan)端。

[0023] 每一侦测电路单元30至少包括选择电路31,选择电路31至少包括第二开关管T2和连接开关管T0,第二开关管T2的第一通路端通过连接开关管T0和对应像素电路单元20连接其(指代该对应像素电路单元)中的电致发光元件D的阳极,第二开关管T2的控制端连接第一时序信号(S1)端,第二开关管T2的第二通路端(作为连接端子)连接驱动芯片10(的相应引脚)。连接开关管T0的控制端连接预定信号端以便于控制连接开关管T0的开关;例如,连接开关管T0的控制端连接常开信号(S0)端,且连接开关管T0保持导通。。其中,对应像素电路单元是指与侦测电路单元30处于导通状态的像素电路单元。

[0024] 当侦测电路单元30中的第二开关管T2处于导通状态且与其耦合连接的像素电路单元20中的第一开关管T1也处于导通状态时,驱动芯片10侦测导通状态的第一开关管T1对应的像素电路单元20中电致发光元件D的阳极的电位。

[0025] 可选地,沿第二方向排布的各像素电路单元20中的第一开关管T1连接至同一扫描信号端,即共用同一扫描信号scan。可选地,每一侦测电路单元30进一步包括复位电路32,复位电路32至少包括第三开关管T3,第三开关管T3的第一通路端通过连接开关管T0和对应像素电路单元20连接其(指代该对应像素电路单元)中电致发光元件D的阳极,第三开关管T3的控制端连接第二时序信号S2,第三开关管T3的第二通路端连接复位信号(reset)端。

[0026] 请参阅图2,图2是本申请第二实施例的像素电路的电路结构示意图。

[0027] 在本实施例中,每一像素电路单元20进一步包括存储电容C和与电致发光元件D的阳极耦合连接的电流控制驱动管(T5),存储电容C的一端选择性与驱动芯片10耦合连接,另一端选择性与电流控制驱动管(T5)的控制端耦合连接,用于接收并存储来自驱动芯片10的阳极电压补偿信号,并根据阳极电压补偿信号控制电流控制驱动管(T5)。

[0028] 每一侦测电路单元30中第三开关管T3的第一通路端(在所述连接开关管导通的情况下)选择性与存储电容C耦合连接,用于对储存电容C进行选择复位处理。通过对储存电容C进行复位处理,有利于提高存储电容C对阳极电压补偿信号的存储精度。

[0029] 可选地,在每一所述侦测电路单元的选择电路中还包括第十开关管T10,该第十开关管T10的第一通路端与存储电容C的一端耦合连接,第十开关管T10的第二通路端与连接端子和驱动芯片10连接,第十开关管T10的控制端连接第五时序信号端(S5)。

[0030] 可选地,像素电路单元20进一步包括第四开关管T4、第五驱动管T5、第六开关管

T6、第七开关管T7、第八开关管T8以及第九开关管T9,其中,第五驱动管T5为电流控制驱动管。

[0031] 第四开关管T4的第一通路端连接第一工作电压VDD和储存电容C的第一端,同时储存电容C的第一端也连接第一工作电压(VDD)端,第四开关管T4的第二通路端连接第五驱动管T5的第一通路端和第九开关管T9的第二通路端,同时第五驱动管T5的第一通路端也连接第九开关管T9的第二通路端,第四开关管T4的控制端连接使能信号(EM)端。

[0032] 第五驱动管T5的第二通路端连接第六开关管T6的第一通路端和第七开关管T7的第二通路端,同时第六开关管T6的第一通路端也连接第七开关管T7的第二通路端;第五驱动管T5的控制端连接存储电容C的第二端。

[0033] 第六开关管T6的第二通路端连接第一开关管T1的第二通路端和电致发光元件D的阳极,第六开关管T6的控制端连接使能信号(EM)端。

[0034] 第七开关管T7的第一通路端连接第五驱动管T5的控制端和储存电容的第二端,第七开关管T7的控制端连接第三时序信号(S3)端。

[0035] 第八开关管T8的第一通路端连接存储电容C的第二端,第八开关管T8的第二通路端连接所述连接开关管T0的第一通路端和第一开关管T1的第一通路端,所述连接开关管T0的第二通路端连接第一开关管T1的第一通路端、第二开关管T2的第一通路端和第三开关管T3的第一通路端,第八开关管T8的控制端连接第四时序信号(S4)端。

[0036] 第九开关管T9的第一通路端连接第五开关管T5的第一通路端,第九开关管T9的第二通路端连接第十开关管T10的第一通路端,第十开关管T10的第二通路端连接前述连接端子且连接驱动芯片10(的相应引脚),第九开关管T9的控制端连接第三时序信号(S3)端,第十开关管T10的控制端连接第五时序信号(S5)端。

[0037] 存储电容C的第一端连接第一工作电压(VDD)端,电致发光元件D的阴极连接第二工作电压(VSS)端,第二开关管T2的第一通路端连接第一开关管T1的第一通路端和第八开关管T8的第二通路端,第三开关管T3的第一通路端连接第一开关管T1的第一通路端和第八开关管T8的第二通路端。

[0038] 可选地,沿第二方向排布的各像素电路单元20中的第一开关管T1共用同一扫描信号(scan)端;沿第一方向排布的各像素电路单元20中的第一开关管T1各自独立连接相应扫描信号;在侦测阶段和显示阶段,沿第一方向对像素电路中各像素电路单元20进行逐行扫描。

[0039] 可选地,对应于沿第二方向排布的各像素电路单元20,侦测电路单元30中第三开关管T3共用同一第二时序信号S2和同一复位信号reset。

[0040] 可选地,对应于沿第二方向排布的各像素电路单元20,侦测电路单元30中第二开关管T2的控制端根据相应像素电路单元20中电致发光元件D的发光颜色接入不同的第一时序信号S1(R)、S1(G)或者S1(B)。

[0041] 可选地,对应于沿第二方向排布的每一组相邻的两个像素电路单元20,侦测电路单元30中第二开关管T2的第二通路端对应连接驱动芯片10的同一输入输出引脚。

[0042] 例如,如图1所示,第一方向为列方向,第二方向为行方向,同一行的各像素电路单元20中的第一开关管T1共用同一扫描信号scan;同一列的各像素电路单元20中的第一开关管T1各自独立连接相应扫描信号,即不同时接收扫描信号;在侦测阶段和显示阶段,沿列方

向对像素电路中各像素电路单元20进行逐行扫描。对于同一行的各像素电路单元20,侦测电路单元30中第三开关管T3共用同一第二时序信号S2和同一复位信号reset。对于同一行的各像素电路单元20,侦测电路单元30中第二开关管T2的控制端根据相应像素电路单元20中电致发光元件D的发光颜色接入不同的第一时序信号S1(R)、S1(G)或者S1(B);对于同一行的每一组相邻的两个像素电路单元20,侦测电路单元30中第二开关管T2的第二通路端对应连接驱动芯片10的同一输入输出引脚。例如,如图所示,在行方向上从左至右的四个像素电路单元20中,前两个相邻的像素电路单元20的连接端子连接同一输入输出引脚Out(1),后两个相邻的像素电路单元20的连接端子连接同一输入输出引脚Out(2)。

[0043] 具体而言,每一像素电路单元20对应于显示面板的一个亚像素单元,例如图2中从左到右的三个亚像素单元分别为红色亚像素单元(R)、绿色亚像素单元(G)、蓝色亚像素单元(B)。相邻的红、绿、蓝三种颜色的亚像素单元(RGB)组成一个像素单元,通过控制亚像素单元的不同灰阶,使得红、绿、蓝三种颜色的亚像素单元(RGB)混色实现像素单元的不同显示颜色。

[0044] 位于同一行的不同颜色的亚像素单元共用一个扫描信号scan(即共用同一扫描线)、共用同一个复位信号reset、共用同一个第二时序信号S2。每组相邻的亚像素单元的连接端子对应地连接驱动芯片10的同一输入输出引脚。不同颜色的亚像素单元的第二开关管T2的控制端一一对应地连接不同的第一时序信号S1(R)、S1(G)或者S1(B)。

[0045] 请参阅图3,图3是本申请实施例双栅开关管结构的原理示意图。可选地,第七开关管T7和第八开关管T8均为双栅开关管结构,双栅开关管结构包括第一子开关管T01和第二子开关管T02,第一子开关管T01和第二子开关管T02的栅极连接在一起作为双栅开关管结构的控制端,第一子开关管T01的第一通路端作为双栅开关管结构的第一通路端,第二子开关管T02的第二通路端作为双栅开关管结构的第二通路端,第一子开关管T01的第二通路端和第二子开关管T02的第一通路端连接。

[0046] 通过上述方式,可以降低第七开关管T7和第八开关管T8的漏电流,降低功率损耗,提升电致发光元件D的显示效果。当然,在其他实施例中,第七开关管T7和第八开关管T8也可以采用单个栅极的MOS管,本申请实施例对此不做限定。

[0047] 可选地,第一开关管T1、第二开关管T2、第三开关管T3、第四开关管T4、第五驱动管T5、第六开关管T6、第七开关管T7、第八开关管T8以及第九开关管T9均为可以为MOS管,具体可以是薄膜晶体管,且在控制端接入低电位时第一通路端与第二通路端导通,在控制端接入高电位时第一通路端与第二通路端截止。在其他实施例中,可以进行相反的配置,例如,在控制端接入低电位时第一通路端与第二通路端截止,在控制端接入高电位时第一通路端与第二通路端导通。例如,P型MOS管是在控制端接入低电位信号时导通,接入高电位信号时截止;N型MOS管是在控制端接入高电位导通,接入低电位时截止。

[0048] 可选地,第一开关管T1、第二开关管T2、第三开关管T3、第四开关管T4、第五驱动管T5、第六开关管T6、第七开关管T7、第八开关管T8以及第九开关管T9各自的第一通路端和第二通路端中的其中一者为源极,另一者为漏极,各自的控制端均为栅极。

[0049] 可选地,电致发光元件可以是OLED发光元件,具体可以是AMOLED(Active-matrix organic light-emitting diode,有源矩阵有机发光二极管或主动矩阵有机发光二极管)。在其他实施例中,也可以采用其他的电致发光元件,本申请实施例对此不做限定。

[0050] 请参阅图4,图4是本申请实施例的像素电路的驱动方法的实施例的流程示意图。

[0051] 在本实施例中,像素电路的驱动方法可包括:

[0052] 步骤S11:侦测阶段:侦测每一像素电路单元中电致发光元件的阳极的电位,并将电致发光元件的阳极的电位收录在驱动芯片中形成阳极电压补偿信号。

[0053] 其中,每一像素电路单元20至少包括第一开关管T1和电致发光元件D;每一侦测电路单元30至少包括选择电路31,选择电路至少包括第二开关管T2和连接开关管T0;侦测每一像素电路单元20中电致发光元件D的阳极的电位的步骤具体可以包括:输入第一时序信号S1控制侦测电路单元30中第二开关管T2的第一通路端和第二通路端导通,输入扫描信号scan控制第一开关管T1的第一通路端和第二通路端导通,并控制所述连接开关管导通,以使得驱动芯片10与对应像素电路单元20中电致发光元件D的阳极导通,进而获取电致发光元件D的阳极的电位。

[0054] 其中,输入第一时序信号S1控制侦测电路单元30中第二开关管T2导通的步骤中,控制位于同一组(侦测电路单元)中至少两个相邻的侦测电路单元30中的第二开关管T2分别单独导通,以在不同的时间段分别获取对应像素电路单元30中的电致发光元件D的阳极的电位。

[0055] 例如,如图1所示,在图1中一组侦测电路单元中包括两个侦测电路单元30,此时在输入第一时序信号S1控制侦测电路单元30中第二开关管T2导通的步骤中,在第一时间段控制在第二方向上相邻的两个像素电路单元20中的其中一个侦测电路单元30的第二开关管T2导通,另一个一侦测电路单元30的第二开关管T2截止;在不同于第一时间段的第二时间段控制前述的其中一个侦测电路单元30的第二开关管T2截止,前述的另一个一侦测电路单元30的第二开关管T2导通,进而分别在第一时间段和第二时间段获取对应的电致发光元件D的阳极的电位。换言之,分别在第一时间段和第二时间段获取对应的(指与相邻的两个侦测电路单元对应)相邻的两组沿第一方向(例如图中的列方向)排布的像素电路单元20中电致发光元件D的阳极的电位。

[0056] 例如,在第一方向为列方向的情况下,在第一时间段和第二时间段分别获取相邻两列的像素电路单元20的电致发光元件D。在各自的时间段(第一时间段和第二时间段)进一步通过扫描信号Scan控制第一开关管T1对同一列的各个像素电路单元20分时进行获取对应像素电路单元20中电致发光元件D的阳极的电位。

[0057] 可选地,在侦测阶段,第一时序信号S1的电位和第二时序信号S2的电位可以没有要求,其能够使得电致发光元件D发光即可,但为了减少侦测阶段对于电致发光元件D的影响,建议第一时序信号S1的电位和第二时序信号S2的电位的尽可能的小。

[0058] 本申请中对于第一时序信号S1可以没有限制,只要保持每个侦测阶段中所采用的第一时序信号S1相同,且保持每个侦测阶段中所采用的第二时序信号S2相同,通过每次侦测电致发光元件D的阳极的电位差异形成阳极电压补偿信号。

[0059] 步骤S12:显示阶段:驱动芯片调用阳极电压补偿信号并将阳极电压补偿信号输出至对应的像素电路单元。

[0060] 本申请中每一侦测电路单元30进一步包括复位电路32,复位电路32至少包括第三开关管T3和连接开关管T0;可选地,侦测每一像素电路单元20中电致发光元件D的阳极的电位的步骤还包括:在获取对应像素电路单元20中电致发光元件D的阳极的电位之前,预先对

该电致发光元件D的阳极的电位进行初始化处理。

[0061] 其中对电致发光元件D的阳极的电位进行初始化处理的步骤包括:输入第二时序信号S2控制第三开关管T3的第一通路端和第二通路端导通,输入扫描信号scan控制第一开关管T1的第一通路端和第二通路端导通,并控制所述连接开关管导通,以使复位信号(reset)端与对应像素电路单元20中电致发光元件D的阳极导通,进而对电致发光元件D的阳极的电位进行初始化。

[0062] 可选地,在侦测与一个侦测电路单元30对应的一组像素电路单元20中电致发光元件D的阳极的电位(包括对阳极进行初始化的过程)的过程中,输入第二时序信号S2控制第三开关管T3的第一通路端和第二通路端持续导通,从而使得电致发光元件D持续发光,从而能够减少侦测阶段对于电致发光元件D的影响。

[0063] 请参阅图5,图5是本申请实施例的像素电路的驱动方法的实施例一种显示阶段的具体流程示意图。每一像素电路单元20还包括存储电容C和与电致发光元件D的阳极耦合连接的电流控制驱动管(T5),每一像素电路单元的所述选择电路进一步包括第十开关管。

[0064] 可选地,显示阶段具体可以包括:

[0065] 步骤S121:对每一像素电路单元20中存储电容C进行信号写入处理。

[0066] 其中,对每一像素电路单元20中存储电容C进行信号写入处理的步骤包括:控制侦测电路单元30中第十开关管T10和连接开关管T0处于导通状态,并控制第十开关管T10与对应像素电路单元20中的存储电容C之间的电路处于导通状态,以使驱动芯片10与对应像素电路单元20中的存储电容C电连通,进而将驱动芯片10中阳极电压补偿信号输出至对应像素电路单元20中的储存电容C中。

[0067] 可选地,对每一像素电路单元20中存储电容C进行信号写入处理的步骤中,还包括(在信号写入前)预先对对应像素电路单元20中的存储电容C进行初始化处理的步骤;对对应像素电路单元20中的存储电容C进行初始化处理的步骤包括:控制侦测电路单元30中第三开关管T3和连接开关管T0处于导通状态,并控制第三开关管T3与对应像素电路单元20中的存储电容C之间的电路处于导通状态,以使复位信号(reset)端与对应像素电路单元20中的存储电容C导通,进而对该存储电容C进行初始化。

[0068] 其中,控制第十开关管T10与对应像素电路单元20中的存储电容C之间的电路处于导通状态的步骤中,控制对应侦测电路单元30中第二开关管T2处于截止状态,并控制位于同一组中至少两个相邻的侦测电路单元30中的第十开关管T10分别单独导通,以在不同的时间段将驱动芯片10中阳极电压补偿信号输出至对应像素电路单元20中的储存电容C中。

[0069] 具体地,如图2所示,一组侦测电路单元30中包括两个相邻设置的侦测电路单元30,此时,控制第十开关管T2与对应像素电路单元20中的存储电容C之间的电路处于导通状态的步骤中,在第三时间段控制相邻的两个侦测电路单元30中的其中一个侦测电路单元30的第十开关管T10处于导通状态,另一个侦测电路单元20的第十开关管T10处于截止状态;在不同于第三时间段的第四时间段控制该其中一个侦测电路单元30的第十开关管T10处于截止状态,该另一个侦测电路单元30的第十开关管T10处于导通状态,以使得在第三时间段和第四时间段分别对对应的像素电路单元20独立的进行将驱动芯片10中阳极电压补偿信号输出至对应像素电路单元20中的储存电容C中的步骤。

[0070] 其中一个侦测电路单元30的第十开关管T10的控制端和该另一个侦测电路单元30

的第十开关管T10的控制端接入不同的第五时序信号S5。如图2所示,该其中一个侦测电路单元30的第十开关管T10的控制端接入第五时序信号S5(1),该另一个侦测电路单元30的第十开关管T10的控制端接入第五时序信号S5(2)。

[0071] 可选地,各组侦测电路单元中的前一个侦测电路单元30(前述的其中一个侦测电路单元30)的第十开关管T10的控制端均接入相同的第五时序信号S5(1),后一个侦测电路单元30(前述的另一个侦测电路单元30)的第十开关管T10的控制端均接入相同的第五时序信号S5(2)。

[0072] 通过输入第五时序信号S5控制对应侦测电路单元30中的第十开关管T10的导通或者截止。

[0073] 步骤S122:驱动每一像素电路单元20中电致发光元件D进行发光。

[0074] 其中驱动每一像素电路单元20中电致发光元件D进行发光的步骤包括:释放存储电容C中的电流,以控制与该存储电容C处于导通状态的电流控制驱动管(T5)处于开通状态,进而使得对应的电致发光元件D处于发光状态。

[0075] 可选地,驱动每一像素电路单元20中电致发光元件D进行发光的步骤,还包括(在促使电致发光元件D发光前)预先对对应像素电路单元20中的电致发光元件D的阳极进行复位处理的步骤;对对应像素电路单元20中的电致发光元件D的阳极进行复位处理的步骤包括:控制侦测电路单元30中第三开关管T3和连接开关管T0处于导通状态,并控制对应的像素电路单元20中第一开关管T1处于导通状态,以使复位信号(reset)端与对应像素电路单元20中的电致发光元件D的阳极导通,以对相应电致发光元件D的阳极电位进行复位处理。

[0076] 电流控制驱动管可选地,侦测阶段采用的复位信号与显示阶段所采用的复位信号不同,具体而言,在侦测阶段,复位信号reset的电位高于第二工作电压VSS,且复位信号reset与第二工作电压VSS的压差大于电致发光元件D的开启电压。在显示阶段,复位信号reset的电位小于等于第二工作电压VSS的电位。通过上述方式,能够使得在侦测阶段电致发光元件D发光,以减少侦测过程对于电致发光元件D的影响。

[0077] 如图2所示,每一像素电路单元20进一步包括第四开关管T4、第五驱动管T5、第六开关管T6、第七开关管T7、第八开关管T8以及第九开关管T9。

[0078] 具体而言,对每一像素电路单元20中存储电容C进行信号写入处理的步骤中,

[0079] 对对应像素电路单元中的存储电容进行初始化处理的步骤包括:控制使能信号EM,以控制第四开关管T4的第一通路端和第二通路端截止,且控制第六开关管T6的第一通路端和第二通路端截止;控制扫描信号scan,以控制第一开关管T1的第一通路端和第二通路端截止;控制第三时序信号S3,以控制第七开关管T7的第一通路端和第二通路端截止,且控制第九开关管T9的第一通路端和第二通路端截止;输入第二时序信号S2,以控制第三开关管T3的第一通路端和第二通路端导通;控制连接开关管保持导通;输入第四时序信号S4,以控制第八开关管T8的第一通路端和第二通路端导通,以使复位信号reset对存储电容C进行复位。

[0080] 将驱动芯片10中阳极电压补偿信号输出至对应像素电路单元中的储存电容的步骤包括:控制使能信号EM,以控制第四开关管T4的第一通路端和第二通路端截止,且控制第六开关管T6的第一通路端和第二通路端截止;控制扫描信号scan,以控制第一开关管T1的第一通路端和第二通路端截止;控制第四时序信号S4,以控制第八开关管T8的第一通路端

和第二通路端截止;输入第三时序信号S3,以控制第七开关管T7的第一通路端和第二通路端导通,且控制第九开关管T9的第一通路端和第二通路端导通;输入第五时序信号S5,以控制第十开关管T10的第一通路端和第二通路端导通,以使驱动芯片10将阳极电压补偿信号写入存储电容C。

[0081] 在前面描述的步骤中,第五驱动管T5也是处于导通状态的,这是因为存储电容C在完成初始化处理后,会留存一定电流,这部分电流会输入第五驱动管的控制端,以控制第五驱动管T5的第一通路端和第二通路端导通,此时第十开关管T10、连接开关管T0、第九开关管T9、第五驱动管T5和第七开关管T7均处于导通状态,驱动芯片10能够将阳极电压补偿信号写入存储电容C,与此同时,第七开关管T7第一通路端输出的电流会有一部分流入第五驱动管T5的控制端,以控制第五驱动管T5的第一通路端和第二通路端处于导通状态。

[0082] 具体地,驱动每一像素电路单元20中电致发光元件D进行发光的步骤中,

[0083] 对对应像素电路单元20中的电致发光元件D的阳极进行复位处理的步骤包括:控制使能信号EM,以控制第四开关管T4的第一通路端和第二通路端截止,且控制第六开关管T6的第一通路端和第二通路端截止;控制第三时序信号S3,以控制第七开关管T7的第一通路端和第二通路端截止,且控制第九开关管T9的第一通路端和第二通路端截止;控制第四时序信号S4,以控制第八开关管T8的第一通路端和第二通路端截止,输入扫描信号scan,以控制第一开关管T1的第一通路端和第二通路端导通;输入第二时序信号,以控制第三开关管T3的第一通路端和第二通路端;控制连接开关管的第一通路端和第二通路端保持导通,以使复位信号reset对电致发光元件D的阳极电位进行复位。

[0084] 使得对应的电致发光元件D处于发光状态的步骤包括:控制扫描信号scan控制第一开关管T1的第一通路端和第二通路端截止;控制第三时序信号S3,以控制第七开关管T7的第一通路端和第二通路端截止,且控制第九开关管T9的第一通路端和第二通路端截止;控制第四时序信号S4,以控制第八开关管T8的第一通路端和第二通路端截止;输入使能信号EM,以控制第四开关管T4的第一通路端和第二通路端导通,且控制第六开关管T6的第一通路端和第二通路端导通,以使得电致发光元件D发光。

[0085] 在上述任意一实施例中,驱动方法可以包括输入常开信号S0控制连接开关管T0保持导通状态。例如,控制连接开关管T0在整个驱动方法执行过程中保持导通状态。

[0086] 本申请所提供的驱动方法是一个连续的过程,具体地,控制扫描信号scan对沿第一方向排布的各像素电路单元20进行逐行(第二方向)扫描,对位于同一行(第二方向)且连接于位于不同组的侦测电路单元的各像素电路单元20同步扫描,以进行存储电容C初始化、存储电容C信号写入、电致发光元件D的阳极电位复位、电致发光元件D发光;对位于同一行(第二方向)且连接于位于相同组的侦测电路单元的各像素电路单元20,依次进行扫描,以进行存储电容C初始化、存储电容C信号写入、电致发光元件D的阳极电位复位、电致发光元件D发光;同时,对位于同一列(第一方向)中的像素电路单元20依次进行扫描,以存储电容C初始化、存储电容C信号写入、电致发光元件D的阳极电位复位、电致发光元件D发光处理;即,再对第四列中像素电路单元20中存储电容C初始化时,对完成存储电容C初始化的第三列的像素电路单元20中的存储电容C进行信号写入,对完成存储电容C信号写入的第二列的像素电路单元20中的电致发光元件D的阳极电位进行复位,对完成电致发光元件D的阳极电位复位的第一列的像素电路单元20中的电致发光元件D进行发光。

[0087] 请参阅图6,图6是本申请实施例显示面板的结构示意图。在本实施例中,显示面板包括基板41和设置于基板41上的像素电路42。该像素电路42可以是上述任意一实施例中的像素电路。

[0088] 基板41可以为硬质基板也可以为柔性基板,本申请实施例对此不做限定。

[0089] 本申请通过设置像素电路包括驱动芯片、以及与驱动芯片连接的若干个像素电路单元和若干个侦测电路单元,利用侦测电路单元导通驱动芯片与对应像素电路单元中电致发光元件的阳极。从而能够便于驱动芯片获取到电致发光元件的阳极电位,便于后续显示阶段对阳极电位的补偿,该电路能够较好的与像素电路单元融合,电路结构简单,且该电路结构便于侦测阶段与显示阶段相互独立设计,使得侦测阶段不会对显示阶段产生影响,并且通过将位于一组中侦测电路单元之间通过连接端子连接,并通过该连接端子对应连接驱动芯片的同一引脚,可以节省驱动芯片上的引脚,便于硬件资源的节约。

[0090] 以上仅为本申请的实施例,并非因此限制本申请的专利范围,凡是利用本申请说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本申请的专利保护范围内。

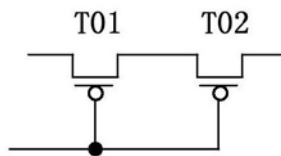


图3

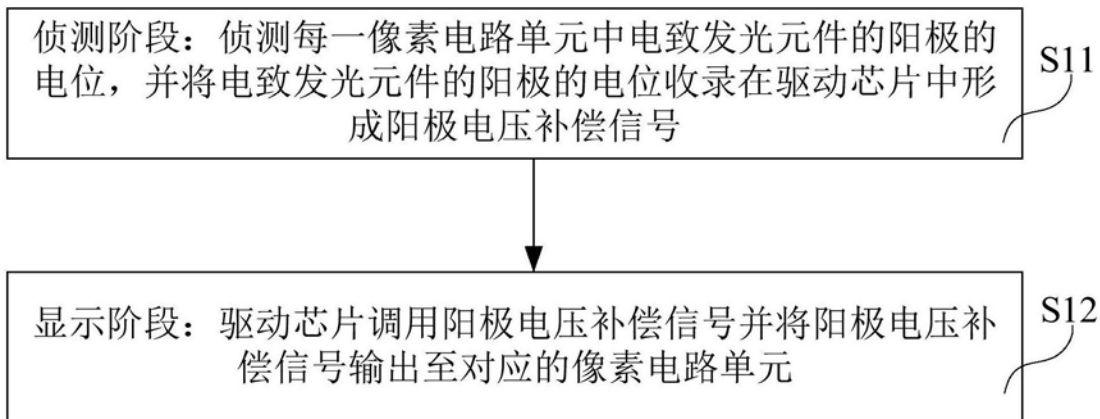


图4

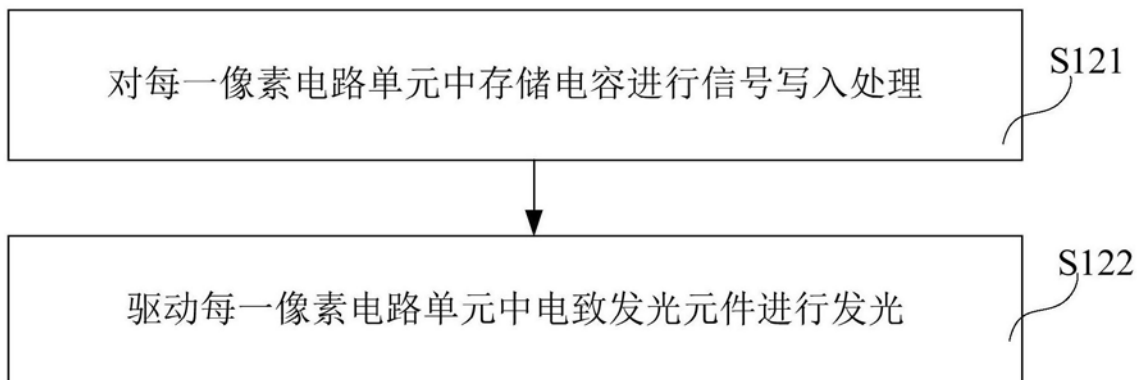


图5

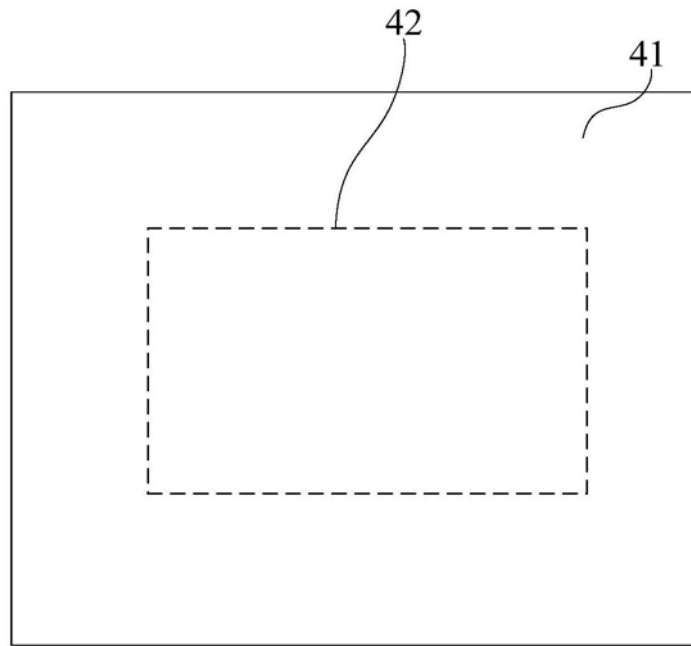


图6

专利名称(译)	显示面板、像素电路及其驱动方法		
公开(公告)号	CN109616052A	公开(公告)日	2019-04-12
申请号	CN201811537144.5	申请日	2018-12-14
[标]申请(专利权)人(译)	昆山国显光电有限公司		
申请(专利权)人(译)	昆山国显光电有限公司		
当前申请(专利权)人(译)	昆山国显光电有限公司		
[标]发明人	范龙飞 王龙彦 朱晖 韩珍珍 胡思明 吴剑龙 张露		
发明人	范龙飞 王龙彦 朱晖 韩珍珍 胡思明 吴剑龙 张露		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225		
代理人(译)	丁建春		
外部链接	Espacenet SIPO		

摘要(译)

本申请公开了一种显示面板、像素电路及其驱动方法，其中像素电路包括驱动芯片、与驱动芯片连接的若干个像素电路单元和若干个侦测电路单元，像素电路单元包括第一开关管和电致发光元件；每一侦测电路单元包括选择电路，选择电路包括第二开关管和连接开关管，第二开关管的第一通路端通过连接开关管和像素电路单元连接其中的电致发光元件的阳极，第二开关管的控制端连接第一时序信号端，第二开关管的第二通路端连接驱动芯片；在第二方向上至少两个相邻设置的侦测电路单元之间通过连接端子相连，并通过该连接端子连接驱动芯片的同一引脚。本申请能够便于高像素密度显示面板的阳极电位侦测，可以提高显示面板的显示效果。

