



(12)发明专利申请

(10)申请公布号 CN 109389941 A

(43)申请公布日 2019. 02. 26

(21)申请号 201810877351.9

(22)申请日 2018.08.03

(30)优先权数据

10-2017-0098728 2017.08.03 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道

(72)发明人 梁珍旭 金舜童

(74)专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 郭艳芳 王琦

(51)Int.Cl.

G09G 3/3208(2016.01)

G09G 3/3266(2016.01)

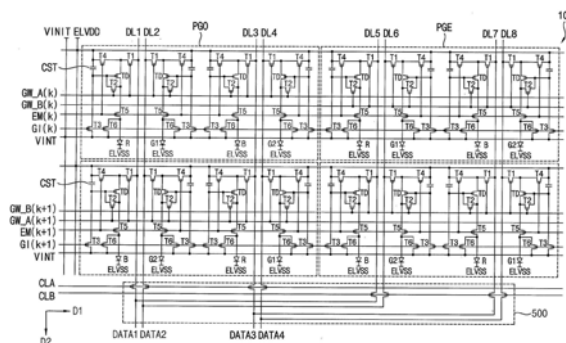
权利要求书3页 说明书19页 附图20页

(54)发明名称

有机发光显示设备

(57)摘要

有机发光显示设备包括显示面板,该显示面板包括像素组,每个像素组包括像素行中的每一行的多个子像素。栅极驱动器被配置为将初始化信号顺序地提供给像素行,将第一组栅极信号提供给像素组中的第一像素组,将与第一组栅极信号的至少一部分重叠的第二组栅极信号提供给像素组中的第二像素组,将第一组栅极信号顺序地提供给像素行,并且将第二组栅极信号顺序地提供给像素行。发射控制驱动器被配置为将发射控制信号顺序地提供给像素行。数据驱动器被配置为输出数据电压。数据分配器被配置为将数据电压选择性地提供给连接到子像素的数据线。



1. 一种有机发光显示设备,包括:

显示面板,包括多个像素组,所述像素组中的每一组包括像素行中的每个像素行的多个子像素;

栅极驱动器,被配置为将初始化信号顺序地提供给所述像素行,将第一组栅极信号提供给所述像素组中的第一像素组,将与所述第一组栅极信号的至少一部分重叠的第二组栅极信号提供给所述像素组中的第二像素组,将所述第一组栅极信号顺序地提供给所述像素行,并且将所述第二组栅极信号顺序地提供给所述像素行;

发射控制驱动器,被配置为将发射控制信号顺序地提供给所述像素行;

数据驱动器,被配置为输出数据电压;以及

数据分配器,被配置为将所述数据电压选择性地提供给连接到所述子像素的数据线。

2. 根据权利要求1所述的有机发光显示设备,其中用于提供所述第一组栅极信号的第一组栅极线仅仅连接到所述第一像素组,并且

其中用于提供所述第二组栅极信号的第二组栅极线仅仅连接到所述第二像素组。

3. 根据权利要求2所述的有机发光显示设备,其中所述第一像素组对应于奇数像素组,其中所述第一组栅极信号对应于奇数组栅极信号,

其中所述第二像素组对应于偶数像素组,并且

其中所述第二组栅极信号对应于偶数组栅极信号。

4. 根据权利要求3所述的有机发光显示设备,其中与第k像素行相对应的第k偶数组栅极信号比与所述第k像素行相对应的第k奇数组栅极信号延迟1/2水平周期,其中k是大于0的整数。

5. 根据权利要求3所述的有机发光显示设备,其中与第k像素行相对应的第k奇数组栅极信号比与所述第k像素行相对应的第k偶数组栅极信号延迟1/2水平周期,其中k是大于0的整数。

6. 根据权利要求3所述的有机发光显示设备,其中在所述第一像素组中包括的所述子像素中的每一个包括:

第一晶体管,连接在所述数据线中的一条数据线与第一节点之间,所述第一晶体管包括被配置为接收所述奇数组栅极信号的栅电极;

驱动晶体管,连接在所述第一节点与第二节点之间,所述驱动晶体管包括连接到第三节点的栅电极;

第二晶体管,连接在所述第二节点与所述第三节点之间,所述第二晶体管包括被配置为接收所述奇数组栅极信号的栅电极;

第三晶体管,连接在所述第三节点与初始化电源之间,所述第三晶体管包括被配置为接收所述初始化信号的栅电极;

第四晶体管,连接在第一电源与所述第一节点之间,所述第四晶体管包括被配置为接收所述发射控制信号的栅电极;

第五晶体管,连接在所述第二节点与第四节点之间,所述第五晶体管包括被配置为接收所述发射控制信号的栅电极;

第六晶体管,连接在所述初始化电源与所述第四节点之间,所述第六晶体管包括被配置为接收所述初始化信号的栅电极;

电容器,连接在所述第一电源与所述第三节点之间;以及

有机发光二极管,连接在所述第四节点与被配置为提供比所述第一电源的电压低的电压的第二电源之间。

7. 根据权利要求3所述的有机发光显示设备,其中在所述第二像素组中包括的所述子像素中的每一个包括:

第一晶体管,连接在所述数据线中的一条数据线与第一节点之间,所述第一晶体管包括被配置为接收所述偶数组栅极信号的栅电极;

驱动晶体管,连接在所述第一节点与第二节点之间,所述驱动晶体管包括连接到第三节点的栅电极;

第二晶体管,连接在所述第二节点与所述第三节点之间,所述第二晶体管包括被配置为接收所述偶数组栅极信号的栅电极;

第三晶体管,连接在所述第三节点与初始化电源之间,所述第三晶体管包括被配置为接收所述初始化信号的栅电极;

第四晶体管,连接在第一电源与所述第一节点之间,所述第四晶体管包括被配置为接收所述发射控制信号的栅电极;

第五晶体管,连接在所述第二节点与第四节点之间,所述第五晶体管包括被配置为接收所述发射控制信号的栅电极;

第六晶体管,连接在所述初始化电源与所述第四节点之间,所述第六晶体管包括被配置为接收所述初始化信号的栅电极;

电容器,连接在所述第一电源与所述第三节点之间;以及

有机发光二极管,连接在所述第四节点与被配置为提供比所述第一电源的电压低的电压的第二电源之间。

8. 根据权利要求7所述的有机发光显示设备,其中所述像素行中的每一行的单个帧周期包括:其中所述第三节点的电压和所述第四节点的电压被同时初始化的初始化时段;位于所述初始化时段之后的、其中所述数据电压被写入并且所述驱动晶体管的阈值电压被补偿的补偿时段;以及位于所述补偿时段之后的、其中所述像素行中的每一行发光的发射时段。

9. 根据权利要求8所述的有机发光显示设备,其中所述第一晶体管和所述第二晶体管在所述补偿时段期间导通,并且

其中所述补偿时段包括:

第一补偿时段,在所述第一补偿时段期间,通过经由所述数据线中的一条数据线将所述数据电压施加到所述驱动晶体管来补偿所述驱动晶体管的所述阈值电压;和

第二补偿时段,在所述第二补偿时段期间,所述数据线中的所述一条数据线处于浮置状态,并且补偿所述驱动晶体管的所述阈值电压的操作被维持。

10. 根据权利要求7所述的有机发光显示设备,其中与用于将第k偶数组栅极信号提供给第k像素行的第k偶数组栅极线相比,用于将第k奇数组栅极信号提供给所述第k像素行的第k奇数组栅极线设置得距离在所述第k像素行中包括的所述子像素的所述第一晶体管和所述第二晶体管更远,其中k是大于0的整数,

其中所述第k奇数组栅极线通过桥结构连接到在所述奇数像素组的所述子像素中的每

一个中包括的所述第一晶体管和所述第二晶体管的所述栅电极，

其中与用于将第 $k+1$ 奇数组栅极信号提供给第 $k+1$ 像素行的第 $k+1$ 奇数组栅极线相比，用于将第 $k+1$ 偶数组栅极信号提供给所述第 $k+1$ 像素行的第 $k+1$ 偶数组栅极线设置得距离在所述第 $k+1$ 像素行中包括的所述子像素的所述第一晶体管和所述第二晶体管更远，并且

其中所述第 $k+1$ 偶数组栅极线通过所述桥结构连接到在所述偶数像素组的所述子像素中的每一个中包括的所述第一晶体管和所述第二晶体管的所述栅电极。

11. 根据权利要求2所述的有机发光显示设备，其中所述第一组栅极信号的激活时段的长度和所述第二组栅极信号的激活时段的长度彼此不同。

12. 根据权利要求1所述的有机发光显示设备，其中所述像素组中的每一组包括沿所述像素行所延伸的第一方向布置的第一子像素、第二子像素、第三子像素和第四子像素。

13. 根据权利要求12所述的有机发光显示设备，其中连接到所述第一子像素的第一数据线和连接到所述第二子像素的第二数据线沿像素列所延伸的第二方向延伸，所述第一数据线和所述第二数据线设置在所述第一子像素与所述第二子像素之间，

其中连接到所述第三子像素的第三数据线和连接到所述第四子像素的第四数据线沿所述第二方向延伸，所述第三数据线和所述第四数据线设置在所述第三子像素与所述第四子像素之间，并且

其中所述数据线不设置在所述第二子像素与所述第三子像素之间以及所述像素组之间。

14. 一种有机发光显示设备，包括：

显示面板，包括多个像素组，所述像素组中的每一组包括多个子像素；

栅极驱动器，被配置为将第一组栅极信号提供给第一像素行中的第一像素组，将第二组栅极信号提供给所述第一像素行中与所述第一像素组相邻的第二像素组，将第三组栅极信号提供给与所述第一像素行相邻的第二像素行中的第三像素组，并且将第四组栅极信号提供给所述第二像素行中与所述第三像素组相邻的第四像素组；

发射控制驱动器，被配置为将第一发射控制信号提供给所述第一像素行并且将第二发射控制信号提供给所述第二像素行；

数据驱动器，被配置为输出数据电压；以及

数据分配器，被配置为将所述数据电压选择性地提供给连接到所述第一像素组的第一组数据线、连接到所述第二像素组的第二组数据线、连接到所述第三像素组的第三组数据线以及连接到所述第四像素组的第四组数据线。

15. 根据权利要求14所述的有机发光显示设备，其中所述子像素的数据写入和阈值电压补偿操作被执行的补偿时段包括：

第一补偿时段，在所述第一补偿时段期间，通过将所述数据电压施加到所述子像素中的一个子像素的驱动晶体管来补偿所述驱动晶体管的阈值电压；和

第二补偿时段，在所述第二补偿时段期间，与所述子像素中的所述一个子像素相对应的数据线处于浮置状态，并且补偿所述阈值电压的操作被维持。

有机发光显示设备

技术领域

[0001] 本发明构思的示例性实施例涉及显示设备。更具体地,本发明构思的示例性实施例涉及能够补偿驱动晶体管的阈值电压的有机发光显示设备。

背景技术

[0002] 显示设备基于像素发射的光显示图像。有机发光显示设备包括各自具有有机发光二极管(OLED)的像素。有机发光显示设备包括用于补偿驱动晶体管的阈值电压并初始化像素中的OLED的阳极以通过补偿像素之间的亮度偏差来改善显示质量的结构。

[0003] 为了解决由增加有机发光显示设备的分辨率(例如增加包括在显示面板中的布线)引起的问题,可以通过解复用器控制数据驱动器的输出。例如,解复用器支持数据写入时段在相邻数据线之间在时间上被共享(例如,在时间上被分为N:1),以减少显示面板中的布线和数据驱动器的输出通道,其中N是大于1的整数。

[0004] 然而,在高分辨率显示设备中,由于数据信号由解复用器快速切换,因此驱动晶体管的阈值电压的补偿时段可能被显著减小。因此,可能无法充分确保补偿时段,于是可识别出被显示的图像中诸如斑点的显示缺陷。

发明内容

[0005] 示例性实施例提供了一种有机发光显示设备,该有机发光显示设备能够通过将奇数组栅极信号和偶数组栅极信号施加到每个像素行来补偿驱动晶体管的阈值电压。

[0006] 示例性实施例提供了一种有机发光显示设备,该有机发光显示设备能够以高频被驱动并且充分确保每个子像素的阈值电压补偿时段。

[0007] 根据一些示例性实施例,有机发光显示设备可以包括显示面板,显示面板包括多个像素组。像素组中的每一组包括像素行中的每一行的多个子像素。栅极驱动器被配置为将初始化信号顺序地提供给像素行,将第一组栅极信号提供给像素组中的第一像素组,将与第一组栅极信号的至少一部分重叠的第二组栅极信号提供给像素组中的第二像素组,将第一组栅极信号顺序地提供给像素行,并且将第二组栅极信号顺序地提供给像素行。发射控制驱动器被配置为将发射控制信号顺序地提供给像素行。数据驱动器被配置为输出数据电压。数据分配器被配置为将数据电压选择性地提供给连接到子像素的数据线。

[0008] 在示例性实施例中,用于提供第一组栅极信号的第一组栅极线可以仅仅连接到第一像素组。用于提供第二组栅极信号的第二组栅极线可以仅仅连接到第二像素组。

[0009] 在示例性实施例中,第一像素组可以对应于奇数像素组。第一组栅极信号可以对应于奇数组栅极信号。第二像素组可以对应于偶数像素组。第二组栅极信号可以对应于偶数组栅极信号。

[0010] 在示例性实施例中,与第k像素行相对应的第k偶数组栅极信号可以比与第k像素行相对应的第k奇数组栅极信号延迟1/2水平周期,其中k是大于0的整数。

[0011] 在示例性实施例中,与第k像素行相对应的第k奇数组栅极信号可以比与第k像素

行相对应的第k偶数组栅极信号延迟1/2水平周期,其中k是大于0的整数。

[0012] 在示例性实施例中,在第一像素组中包括的子像素中的每一个可以包括连接在数据线中的一条与第一节点之间的第一晶体管,第一晶体管包括被配置为接收奇数组栅极信号的栅电极。驱动晶体管连接在第一节点与第二节点之间,驱动晶体管包括连接到第三节点的栅电极。第二晶体管连接在第二节点与第三节点之间,第二晶体管包括被配置为接收奇数组栅极信号的栅电极。第三晶体管连接在第三节点与初始化电源之间,第三晶体管包括被配置为接收初始化信号的栅电极。第四晶体管连接在第一电源与第一节点之间,第四晶体管包括被配置为接收发射控制信号的栅电极。第五晶体管连接在第二节点与第四节点之间,第五晶体管包括被配置为接收发射控制信号的栅电极。第六晶体管连接在初始化电源与第四节点之间,第六晶体管包括被配置为接收初始化信号的栅电极。电容器连接在第一电源与第三节点之间。有机发光二极管 (OLED) 连接在第四节点与被配置为提供比第一电源的电压低的电压的第二电源之间。

[0013] 在示例性实施例中,在第二像素组中包括的子像素中的每一个可以包括连接在数据线中的一条与第一节点之间的第一晶体管,第一晶体管包括被配置为接收偶数组栅极信号的栅电极。驱动晶体管连接在第一节点与第二节点之间,驱动晶体管包括连接到第三节点的栅电极。第二晶体管连接在第二节点与第三节点之间,第二晶体管包括被配置为接收偶数组栅极信号的栅电极。第三晶体管连接在第三节点与初始化电源之间,第三晶体管包括被配置为接收初始化信号的栅电极。第四晶体管连接在第一电源与第一节点之间,第四晶体管包括被配置为接收发射控制信号的栅电极。第五晶体管连接在第二节点与第四节点之间,第五晶体管包括被配置为接收发射控制信号的栅电极。第六晶体管连接在初始化电源与第四节点之间,第六晶体管包括被配置为接收初始化信号的栅电极。电容器连接在第一电源与第三节点之间。有机发光二极管 (OLED) 连接在第四节点与被配置为提供比第一电源的电压低的电压的第二电源之间。

[0014] 在示例性实施例中,像素行中的每一行的单个帧周期可以包括:其中第三节点的电压和第四节点的电压被同时初始化的初始化时段;位于初始化时段之后的、其中数据电压被写入并且驱动晶体管的阈值电压被补偿的补偿时段;和位于补偿时段之后的、其中像素行中的每一行发光的发射时段。

[0015] 在示例性实施例中,第一晶体管和第二晶体管可以在补偿时段期间导通。补偿时段可以包括第一补偿时段和第二补偿时段,在第一补偿时段期间,通过经由数据线中的一条数据线将数据电压施加到驱动晶体管来补偿驱动晶体管的阈值电压,在第二补偿时段期间,数据线中的该条数据线处于浮置状态并且用于补偿驱动晶体管的阈值电压的操作被维持。

[0016] 在示例性实施例中,与用于将第k偶数组栅极信号提供给第k像素行的第k偶数组栅极线相比,用于将第k奇数组栅极信号提供给第k像素行的第k奇数组栅极线可以设置得距离包括在第k像素行中的子像素的第一晶体管和第二晶体管更远,其中k是大于0的整数。第k奇数组栅极线可以通过桥结构连接到在奇数像素组的子像素中的每一个中包括的第一晶体管和第二晶体管的栅电极。与用于将第(k+1)奇数组栅极信号提供给第(k+1)像素行的第(k+1)奇数组栅极线相比,用于将第(k+1)偶数组栅极信号提供给第(k+1)像素行的第(k+1)偶数组栅极线可以设置得距离包括在第(k+1)像素行中的子像素的第一晶体管和第二晶

体管更远。第(k+1)偶数组栅极线可以通过桥结构连接到在偶数像素组的子像素中的每一个中包括的第一晶体管和第二晶体管的栅电极。

[0017] 在示例性实施例中,第一组栅极信号的激活时段的长度和第二组栅极信号的激活时段的长度可以彼此不同。

[0018] 在示例性实施例中,像素组中的每一组可以包括沿像素行所延伸的第一方向布置的第一子像素、第二子像素、第三子像素和第四子像素。

[0019] 在示例性实施例中,连接到第一子像素的第一数据线和连接到第二子像素的第二数据线可以沿像素列所延伸的第二方向延伸,第一数据线和第二数据线设置在第一子像素与第二子像素之间。连接到第三子像素的第三数据线和连接到第四子像素的第四数据线可以沿第二方向延伸,第三数据线和第四数据线设置在第三子像素与第四子像素之间。数据线可以不设置在第二子像素与第三子像素之间以及像素组之间。

[0020] 在示例性实施例中,在第一方向上彼此相邻的子像素可以具有沿第二方向对称的结构。

[0021] 根据一些示例性实施例,有机发光显示设备可以包括显示面板,显示面板包括多个像素组,像素组中的每一组包括多个子像素。栅极驱动器被配置为将第一组栅极信号提供给第一像素行中的第一像素组,将第二组栅极信号提供给第一像素行中与第一像素组相邻的第二像素组,将第三组栅极信号提供给与第一像素行相邻的第二像素行中的第三像素组,并且将第四组栅极信号提供给第二像素行中与第三像素组相邻的第四像素组。发射控制驱动器被配置为将第一发射控制信号提供给第一像素行并且将第二发射控制信号提供给第二像素行。数据驱动器被配置为输出数据电压。数据分配器被配置为将数据电压选择性地提供给连接到第一像素组的第一组数据线、连接到第二像素组的第二组数据线、连接到第三像素组的第三组数据线以及连接到第四像素组的第四组数据线。

[0022] 在示例性实施例中,用于提供第一组栅极信号的第一组栅极线可以仅仅连接到第一像素行中的第一像素组。用于提供第二组栅极信号的第二组栅极线可以仅仅连接到第一像素行中的第二像素组。用于提供第三组栅极信号的第三组栅极线可以仅仅连接到第二像素行中的第三像素组。用于提供第四组栅极信号的第四组栅极线可以仅仅连接到第二像素行中的第四像素组。

[0023] 在示例性实施例中,第一像素行可以是奇数像素行。第二像素行可以是偶数像素行并且与第一像素行相邻。第一像素组和第三像素组中的每一组可以对应于奇数像素组。第二像素组和第四像素组中的每一组可以对应于偶数像素组。

[0024] 在示例性实施例中,可以按照第(2k-1)像素行的第一像素组、第(2k-1)像素行的第二像素组、第2k像素行的第四像素组和第2k像素行的第三像素组的顺序执行子像素的数据写入和阈值电压补偿操作,其中k是大于0的整数。

[0025] 在示例性实施例中,与第(2k-1)像素行相对应的第二组栅极信号可以比与第(2k-1)像素行相对应的第一组栅极信号延迟1/2水平周期,其中k是大于0的整数。与第2k像素行相对应的第四组栅极信号可以比与第(2k-1)像素行相对应的第二组栅极信号延迟1/2水平周期。与第2k像素行相对应的第三组栅极信号可以比与第2k像素行相对应的第四组栅极信号延迟1/2水平周期。

[0026] 在示例性实施例中,可以按照第(2k-1)像素行的第二像素组、第(2k-1)像素行的

第一像素组、第 $2k$ 像素行的第三像素组和第 $2k$ 像素行的第四像素组的顺序执行子像素的数据写入和阈值电压补偿操作,其中 k 是大于0的整数。

[0027] 在示例性实施例中,可以按照第 $2k$ 像素行的第三像素组、第 $2k$ 像素行的第四像素组、第 $(2k-1)$ 像素行的第二像素组和第 $(2k-1)$ 像素行的第一像素组的顺序执行子像素的数据写入和阈值电压补偿操作,其中 k 是大于0的整数。

[0028] 在示例性实施例中,可以按照第 $2k$ 像素行的第四像素组、第 $2k$ 像素行的第三像素组、第 $(2k-1)$ 像素行的第一像素组和第 $(2k-1)$ 像素行的第二像素组的顺序执行子像素的数据写入和阈值电压补偿操作,其中 k 是大于0的整数。

[0029] 在示例性实施例中,其中子像素的数据写入和阈值电压补偿操作被执行的补偿时段可以包括第一补偿时段和第二补偿时段,在第一补偿时段期间,通过将数据电压施加到子像素中的一个子像素的驱动晶体管来补偿驱动晶体管的阈值电压,在第二补偿时段中,与子像素中的这个子像素相对应的数据线处于浮置状态并且用于补偿阈值电压的操作被维持。

[0030] 在示例性实施例中,可以同时初始化在像素行中的每一行中包括的子像素中的每一个的驱动晶体管的栅极电压和有机发光二极管的阳极电压。在像素行中的每一行中包括的全部子像素可以同时发光。

[0031] 在示例性实施例中,连接到第 $(2k-1)$ 像素行的第一像素组的第一组栅极线可以设置得比连接到第 $(2k-1)$ 像素行的第二像素组的第二组栅极线距离第 $(2k-1)$ 像素行更远,其中 k 是大于0的整数。第一组栅极线可以通过桥结构连接到第一像素组中的子像素中的每一个。连接到第 $2k$ 像素行的第四像素组的第四组栅极线可以设置得比连接到第 $2k$ 像素行的第三像素组的第三组栅极线距离第 $2k$ 像素行更远。第四组栅极线可以通过桥结构连接到第四像素组中的子像素中的每一个。

[0032] 在示例性实施例中,连接到第 $(2k-1)$ 像素行的第二像素组的第二组栅极线可以设置得比连接到第 $(2k-1)$ 像素行的第一像素组的第一组栅极线距离第 $(2k-1)$ 像素行更远,其中 k 是大于0的整数。第二组栅极线可以通过桥结构连接到第二像素组中的子像素中的每一个。连接到第 $2k$ 像素行的第三像素组的第三组栅极线可以设置得比连接到第 $2k$ 像素行的第四像素组的第四组栅极线距离第 $2k$ 像素行更远。第三组栅极线可以通过桥结构连接到第三像素组中的子像素中的每一个。

[0033] 因此,根据示例性实施例的有机发光显示设备共同地将发射控制信号和初始化信号提供给每个像素行,并且关于栅极信号,分别将奇数组栅极信号提供给奇数像素组、将偶数组栅极信号提供给偶数像素组。奇数组栅极信号与偶数组栅极信号的至少一部分重叠。因此,可以充分确保用于补偿驱动晶体管的阈值电压的补偿时间,从而防止被显示的图像中诸如斑点的显示缺陷,并且改善高分辨率显示设备或使用解复用器驱动的显示设备的显示质量。

[0034] 另外,在相邻像素行上,奇数组栅极线和偶数组栅极线设置在相反位置处,从而防止图像偏差。

附图说明

[0035] 在下文中将参考附图更全面地描述示例性实施例,附图中示出了各种实施例。

- [0036] 图1是示出根据示例性实施例的有机发光显示设备的框图。
- [0037] 图2是示出包括在图1的有机发光显示设备中的显示面板的示例的电路图。
- [0038] 图3是示出包括在图2的显示面板中的子像素的示例的电路图。
- [0039] 图4是示出在补偿时段中驱动图3的子像素的示例的时序图。
- [0040] 图5是示出用于驱动图2的显示面板的信号的一个示例的时序图。
- [0041] 图6是用于描述在根据图5的时序图的补偿时段中像素组的操作的图。
- [0042] 图7是示出用于驱动图2的显示面板的信号的另一示例的时序图。
- [0043] 图8是示出其中第一组栅极线和第二组栅极线连接到图2的显示面板中的像素组的布置的示例的图。
- [0044] 图9是示意性地示出包括在图2的显示面板中的像素组的示例的图。
- [0045] 图10是示意性地示出连接到图2的显示面板的数据线的示例的图。
- [0046] 图11是示出图10的数据线的布置的示例的电路图。
- [0047] 图12是示出由图1的有机发光显示设备产生的第一组栅极信号和第二组栅极信号的示例的图。
- [0048] 图13是示意性地示出包括在根据示例性实施例的有机发光显示设备中的显示面板的图。
- [0049] 图14是示意性地示出提供给图13的显示面板的栅极信号和数据信号的示例的图。
- [0050] 图15是示出用于驱动图14的显示面板的信号示例的时序图。
- [0051] 图16A是用于描述在图14的显示面板中补偿驱动晶体管的阈值电压的示例的图。
- [0052] 图16B、图16C和图16D是用于描述在图14的显示面板中补偿驱动晶体管的阈值电压的示例的图。
- [0053] 图17是示出包括在根据示例性实施例的有机发光显示设备中的显示面板的示例的图。
- [0054] 图18是示出包括在图17的有机发光显示设备中的显示面板的示例的图。
- [0055] 图19是示出用于驱动图18的显示面板的信号示例的时序图。

具体实施方式

- [0056] 在下文中将参考附图更全面地描述示例性实施例,附图中示出了各种实施例。
- [0057] 图1是示出根据示例性实施例的有机发光显示设备1000的框图。图2是示出包括在图1的有机发光显示设备1000中的显示面板100的示例的电路图。
- [0058] 参考图1和图2,有机发光显示设备1000可以包括显示面板100、栅极驱动器200、发射控制驱动器300、数据驱动器400、数据分配器500和时序控制器600。
- [0059] 有机发光显示设备1000可以是平板显示设备、柔性显示设备、弯曲显示设备、可折叠显示设备或可弯曲显示设备。此外,有机发光显示设备1000可以应用于透明显示设备、头戴式显示设备、可穿戴显示设备等。
- [0060] 显示面板100可以包括多个像素行。像素行中的每一组可以包括多个像素组PG0、PGE。像素组PG0、PGE中的每一组可以包括多个子像素。子像素可以以 p 行 $\times$ q 列的矩阵形式布置,其中 p 和 q 表示大于1的整数。子像素中的每一个可以接收待驱动的栅极信号、初始化信号、发射控制信号以及数据信号。

[0061] 在一个示例性实施例中,包括在单个像素行中的像素组PGO、PGE可以被划分为第一像素组和第二像素组。例如,第一像素组可以被定义为奇数像素组PGO,并且第二像素组可以被定义为偶数像素组PGE。然而,区分像素组的方式不限于此。例如,可以连续地布置第一像素组中的一些像素组(或第二像素组中的一些像素组)。在一个示例中,单个像素行中的第一像素组的第一数量可以等于单个像素行中的第二像素组的第二数量。在另一示例中,单个像素行中的第一像素组的第一数量可以不同于单个像素行中的第二像素组的第二数量。

[0062] 在下文中,假设第一像素组是奇数像素组PGO,并且第二像素组是偶数像素组PGE。

[0063] 奇数像素组PGO和偶数像素组PGE中的每一组可以包括四个子像素。例如,像素组PGO、PGE中的每一组可以包括红色子像素、蓝色子像素和两个绿色子像素。然而,包括在像素组PGO、PGE中的每一组的子像素的数量不限于此。

[0064] 另外,如图1和图2所示,奇数像素组PGO可以连接到第一组栅极线(例如,奇数组栅极线GWAL1至GWALp)。而且,偶数像素组PGE可以连接到第二组栅极线(例如,偶数组栅极线GWBL1至GWBLp)。换句话说,连接到作为第一组栅极线的奇数组栅极线GWAL1至GWALp的子像素可以被定义为奇数像素组PGO。此外,连接到作为第二组栅极线的偶数组栅极线GWBL1至GWBLp的子像素可以被定义为偶数像素组PGE。

[0065] 子像素中的每一个可以包括驱动晶体管TD以及多个开关晶体管T1、T2、T3、T4、T5和T6。子像素中的每一个可以连接到奇数组栅极线GWAL1至GWALp中的一条或者偶数组栅极线GWBL1至GWBLp中的一条。

[0066] 时序控制器600可以接收图像数据R.G.B、垂直同步信号Vsync、水平同步信号Hsync、主时钟信号CLK和数据使能信号DE等。时序控制器600可以基于上述信号产生栅极驱动器控制信号CON1、发射驱动器控制信号CON2、数据驱动器控制信号CON3、数据分配器控制信号CON4以及图像数据R.G.B相对应的输出图像数据DAT。时序控制器600可以将栅极驱动器控制信号CON1提供给栅极驱动器200,将输出图像数据DAT和数据驱动器控制信号CON3提供给数据驱动器400,将发射驱动器控制信号CON2提供给发射控制驱动器300,并将数据分配器控制信号CON4提供给数据分配器500。

[0067] 栅极驱动器200可以基于从时序控制器600提供的栅极驱动器控制信号CON1将初始化信号顺序地提供给初始化线GIL1至GILp。初始化线GIL1至GILp中的每一条可以分别连接到像素行。如图2所示,传输第k初始化信号GI(k)的第k初始化线可以连接到第k像素行的全部子像素,其中k是小于或等于p的正整数。

[0068] 另外,栅极驱动器200可以基于栅极驱动器控制信号CON1,将第一组栅极信号顺序地提供给第一组栅极线,并且将第二组栅极信号顺序地提供给第二组栅极线。在一个示例性实施例中,当第一组栅极线对应于奇数组栅极线GWAL1至GWALp时,第一组栅极信号可以对应于奇数组栅极信号。当第二组栅极线对应于偶数组栅极线GWBL1至GWBLp时,第二组栅极信号可以对应于偶数组栅极信号。这里,施加到同一像素行的奇数组栅极信号和偶数组栅极信号可以彼此部分重叠。

[0069] 在一个示例性实施例中,偶数组栅极信号可以比奇数组栅极信号延迟1/2水平周期。在另一示例性实施例中,奇数组栅极信号可以比偶数组栅极信号延迟1/2水平周期。

[0070] 如图2所示,传输第k奇数组栅极信号GW_A(k)的第k奇数组栅极线可以连接到第k

像素行的奇数像素组PGO。此外,传输第k偶数组栅极信号GW_B(k)的第k偶数组栅极线可以连接到第k像素行的偶数像素组PGE。

[0071] 发射控制驱动器300可以基于发射驱动器控制信号CON2将发射控制信号顺序地提供给发射控制线EL1至EL_p。发射控制线EL1至EL_p中的每一条可以分别连接到像素行。如图2所示,传输第k发射控制信号EM(k)的第k发射控制线可以连接到第k像素行的全部子像素。

[0072] 数据驱动器400可以基于从时序控制器600提供的数据驱动器控制信号CON3和输出图像数据DAT,将数据信号(或数据电压)提供给多条输出线CH1至CH_j,其中j是小于q的正整数。

[0073] 数据分配器500可以基于数据分配器控制信号CON4,将数据电压选择性地提供给连接到子像素的数据线DL1至DL_q,使得数据线中的一些数据线在时间上共享单条输出线。在一个示例性实施例中,数据分配器500可以包括多个解复用器。例如,每个解复用器可以通过N个开关(例如,开关晶体管)将数据电压从一条输出线传输到N条数据线中的一条,其中N是2和6之间的整数。因此,有机发光显示设备1000可以通过解复用器将数据电压提供给子像素(下文中,称为DEMUX驱动方式)。

[0074] 如图2所示,数据分配器500可以包括连接到数据线DL1至DL8的多个开关晶体管,并且可以从数据驱动器400(例如,数据驱动器400的锁存器)接收数据电压DATA1至DATA4。包括在数据分配器500中的开关晶体管可以由时钟信号CLA和CLB控制,时钟信号CLA的相位和时钟信号CLB的相位具有半周期差(例如,具有彼此相反的相位)。例如,当第一时钟信号CLA具有激活电平(或导通电平)时,数据电压可以被提供给第一数据线DL1至第四数据线DL4,并且数据电压可以被施加(或写入)到奇数像素组PGO的子像素。当第二时钟信号CLB具有激活电平时,数据电压可以被提供给第五数据线DL5至第八数据线DL8,并且数据电压可以被施加(或写入)到偶数像素组PGE的子像素。

[0075] 在一个示例性实施例中,连接到第一子像素的第一数据线DL1和连接到第二子像素的第二数据线DL2可以沿像素列所延伸的第二方向D2布置。第一数据线DL1和第二数据线DL2可以设置在第一子像素与第二子像素之间。连接到第三子像素的第三数据线DL3和连接到第四子像素的第四数据线DL4可以沿第二方向D2布置。第三数据线DL3和第四数据线DL4可以设置在第三子像素与第四子像素之间。另外,数据线可以不设置在第二子像素与第三子像素之间以及像素组PGO、PGE之间。因此,可以减小由于写入数据电压而导致的数据线之间的耦合效应。

[0076] 如上所述,根据示例性实施例的有机发光显示设备1000可以将发射控制信号EM(k)和初始化信号GI(k)共同地提供给单个像素行的全部子像素。此外,有机发光显示设备1000可以仅仅将奇数组栅极信号提供给奇数像素组,然后可以仅仅将偶数组栅极信号提供给偶数像素组。因此,可以充分确保用于补偿子像素中的驱动晶体管TD的阈值电压的时间。因此,可以在每帧中充分地执行阈值电压的补偿操作,从而防止在高分辨率显示设备中出现的斑点并提高显示质量。

[0077] 另外,在根据示例性实施例的有机发光显示设备1000中,通过布置数据线可以减小由于写入数据电压而导致的数据线之间的耦合效应。

[0078] 图3是示出包括在图2的显示面板中的子像素SP的示例的电路图。图4是示出在补偿时段中驱动图3的子像素SP的示例的时序图。

[0079] 参考图3和图4,每个子像素SP可以包括驱动晶体管TD、第一晶体管T1至第六晶体管T6、存储电容器CST和有机发光二极管EL。

[0080] 驱动晶体管TD可以将与数据信号(或数据电压)DATA相对应的驱动电流提供给有机发光二极管EL。驱动晶体管TD可以连接在第一节点N1与第二节点N2之间。驱动晶体管TD的栅电极可以连接到第三节点N3。

[0081] 第一晶体管T1可以响应于第一组栅极信号(例如,奇数组栅极信号GW_A(k))或第二组栅极信号(例如,偶数组栅极信号GW_B(k))而将数据信号DATA提供给第一节点N1。第一晶体管T1可以连接在数据线DL与第一节点N1之间。第一晶体管T1的栅电极可以接收奇数组栅极信号GW_A(k)或偶数组栅极信号GW_B(k)。当子像素SP对应于奇数像素组时,第一晶体管T1可以接收奇数组栅极信号GW_A(k)。当子像素SP对应于偶数像素组时,第一晶体管T1可以接收偶数组栅极信号GW_B(k)。

[0082] 第二晶体管T2可以响应于奇数组栅极信号GW_A(k)或偶数组栅极信号GW_B(k),而将第二节点N2连接到第三节点N3(即,将驱动晶体管TD的第二电极连接到驱动晶体管TD的栅电极)。第二晶体管T2可以连接在第二节点N2与第三节点N3之间。第二晶体管T2的栅电极可以接收奇数组栅极信号GW_A(k)或偶数组栅极信号GW_B(k)。当子像素SP对应于奇数像素组时,第二晶体管T2可以接收奇数组栅极信号GW_A(k)。当子像素SP对应于偶数像素组时,第二晶体管T2可以接收偶数组栅极信号GW_B(k)。

[0083] 第二晶体管T2可用于补偿驱动晶体管TD的阈值电压。当第二晶体管T2导通时,可以形成驱动晶体管TD的二极管连接。因此,可以执行驱动晶体管TD的阈值电压的补偿操作。

[0084] 第三晶体管T3可以响应于初始化信号GI(k)而将初始化电压VINT提供给第三节点N3(即,驱动晶体管TD的栅电极)。第三晶体管T3可以连接在初始化电源与第三节点N3之间。第三晶体管T3的栅电极可以接收初始化信号GI(k)。第三晶体管T3可用于将驱动晶体管TD的栅极电压初始化为初始化电压VINT。

[0085] 第四晶体管T4可以响应于发射控制信号EM(k)而将第一电源电压ELVDD提供给第一节点N1。第四晶体管T4可以连接在第一节点N1与提供第一电源电压ELVDD的第一电源之间。第四晶体管T4的栅电极可以接收发射控制信号EM(k)。

[0086] 第五晶体管T5可以响应于发射控制信号EM(k)而将驱动晶体管TD电连接到有机发光二极管EL的阳极。第五晶体管T5可以连接在第二节点N2与第四节点N4之间。第五晶体管T5的栅电极可以接收发射控制信号EM(k)。

[0087] 第六晶体管T6可以响应于初始化信号GI(k)而将初始化电压VINT提供给第四节点N4(即,有机发光二极管EL的阳极)。第六晶体管T6可以连接在初始化电源与第四节点N4之间。第六晶体管T6的栅电极可以接收初始化信号GI(k)。第六晶体管T6可用于将有机发光二极管EL的阳极的电压初始化为初始化电压VINT。

[0088] 存储电容器CST可以连接在第一电源与第三节点N3之间。

[0089] 有机发光二极管EL可以连接在第四节点N4与提供第二电源电压ELVSS的第二电源之间。第二电源电压ELVSS可以低于第一电源电压ELVDD。

[0090] 在下文中,假设子像素SP布置在第k像素行的第一像素组(例如,奇数像素组)中,来描述驱动子像素SP的方法。

[0091] 如图4所示,用于驱动子像素SP的单个帧周期可以包括其中驱动晶体管TD的栅电

极的电压 V_g 和有机发光二极管EL的阳极的电压被初始化的初始化时段P1、其中数据电压被写入并且驱动晶体管TD的阈值电压被补偿的补偿时段P2以及子像素SP发光的发射时段P3。

[0092] 在初始化时段P1中,初始化信号GI(k)可以对应于激活电平,并且栅极信号GW_A(k)和GW_B(k)可以对应于去激活电平。在图4的一个示例中,激活电平可以是逻辑低电平,并且去激活电平可以是逻辑高电平。因此,因为第三晶体管T3可以导通,所以驱动晶体管TD的栅电极的电压 V_g (即,第三节点的电压 V_{N3})可以被初始化为初始化电压VINT。而且,因为第六晶体管T6可以导通,所以有机发光二极管EL的阳极的电压(即,第四节点N4的电压)可以被初始化为初始化电压VINT。在初始化时段P1期间,发射控制信号EM(k)可以对应于去激活电平。

[0093] 在补偿时段P2中,奇数组栅极信号GW_A(k)可以对应于激活电平。可以通过连接到子像素SP的奇数组栅极线提供奇数组栅极信号GW_A(k)。在补偿时段P2期间,第二晶体管T2和第一晶体管T1可以导通。因此,可以形成驱动晶体管TD的二极管连接。在补偿时段P2中,初始化信号GI(k)和发射控制信号EM(k)可以对应于去激活电平。

[0094] 补偿时段P2可以包括第一补偿时段PA和第二补偿时段PB,在第一补偿时段PA中,通过数据线DL将数据电压VDATA施加到驱动晶体管TD以写入数据电压VDATA并补偿驱动晶体管TD的阈值电压,在第二补偿时段PB中,阈值电压补偿操作由处于浮置状态的数据线DL维持。与数据电压VDATA相对应的数据信号DATA可以与第一时钟信号CLA和第二时钟信号CLB同步地每约1/2水平周期设置一次。因此,如图2所示,其与子像素SP的连接由第一时钟信号CLA控制数据线DL可以仅在第一补偿时段PA期间将数据电压VDATA传输给子像素SP。

[0095] 在第一补偿时段PA期间,可以将数据电压VDATA施加到子像素SP,然后可以补偿驱动晶体管TD的阈值电压。例如,在补偿时段P2期间,驱动晶体管TD的栅电极和驱动晶体管TD的第二电极彼此连接(即,二极管连接),然后数据电压VDATA被施加到驱动晶体管TD的第一电极。因此,可以基于数据电压VDATA和驱动晶体管TD的阈值电压来确定驱动晶体管TD的栅电极的电压,使得无论驱动晶体管TD的阈值电压如何,都基于数据电压VDATA确定驱动电流。当显示设备具有高分辨率或显示设备以高频驱动时,第一补偿时段PA是相对短的(例如,小于3微秒)。因此,可能无法充分执行阈值电压的补偿。

[0096] 在第二补偿时段PB期间,因为第一时钟信号CLA对应于去激活电平,所以数据线DL可以处于浮置状态。在第二补偿时段PB期间,可以通过浮置数据线DL中剩余(或存储)的电压来维持阈值电压的补偿操作。因此,子像素SP可以在一个水平周期(1H)内充分地执行阈值电压的补偿操作。

[0097] 在这种情况下,因为驱动晶体管TD在第二补偿时段PB期间截止(或几乎截止),所以驱动晶体管TD的栅电极的电压不会受到由于第一时钟信号CLA和第二时钟信号CLB而导致的数据信号DATA变化的影响。因此,因为补偿时段P2包括数据电压VDATA被施加到驱动晶体管TD的第一补偿时段PA以及阈值电压的补偿操作通过浮置数据线DL的电压被维持的第二补偿时段PB,所以可以充分确保用于补偿阈值电压的时间。

[0098] 在一个示例性实施例中,在第二补偿时段PB中,偶数组栅极信号GW_B(k)可以对应于激活电平。因此,在第二补偿时段PB中,第k像素行的偶数像素组的子像素可以通过将数据电压VDATA施加到驱动晶体管TD来执行阈值电压的补偿操作。

[0099] 此后,在发射时段P3中,发射控制信号EM(k)可以对应于激活电平。第四晶体管T4

和第五晶体管T5可以导通。因此,在发射时段P3期间,有机发光二极管EL可以发射具有与数据电压VDATA相对应的亮度的光。

[0100] 如上所述,包括在以DEMUX驱动方式驱动的有机发光显示设备1000中的子像素SP可以在其中数据电压VDATA被施加到子像素SP的第一补偿时段PA以及其中阈值电压补偿由浮置数据线DL中剩余的电压维持的第二补偿时段PB期间,充分地执行补偿操作。因此,在其中一个水平周期(1H)相对短的高分辨率显示设备中,可以充分确保用于补偿阈值电压的时间,从而防止斑点并提高显示质量。

[0101] 图5是示出用于驱动图2的显示面板的信号的一个示例的时序图。

[0102] 参考图5,第k像素行的第一像素组和第二像素组可以同时执行初始化操作和发射操作,并且可以独立地执行数据写入和阈值电压补偿操作。这里,第一像素组可以是奇数像素组,并且第二像素组可以是偶数像素组。施加到第k像素行的第一组栅极信号可以是第k奇数组栅极信号GW_A(k),并且施加到第k像素行的第二组栅极信号可以是第k偶数组栅极信号GW_B(k)。

[0103] 对应于激活电平的第k初始化信号GI(k)可以共同地施加于第k像素行中的全部子像素。因此,可以在第k像素行中的全部子像素中同时执行初始化操作。

[0104] 在第一补偿时段PA和第二补偿时段PB期间,第k奇数组栅极信号GW_A(k)可以对应于激活电平。因此,可以在包括在第k像素行的奇数像素组中的子像素中执行数据写入和阈值电压补偿操作。然而,数据电压可与第一时钟信号CLA和第二时钟信号CLB同步地改变,然后对应数据线的连接也可被切换。因此,在第k像素行的奇数像素组中,可以通过在第一补偿时段PA期间施加数据电压VDATA来执行阈值电压补偿,然后,在第二补偿时段PB期间,可以通过浮置数据线的电压维持阈值电压补偿操作。

[0105] 另一方面,在第二补偿时段PB和第三补偿时段PC期间,第k偶数组栅极信号GW_B(k)可以对应于激活电平。因此,第k奇数组栅极信号GW_A(k)可以与第k偶数组栅极信号GW_B(k)的一部分重叠。在一个示例性实施例中,第k偶数组栅极信号GW_B(k)可以比第k奇数组栅极信号GW_A(k)延迟1/2水平周期。

[0106] 因此,在第二补偿时段PB期间,第k像素行的奇数像素组可以维持阈值电压的补偿操作。同时,在第二补偿时段PB期间,第k像素行的偶数像素组可以通过将数据电压VDATA施加到子像素来执行阈值电压的补偿操作。

[0107] 在第三补偿时段PC期间,第k像素行的偶数像素组可以通过浮置数据线的电压维持阈值电压的补偿操作。同时,在第三补偿时段PC期间,第(k+1)像素行的第(k+1)奇数组栅极信号GW_A(k+1)可以对应于激活电平。因此,在第三补偿时段PC期间,第(k+1)像素行的奇数像素组可以通过将数据电压VDATA施加到子像素来执行阈值电压的补偿操作。

[0108] 以类似的方式,在第四补偿时段PD期间,第(k+1)像素行的奇数像素组可以通过浮置数据线的电压维持阈值电压的补偿操作,并且第(k+1)像素行的偶数像素组可以通过施加数据电压VDATA来执行阈值电压的补偿操作。

[0109] 在第四补偿时段PD之后,对应于激活电平的第k发射控制信号EM(k)可以被共同地施加到第k像素行中的全部子像素。因此,第k像素行中的全部子像素可以同时发光。

[0110] 如上所述,奇数组栅极信号和偶数组栅极信号部分地重叠,使得奇数像素组和偶数像素组同时执行不同的补偿操作。此外,因为针对每个子像素执行两种类型的补偿操作,

所以可以充分确保用于补偿阈值电压的时间。

[0111] 图6是用于描述在根据图5的时序图的补偿时段中像素组的操作的图。

[0112] 参考图5和图6,可以在第一至第三补偿时段PA、PB和PC期间,执行第k像素行(例如,第一像素行R1)的阈值电压补偿操作。可以在第三补偿时段PC和第四补偿时段PD期间,执行第(k+1)像素行(例如,第二像素行R2)的阈值电压补偿操作。

[0113] 在第一补偿时段PA期间,第一像素行R1的奇数像素组PG11、PG13、.....可以执行第一补偿操作COMP1。这里,第一补偿操作COMP1表示通过将数据电压施加到其中形成了二极管连接的驱动晶体管TD来补偿阈值电压的操作。

[0114] 在第二补偿时段PB期间,第一像素行R1的奇数像素组PG11、PG13、.....可以执行第二补偿操作COMP2。这里,第二补偿操作COMP2表示通过浮置数据线中剩余(或存储)的电压维持阈值电压补偿操作的操作。同时,第一像素行R1的偶数像素组PG12、PG14、.....可以执行第一补偿操作COMP1。

[0115] 在第三补偿时段PC期间,第一像素行R1的偶数像素组PG12、PG14、.....可以执行第二补偿操作COMP2。同时,在第三补偿时段PC期间,第二像素行R2的奇数像素组PG21、PG23、.....可以执行第一补偿操作COMP1。

[0116] 在第四补偿时段PD期间,第二像素行R2的奇数像素组PG21、PG23、.....可以执行第二补偿操作COMP2。同时,在第四补偿时段PD期间,第二像素行R2的偶数像素组PG22、PG24、.....可以执行第一补偿操作COMP1。

[0117] 以类似的方式,可以顺序地执行补偿操作直到最后的像素行。因此,可以充分确保用于补偿驱动晶体管的阈值电压的时间,并且可以提高显示质量。

[0118] 图7是示出用于驱动图2的显示面板的信号的另一示例的时序图。

[0119] 除了提供偶数组栅极信号和奇数组栅极信号的顺序之外,根据本示例性实施例的驱动显示面板的方法与图5和图6中描述的示例性实施例的驱动显示面板的方法基本相同。因此,相同的附图标记将用于表示与图5和图6的先前示例性实施例中描述的部件相同或相似的部件,并且将省略关于上述元件的任何重复说明。

[0120] 参考图7,在每个像素行中,可以在奇数像素组的阈值电压补偿之前,执行偶数像素组的阈值电压补偿。

[0121] 在第一补偿时段PA期间,第k像素行的偶数像素组可以通过第k偶数组栅极信号GW_B(k),基于数据电压VDATA执行阈值电压补偿操作(即,第一补偿操作)。

[0122] 在第二补偿时段PB期间,第k像素行的偶数像素组可以通过第k偶数组栅极信号GW_B(k),基于浮置数据线的电压执行阈值电压补偿操作(即,第二补偿操作)。同时,在第二补偿时段PB期间,第k像素行的奇数像素组可以通过第k奇数组栅极信号GW_A(k),基于数据电压VDATA执行阈值电压补偿操作(即,第一补偿操作)。

[0123] 在第三补偿时段PC期间,第k像素行的奇数像素组可以通过第k奇数组栅极信号GW_A(k),基于浮置数据线的电压执行阈值电压补偿操作(即,第二补偿操作)。同时,在第三补偿时段PC期间,第(k+1)像素行的偶数像素组可以通过第(k+1)偶数组栅极信号GW_B(k+1),基于数据电压VDATA执行阈值电压补偿操作(即,第一补偿操作)。

[0124] 在第四补偿时段PD期间,可以以与在第二补偿时段PB中执行的第k像素行的补偿操作类似的方式,执行第(k+1)像素行的补偿操作。

[0125] 因此,可以充分确保用于补偿有机发光显示设备的阈值电压的时间。然而,区分像素组的方式和提供栅极信号的顺序不限于此。

[0126] 图8是示出其中第一组栅极线和第二组栅极线连接到图2的显示面板中的像素组的布置的示例的图。图9是示意性地示出包括在图2的显示面板中的像素组的示例的图。

[0127] 参考图2、图8和图9,第一组栅极线可以分别连接到每个像素行中的第一像素组,并且第二组栅极线可以分别连接到每个像素行中的第二像素组。在一个示例性实施例中,第一组栅极线可以是奇数组栅极线GW_A(k)至GW_A(k+3)。第一像素组可以是奇数像素组PGO。第二组栅极线可以是偶数组栅极线GW_B(k)至GW_B(k+3)。第二像素组可以是偶数像素组PGE。

[0128] 奇数组栅极线GW_A(k)至GW_A(k+3)和偶数组栅极线GW_B(k)至GW_B(k+3)可以沿像素行所延伸的第一方向D1延伸。在一个示例性实施例中,与用于将第k偶数组栅极信号提供给第k像素行的第k偶数组栅极线GW_B(k)相比,用于将第k奇数组栅极信号提供给第k像素行的第k奇数组栅极线GW_A(k)可以设置得距离包括在第k像素行中的子像素的第一晶体管和第二晶体管更远。如图8所示,第k奇数组栅极线GW_A(k)可以设置得比第k偶数组栅极线GW_B(k)距离第k像素行的子像素更远。这里,子像素中的第一晶体管和第二晶体管是连接到第k奇数组栅极线GW_A(k)或第k偶数组栅极线GW_B(k)的开关晶体管。第k奇数组栅极线GW_A(k)可以通过桥结构连接到第一晶体管的栅电极和第二晶体管的栅电极。

[0129] 在与第k像素行相邻的第(k+1)像素行中,栅极线可以以与第k像素行相反的连接结构布置。在一个示例性实施例中,第(k+1)偶数组栅极线GW_B(k+1)可以设置得比第(k+1)奇数组栅极线GW_A(k+1)距离包括在第(k+1)像素行中的子像素的第一晶体管和第二晶体管更远。如图8所示,第(k+1)偶数组栅极线GW_B(k+1)可以设置得比第(k+1)奇数组栅极线GW_A(k+1)距离包括在第(k+1)像素行中的子像素更远。第(k+1)偶数组栅极线GW_B(k+1)可以通过桥结构连接到第一晶体管和第二晶体管。

[0130] 在第k像素行中,奇数像素组PGO可以通过桥结构连接到设置在距离该像素组更远侧的栅极线。这里,桥结构利用设置在栅极线的交叉点处的绝缘材料,在该交叉点处电分离奇数组栅极线和偶数组栅极线。在第(k+1)像素行中,奇数像素组PGO可以连接到设置在距离该像素组近侧的栅极线。另一方面,在第k像素行中,偶数像素组PGE可以连接到设置在距离该像素组近侧的栅极线。在第(k+1)像素行中,偶数像素组PGE可以通过桥结构连接到设置在距离该像素组更远侧的栅极线。

[0131] 因此,即使发生由于奇数组栅极线GW_A(k)至GW_A(k+3)与偶数组栅极线GW_B(k)至GW_B(k+3)之间的电阻差而导致的变化,因为像素组PGO、PGE与连接到像素组PGO、PGE的栅极线之间的距离根据像素行而改变,所以用户不会识别出偏差。

[0132] 如图9所示,显示面板100可以包括多个奇数像素组PGO和多个偶数像素组PGE。在一个实施例中,奇数像素组PGO和偶数像素组PGE中的每一组可以包括四个子像素。例如,奇数像素组PGO和偶数像素组PGE中的每一组可以沿像素行所延伸的第一方向D1包括红色子像素R、蓝色子像素B、第一绿色子像素G1和第二绿色子像素G2。当图9中描述的子像素可以连接到图8中描述的奇数组栅极线或偶数组栅极线中的一条时,电阻变化被均匀地分散。因此,亮度偏差可不被识别出。

[0133] 图10是示意性地示出连接到图2的显示面板的数据线的示例的图。图11是示出图

10的数据线的布置的示例的电路图。

[0134] 参考图2、图10和图11,奇数像素组PGO和偶数像素组PGE中的每一组可以包括四个子像素。

[0135] 奇数像素组PGO和偶数像素组PGE中的每一组可以包括第一子像素SP1、第二子像素SP2、第三子像素SP3和第四子像素SP4。在一个示例性实施例中,第一子像素SP1至第四子像素SP4中的每一个可以发射红色光、蓝色光和绿色光中的一种。例如,显示面板100的子像素可以布置成图9中所示的pentile矩阵结构。例如,取决于像素行和/或其中包括的像素组,第一子像素SP1可以发射不同颜色的光。

[0136] 在奇数像素组PGO和偶数像素组PGE中的每一组中,连接到第一子像素SP1的第一数据线DL1和连接到第二子像素SP2的第二数据线DL2可以沿像素列所延伸的第二方向D2延伸。第一数据线DL1和第二数据线DL2可以设置在第一子像素SP1与第二子像素SP2之间。

[0137] 连接到第三子像素SP3的第三数据线DL3和连接到第四子像素SP4的第四数据线DL4可以沿第二方向D2延伸,并且可以设置在第三子像素SP3与第四子像素SP4之间。此外,在第二子像素SP2与第三子像素SP3之间以及奇数像素组PGO与偶数像素组PGE之间可以不设置数据线。

[0138] 如图11所示,分别连接到两个相邻子像素SP1和SP2的数据线DL1和DL2可以设置在子像素SP1与SP2之间。相邻子像素(例如,第一子像素SP1和第二子像素SP2)可以具有在第二方向D2上对称的结构,以形成与数据线DL1和DL2的连接。另外,其间没有布置数据线的第二子像素SP2和第三子像素SP3也可以具有对称结构。

[0139] 因此,在以DEMUX驱动方式驱动的有机发光显示设备1000中,可以通过子像素的对称结构和数据线的布置来减小由于切换数据线而引起的耦合效应。

[0140] 图12是示出由图1的有机发光显示设备产生的第一组栅极信号和第二组栅极信号的示例的图。

[0141] 参考图5和图12,子像素中的每一个可以基于第一组栅极信号(例如,奇数组栅极信号)或第二组栅极信号(例如,偶数组栅极信号)执行上述两种类型的阈值电压补偿操作(即,第一补偿操作和第二补偿操作),以充分确保用于补偿阈值电压的时间。

[0142] 在一个示例性实施例中,第一组栅极信号(或奇数组栅极信号 $GW_A(n)$)的激活时段的长度L1可以与第二组栅极信号(或偶数组栅极信号 $GW_B(n)$)的激活时段的长度L2不同。例如,奇数组栅极信号 $GW_A(n)$ 和偶数组栅极信号 $GW_B(n)$ 可以从不同的栅极驱动器输出。因此,通过将具有不同宽度的时钟信号分别提供给栅极驱动器,奇数组栅极信号 $GW_A(n)$ 的激活时段的长度L1和偶数组栅极信号 $GW_B(n)$ 的激活时段的长度L2可以彼此不同。例如,奇数组栅极信号 $GW_A(n)$ 的激活时段的长度L1可以长于偶数组栅极信号 $GW_B(n)$ 的激活时段的长度L2。相反,奇数组栅极信号 $GW_A(n)$ 的激活时段的长度L1可以短于偶数组栅极信号 $GW_B(n)$ 的激活时段的长度L2。

[0143] 两条栅极线(即,奇数组栅极线和偶数组栅极线)可以与一个像素行分开不同距离。因此,存在发生由于奇数组栅极线与偶数组栅极线之间的电阻差而导致的栅极信号的延迟的可能性。为了防止栅极信号的延迟,可以不同地设置奇数组栅极信号 $GW_A(n)$ 的激活时段的长度L1和偶数组栅极信号 $GW_B(n)$ 的激活时段的长度L2。

[0144] 因此,奇数像素组的阈值电压补偿时间和偶数像素组的阈值电压补偿时间可以彼

此分离。可以减小由于奇数组栅极线与偶数组栅极线之间的电阻差而引起的栅极信号的延迟,并且可以提高图像质量。

[0145] 图13是示意性地示出包括在根据示例性实施例的有机发光显示设备中的显示面板110的图。图14是示意性地示出提供给图13的显示面板110的栅极信号和数据信号的示例的图。

[0146] 除了与图1的有机发光显示设备相比,奇数像素行和偶数像素行被单独地驱动并且数据线的数量增加两倍之外,根据本示例性实施例的有机发光显示设备与图1中描述的示例性实施例的有机发光显示设备基本相同。因此,相同的附图标记将用于指代与图1的先前示例性实施例中描述的部件相同或相似的部件,并且将省略关于上述元件的任何重复说明。

[0147] 参考图1、图13和图14,显示面板110可以包括均包括多个子像素的奇数像素组PGO和偶数像素组PGE。该有机发光显示设备可以以其中奇数像素行和偶数像素行被单独地驱动的DEMUX驱动方式驱动显示面板110。

[0148] 该有机发光显示设备可以包括显示面板110、栅极驱动器、数据驱动器、数据分配器和时序控制器。除了操作时序之外,栅极驱动器、数据驱动器、数据分配器和时序控制器的操作与图1的操作基本相同。因此,将省略重复的描述。

[0149] 在一个示例性实施例中,显示面板110的像素行可以被分为第一像素行和第二像素行。例如,第一像素行可以是奇数像素行,并且第二像素行可以是居于第一像素行之后的偶数像素行。而且,第一初始化信号和第一发射控制信号可以是提供给第一像素行的奇数初始化信号和奇数发射控制信号。同样,第二初始化信号和第二发射控制信号可以是提供给第二像素行的偶数初始化信号和偶数发射控制信号。

[0150] 在下文中,假设像素行被分为奇数像素行和偶数像素行,来驱动显示面板。然而,对第一像素行和第二像素行进行分类的方法不限于此。

[0151] 显示面板110的奇数像素行R1、R3、.....可以连接到奇数初始化线GI_OL1、GI_OL2、.....和奇数发射控制线E_OL1、E_OL2、.....。偶数像素行R2、R4、.....可以连接到偶数初始化线GI_EL1、GI_EL2、.....和偶数发射控制线E_EL1、E_EL2、.....。另外,与图1的有机发光显示设备相比,根据本示例性实施例的显示设备中的数据线的数量增加了两倍。

[0152] 奇数初始化信号可以通过奇数初始化线GI_OL1、GI_OL2、.....顺序地提供给奇数像素行R1、R3、.....。偶数初始化信号可以通过偶数初始化线GI_EL1、GI_EL2、.....顺序地提供给偶数像素行R2、R4、.....。提供给相邻像素行的初始化信号可以具有大约一个水平周期的间隔。

[0153] 奇数发射控制信号可以通过奇数发射控制线E_OL1、E_OL2、.....顺序地提供给奇数像素行R1、R3、.....。偶数发射控制信号可以通过偶数发射控制线E_EL1、E_EL2、.....顺序地提供给偶数像素行R2、R4、.....。提供给相邻像素行的发射控制信号可以具有大约一个水平周期的间隔。

[0154] 此外,奇数像素行R1、R3、.....的第一像素组PGO(下文中,奇数像素组PGO)可以连接到第一组栅极线(下文中,<奇数行,奇数组>栅极线GWAL1、GWAL2)。奇数像素行R1、R3、.....的第二像素组PGE(下文中,偶数像素组PGE)可以连接到第二组栅极线(下文中,<

奇数行,偶数组>栅极线GWBL1、GWBL2)。

[0155] 同样地,偶数像素行R2、R4、.....的第三像素组PG0(下文中,奇数像素组PG0)可以连接到第三组栅极线(下文中,<偶数行,奇数组>栅极线GWDL1、GWDL2)。偶数像素行R2、R4、.....的第四像素组PGE(下文中,偶数像素组PGE)可以连接到第四组栅极线(下文中,<偶数行,偶数组>栅极线GWCL1、GWCL2)。

[0156] 第一组栅极信号(下文中,<奇数行,奇数组>栅极信号GW_A(k)、GW_A(k+1))可以根据第一时钟信号CLA,通过<奇数行,奇数组>栅极线GWAL1、GWAL2、.....顺序地提供给奇数像素行R1、R3、.....。

[0157] 第二组栅极信号(下文中,<奇数行,偶数组>栅极信号GW_B(k)、GW_B(k+1))可以根据第二时钟信号CLB,通过<奇数行,偶数组>栅极线GWBL1、GWBL2、.....顺序地提供给奇数像素行R1、R3、.....。第二时钟信号CLB可以比第一时钟信号CLA延迟时钟信号的四分之一周期。

[0158] 第四组栅极信号(下文中,<偶数行,偶数组>栅极信号GW_C(k)、GW_C(k+1))可以根据第三时钟信号CLC,通过<偶数行,偶数组>栅极线GWCL1、GWCL2、.....顺序地提供给偶数像素行R2、R4、.....。第三时钟信号CLC可以比第二时钟信号CLB延迟时钟信号的四分之一周期。

[0159] 第三组栅极信号(下文中,<偶数行,奇数组>栅极信号GW_D(k)、GW_D(k+1))可以根据第四时钟信号CLD,通过<偶数行,奇数组>栅极线GWDL1、GWDL2、.....顺序地提供给偶数像素行R2、R4、.....。第四时钟信号CLD可以比第三时钟信号CLC延迟时钟信号的四分之一周期。

[0160] 显示面板110可以包括第一组数据线、第二组数据线、第三组数据线和第四组数据线。第一组数据线(下文中,<奇数行,奇数组>数据线OO_DL)可以连接到奇数像素行R1、R3、.....的奇数像素组PG0。第二组数据线(下文中,<奇数行,偶数组>数据线OE_DL)可以连接到奇数像素行R1、R3、.....的偶数像素组PGE。第三组数据线(下文中,<偶数行,奇数组>数据线EO_DL)可以连接到偶数像素行R2、R4、.....的奇数像素组PG0。第四组数据线(下文中,<偶数行,偶数组>数据线EE_DL)可以连接到偶数像素行R2、R4、.....的偶数像素组PGE。

[0161] <奇数行,奇数组>数据线OO_DL可以包括用于每个奇数像素组PG0的四条数据线。如图14所示,<奇数行,奇数组>数据线OO_DL可以用于传输数据电压D1、D2、D5、D6等。<奇数行,奇数组>数据线OO_DL可以基于第一时钟信号CLA,将数据电压D1、D2、D5、D6等提供给显示面板110(即,奇数像素行的奇数像素组中的子像素)。同时,<奇数行,奇数组>栅极信号GW_A(k)、GW_A(k+1)、.....可以被施加到奇数像素行R1、R3、.....中的一行。因此,奇数像素行的奇数像素组PG0可以执行数据写入和阈值电压补偿操作。

[0162] <奇数行,偶数组>数据线OE_DL可以包括用于每个偶数像素组PGE的四条数据线。如图14所示,<奇数行,偶数组>数据线OE_DL可以用于传输数据电压D9、D10、D13、D14等。<奇数行,偶数组>数据线OE_DL可以基于第二时钟信号CLB,将数据电压D9、D10、D13、D14等提供给显示面板110(即,奇数像素行的偶数像素组中的子像素)。同时,<奇数行,偶数组>栅极信号GW_B(k)、GW_B(k+1)、.....可以应用于奇数像素行R1、R3、.....中的一行。因此,奇数像素行的偶数像素组PGE可以执行数据写入和阈值电压补偿操作。

[0163] <偶数行,偶数组>数据线EE_DL可以包括用于每个偶数像素组PGE的四条数据线。如图14所示,<偶数行,偶数组>数据线EE_DL可以用于传输数据电压D7、D8、D11、D12等。<偶数行,偶数组>数据线EE_DL可以基于第三时钟信号CLC,将数据电压D7、D8、D11、D12等提供给显示面板110(即,偶数像素行的偶数像素组中的子像素)。同时,<偶数行,偶数组>栅极信号GW_C(k)、GW_C(k+1)、.....可以应用于偶数像素行R2、R4、.....中的一行。因此,偶数像素行的偶数像素组PGE可以执行数据写入和阈值电压补偿操作。

[0164] <偶数行,奇数组>数据线EO_DL可以包括用于每个奇数像素组PGO的四条数据线。如图14所示,<偶数行,奇数组>数据线EO_DL可以用于传输数据电压D3、D4、D15、D16等。<偶数行,奇数组>数据线EO_DL可以基于第四时钟信号CLD,将数据电压D3、D4、D15、D16等提供给显示面板110(即,偶数像素行的奇数像素组中的子像素)。同时,<偶数行,奇数组>栅极信号GW_D(k)、GW_D(k+1)、.....可以应用于偶数像素行R2、R4、.....中的一行。因此,偶数像素行的奇数像素组PGO可以执行数据写入和阈值电压补偿操作。

[0165] 总之,可以按照第(2k-1)像素行的奇数像素组、第(2k-1)像素行的偶数像素组、第2k像素行的偶数像素组和第2k像素行的奇数像素组的顺序执行数据写入和阈值电压补偿操作。以这种方式,当以高频(例如,120Hz)驱动显示设备时,可以充分地确保补偿时间(例如,长于两个水平周期)。

[0166] 在一个示例性实施例中,连接到第(2k-1)像素行的第k<奇数行,奇数组>栅极线可以设置得比第k<奇数行,偶数组>栅极线距离第(2k-1)像素行更远,并且可以通过桥结构连接到奇数像素组中的子像素中的每一个。另外,连接到第2k像素行的第k<偶数行,偶数组>栅极线可以设置得比第k<偶数行,奇数组>栅极线距离第2k像素行更远,并且可以通过桥结构连接到偶数像素组中的子像素中的每一个。

[0167] 例如,如图13和图14所示,第一<奇数行,奇数组>栅极线GWAL1可以设置得比第一<奇数行,偶数组>栅极线GWBL1距离第一像素行R1更远。第一<奇数行,奇数组>栅极线GWAL1可以通过桥结构连接到奇数像素组PGO中的子像素中的每一个。而且,第一<偶数行,偶数组>栅极线GWCL1可以设置得比第一<偶数行,奇数组>栅极线GWDL1距离第二像素行R2更远。第一<偶数行,偶数组>栅极线GWCL1可以通过桥结构连接到偶数像素组PGE中的子像素中的每一个。

[0168] 相反,在另一示例性实施例中,连接到第(2k-1)像素行的第k<奇数行,偶数组>栅极线可以设置得比第k<奇数行,奇数组>栅极线距离第(2k-1)像素行更远,并且可以通过桥结构连接到偶数像素组中的子像素中的每一个。连接到第2k像素行的第k<偶数行,奇数组>栅极线可以设置得比第k<偶数行,偶数组>栅极线距离第2k像素行更远,并且可以通过桥结构连接到奇数像素组中的子像素中的每一个。

[0169] 因此,由于与一个像素行相对应的两种类型的栅极线之间的电阻差而引起的发光偏差可不被识别到。

[0170] 图15是示出用于驱动图14的显示面板的信号的示例的时序图。图16A是用于描述在图14的显示面板中补偿驱动晶体管的阈值电压的示例的图。

[0171] 参考图14至图16A,可以以其中单个帧周期包括初始化时段INIT、补偿时段ODD COMP、EVEN COMP和发射时段EMISSION的方式驱动显示面板110。

[0172] 奇数像素行和偶数像素行可以被独立地驱动。

[0173] 在一个示例性实施例中,第一至第四时钟信号CLA、CLB、CLC和CLD可以以大约1/2水平周期间隔顺序被激活。因此,与第 $(2k-1)$ 像素行相对应的第 k <奇数行,偶数组>栅极信号GW_B(k)可以比第 k <奇数行,奇数组>栅极信号GW_A(k)延迟约1/2水平周期。与第 $2k$ 像素行相对应的第 k <偶数行,偶数组>栅极信号GW_C(k)可以比第 k <奇数行,偶数组>栅极信号GW_B(k)延迟大约1/2水平周期。第 k <偶数行,奇数组>栅极信号GW_D(k)可以比第 k <偶数行,偶数组>栅极信号GW_C(k)延迟约1/2水平周期。

[0174] 可以与第一时钟信号CLA同步地激活奇数初始化信号GI_0(k)。在初始化时段INIT期间,可以同时初始化第 $(2k-1)$ 像素行中的驱动晶体管的栅电极和有机发光二极管的阳极。

[0175] 此后,可以与第一时钟信号CLA同步地激活<奇数行,奇数组>栅极信号GW_A(k),然后,可以在补偿时段CP1期间执行第 $(2k-1)$ 像素行的奇数像素组PG0的数据写入和阈值电压补偿操作。补偿时段CP1可以包括第一补偿时段PA和第二补偿时段PB。

[0176] 在第一补偿时段PA期间,<奇数行,奇数组>数据线可以将数据电压传输给像素中的、其中形成了二极管连接的驱动晶体管,使得驱动晶体管的阈值电压被补偿(即,第一补偿操作)。在第二补偿时段PB期间,由于第一时钟信号CLA被去激活,所以<奇数行,奇数组>数据线可以处于浮置状态。此时,可以基于浮置<奇数行,奇数组>数据线的电压来维持阈值电压补偿操作(即,第二补偿操作)。由于上面参考图5和图6描述了第一补偿操作和第二补偿操作,因此将省略重复的描述。

[0177] 在执行第 $(2k-1)$ 像素行的奇数像素组PG0的第二补偿操作的同时,可以基于第二时钟信号CLB执行第 $(2k-1)$ 像素行的偶数像素组PGE的补偿时段CP2。类似于补偿时段CP1,可以在补偿时段CP2中执行第 $(2k-1)$ 像素行的偶数像素组PGE的第一补偿操作和第二补偿操作。

[0178] 可以基于第三时钟信号CLC,执行第 $2k$ 像素行的偶数像素组PGE的数据写入和阈值电压补偿操作。第 $2k$ 像素行的偶数像素组PGE的补偿时段CP3可以比第 $(2k-1)$ 像素行的奇数像素组PG0的补偿时段CP1延迟一个水平周期1H。类似于补偿时段CP1,可以在补偿时段CP3中执行第 $(2k-1)$ 像素行的偶数像素组PGE的第一补偿操作和第二补偿操作。

[0179] 在执行第 $2k$ 像素行的偶数像素组PGE的第二补偿操作的同时,可以基于第四时钟信号CLD,执行第 $2k$ 像素行的奇数像素组PG0的补偿时段CP4。类似于补偿时段CP3,可以在补偿时段CP4中执行第 $2k$ 像素行的奇数像素组PG0的第一补偿操作和第二补偿操作。

[0180] 此后,第 $(2k-1)$ 像素行的全部子像素可以基于第 k 奇数发射控制信号EM_0(k)发光。同样地,第 $2k$ 像素行的全部子像素可以基于第 k 偶数发射控制信号EM_E(k)发光。

[0181] 数据写入和阈值电压补偿操作可以通过第一至第四时钟信号CLA、CLB、CLC和CLD开始。例如,如图15所示,第三时钟信号CLC可以用于偶数像素行的偶数像素组。然而,补偿操作的顺序不限于此。

[0182] 如图16A所示,可以顺序地开始数据写入和阈值电压补偿操作。首先,第 k 像素行 R_k 的奇数像素组PG0可以开始执行数据写入和阈值电压补偿操作(COMP1)。第二,第 k 像素行 R_k 的偶数像素组PGE可以开始执行数据写入和阈值电压补偿操作(COMP2)。第三,第 $(k+1)$ 像素行 R_{k+1} 的偶数像素组PGE可以开始执行数据写入和阈值电压补偿操作(COMP3)。第四,第 $(k+1)$ 像素行 R_{k+1} 的奇数像素组PG0可以开始执行数据写入和阈值电压补偿操作(COMP4)。另

外,如图15所示,补偿时段可以部分重叠。然而,数据写入和阈值电压补偿的顺序不限于此。

[0183] 如上所述,根据示例性实施例的有机发光显示设备将奇数像素组和偶数像素组分离,并将奇数像素行和偶数像素行分离,从而以部分重叠的方式执行驱动晶体管的阈值电压的补偿操作。因此,可以在以高于120Hz的高频驱动的显示设备中充分确保补偿时段。例如,在以60Hz、DEMUX驱动方式驱动的传统显示设备中,阈值电压补偿时间为约 $2.17\mu\text{m}$ 。此外,在以120Hz、DEMUX驱动方式驱动的传统显示设备中,阈值电压补偿时间为约 $1.08\mu\text{m}$ 。然而,根据本示例性实施例的有机发光显示设备在该显示设备以120Hz被驱动时,可以确保大于 $6.5\mu\text{m}$ (大约2个水平周期) 的阈值电压补偿时间。因此,可以防止在以高频驱动高分辨率显示设备时引起的诸如斑点的图像质量的劣化。

[0184] 图16B至图16D是用于描述在图14的显示面板中补偿驱动晶体管的阈值电压的示例的图。

[0185] 参考图16B至图16D,可以通过第一至第四时钟信号的时序来控制每个像素行中包括的偶数像素组和奇数像素组的数据写入和阈值电压补偿操作。

[0186] 在一个示例性实施例中,可以按照第 $(2k-1)$ 像素行的偶数像素组、第 $(2k-1)$ 像素行的奇数像素组、第 $2k$ 像素行的奇数像素组和第 $2k$ 像素行的偶数像素组的顺序执行数据写入和阈值电压补偿操作,其中 k 是大于0的整数。例如,如图16B所示,可以按照第一像素行R1的偶数像素组PGE、第一像素行R1的奇数像素组PGO、第二像素行R2的奇数像素组PGO和第二像素行R2的偶数像素组PGE的顺序(即,参考图16B,按照COMP1-→COMP2-→COMP3-→COMP4的顺序)执行数据写入和阈值电压补偿操作。

[0187] 在一个示例性实施例中,可以按照第 $2k$ 像素行的奇数像素组、第 $2k$ 像素行的偶数像素组、第 $(2k-1)$ 像素行的偶数像素组和第 $(2k-1)$ 像素行的奇数像素组的顺序执行数据写入和阈值电压补偿操作,其中 k 是大于0的整数。例如,如图16C所示,可以按照第二像素行R2的奇数像素组PGO、第二像素行R2的偶数像素组PGE、第一像素行R1的偶数像素组PGE和第一像素行R1的奇数像素组PGO的顺序(即,参考图16C,按照COMP1-→COMP2-→COMP3-→COMP4的顺序)执行数据写入和阈值电压补偿操作。

[0188] 在一个示例性实施例中,可以按照第 $2k$ 像素行的偶数像素组、第 $2k$ 像素行的奇数像素组、第 $(2k-1)$ 像素行的奇数像素组和第 $(2k-1)$ 像素行的偶数像素组的顺序执行数据写入和阈值电压补偿操作,其中 k 是大于0的整数。例如,如图16D所示,可以按照第二像素行R2的偶数像素组PGE、第二像素行R2的奇数像素组PGO、第一像素行R1的奇数像素组PGO和第一像素行R1的偶数像素组PGE的顺序(即,参考图16D,按照COMP1-→COMP2-→COMP3-→COMP4的顺序)执行数据写入和阈值电压补偿操作。

[0189] 图17是示出包括在根据示例性实施例的有机发光显示设备中的显示面板的示例的图。图18是示出包括在图17的有机发光显示设备中的显示面板的示例的图。图19是示出用于驱动图18的显示面板的信号的示例的时序图。

[0190] 根据本示例性实施例的有机发光显示设备可以通过交错扫描方法被驱动,并且可以共同地驱动每个像素行。另外,该有机发光显示设备不包括具有解复用器的数据分配器。除了上述特征之外,根据本示例性实施例的有机发光显示设备与图1的有机发光显示设备基本相同。因此,相同的附图标记将用于指代与图1的先前示例性实施例中描述的部件相同或相似的部件,并且将省略关于上述元件的任何重复说明。

[0191] 参考图17至图19,该有机发光显示设备可包括显示面板120、栅极驱动器、数据驱动器和时序控制器。除了操作时序之外,栅极驱动器、数据驱动器和时序控制器的操作与图1的栅极驱动器、数据驱动器和时序控制器类似或基本相同,并且将省略重复的描述。

[0192] 显示面板120可以通过其中奇数像素行R1、R3、.....和偶数像素行R2、R4、.....以1/2水平周期间隔独立地被驱动的交错方式被驱动。

[0193] 奇数像素行R1、R3、.....可以连接到奇数初始化线GI_OL1、GI_OL2、.....、奇数栅极线GW_OL1、GW_OL2、.....、以及奇数发射控制线EM_OL1、EM_OL2、.....。偶数像素行R2、R4、.....可以连接到偶数初始化线GI_EL1、GI_EL2、.....、偶数栅极线GW_EL1、GW_EL2、.....、以及偶数发射控制线EM_EL1、EM_EL2、.....。

[0194] 奇数数据线DL1、DL3、.....可以分别连接到奇数像素行R1、R3、.....。可以基于第一时钟信号CLA控制奇数数据线DL1、DL3、.....的电连接。偶数数据线DL2、DL4、.....可以分别连接到偶数像素行R2、R4、.....。可以基于第二时钟信号CLB控制偶数数据线DL2、DL4、.....的电连接。

[0195] 初始化时段和发射时段与图4、图5和图15的操作基本相同,并且将省略重复的描述。

[0196] 如图19所示,第(2k-1)像素行的补偿时段CP1可以包括第一补偿时段PA和第二补偿时段PB。例如,图19示出了显示设备以120Hz频率、交错扫描方式被驱动。

[0197] 在第一补偿时段PA期间,数据线可以将数据电压传输给子像素中的、其中形成了二极管连接的驱动晶体管,使得驱动晶体管的阈值电压被补偿(即,第一补偿操作)。

[0198] 在第二补偿时段PB期间,由于第一时钟信号CLA被去激活,所以数据线可以处于浮置状态。此时,可以基于浮置数据线的电压来维持阈值电压补偿操作(即,第二补偿操作)。

[0199] 另外,在第二补偿时段PB期间,由于第二时钟信号CLB被激活,所以第2k像素行的子像素可以执行数据写入和阈值电压补偿操作(即,第一补偿操作)。

[0200] 在第三补偿时段PC期间,连接到第2k像素行的数据线可以处于浮置状态,然后可以维持阈值电压补偿操作(即,第二补偿操作)。

[0201] 如上所述,由于在通过交错方式驱动的有机发光显示设备中,在补偿时段期间执行第一补偿操作和第二补偿操作,因此可以在高频驱动环境下充分确保阈值电压补偿时间(例如,长于两个水平周期)。

[0202] 本发明构思可以应用于具有有机发光显示设备的电子设备。例如,本发明构思可以应用于头戴式显示(HMD)设备、TV、数字TV、3D TV、个人计算机、家用电子设备、笔记本电脑、平板计算机、手机、智能手机、PDA等。

[0203] 前述内容是对示例性实施例的说明,而不应被解释为对其进行限制。尽管已经描述了一些示例性实施例,但是本领域技术人员将容易理解,在不实质上脱离本发明构思的新颖教导和特征的情况下,可以在示例性实施例中执行许多修改。因此,所有这些修改旨在包括在权利要求中限定的本发明构思的范围内。因此,应该理解,前述内容是对各种示例性实施例的说明,并且不应被解释为限于所公开的特定示例性实施例,并且对所公开的示例性实施例的修改以及其他示例性实施例旨在包括在所附权利要求的范围内。

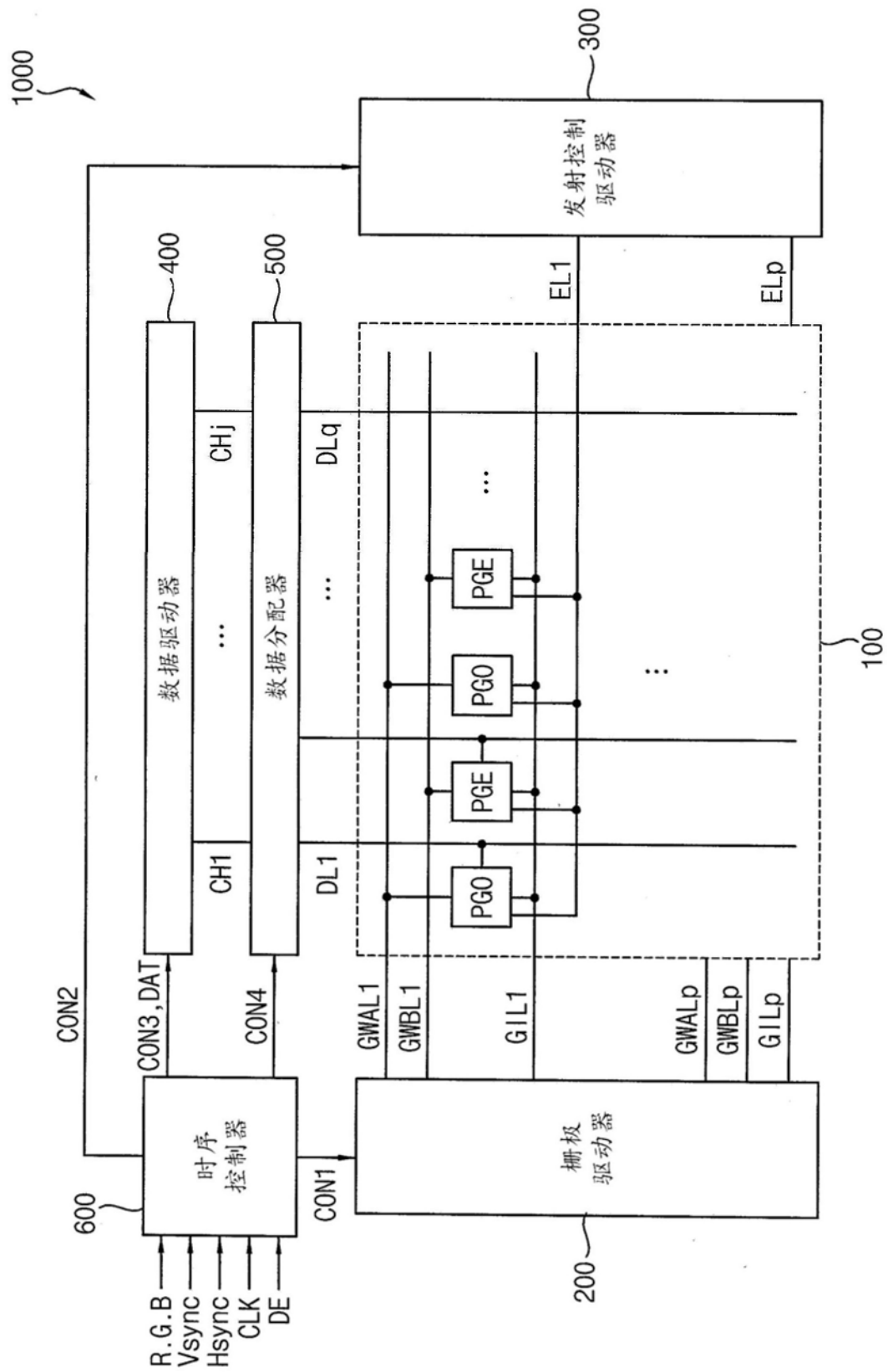


图1

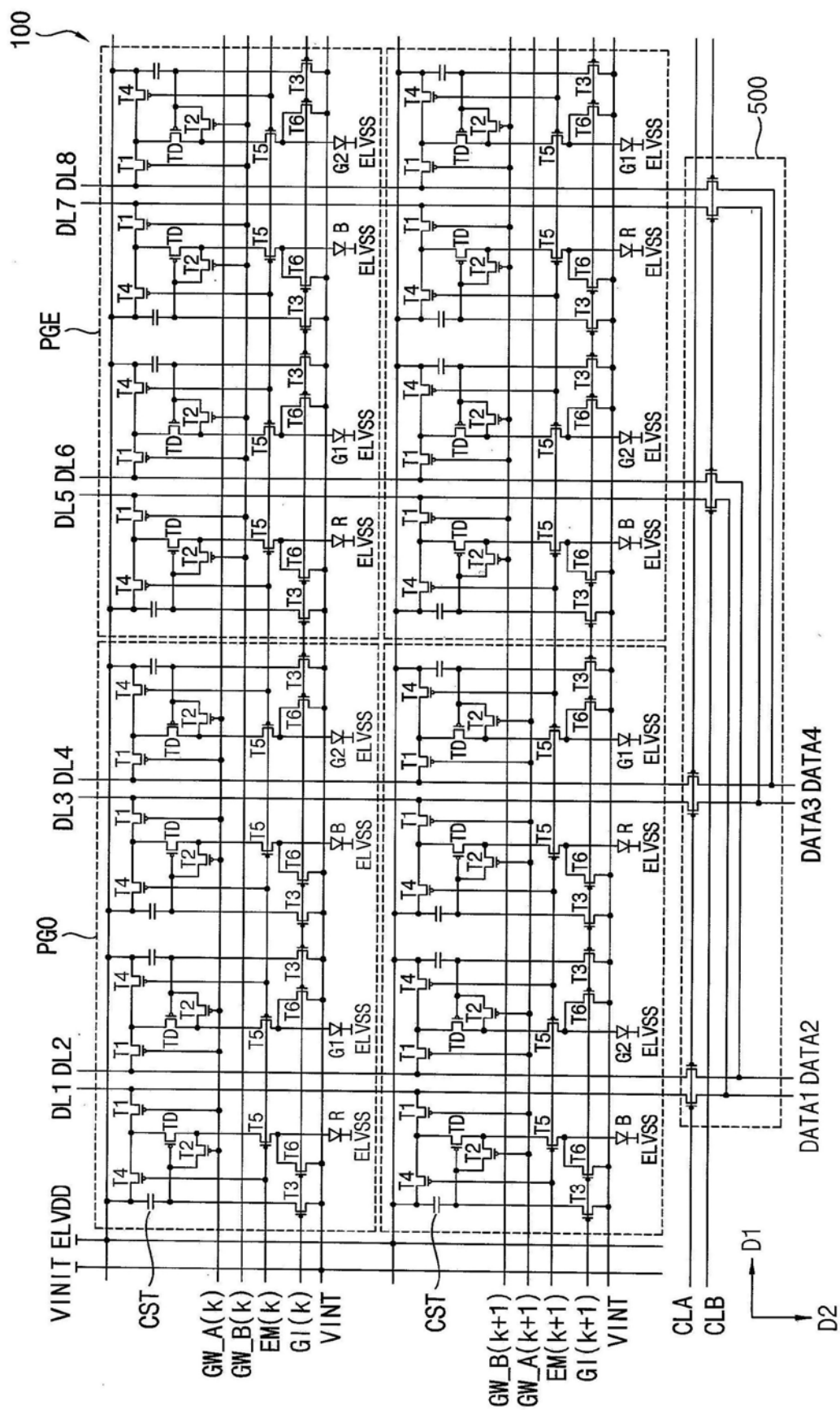


图2

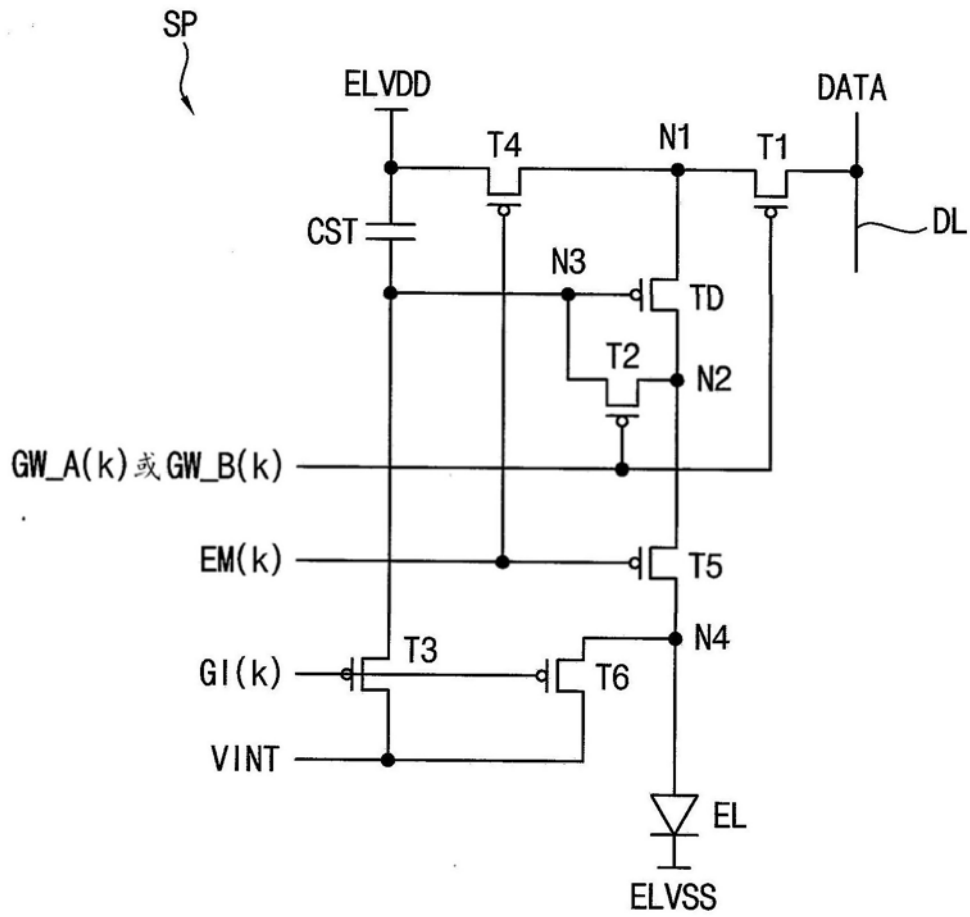


图3

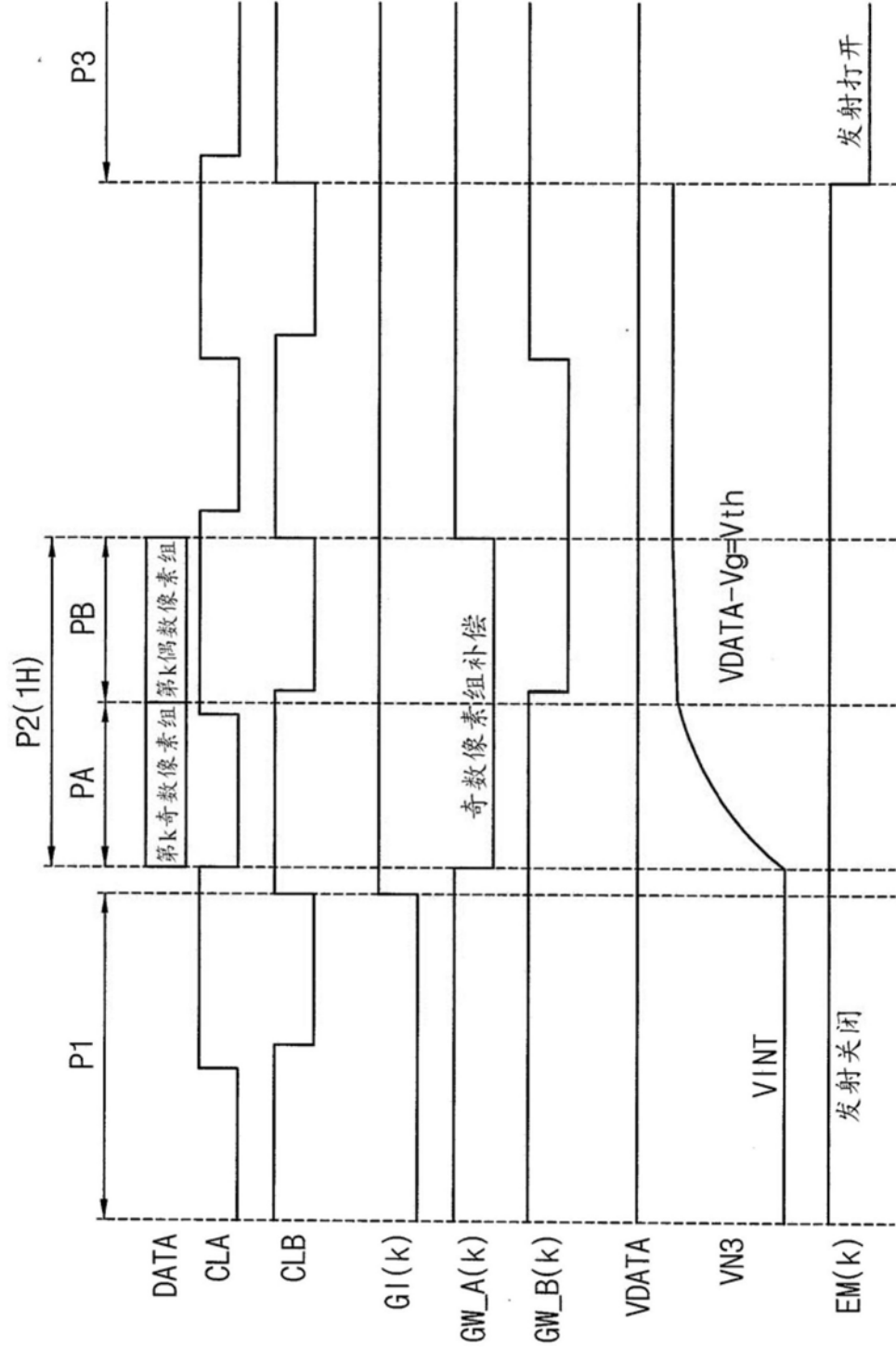


图4

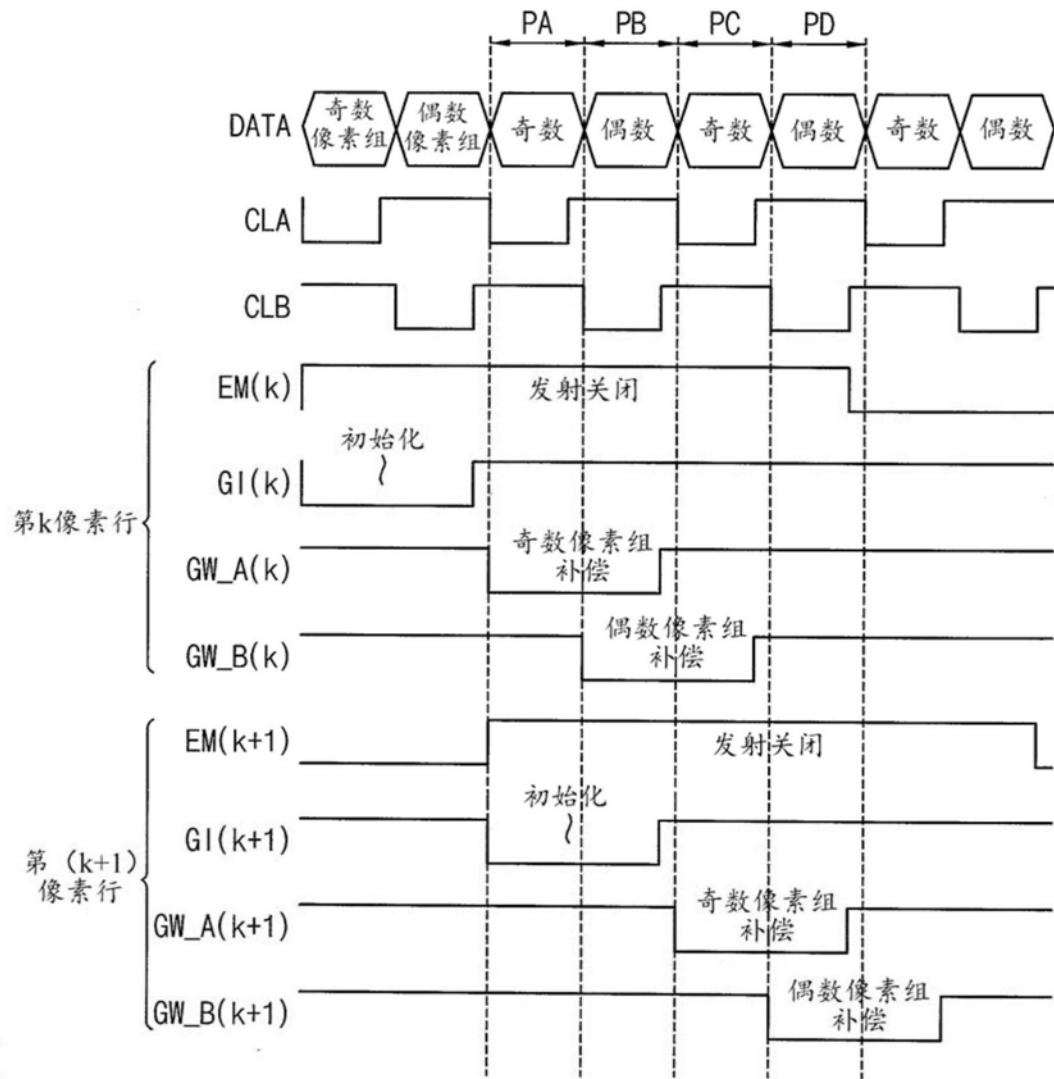


图5

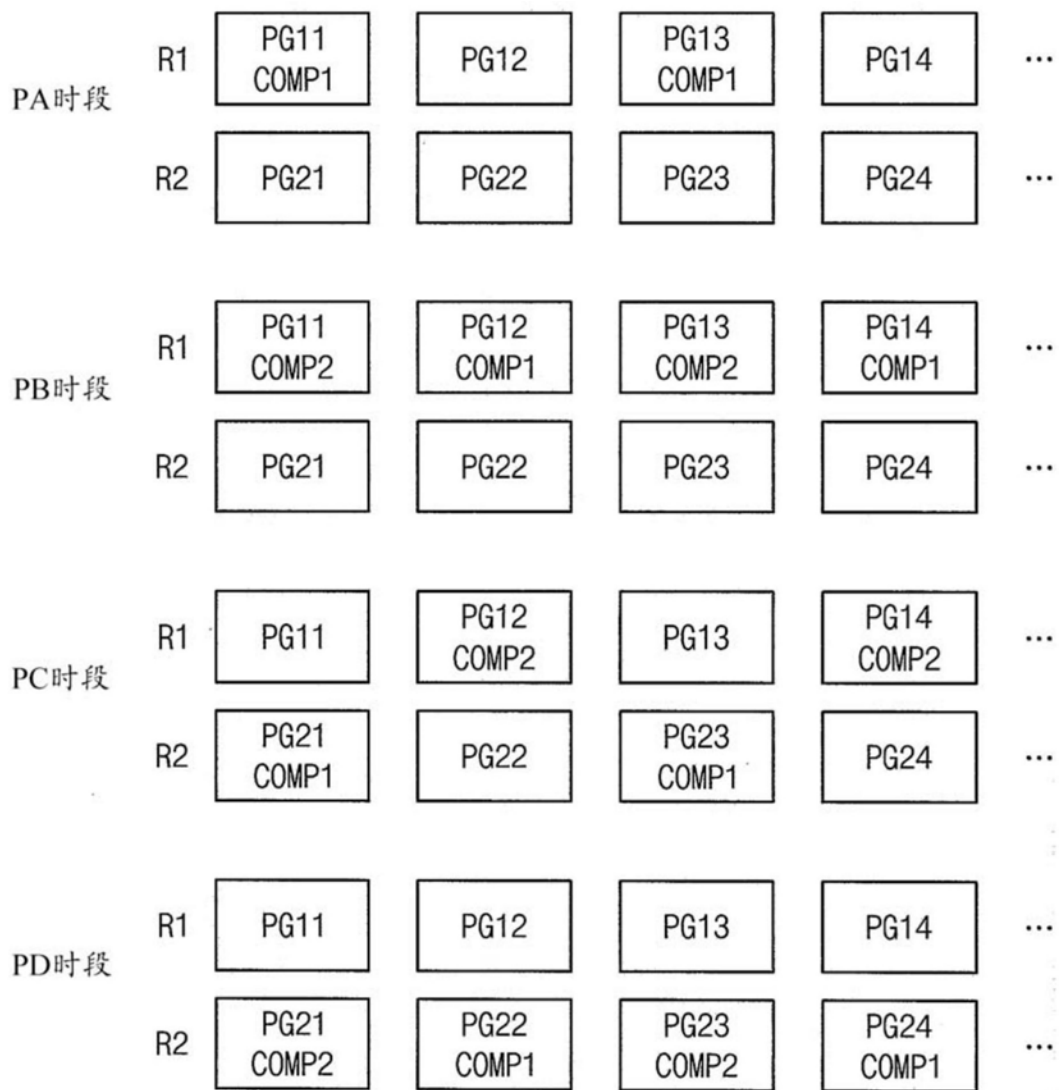


图6

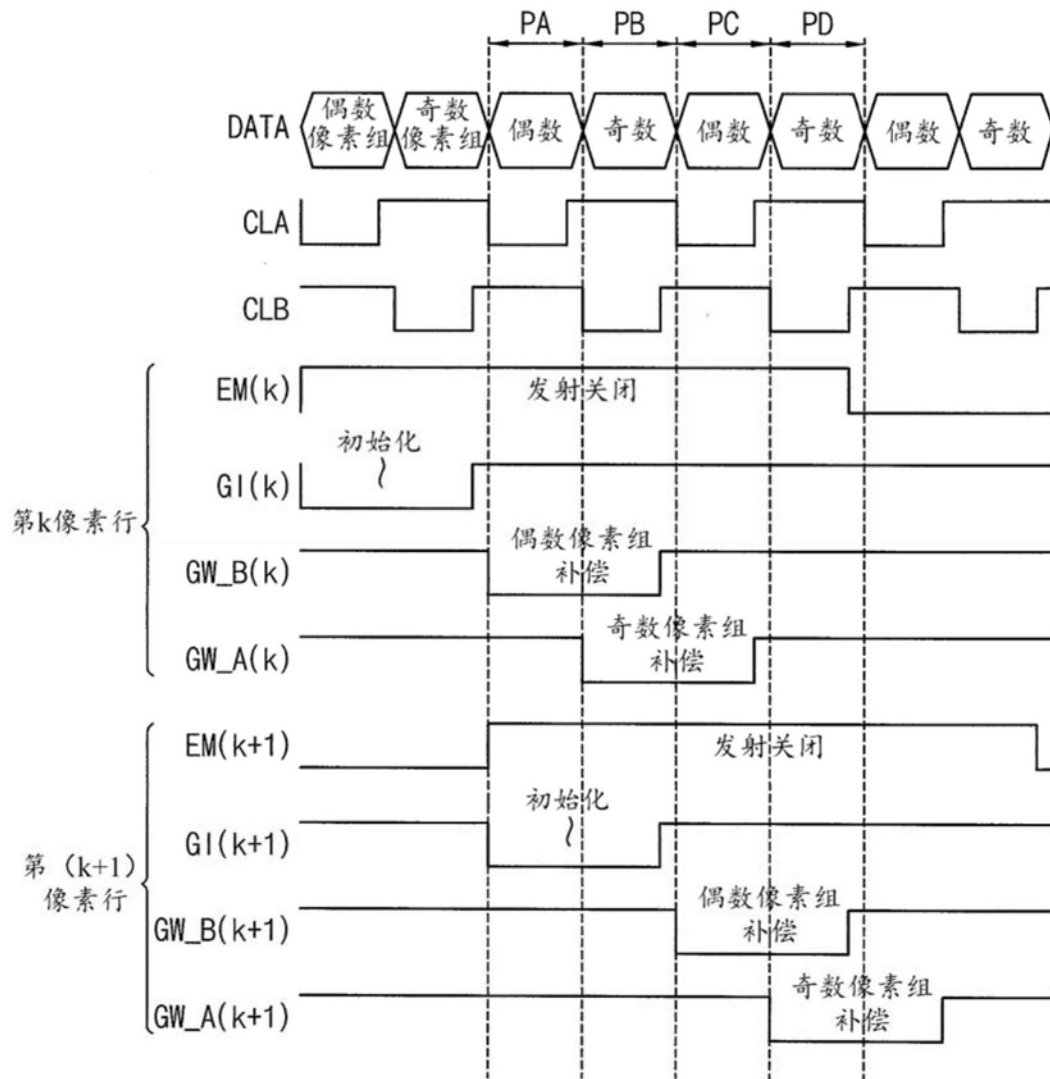


图7

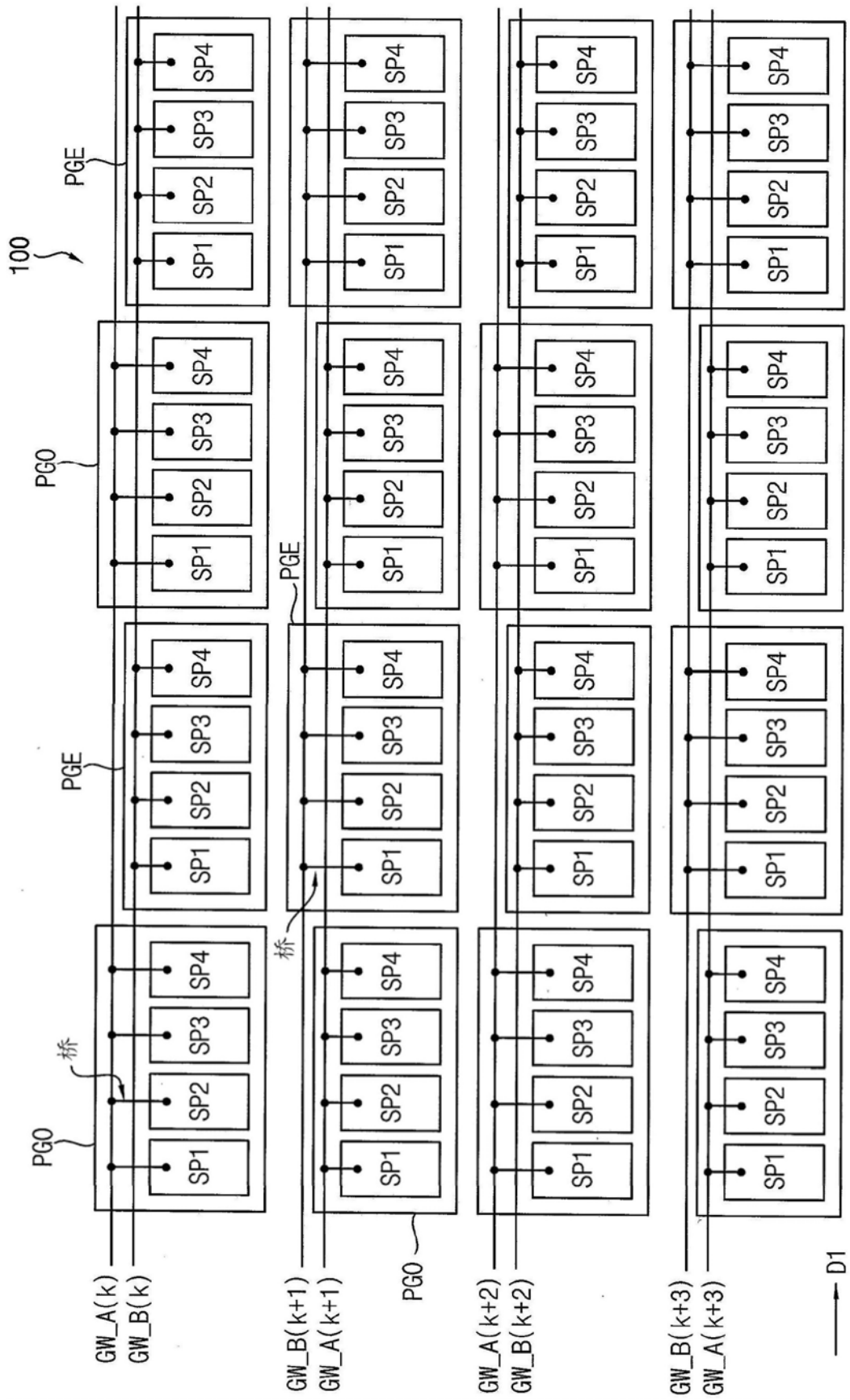


图8

100

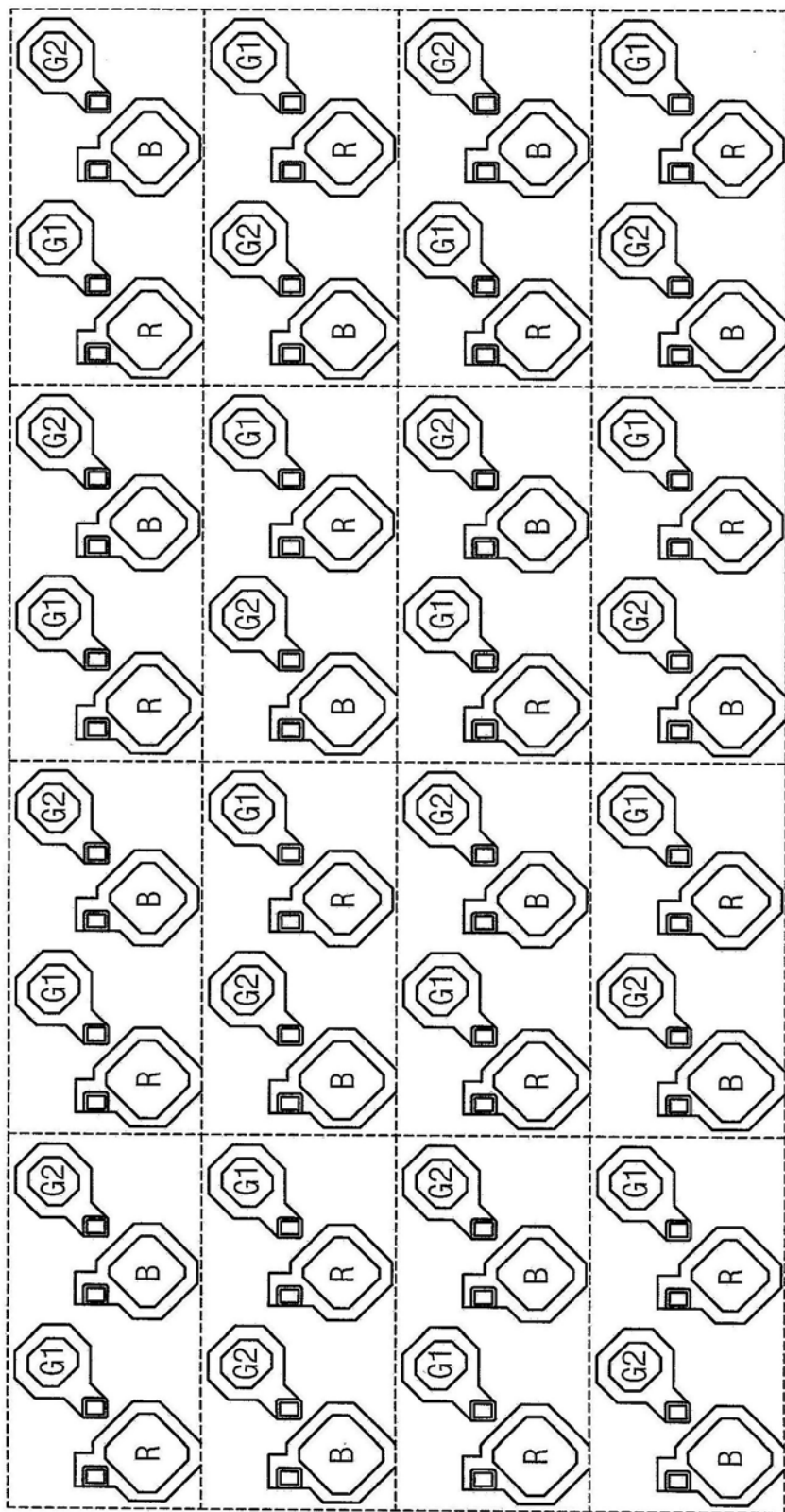


图9

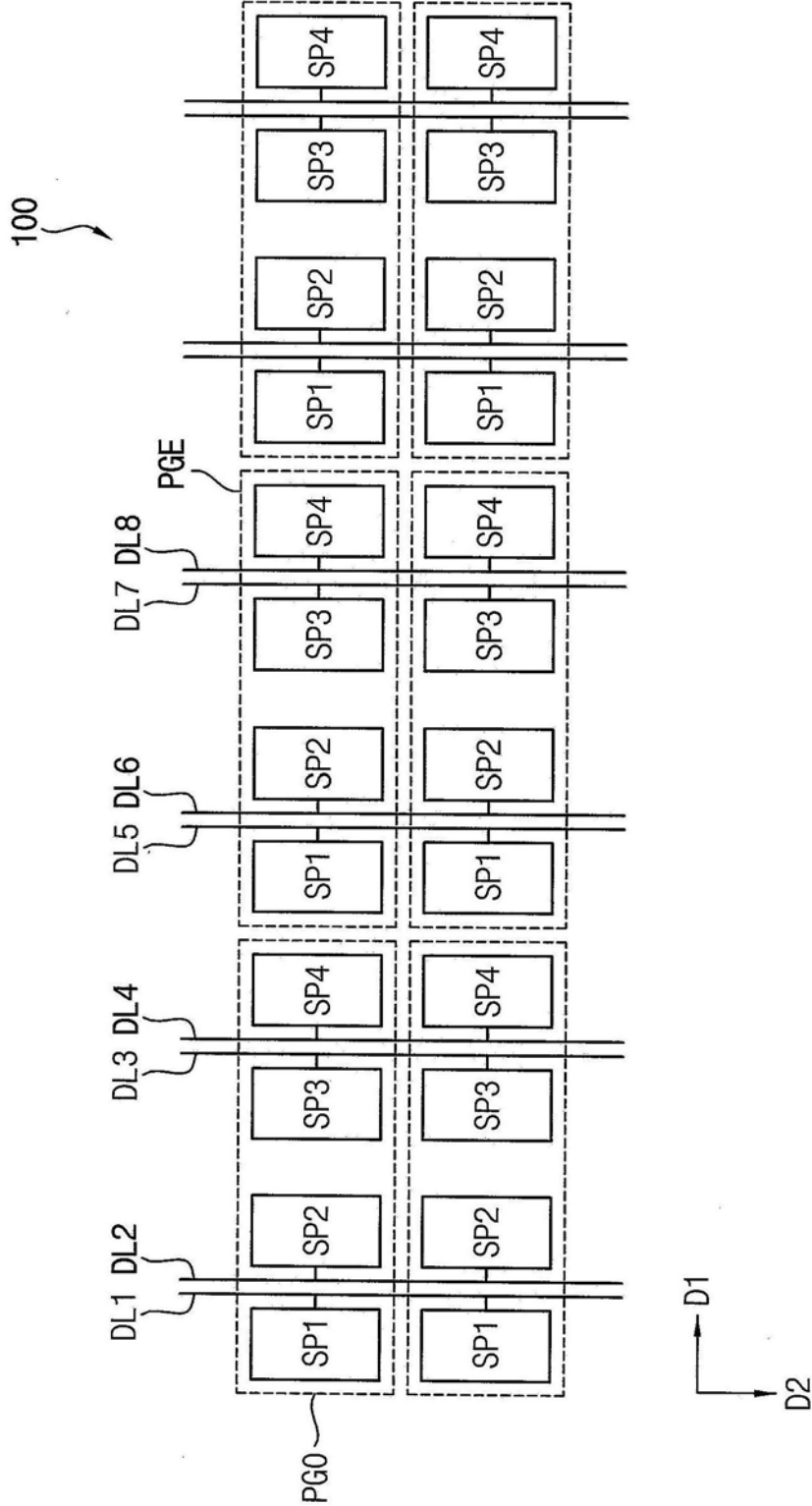


图10

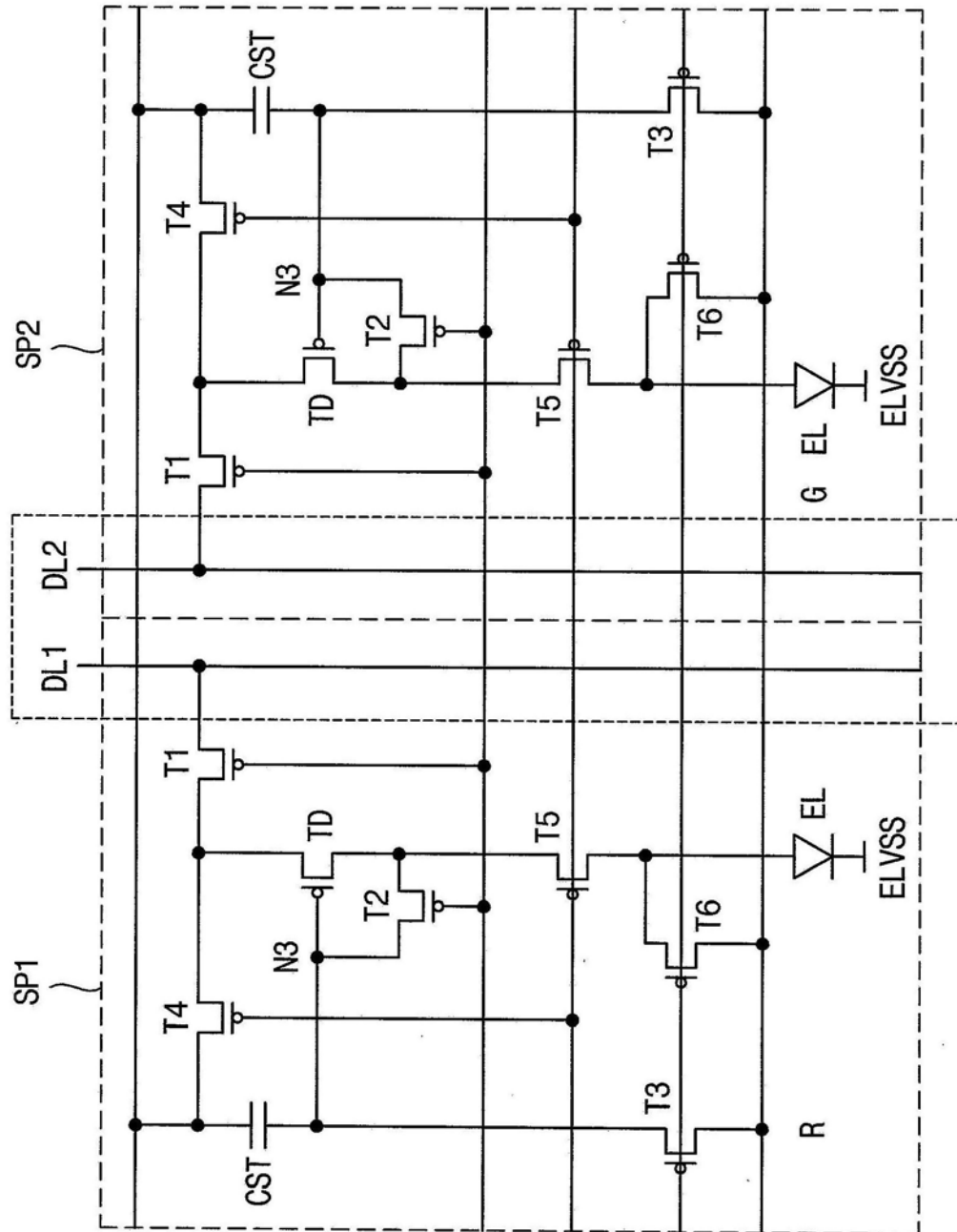


图11

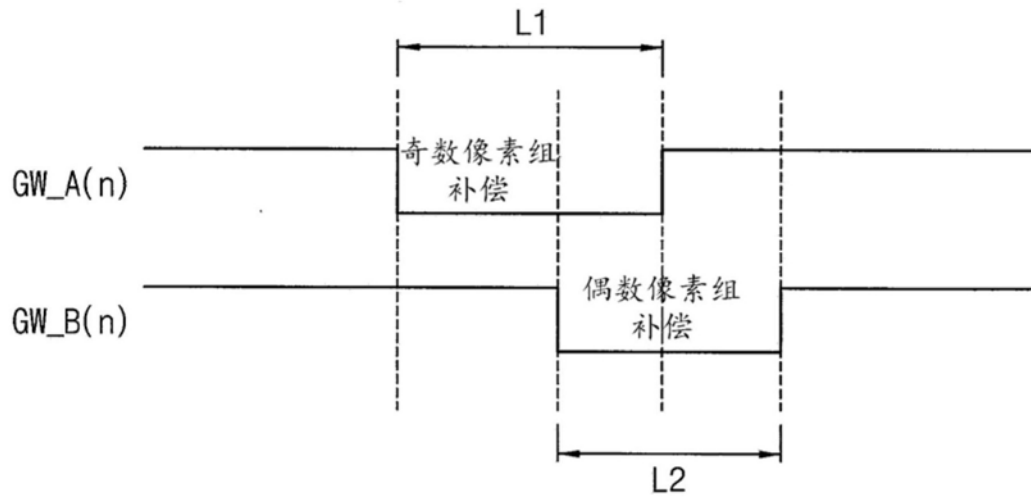


图12

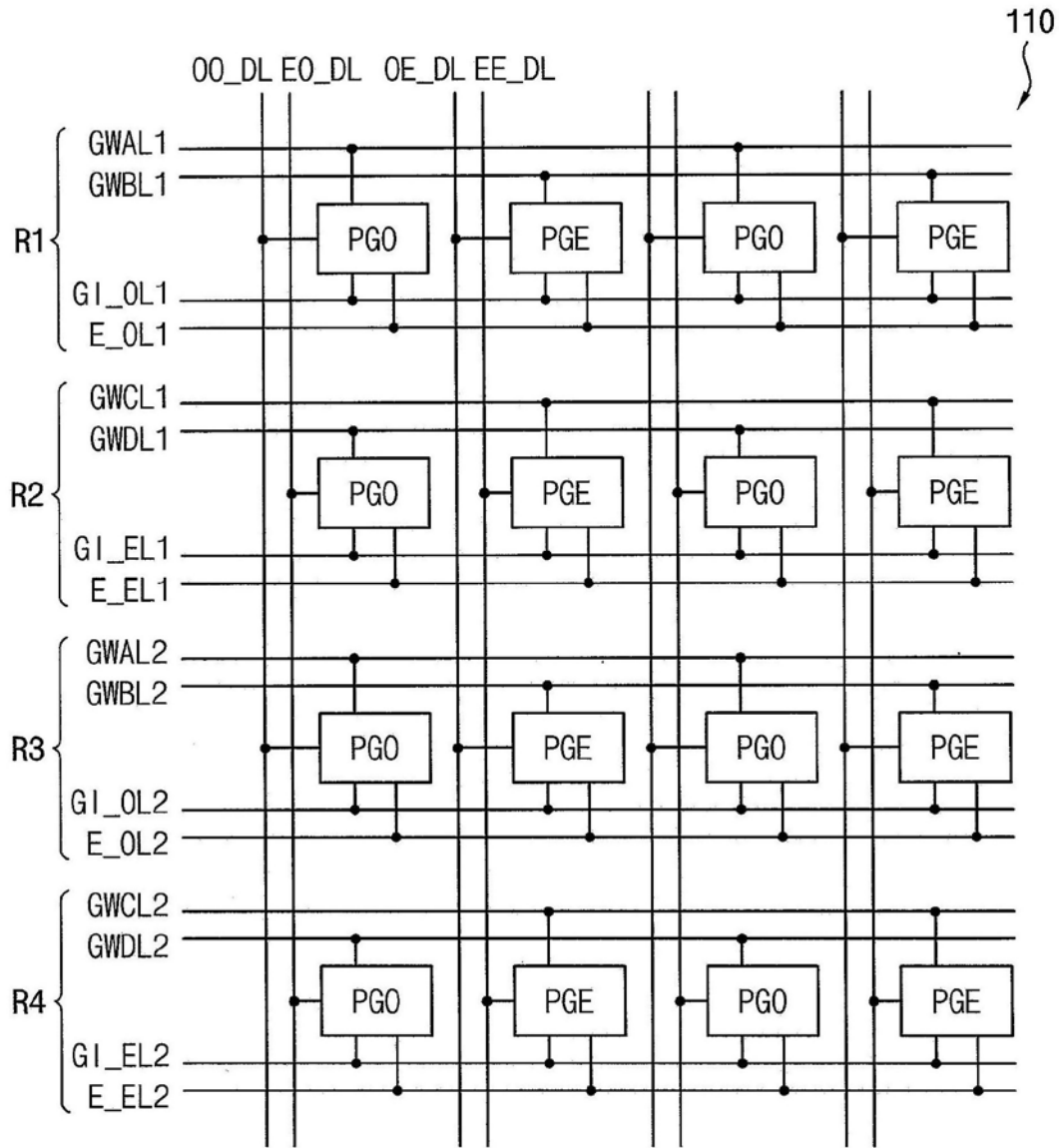


图13

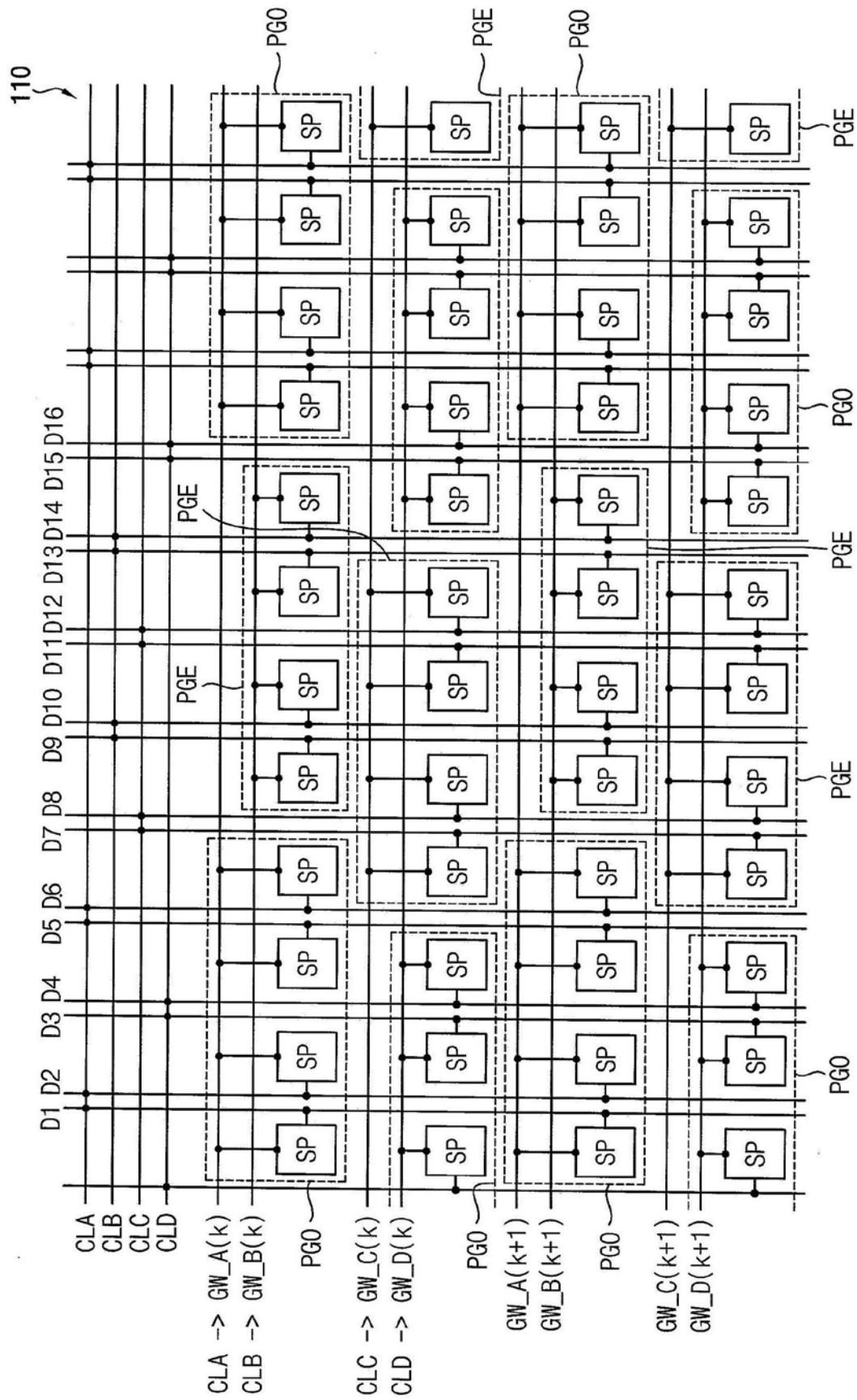


图14

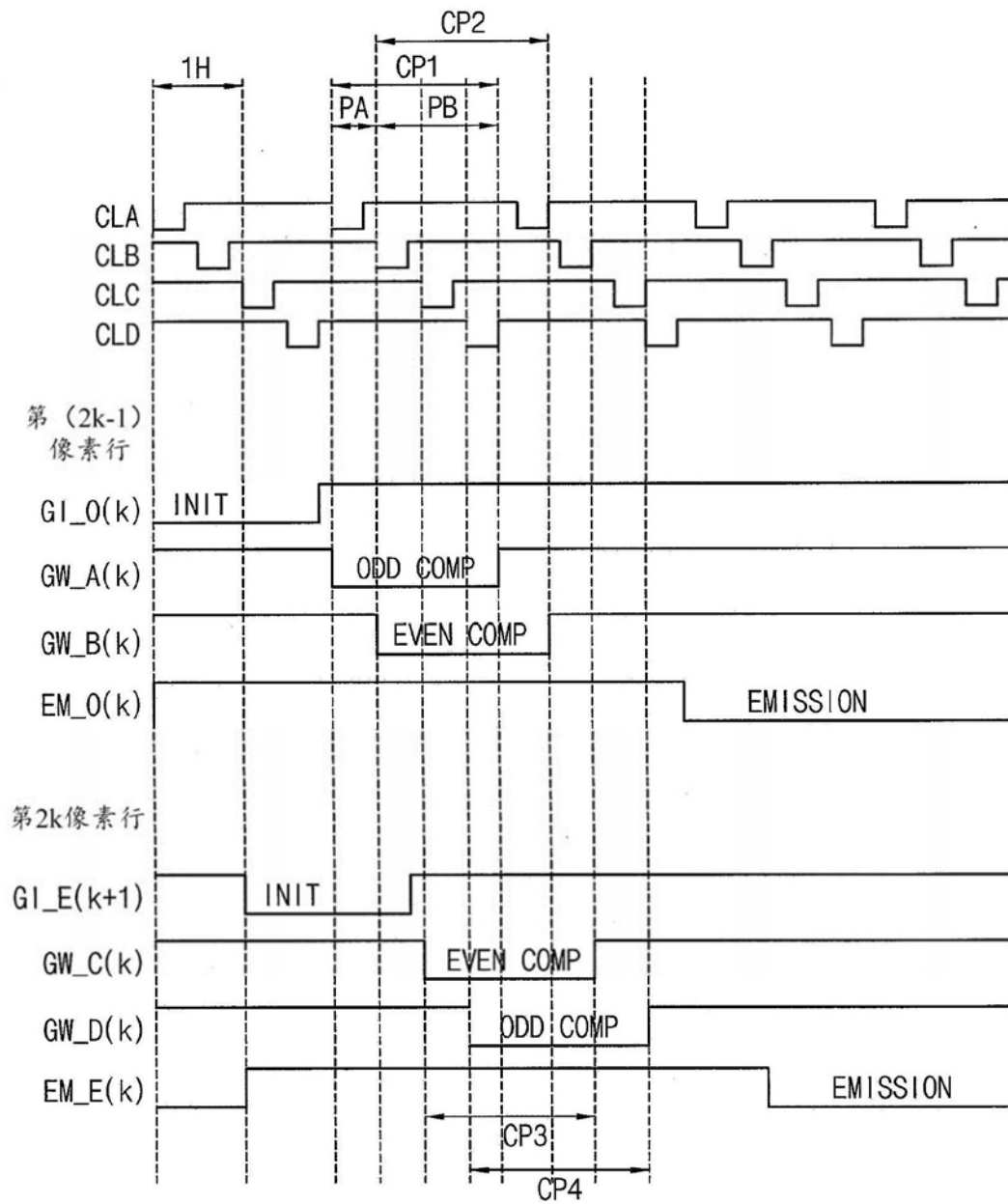


图15

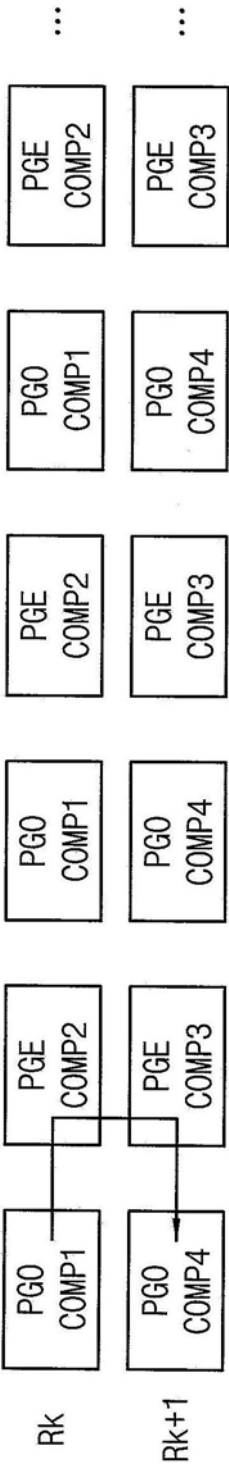


图16A

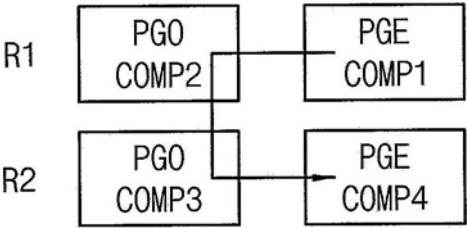


图16B

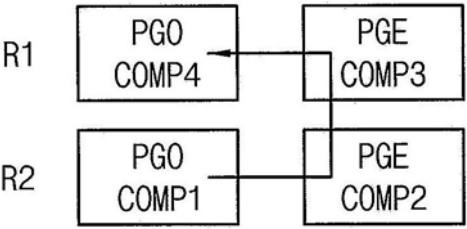


图16C

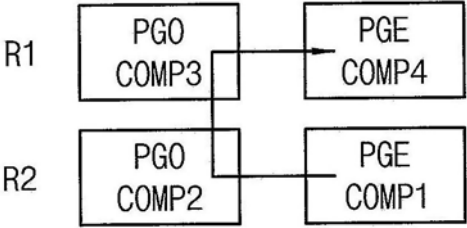


图16D

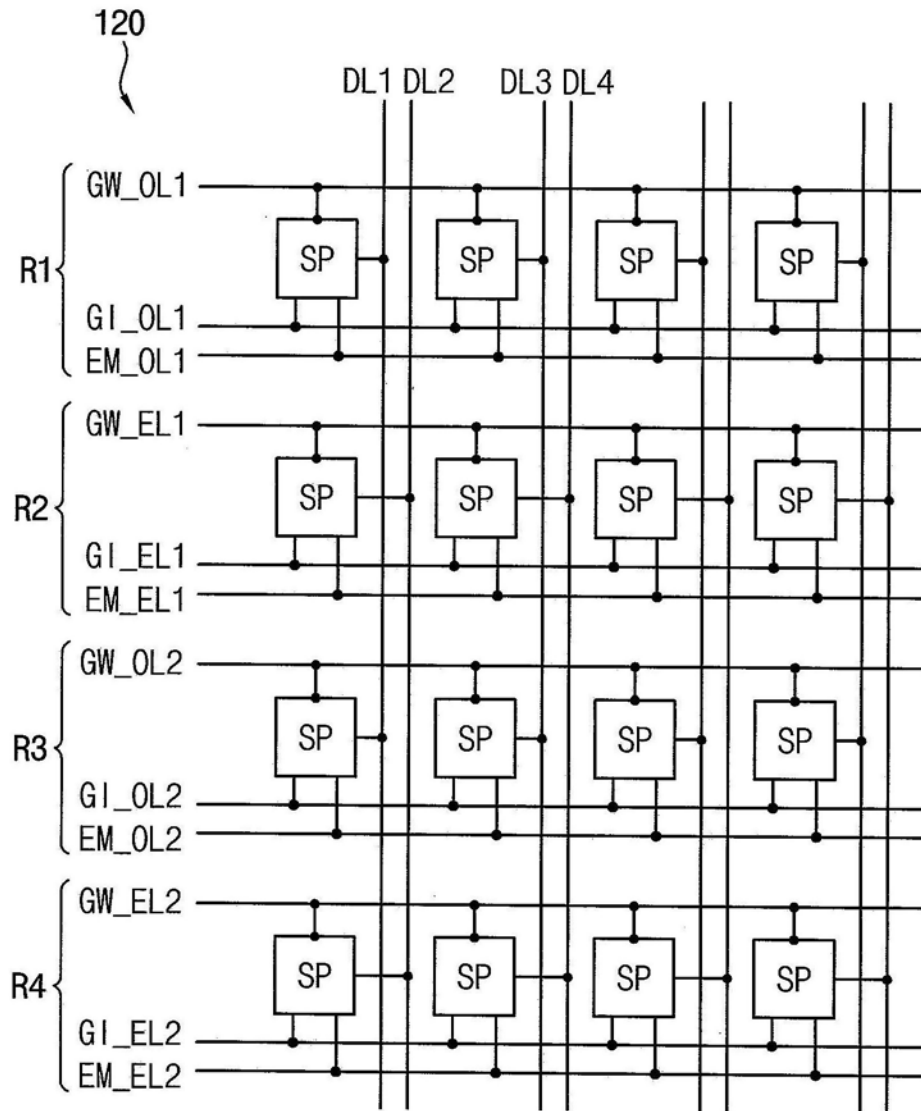


图17

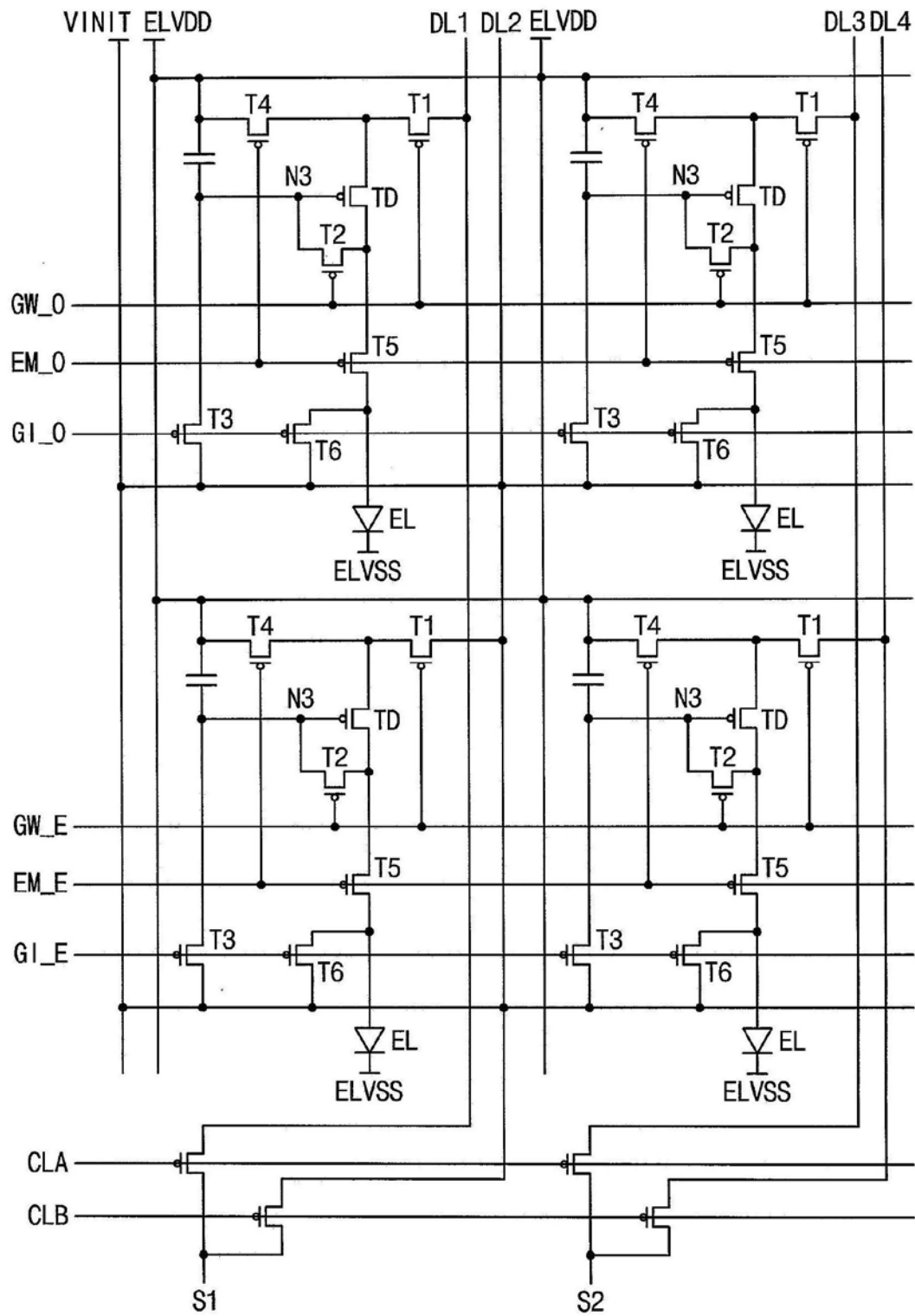


图18

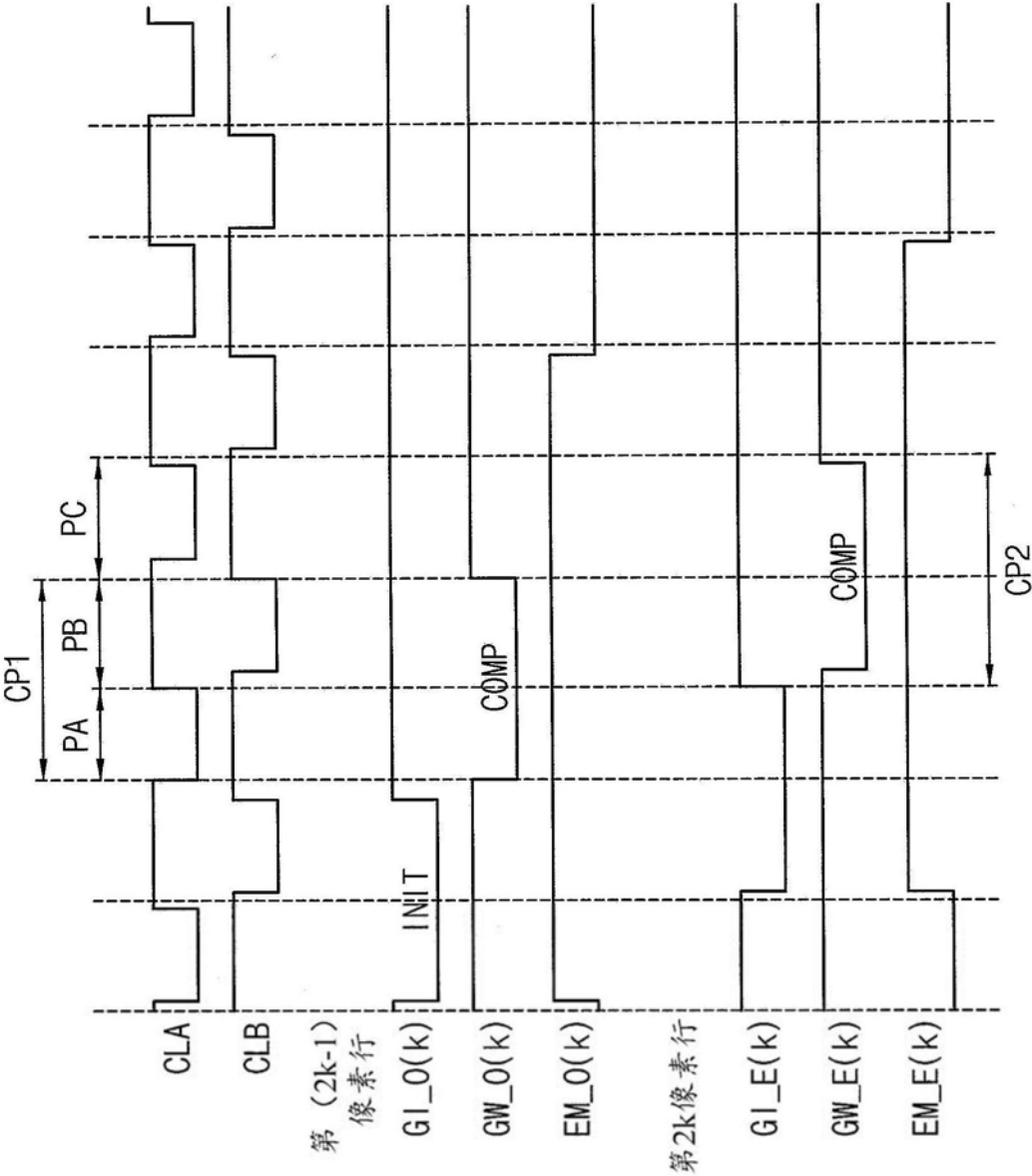


图19

专利名称(译)	有机发光显示设备		
公开(公告)号	CN109389941A	公开(公告)日	2019-02-26
申请号	CN201810877351.9	申请日	2018-08-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	梁珍旭 金舜童		
发明人	梁珍旭 金舜童		
IPC分类号	G09G3/3208 G09G3/3266		
CPC分类号	G09G3/3208 G09G3/3266 G09G3/3233 G09G3/3291 G09G2300/0452 G09G2300/0819 G09G2300/0861 G09G2310/0205 G09G2310/0297 G09G2320/043 G09G3/2074 G09G3/3225 G09G2300/043 G09G2320/0204		
代理人(译)	郭艳芳 王琦		
优先权	1020170098728 2017-08-03 KR		
外部链接	Espacenet SIPO		

摘要(译)

有机发光显示设备包括显示面板，该显示面板包括像素组，每个像素组包括像素行中的每一行的多个子像素。栅极驱动器被配置为将初始化信号顺序地提供给像素行，将第一组栅极信号提供给像素组中的第一像素组，将与第一组栅极信号的至少一部分重叠的第二组栅极信号提供给像素组中的第二像素组，将第一组栅极信号顺序地提供给像素行，并且将第二组栅极信号顺序地提供给像素行。发射控制驱动器被配置为将发射控制信号顺序地提供给像素行。数据驱动器被配置为输出数据电压。数据分配器被配置为将数据电压选择性地提供给连接到子像素的数据线。

