



(12)发明专利申请

(10)申请公布号 CN 107845648 A

(43)申请公布日 2018.03.27

(21)申请号 201711055206.4

(22)申请日 2017.10.31

(71)申请人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509

(72)发明人 张鹏

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 27/32(2006.01)

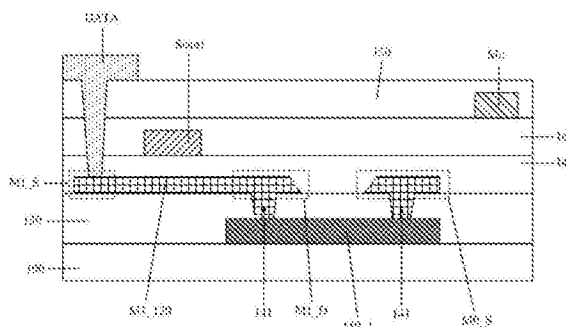
权利要求书1页 说明书6页 附图6页

(54)发明名称

一种阵列基板、有机发光显示面板及显示装置

(57)摘要

本发明公开了一种阵列基板、有机发光显示面板及显示装置,通过设置金属桥接线,以使数据晶体管与驱动晶体管的源极之间通过一条金属桥接线电连接,以及使驱动晶体管的漏极与补偿晶体管之间通过另一条金属桥接线电连接。并且,金属桥接线的材料为金属材料,且金属材料的方块电阻小于重掺杂半导体材料的方块电阻,从而可以使数据信号输入驱动晶体管的栅极的路径的等效电阻减小,进而可以使数据信号的延迟降低,避免数据信号写入不完全。尤其是将阵列基板应用于高分辨率显示面板中时,可以避免数据信号写入不完全,进一步提高显示均一性。



1. 一种阵列基板, 其特征在于, 包括: 衬底基板、位于所述衬底基板上的像素驱动电路、数据线、与各所述像素驱动电路对应设置且相互绝缘的金属桥接线;

所述像素驱动电路包括: 驱动晶体管、连接于一条数据线与所述驱动晶体管的源极之间的数据晶体管、以及连接于所述驱动晶体管的栅极与漏极之间的补偿晶体管; 其中, 所述数据晶体管与所述驱动晶体管的源极之间通过对应的一条金属桥接线电连接, 所述驱动晶体管的漏极与所述补偿晶体管之间通过对应的另一条金属桥接线电连接。

2. 如权利要求1所述的阵列基板, 其特征在于, 所述数据晶体管的有源层的源极区与一条所述数据线电连接, 所述数据晶体管的有源层的漏极区通过对应的一条所述金属桥接线与所述驱动晶体管的有源层的源极区电连接, 所述驱动晶体管的有源层的漏极区通过对应的另一条所述金属桥接线与所述补偿晶体管的有源层的源极区电连接, 所述补偿晶体管的有源层的漏极区与所述驱动晶体管的栅极电连接。

3. 如权利要求2所述的阵列基板, 其特征在于, 所述阵列基板还包括: 覆盖所述衬底基板且位于所述像素驱动电路与所述衬底基板之间的缓冲层;

各所述金属桥接线位于所述缓冲层与所述衬底基板之间; 并且, 所述数据晶体管的有源层的漏极区与所述驱动晶体管的有源层的源极区分别通过贯穿所述缓冲层的第一过孔与对应的金属桥接线电连接;

所述补偿晶体管的有源层的源极区与所述驱动晶体管的有源层的漏极区分别通过贯穿所述缓冲层的第二过孔与对应的金属桥接线电连接。

4. 如权利要求1所述的阵列基板, 其特征在于, 所述像素驱动电路还包括: 存储电容; 所述金属桥接线与所述存储电容的一个电极同层同材质且相互绝缘设置。

5. 如权利要求1所述的阵列基板, 其特征在于, 所述像素驱动电路还包括存储电容, 所述阵列基板还包括用于形成所述存储电容的一个电极的金属层; 所有晶体管的栅极同层设置, 所述金属层位于所述驱动晶体管的栅极与所述数据线之间;

各所述金属桥接线位于所述金属层与所述数据线所在层之间, 并且各所述金属桥接线分别与所述金属层以及所述数据线相互绝缘设置。

6. 如权利要求1所述的阵列基板, 其特征在于, 各所述金属桥接线与所述数据线同层同材质且相互绝缘设置。

7. 如权利要求1所述的阵列基板, 其特征在于, 所述阵列基板还包括栅线, 各所述金属桥接线与所述栅线同层同材质且相互绝缘设置。

8. 如权利要求1-7任一项所述的阵列基板, 其特征在于, 各所述金属桥接线的方块电阻小于 $1\ \Omega/\square$ 。

9. 如权利要求8所述的阵列基板, 其特征在于, 各所述金属桥接线的材料为Mo, 且所述金属桥接线的方块电阻为 $0.54\ \Omega/\square$ 。

10. 如权利要求8所述的阵列基板, 其特征在于, 各所述金属桥接线的材料为层叠设置的Ti、Al、Ti, 且所述金属桥接线的方块电阻为 $0.07\ \Omega/\square$ 。

11. 一种有机发光显示面板, 其特征在于, 包括如权利要求1-10任一项所述的阵列基板。

12. 一种显示装置, 其特征在于, 包括如权利要求11所述的有机发光显示面板。

一种阵列基板、有机发光显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种阵列基板、有机发光显示面板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)是当今平板显示器研究领域的热点之一,与液晶显示器(Liquid Crystal Display,LCD)相比,OLED显示器具有低能耗、自发光、宽视角及响应速度快等优点。目前,在手机、平板电脑、数码相机等显示领域,OLED显示器已经开始取代传统的LCD显示器。与LCD利用稳定的电压控制亮度不同,OLED属于电流驱动,需要稳定的电流来控制其发光。一般OLED显示器通过其像素中的像素驱动电路的驱动晶体管来驱动OLED发光。

[0003] 一般像素驱动电路包括多个晶体管,并通过晶体管之间电连接传输信号以驱动OLED发光。目前,像素驱动电路中的晶体管的有源层一般采用多晶硅(polycrystalline silicon)半导体材料制备而成。在实际制备过程中,一般通过对多晶硅半导体材料进行重掺杂后形成的走线使不同晶体管的有源层电连接,以使晶体管之间传输信号。然而,重掺杂多晶硅半导体材料形成的走线的电阻较大,使得数据信号传输的延迟较大,从而导致写入数据信号的时间较长,进而使得数据信号写入不完全,影响显示均一性。

发明内容

[0004] 本发明实施例提供一种阵列基板、有机发光显示面板及显示装置,用以降低数据信号的输入延迟问题。

[0005] 因此,本发明实施例提供了一种阵列基板,包括:衬底基板、位于所述衬底基板上的像素驱动电路、数据线、与各所述像素驱动电路对应设置且相互绝缘的金属桥接线;

[0006] 所述像素驱动电路包括:驱动晶体管、连接于一条数据线与所述驱动晶体管的源极之间的数据晶体管、以及连接于所述驱动晶体管的栅极与漏极之间的补偿晶体管;其中,所述数据晶体管与所述驱动晶体管的源极之间通过对应的一条金属桥接线电连接,所述驱动晶体管的漏极与所述补偿晶体管之间通过对应的另一条金属桥接线电连接。

[0007] 相应地,本发明实施例还提供了一种有机发光显示面板,包括本发明实施例提供的上述任一种阵列基板。

[0008] 相应地,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述有机发光显示面板。

[0009] 本发明有益效果如下:

[0010] 本发明实施例提供的阵列基板、有机发光显示面板及显示装置,通过设置金属桥接线,以使数据晶体管与驱动晶体管的源极之间通过一条金属桥接线电连接,以及使驱动晶体管的漏极与补偿晶体管之间通过另一条金属桥接线电连接。并且,金属桥接线的材料为金属材料,且金属材料的方块电阻小于重掺杂半导体材料的方块电阻,从而可以使数据

信号输入驱动晶体管的栅极的路径的等效电阻减小,进而可以使数据信号的延迟降低,避免数据信号写入不完全。尤其是将阵列基板应用于高分辨率显示面板中时,可以避免数据信号写入不完全,进一步提高显示均一性。

附图说明

- [0011] 图1为相关技术中的像素驱动电路的具体结构示意图;
- [0012] 图2为图1所示的像素驱动电路对应的电路时序图;
- [0013] 图3为本发明实施例提供的阵列基板的俯视结构示意图;
- [0014] 图4为本发明实施例提供的阵列基板的局部结构示意图之一;
- [0015] 图5为本发明实施例提供的阵列基板的局部结构示意图之二;
- [0016] 图6为本发明实施例提供的阵列基板的局部结构示意图之三;
- [0017] 图7为本发明实施例提供的阵列基板的局部结构示意图之四;
- [0018] 图8为本发明实施例提供的阵列基板的局部结构示意图之五;
- [0019] 图9为本发明实施例提供的阵列基板的局部结构示意图之六;
- [0020] 图10为本发明实施例提供的显示装置的结构示意图。

具体实施方式

[0021] 如图1所示,给出了一种像素驱动电路的具体结构示意图。该像素驱动电路包括:驱动晶体管M0、连接于一条数据线DATA与所述驱动晶体管M0的源极之间的数据晶体管M1、连接于所述驱动晶体管M0的栅极与漏极之间的补偿晶体管M2、连接于所述驱动晶体管M0的栅极与参考信号线VREF之间的初始化晶体管M3、连接于参考信号线VREF与有机发光二极管OLED的阳极之间的复位晶体管M4、连接于第一电源线PVDD与所述驱动晶体管M0的源极之间的第一发光控制晶体管M5、连接于所述驱动晶体管M0的漏极与有机发光二极管OLED的阳极之间的第二发光控制晶体管M6、以及连接于驱动晶体管M0的栅极与第一电源线PVDD之间的存储电容Cst。并且,数据晶体管M1的栅极与补偿晶体管M2的栅极均与一条栅线Scan2电连接,初始化晶体管M3的栅极与复位晶体管M4的栅极均与另一条栅线Scan1电连接,第一发光控制晶体管M5的栅极与第二发光控制晶体管M6的栅极均与一条发光控制信号线Emit电连接。

[0022] 图1所示的像素驱动电路对应的电路时序图,如图2所示。具体地,在初始化阶段T1,栅线Scan1上的信号gate1控制初始化晶体管M3与复位晶体管M4均导通;其中,导通的初始化晶体管M3将参考信号线VREF上的参考信号vref提供给驱动晶体管M0的栅极,以对驱动晶体管M0的栅极进行初始化;导通的复位晶体管M4将参考信号vref提供给有机发光二极管OLED的阳极,以对有机发光二极管OLED的阳极进行复位。在阈值补偿阶段T2,栅线Scan2上的信号gate2控制数据晶体管M1与补偿晶体管M2均导通;其中,导通的补偿晶体管M2使驱动晶体管M0的栅极与漏极导通,以使驱动晶体管M0形成二极管连接状态;导通的数据晶体管M1将数据线DATA上的数据信号data提供给驱动晶体管M0的源极,并通过二极管连接状态的驱动晶体管M0,将数据信号的电压 V_{data} 与驱动晶体管M0的阈值电压 V_{th} 写入驱动晶体管M0的栅极,使驱动晶体管M0的栅极电压变为: $V_{data}-|V_{th}|$,并存储于存储电容Cst中。在发光阶段T3,发光控制信号线Emit的信号emit控制第一发光控制晶体管M5与第二发光控制晶体管M6

均导通；其中，导通的第一发光控制晶体管M5将第一电源线PVDD上的信号提供给驱动晶体管M0的源极，使驱动晶体管M0的源极电压为第一电源线PVDD的电压 V_{dd} 。此时驱动晶体管M0处于饱和状态，驱动晶体管M0产生的驱动电流 I_L 满足公式： $I_L = K(V_{sg} - |V_{th}|)^2 = K(V_{dd} - V_{data})^2$ 。导通的第二发光控制晶体管M6将驱动晶体管M0的漏极与有机发光二极管OLED的阳极导通，以将驱动晶体管M0产生的驱动电流 I_L 提供给有机发光二极管OLED，驱动有机发光二极管OLED发光。

[0023] 目前，通常采用多晶硅半导体材料通过构图工艺以形成晶体管的有源层，并且为了合理布局像素空间，对多晶硅半导体材料中除有源层沟道区之外的部分进行重掺杂并通过构图工艺形成晶体管之间的电性连接走线，以实现晶体管之间的信号传输。因此，目前，数据晶体管与驱动晶体管之间以及驱动晶体管以及补偿晶体管之间均是采用重掺杂半导体材料电连接的，然而，采用重掺杂多晶硅半导体材料形成的走线的方块电阻一般为 $2000\ \Omega/\square$ ，使得数据信号通过数据晶体管、驱动晶体管以及补偿晶体管写入驱动晶体管的栅极的路径中的等效电阻较大，从而导致数据信号输入的延迟较大，使得写入数据信号的时间较长，造成数据信号写入不完全，进而影响采用上述工艺制备的显示面板显示的均一性。

[0024] 有鉴于此，本发明实施例提供了一种阵列基板、有机发光显示面板及显示装置。

[0025] 为了使本发明的目的，技术方案和优点更加清楚，下面结合附图，对本发明实施例提供的阵列基板、有机发光显示面板及显示装置的具体实施方式进行详细地说明。应当理解，下面所描述的优选实施例仅用于说明和解释本发明，并不用于限定本发明。并且在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互组合。并且一般像素驱动电路具有多种结构，只要像素驱动电路中具有上述驱动晶体管、数据晶体管以及补偿晶体管的连接方式，均属于本发明的保护范围，在此不作赘述。

[0026] 附图中各层薄膜厚度、大小以及形状均不反映阵列基板的真实比例，目的只是示意说明本发明内容。

[0027] 结合图1、以及图3至图5所示，图3为图1所示的像素驱动电路在阵列基板上的布局(Layout)图；图4为图3所示的布局图中沿AA'方向的剖视结构示意图，图5为图3所示的布局图中沿BB'方向的剖视结构示意图。本发明实施例提供的阵列基板，可以包括：衬底基板100、位于衬底基板100上的像素驱动电路(图3至图5仅示出图1所示的像素驱动电路中部分晶体管的结构)、数据线DATA、与各像素驱动电路对应设置且相互绝缘的金属桥接线110_m ($m=1,2$)；其中，像素驱动电路包括：驱动晶体管M0、连接于一条数据线DATA与驱动晶体管M0的源极之间的数据晶体管M1、以及连接于驱动晶体管M0的栅极与漏极之间的补偿晶体管M2；其中，数据晶体管M1与驱动晶体管M0的源极之间通过对应的一条金属桥接线110₁电连接，驱动晶体管M0的漏极与补偿晶体管M2之间通过对应的另一条金属桥接线110₂电连接。

[0028] 本发明实施例提供的上述阵列基板，通过设置金属桥接线，以使数据晶体管与驱动晶体管的源极之间通过一条金属桥接线电连接，以及使驱动晶体管的漏极与补偿晶体管之间通过另一条金属桥接线电连接。并且，金属桥接线的材料为金属材料，且金属材料的方块电阻小于重掺杂半导体材料的方块电阻，从而可以使数据信号输入驱动晶体管的栅极的路径的等效电阻减小，进而可以使数据信号的延迟降低，避免数据信号写入不完全。尤其是将阵列基板应用于高分辨率显示面板中时，可以避免数据信号写入不完全，进一步提高显示均一性。

[0029] 在实际应用中,一般采用方块电阻表征某种材料的导电能力。在具体实施时,在本发明实施例提供的阵列基板中,各金属桥接线的方块电阻小于 $1\Omega/\square$ 。具体地,在具体实施时,各金属桥接线的材料可以为单层金属薄膜,例如,可以为Mo,且金属桥接线的方块电阻为 $0.54\Omega/\square$ 。或者,各金属桥接线的材料也可以为层叠设置的复合金属薄膜,例如可以为层叠设置的Ti、Al、Ti,且金属桥接线的方块电阻为 $0.07\Omega/\square$ 。当然,在实际应用中,各金属桥接线的材料还可以为其他具有小于 $1\Omega/\square$ 的方块电阻的金属材料,并且方块电阻的数值需要根据实际应用环境来设计确定,且其数值越小越好,在此不作限定。

[0030] 在具体实施时,在本发明实施例提供的阵列基板中,结合图3至图5所示,数据晶体管M1的有源层M1_120的源极区M1_S与对应的一条数据线DATA电连接,数据晶体管M1的有源层的漏极区M1_D通过对应的一条金属桥接线110_1与驱动晶体管M0的有源层M0_120的源极区M0_S电连接,驱动晶体管M0的有源层M0_120的漏极区M0_D通过对应的另一条金属桥接线110_2与补偿晶体管M2的有源层M2_120的源极区M2_S电连接,补偿晶体管M2的有源层M2_120的漏极区M2_D与驱动晶体管M0的栅极M0_G电连接。这样除数据晶体管M1的有源层M1_120、驱动晶体管M0的有源层M0_120、以及补偿晶体管M2的有源层M2_120之外,可以使数据信号通过电阻较小的金属桥接线传输,从而可以降低数据信号的延迟,降低数据信号的写入时间,改善显示效果。

[0031] 在具体实施时,如图4与图5所示,阵列基板还可以包括:覆盖所述衬底基板100且位于所述像素驱动电路与所述衬底基板100之间的缓冲层130。在本发明实施例提供的上述显示面板中,结合图3至图5所示,显示面板还包括:依次位于缓冲层130背离衬底基板100一侧的有源层M1_120、M2_120(仅以数据晶体管M1的有源层M1_120以及补偿晶体管M2的有源层M2_120为例)、栅绝缘层140、栅极、层间绝缘层150、以及与栅极绝缘设置且有源层电连接的源漏极。其中,为了向像素驱动电路中的晶体管的栅极输入信号,一般在衬底基板上还设置栅线,并且一般栅线与晶体管的栅极同层同材质设置,以及数据线与晶体管的源漏极同层同材质设置。因此,晶体管的栅极所在层可以参见图4与图5中的栅线Scan1所在层,晶体管的源漏极可以参见图4中的数据线DATA所在层。

[0032] 另外,像素驱动电路还包括存储电容,阵列基板一般还包括用于形成存储电容的一个电极的金属层,且所有晶体管的栅极同层设置,该金属层位于驱动晶体管的栅极与数据线之间。结合图3至图5所示,在数据线DATA所在层与栅线Scan1所在层之间设置与晶体管的源漏极均绝缘的金属层Mc,且在金属层Mc所在层与栅线Scan1所在层之间还设置有层间介质层160;并且,金属层Mc在衬底基板100的正投影与驱动晶体管M0的栅极M0_G在衬底基板100的正投影至少具有交叠区域,该交叠区域形成了像素驱动电路中的存储电容。其中,金属层Mc可以作为存储电容的第一电极,处于交叠区域中的栅极M0_G可以作为存储电容的第二电极。当然,存储电容的具体结构也可以采用其他实现方式,在此不作限定。

[0033] 在具体实施时,在本发明实施例提供的阵列基板中,如图4与图5所示,各金属桥接线110_m可以位于缓冲层130与衬底基板100之间。其中,如图4所示,数据晶体管的有源层的漏极区M1_D与驱动晶体管的有源层的源极区M0_S分别通过贯穿缓冲层130的第一过孔141与对应的金属桥接线110_1电连接。如图5所示,补偿晶体管的有源层的源极区M2_S与驱动晶体管的有源层的漏极区M0_D分别通过贯穿缓冲层130的第二过孔142与对应的金属桥接线110_2电连接。

[0034] 在具体实施时,在本发明实施例提供的阵列基板中,各金属桥接线也可以与数据线同层同材质且相互绝缘设置。这样可以采用一次构图工艺同时形成数据线与各金属桥接线,可以简化制备工艺,降低生产成本。具体地,以金属桥接线110_1为例,如图6所示,金属桥接线110_1与数据线DATA同层同材质且相互绝缘设置。并且,金属桥接线110_1通过贯穿栅绝缘层140、层间介质层160以及层间绝缘层150的过孔分别与数据晶体管的有源层的漏极区M1_D以及驱动晶体管的有源层的源极区M0_S电连接。

[0035] 在具体实施时,在本发明实施例提供的阵列基板中,各金属桥接线也可以与栅线同层同材质且相互绝缘设置。具体地,以金属桥接线110_1为例,如图7所示,金属桥接线110_1也可以与栅线Scan1同层同材质且相互绝缘设置。并且,金属桥接线110_1通过贯穿栅绝缘层140的过孔分别与数据晶体管的有源层的漏极区M1_D以及驱动晶体管的有源层的源极区M0_S电连接。

[0036] 在具体实施时,在本发明实施例提供的阵列基板中,金属桥接线也可以与存储电容的一个电极同层同材质且相互绝缘设置。这样可以采用一次构图工艺同时形成存储电容的一个电极与各金属桥接线,可以简化制备工艺,降低生产成本。具体地,以金属桥接线110_1为例,如图8所示,金属桥接线110_1可以与存储电容的第一电极,即金属层Mc同层同材质且相互绝缘设置。并且,金属桥接线110_1通过贯穿栅绝缘层140与层间介质层160的过孔分别与数据晶体管的有源层的漏极区M1_D以及驱动晶体管的有源层的源极区M0_S电连接。当然,在交叠区域中的栅极作为存储电容的第二电极时,金属桥接线即与栅线同层同材质且相互绝缘设置。

[0037] 当然,还可以通过额外设置的一层金属膜层以制备金属桥接层,在所述阵列基板还包括用于形成所述存储电容的一个电极的金属层以及所有晶体管的栅极同层设置且金属层位于所述驱动晶体管的栅极与所述数据线之间时,在本发明实施例提供的阵列基板中,各金属桥接线也可以位于金属层与数据线所在层之间,并且各金属桥接线分别与金属层以及数据线相互绝缘设置。具体地,以金属桥接线110_1为例,如图9所示,金属桥接线110_1位于金属层Mc与数据线DATA所在层之间,并且金属桥接线110_1与金属层Mc之间设置有层间绝缘层150,以使金属桥接线110_1与金属层Mc相互绝缘;以及金属桥接线110_1与数据线DATA之间设置有数据绝缘层170,以使金属桥接线110_1与数据线DATA相互绝缘。并且,金属桥接线110_1通过贯穿层间绝缘层150、层间介质层160以及栅绝缘层140的过孔分别与数据晶体管的有源层的漏极区M1_D以及驱动晶体管的有源层的源极区M0_S电连接。

[0038] 基于同一发明构思,本发明实施例还提供了一种有机发光显示面板,包括本发明实施例提供的上述任一种阵列基板。该有机发光显示面板解决问题的原理与前述阵列基板相似,因此该有机发光显示面板的实施可以参见前述阵列基板的实施,重复之处在此不再赘述。

[0039] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述有机发光显示面板。

[0040] 在具体实施时,本发明实施例提供的显示装置可以为图10所示的全面屏手机。当然,本发明实施例提供的显示装置也可以为平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限

制。该显示装置的实施可以参见上述阵列基板的实施例,重复之处不再赘述。

[0041] 本发明实施例提供的阵列基板、有机发光显示面板及显示装置,通过设置金属桥接线,以使数据晶体管与驱动晶体管的源极之间通过一条金属桥接线电连接,以及使驱动晶体管的漏极与补偿晶体管之间通过另一条金属桥接线电连接。并且,金属桥接线的材料为金属材料,且金属材料的方块电阻小于重掺杂半导体材料的方块电阻,从而可以使数据信号输入驱动晶体管的栅极的路径的等效电阻减小,进而可以使数据信号的延迟降低,避免数据信号写入不完全。尤其是将阵列基板应用于高分辨率显示面板中时,可以避免数据信号写入不完全,进一步提高显示均一性。

[0042] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

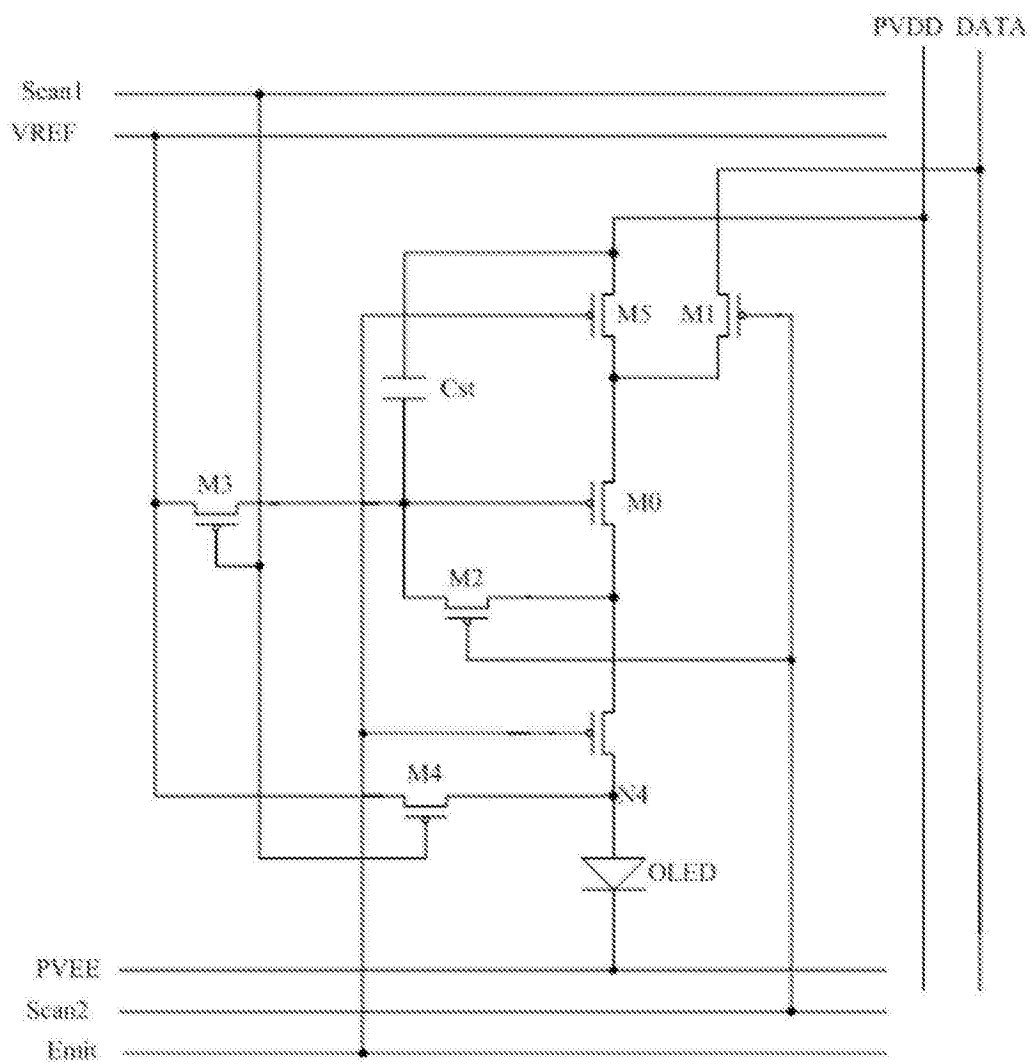


图 1

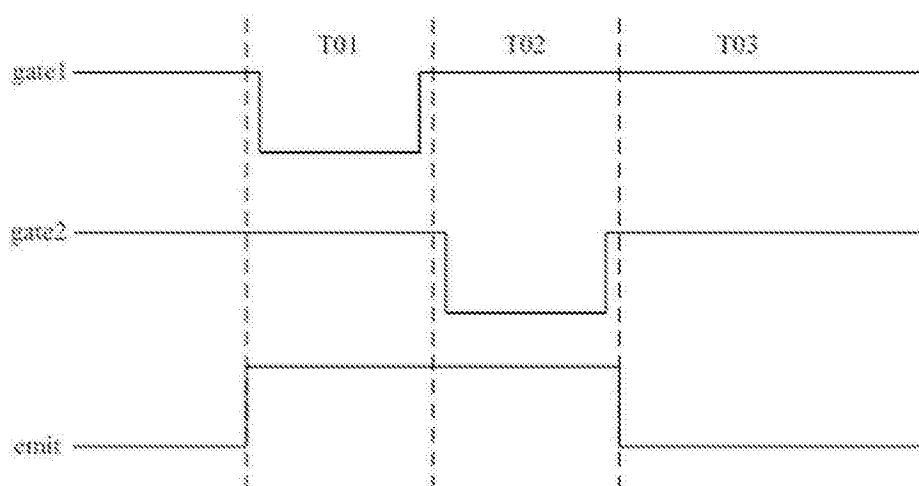


图 2

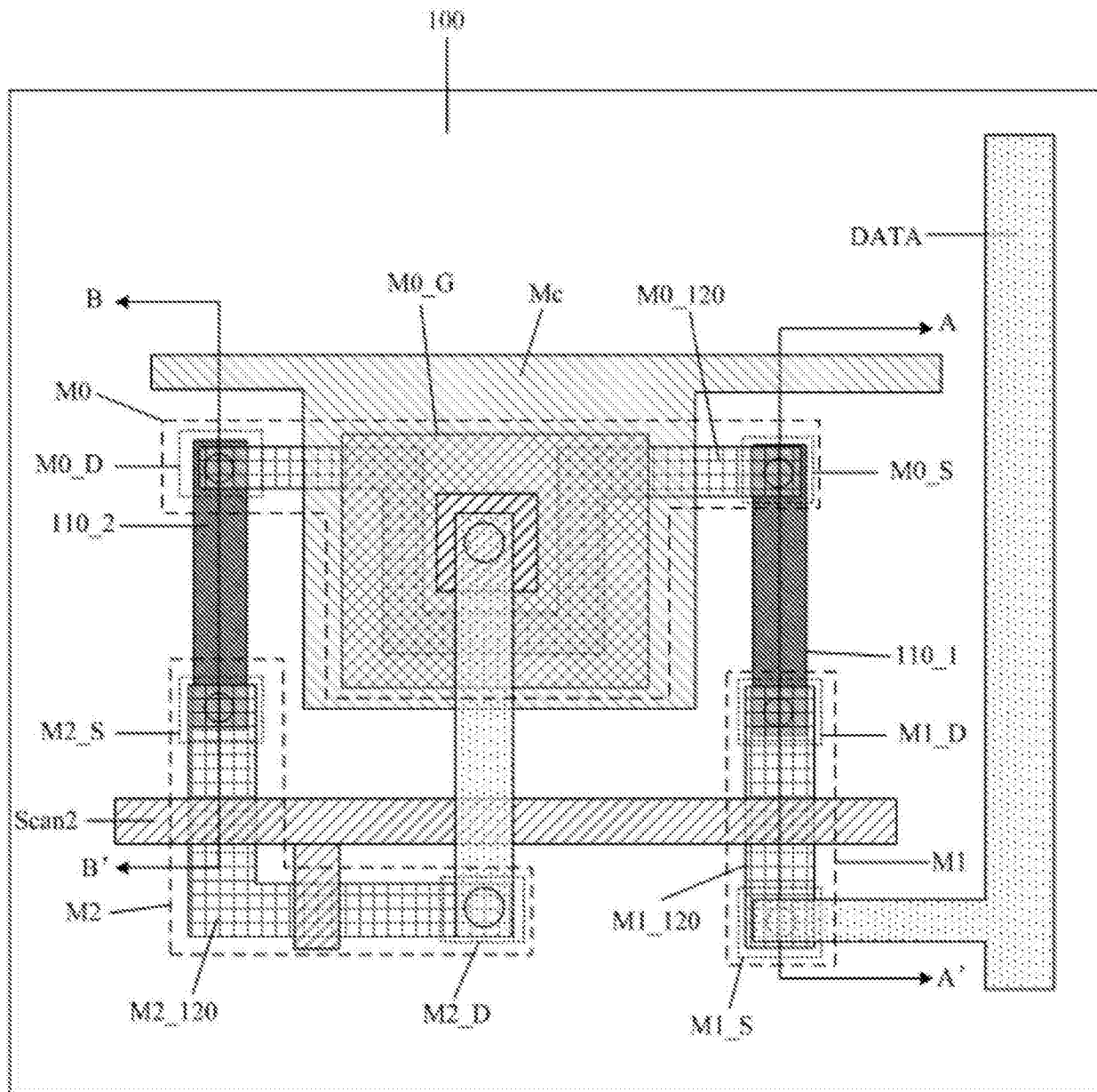


图3

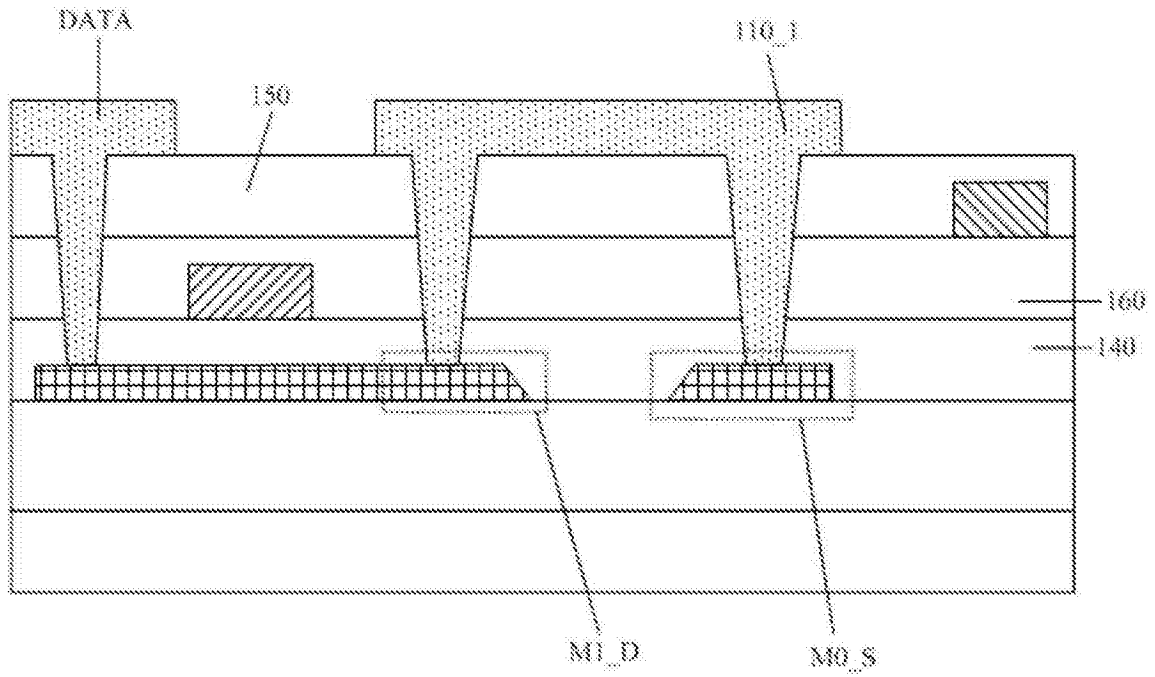


图6

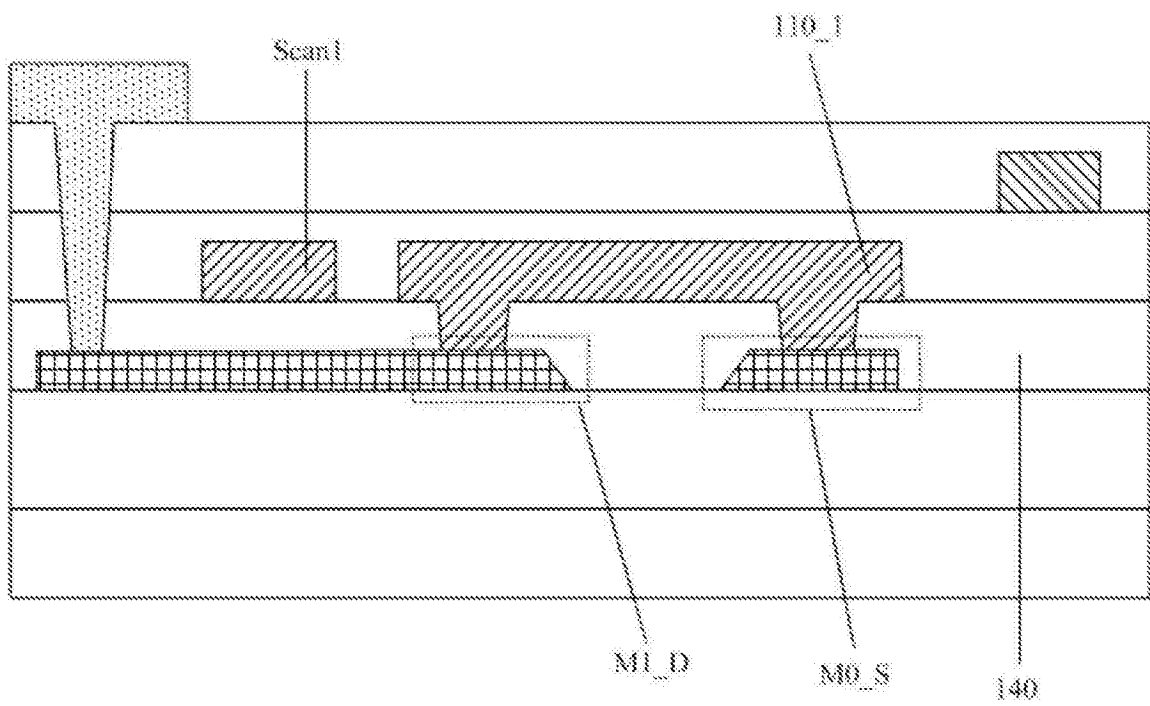


图7

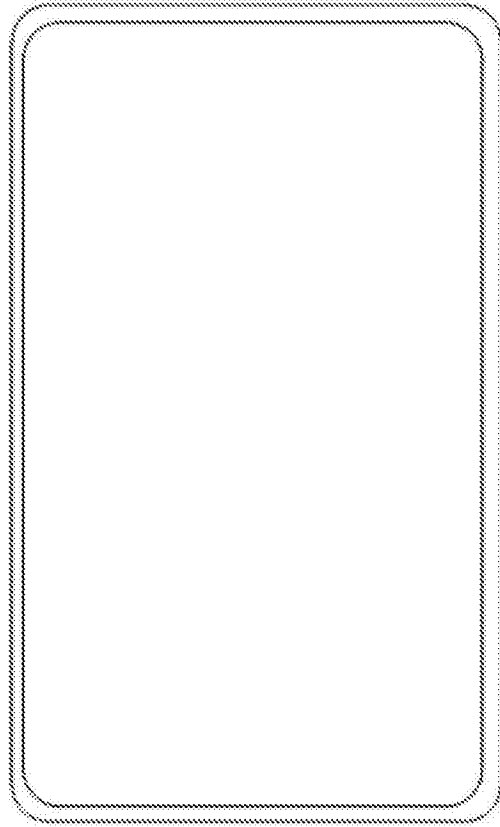


图10

