



(12)发明专利申请

(10)申请公布号 CN 107610640 A

(43)申请公布日 2018.01.19

(21)申请号 201710897464.0

(22)申请日 2017.09.28

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 玄明花 王磊 肖丽 杨盛际

卢鹏程 陈小川

(74)专利代理机构 北京正理专利代理有限公司

11257

代理人 付生辉

(51)Int.Cl.

G09G 3/32(2016.01)

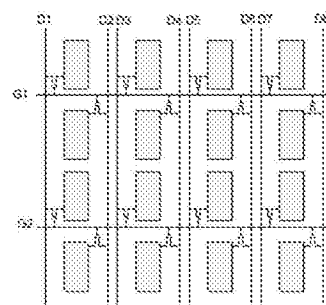
权利要求书6页 说明书13页 附图4页

(54)发明名称

一种阵列基板及驱动方法、显示面板和显示设备

(57)摘要

本发明公开了一种阵列基板,包括 m 行 n 列子像素,使用一根栅极线同时控制相邻奇数行和偶数行的子像素,使用两根数据线控制一列子像素。本发明公开的实施例提供一种阵列基板及驱动方法、显示面板和显示设备,可对阵列基板进行阈值电压和电阻压降的补偿,提高了驱动电流的均匀性,进而提高了显示面板显示的均匀性,同时减小漏电流以保证黑态时的高对比度,从而提高了高分辨率电致发光二极管的阵列基板、显示面板、显示设备的显示效果。



1. 一种阵列基板,其特征在于,包括:

m行n列子像素;

多根栅极线,当 $i < (m+1)/2$ 时,第i根栅极线驱动第 $(2i-1)$ 行和第 $2i$ 行的所述子像素;若m为奇数,当 $i = (m+1)/2$ 时,第i根栅极线驱动第m行的所述子像素;

多根数据线;每一列子像素对应两根数据线,所述两根数据线包括第一数据线和第二数据线,其中,所述第一数据线连接该列中位于奇数行的所述子像素,所述第二数据线连接该列中位于偶数行的所述子像素;

其中m和n为正整数,i为小于等于 $(m+1)/2$ 的正整数。

2. 根据权利要求1所述的阵列基板,其特征在于,还包括第一数据选择器和第二数据选择器,所述第一数据选择器和第二数据选择器包括n个数据选择单元,其中,

所述第一数据选择器的数据选择单元响应于第一数据选择信号向所述每一列子像素的所述第一数据线提供该列子像素的数据信号;

所述第二数据选择器的数据选择单元响应于第二数据选择信号向该列子像素的所述第二数据线提供该列子像素的该数据信号,其中

第一数据选择信号和第二数据选择信号反相位。

3. 根据权利要求2所述的阵列基板,其特征在于,所述每个数据选择单元包括控制端、第一端和第二端,其中,

所述第一数据选择器的数据选择单元的控制端接收所述第一数据选择器的选择信号,第一端连接每一列子像素的所述第一数据线,第二端接收所述数据信号;

所述第二数据选择器的数据选择单元的控制端接收所述第二数据选择器的选择信号;第一端连接每一列子像素的所述第二数据线,第二端接收所述数据信号。

4. 根据权利要求1-3中任一项所述的阵列基板,其特征在于,

所述子像素包括像素电路,所述像素电路包括:电致发光二极管、存储电容、驱动单元和六个开关单元;

其中每个开关单元包括控制端、第一信号端和第二信号端,所述开关单元的控制端输入的控制信号能导通或关断第一信号端和第二信号端;所述驱动单元包括控制端、信号输入端和输出端,所述驱动单元的控制端和信号输入端用于控制在驱动端输出驱动信号;

所述存储电容包括第一端和第二端,第一端输入第一电源信号,第二端连接所述驱动单元的控制端,该存储电容用于保持驱动单元控制端的电位;

所述电致发光二极管包括第一端和第二端,第一端连接所述驱动单元的输出端,第二端输入第二电源信号,该电致发光二极管用于响应发光控制信号进行发光;

所述驱动单元的控制端连接所述存储电容的第二端,信号输入端输入第一电源信号或所述数据线上的数据信号,输出端连接所述电致发光二极管的第一端,该驱动单元用于驱动所述电致发光二极管进行发光;

第一开关单元的控制端输入复位控制信号,第一信号端输入复位电源信号,第二信号端连接所述驱动单元的控制端,该开关单元用于响应复位控制信号而导通,以将复位电源信号传输至所述驱动单元的控制端;

第二开关单元的控制端输入写入控制信号,第一信号端连接所述驱动单元的控制端,第二信号端连接所述驱动单元的输出端,该开关单元用于响应所述栅极线上的写入控制信

号而导通,以连通所述驱动单元的控制端和所述驱动单元的输出端;

第四开关单元的控制端输入发光控制信号,第一信号端输入第一电源信号,第二信号端连接所述驱动单元的信号输入端,该开关单元用于响应发光控制信号而导通,以将所述第一电源信号传输至所述驱动单元的信号输入端;

第五开关单元的控制端输入发光控制信号,第一信号端连接所述驱动单元的输出端,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述发光控制信号而导通,以将所述驱动单元输出端的信号传输至所述电致发光二极管的第一端;

第六开关单元的控制端输入写入控制信号,第一信号端输入所述数据线上的数据信号,第二信号端连接所述驱动单元的信号输入端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将所述数据线上的数据信号传输至所述驱动单元的信号输入端;

第七开关单元的控制端输入写入控制信号,第一信号端输入复位电源信号,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将复位电源信号传输至所述电致发光二极管的第一端。

5. 根据权利要求4所述的阵列基板,其特征在于,

所述第一开关单元、第二开关单元、第四开关单元至第七开关单元为开关晶体管,所述开关晶体管的栅极用作所述开关单元的控制端,所述开关晶体管的源极用作所述开关单元的第一信号端或第二信号端,所述开关晶体管的漏极用作所述开关单元的第二信号端或第一信号端;

所述驱动单元为驱动晶体管,所述驱动晶体管的栅极用作所述驱动单元的控制端,所述驱动晶体管的源极用作所述驱动单元的信号输入端,所述驱动晶体管的漏极用作所述驱动单元的输出端。

6. 根据权利要求1-3中任一项所述的阵列基板,其特征在于,

所述子像素包括像素电路,所述像素电路包括:电致发光二极管、存储电容、驱动单元和七个开关单元;

其中每个开关单元包括控制端、第一信号端和第二信号端,所述开关单元的控制端输入的控制信号能导通或关断第一信号端和第二信号端;所述驱动单元包括控制端、信号输入端和输出端,所述驱动单元的控制端和信号输入端用于控制在驱动端输出驱动信号;

所述存储电容包括第一端和第二端,第一端输入参考电源信号或所述数据线上的数据信号,第二端连接所述驱动单元的控制端,该存储电容用于保持驱动单元控制端的电位;

所述电致发光二极管包括第一端和第二端,第一端连接所述驱动单元的输出端,第二端输入第二电源信号,该电致发光二极管用于响应发光控制信号进行发光;

所述驱动单元的控制端连接所述存储电容的第二端,信号输入端输入第一电源信号,输出端连接所述电致发光二极管的第一端,该驱动单元用于驱动所述电致发光二极管进行发光;

第一开关单元的控制端输入复位控制信号,第一信号端输入复位电源信号,第二信号端连接所述驱动单元的控制端,该开关单元用于响应复位控制信号而导通,以将复位电源信号传输至所述驱动单元的控制端;

第二开关单元的控制端输入写入控制信号,第一信号端连接所述驱动单元的控制端,第二信号端连接所述驱动单元的输出端,该开关单元用于响应所述栅极线上的写入控制信

号而导通,以连通所述驱动单元的控制端和所述驱动单元的输出端;

第四开关单元的控制端输入写入控制信号,第一信号端输入所述数据线上的数据信号,第二信号端连接所述存储电容的第一端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将所述数据线上的数据信号传输至存储电容的第一端;

第五开关单元的控制端输入复位控制信号,第一信号端输入参考电源信号,第二信号端连接所述存储电容的第一端,该开关单元用于响应所述复位控制信号而导通,以将所述参考电源信号传输至所述存储电容的第一端;

第六开关单元的控制端输入发光控制信号,第一信号端输入参考电源信号,第二信号端连接所述存储电容的第一端,该开关单元用于响应所述发光控制信号而导通,以将所述参考电源信号传输至所述存储电容的第一端;

第七开关单元的控制端输入发光控制信号,第一信号端连接所述驱动单元的输出端,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述发光控制信号而导通,以将所述驱动单元输出端的信号传输至所述电致发光二极管的第一端;

第八开关单元的控制端输入写入控制信号,第一信号端输入复位电源信号,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将复位电源信号传输至所述电致发光二极管的第一端。

7. 根据权利要求6所述的阵列基板,其特征在于,

所述第一开关单元、第二开关单元、第四开关单元至第八开关单元为开关晶体管,所述开关晶体管的栅极用作所述开关单元的控制端,所述开关晶体管的源极用作所述开关单元的第一信号端或第二信号端,所述开关晶体管的漏极用作所述开关单元的第二信号端或第一信号端;

所述驱动单元为驱动晶体管,所述驱动晶体管的栅极用作所述驱动单元的控制端,所述驱动晶体管的源极用作所述驱动单元的信号输入端,所述驱动晶体管的漏极用作所述驱动单元的输出端。

8. 一种权利要求1所述阵列基板的驱动方法,其特征在于,所述第 i 根栅极线进行扫描时,由每一列所述子像素的所述第一数据线将所述数据信号传输至第 $(2i-1)$ 行对应的子像素,由每一列所述子像素的所述第二数据线将所述数据信号传输至第 $2i$ 行对应的子像素。

9. 根据权利要求8所述方法,其特征在于,所述阵列基板还包括第一数据选择器和第二数据选择器,所述第一数据选择器和第二数据选择器包括 n 个数据选择单元,

所述驱动方法还包括:

所述第 i 根栅极线进行扫描时,由每一列所述子像素的所述第一数据线通过所述第一数据选择器的所述数据选择单元将所述数据信号传输至第 $(2i-1)$ 行对应的所述子像素;由每一列所述子像素的所述第二数据线通过所述第二数据选择器的所述数据选择单元将所述数据信号传输至第 $2i$ 行对应的所述子像素。

10. 根据权利要求8或9所述的驱动方法,其特征在于,

所述子像素包括像素电路,所述像素电路包括:电致发光二极管、存储电容、驱动单元和六个开关单元;

其中每个开关单元包括控制端、第一信号端和第二信号端,所述开关单元的控制端输入的控制信号能导通或关断第一信号端和第二信号端;所述驱动单元包括控制端、信号输

入端和输出端,所述驱动单元的控制端和信号输入端用于控制在驱动端输出驱动信号;

所述存储电容包括第一端和第二端,第一端输入第一电源信号,第二端连接所述驱动单元的控制端,该存储电容用于保持驱动单元控制端的电位;

所述电致发光二极管包括第一端和第二端,第一端连接所述驱动单元的输出端,第二端输入第二电源信号,该电致发光二极管用于响应发光控制信号进行发光;

所述驱动单元的控制端连接所述存储电容的第二端,信号输入端输入第一电源信号或所述数据线上的数据信号,输出端连接所述电致发光二极管的第一端,该驱动单元用于驱动所述电致发光二极管进行发光;

第一开关单元的控制端输入复位控制信号,第一信号端输入复位电源信号,第二信号端连接所述驱动单元的控制端,该开关单元用于响应复位控制信号而导通,以将复位电源信号传输至所述驱动单元的控制端;

第二开关单元的控制端输入写入控制信号,第一信号端连接所述驱动单元的控制端,第二信号端连接所述驱动单元的输出端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以连通所述驱动单元的控制端和所述驱动单元的输出端;

第四开关单元的控制端输入发光控制信号,第一信号端输入第一电源信号,第二信号端连接所述驱动单元的信号输入端,该开关单元用于响应发光控制信号而导通,以将所述第一电源信号传输至所述驱动单元的信号输入端;

第五开关单元的控制端输入发光控制信号,第一信号端连接所述驱动单元的输出端,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述发光控制信号而导通,以将所述驱动单元输出端的信号传输至所述电致发光二极管的第一端;

第六开关单元的控制端输入写入控制信号,第一信号端输入所述数据线上的数据信号,第二信号端连接所述驱动单元的信号输入端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将所述数据线上的数据信号传输至所述驱动单元的信号输入端;

第七开关单元的控制端输入写入控制信号,第一信号端输入复位电源信号,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将复位电源信号传输至所述电致发光二极管的第一端;

所述驱动方法包括:

复位阶段,利用所述复位控制信号导通所述第一开关单元,并关断所述第二开关单元、第四开关单元、第五开关单元、第六开关单元和第七开关单元,以将所述复位电源传输至所述驱动单元的控制端,所述第一电源和复位电源为存储电容充电;

写入阶段,利用所述栅极线上的写入控制信号导通所述第二开关单元、第六开关单元和第七开关单元,并关断所述第一开关单元、第四开关单元和第五开关单元,以将所述第一电源信号写入所述存储电容的第一端,并将所述数据信号和驱动单元的阈值电压写入所述存储电容的第二端,并将复位电源信号传输至所述子像素;

发光阶段,利用所述发光控制信号导通所述第四和第五开关单元,并关断所述第一开关单元、第二开关单元、第六开关单元和第七开关单元,以通过所述存储电容中的电压信号导通所述驱动单元,使所述第一电源信号驱动所述子像素。

11. 根据权利要求8或9所述的驱动方法,其特征在于,

所述子像素包括像素电路,所述像素电路包括:电致发光二极管、存储电容、驱动单元

和七个开关单元：

其中每个开关单元包括控制端、第一信号端和第二信号端，所述开关单元的控制端输入的控制信号能导通或关断第一信号端和第二信号端；所述驱动单元包括控制端、信号输入端和输出端，所述驱动单元的控制端和信号输入端用于控制在驱动端输出驱动信号；

所述存储电容包括第一端和第二端，第一端输入参考电源信号或所述数据线上的数据信号，第二端连接所述驱动单元的控制端，该存储电容用于保持驱动单元控制端的电位；

所述电致发光二极管包括第一端和第二端，第一端连接所述驱动单元的输出端，第二端输入第二电源信号，该电致发光二极管用于响应发光控制信号进行发光；

所述驱动单元的控制端连接所述存储电容的第二端，信号输入端输入第一电源信号，输出端连接所述电致发光二极管的第一端，该驱动单元用于驱动所述电致发光二极管进行发光；

第一开关单元的控制端输入复位控制信号，第一信号端输入复位电源信号，第二信号端连接所述驱动单元的控制端，该开关单元用于响应复位控制信号而导通，以将复位电源信号传输至所述驱动单元的控制端；

第二开关单元的控制端输入写入控制信号，第一信号端连接所述驱动单元的控制端，第二信号端连接所述驱动单元的输出端，该开关单元用于响应所述栅极线上的写入控制信号而导通，以连通所述驱动单元的控制端和所述驱动单元的输出端；

第四开关单元的控制端输入写入控制信号，第一信号端输入所述数据线上的数据信号，第二信号端连接所述存储电容的第一端，该开关单元用于响应所述栅极线上的写入控制信号而导通，以将所述数据线上的数据信号传输至存储电容的第一端；

第五开关单元的控制端输入复位控制信号，第一信号端输入参考电源信号，第二信号端连接所述存储电容的第一端，该开关单元用于响应所述复位控制信号而导通，以将所述参考电源信号传输至所述存储电容的第一端；

第六开关单元的控制端输入发光控制信号，第一信号端输入参考电源信号，第二信号端连接所述存储电容的第一端，该开关单元用于响应所述发光控制信号而导通，以将所述参考电源信号传输至所述存储电容的第一端；

第七开关单元的控制端输入发光控制信号，第一信号端连接所述驱动单元的输出端，第二信号端连接所述电致发光二极管的第一端，该开关单元用于响应所述发光控制信号而导通，以将所述驱动单元输出端的信号传输至所述电致发光二极管的第一端；

第八开关单元的控制端输入写入控制信号，第一信号端输入复位电源信号，第二信号端连接所述电致发光二极管的第一端，该开关单元用于响应所述栅极线上的写入控制信号而导通，以将复位电源信号传输至所述电致发光二极管的第一端；

所述驱动方法包括：

复位阶段，利用所述复位控制信号导通所述第一开关单元和第五开关单元，并关断所述第二开关单元、第四开关单元、第六开关单元、第七开关单元和第八开关单元，以将所述复位电源传输至所述驱动单元的控制端，所述参考电源和复位电源为存储电容充电；

写入阶段，利用所述写入控制信号导通所述第二开关单元、第四开关单元和第八开关单元，并关断所述第一开关单元、第五开关单元、第六开关单元和第七开关单元，以将所述数据信号写入所述存储电容的第一端，并将所述第一电源信号和驱动单元的阈值电压写入

所述储能元件的第二端,并将复位电源信号传输至所述子像素;

发光阶段,利用所述发光控制信号导通所述第六和第七开关单元,并关断所述第一开关单元、第二开关单元、第四开关单元、第五开关单元和第八开关单元,以将参考电源传输至所述储能元件的第一端,并通过所述存储电容中的电压信号导通所述驱动单元,使所述第一电源信号驱动所述子像素。

12.一种显示面板,其特征在于,包括权利要求1-7任一项所述的阵列基板。

13.一种显示设备,其特征在于,包括权利要求12所述的显示面板。

一种阵列基板及驱动方法、显示面板和显示设备

技术领域

[0001] 本发明涉及显示技术领域,特别是涉及一种阵列基板及驱动方法、显示面板和显示设备。

背景技术

[0002] 电致发光二极管作为一种电流型发光器件,具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点而被广泛的应用于高性能显示领域。但是,在现有的电致发光二极管显示面板中,受限于LTPS (Low Temperature Poly-silicon,低温多晶硅)的工艺问题,各三极管的阈值电压不同,无法精确控制每个像素的控制电流,故需要对每个像素进行阈值电压补偿来实现更均匀和精细的显示面板。随着消费者越来越苛刻的显示需求,对分辨率要求越来越高,导致每个像素的充电时间越来越短,很难在限定的充电时间内补偿阈值电压,导致显示效果不佳。

[0003] 因此需要提供一种提高充电时间的阵列基板及驱动方法、显示面板和显示设备。

发明内容

[0004] 本发明的目的在于提供一种阵列基板及驱动方法、显示面板和显示设备。

[0005] 为达到上述目的,本发明第一方面提供一种阵列基板,包括: m 行 n 列子像素;多根栅极线,当 $i < (m+1)/2$ 时,第 i 根栅极线驱动第 $(2i-1)$ 行和第 $2i$ 行的所述子像素;若 m 为奇数,当 $i = (m+1)/2$ 时,第 i 根栅极线驱动第 m 行的所述子像素;多根数据线;每一列子像素对应两根数据线,所述两根数据线包括第一数据线和第二数据线,其中,所述第一数据线连接该列中位于奇数行的所述子像素,所述第二数据线连接该列中位于偶数行的所述子像素;其中 m 和 n 为正整数, i 为小于等于 $(m+1)/2$ 的正整数。

[0006] 进一步地,所述阵列基板还包括第一数据选择器和第二数据选择器,所述第一数据选择器和第二数据选择器包括 n 个数据选择单元,其中,所述第一数据选择器的数据选择单元响应于第一数据选择信号向所述每一列子像素的所述第一数据线提供该列子像素的数据信号;所述第二数据选择器的数据选择单元响应于第二数据选择信号向该列子像素的所述第二数据线提供该列子像素的该数据信号,其中第一数据选择信号和第二数据选择信号反相位。

[0007] 进一步地,所述每个数据选择单元包括控制端、第一端和第二端,其中,

[0008] 所述第一数据选择器的数据选择单元的控制端接收所述第一数据选择器的选择信号,第一端连接每一列子像素的所述第一数据线,第二端接收所述数据信号;所述第二数据选择器的数据选择单元的控制端接收所述第二数据选择器的选择信号;第一端连接每一列子像素的所述第二数据线,第二端接收所述数据信号。

[0009] 进一步地,所述子像素包括像素电路,所述像素电路包括:电致发光二极管、存储电容、驱动单元和六个开关单元;其中每个开关单元包括控制端、第一信号端和第二信号端,所述开关单元的控制端输入的控制信号能导通或关断第一信号端和第二信号端;所述

驱动单元包括控制端、信号输入端和输出端,所述驱动单元的控制端和信号输入端用于控制在驱动端输出驱动信号;所述存储电容包括第一端和第二端,第一端输入第一电源信号,第二端连接所述驱动单元的控制端,该存储电容用于保持驱动单元控制端的电位;所述电致发光二极管包括第一端和第二端,第一端连接所述驱动单元的输出端,第二端输入第二电源信号,该电致发光二极管用于响应发光控制信号进行发光;所述驱动单元的控制端连接所述存储电容的第二端,信号输入端输入第一电源信号或所述数据线上的数据信号,输出端连接所述电致发光二极管的第一端,该驱动单元用于驱动所述电致发光二极管进行发光;

[0010] 第一开关单元的控制端输入复位控制信号,第一信号端输入复位电源信号,第二信号端连接所述驱动单元的控制端,该开关单元用于响应复位控制信号而导通,以将复位电源信号传输至所述驱动单元的控制端;

[0011] 第二开关单元的控制端输入写入控制信号,第一信号端连接所述驱动单元的控制端,第二信号端连接所述驱动单元的输出端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以连通所述驱动单元的控制端和所述驱动单元的输出端;

[0012] 第四开关单元的控制端输入发光控制信号,第一信号端输入第一电源信号,第二信号端连接所述驱动单元的信号输入端,该开关单元用于响应发光控制信号而导通,以将所述第一电源信号传输至所述驱动单元的信号输入端;

[0013] 第五开关单元的控制端输入发光控制信号,第一信号端连接所述驱动单元的输出端,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述发光控制信号而导通,以将所述驱动单元输出端的信号传输至所述电致发光二极管的第一端;

[0014] 第六开关单元的控制端输入写入控制信号,第一信号端输入所述数据线上的数据信号,第二信号端连接所述驱动单元的信号输入端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将所述数据线上的数据信号传输至所述驱动单元的信号输入端;

[0015] 第七开关单元的控制端输入写入控制信号,第一信号端输入复位电源信号,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将复位电源信号传输至所述电致发光二极管的第一端。

[0016] 进一步地,所述第一开关单元、第二开关单元、第四开关单元至第七开关单元为开关晶体管,所述开关晶体管的栅极用作所述开关单元的控制端,所述开关晶体管的源极用作所述开关单元的第一信号端或第二信号端,所述开关晶体管的漏极用作所述开关单元的第二信号端或第一信号端;所述驱动单元为驱动晶体管,所述驱动晶体管的栅极用作所述驱动单元的控制端,所述驱动晶体管的源极用作所述驱动单元的信号输入端,所述驱动晶体管的漏极用作所述驱动单元的输出端。进一步地,所述子像素包括像素电路,所述像素电路包括:电致发光二极管、存储电容、驱动单元和七个开关单元;其中每个开关单元包括控制端、第一信号端和第二信号端,所述开关单元的控制端输入的控制信号能导通或关断第一信号端和第二信号端;所述驱动单元包括控制端、信号输入端和输出端,所述驱动单元的控制端和信号输入端用于控制在驱动端输出驱动信号;所述存储电容包括第一端和第二端,第一端输入参考电源信号或所述数据线上的数据信号,第二端连接所述驱动单元的控制端,该存储电容用于保持驱动单元控制端的电位;所述电致发光二极管包括第一端和第二端,第一端连接所述驱动单元的输出端,第二端输入第二电源信号,该电致发光二极管用

于响应发光控制信号进行发光;所述驱动单元的控制端连接所述存储电容的第二端,信号输入端输入第一电源信号,输出端连接所述电致发光二极管的第一端,该驱动单元用于驱动所述电致发光二极管进行发光;

[0017] 第一开关单元的控制端输入复位控制信号,第一信号端输入复位电源信号,第二信号端连接所述驱动单元的控制端,该开关单元用于响应复位控制信号而导通,以将复位电源信号传输至所述驱动单元的控制端;

[0018] 第二开关单元的控制端输入写入控制信号,第一信号端连接所述驱动单元的控制端,第二信号端连接所述驱动单元的输出端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以连通所述驱动单元的控制端和所述驱动单元的输出端;

[0019] 第四开关单元的控制端输入写入控制信号,第一信号端输入所述数据线上的数据信号,第二信号端连接所述存储电容的第一端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将所述数据线上的数据信号传输至存储电容的第一端;

[0020] 第五开关单元的控制端输入复位控制信号,第一信号端输入参考电源信号,第二信号端连接所述存储电容的第一端,该开关单元用于响应所述复位控制信号而导通,以将所述参考电源信号传输至所述存储电容的第一端;

[0021] 第六开关单元的控制端输入发光控制信号,第一信号端输入参考电源信号,第二信号端连接所述存储电容的第一端,该开关单元用于响应所述发光控制信号而导通,以将所述参考电源信号传输至所述存储电容的第一端;

[0022] 第七开关单元的控制端输入发光控制信号,第一信号端连接所述驱动单元的输出端,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述发光控制信号而导通,以将所述驱动单元输出端的信号传输至所述电致发光二极管的第一端;

[0023] 第八开关单元的控制端输入写入控制信号,第一信号端输入复位电源信号,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将复位电源信号传输至所述电致发光二极管的第一端。

[0024] 进一步地,所述第一开关单元、第二开关单元、第四开关单元至第八开关单元为开关晶体管,所述开关晶体管的栅极用作所述开关单元的控制端,所述开关晶体管的源极用作所述开关单元的第一信号端或第二信号端,所述开关晶体管的漏极用作所述开关单元的第二信号端或第一信号端;

[0025] 所述驱动单元为驱动晶体管,所述驱动晶体管的栅极用作所述驱动单元的控制端,所述驱动晶体管的源极用作所述驱动单元的信号输入端,所述驱动晶体管的漏极用作所述驱动单元的输出端。

[0026] 本发明第二方面提供一种第一方面的阵列基板的驱动方法,所述第 i 根栅极线进行扫描时,由每一列所述子像素的所述第一数据线将所述数据信号传输至第 $(2i-1)$ 行对应的所述子像素,由每一列所述子像素的所述第二数据线将所述数据信号传输至第 $2i$ 行对应的所述子像素。

[0027] 进一步地,所述阵列基板还包括第一数据选择器和第二数据选择器,所述第一数据选择器和第二数据选择器包括 n 个数据选择单元,所述驱动方法还包括:所述第 i 根栅极线进行扫描时,由每一列所述子像素的所述第一数据线通过所述第一数据选择器的所述数据选择单元将所述数据信号传输至第 $(2i-1)$ 行的对应的所述子像素;由每一列所述子像素

的所述第二数据线通过所述第二数据选择器的所述数据选择单元将所述数据信号传输至第2i行的对应的所述子像素。

[0028] 进一步地,所述子像素包括像素电路,所述像素电路包括:电致发光二极管、存储电容、驱动单元和六个开关单元;其中每个开关单元包括控制端、第一信号端和第二信号端,所述开关单元的控制端输入的控制信号能导通或关断第一信号端和第二信号端;所述驱动单元包括控制端、信号输入端和输出端,所述驱动单元的控制端和信号输入端用于控制在驱动端输出驱动信号;所述存储电容包括第一端和第二端,第一端输入第一电源信号,第二端连接所述驱动单元的控制端,该存储电容用于保持驱动单元控制端的电位;所述电致发光二极管包括第一端和第二端,第一端连接所述驱动单元的输出端,第二端输入第二电源信号,该电致发光二极管用于响应发光控制信号进行发光;所述驱动单元的控制端连接所述存储电容的第二端,信号输入端输入第一电源信号或所述数据线上的数据信号,输出端连接所述电致发光二极管的第一端,该驱动单元用于驱动所述电致发光二极管进行发光;

[0029] 第一开关单元的控制端输入复位控制信号,第一信号端输入复位电源信号,第二信号端连接所述驱动单元的控制端,该开关单元用于响应复位控制信号而导通,以将复位电源信号传输至所述驱动单元的控制端;

[0030] 第二开关单元的控制端输入写入控制信号,第一信号端连接所述驱动单元的控制端,第二信号端连接所述驱动单元的输出端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以连通所述驱动单元的控制端和所述驱动单元的输出端;

[0031] 第四开关单元的控制端输入发光控制信号,第一信号端输入第一电源信号,第二信号端连接所述驱动单元的信号输入端,该开关单元用于响应发光控制信号而导通,以将所述第一电源信号传输至所述驱动单元的信号输入端;

[0032] 第五开关单元的控制端输入发光控制信号,第一信号端连接所述驱动单元的输出端,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述发光控制信号而导通,以将所述驱动单元输出端的信号传输至所述电致发光二极管的第一端;

[0033] 第六开关单元的控制端输入写入控制信号,第一信号端输入所述数据线上的数据信号,第二信号端连接所述驱动单元的信号输入端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将所述数据线上的数据信号传输至所述驱动单元的信号输入端;

[0034] 第七开关单元的控制端输入写入控制信号,第一信号端输入复位电源信号,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将复位电源信号传输至所述电致发光二极管的第一端;

[0035] 所述驱动方法包括:复位阶段,利用所述复位控制信号导通所述第一开关单元,并关断所述第二开关单元、第四开关单元、第五开关单元、第六开关单元和第七开关单元,以将所述复位电源传输至所述驱动单元的控制端,所述第一电源和复位电源为存储电容充电;

[0036] 写入阶段,利用所述栅极线上的写入控制信号导通所述第二开关单元、第六开关单元和第七开关单元,并关断所述第一开关单元、第四开关单元和第五开关单元,以将所述第一电源信号写入所述存储电容的第一端,并将所述数据信号和驱动单元的阈值电压写入所述存储电容的第二端,并将复位电源信号传输至所述子像素;

[0037] 发光阶段,利用所述发光控制信号导通所述第四和第五开关单元,并关断所述第一开关单元、第二开关单元、第六开关单元和第七开关单元,以通过所述存储电容中的电压信号导通所述驱动单元,使所述第一电源信号驱动所述子像素。

[0038] 进一步地,所述子像素包括像素电路,所述像素电路包括:电致发光二极管、存储电容、驱动单元和七个开关单元:其中每个开关单元包括控制端、第一信号端和第二信号端,所述开关单元的控制端输入的控制信号能导通或关断第一信号端和第二信号端;所述驱动单元包括控制端、信号输入端和输出端,所述驱动单元的控制端和信号输入端用于控制在驱动端输出驱动信号;所述存储电容包括第一端和第二端,第一端输入参考电源信号或所述数据线上的数据信号,第二端连接所述驱动单元的控制端,该存储电容用于保持驱动单元控制端的电位;所述电致发光二极管包括第一端和第二端,第一端连接所述驱动单元的输出端,第二端输入第二电源信号,该电致发光二极管用于响应发光控制信号进行发光;所述驱动单元的控制端连接所述存储电容的第二端,信号输入端输入第一电源信号,输出端连接所述电致发光二极管的第一端,该驱动单元用于驱动所述电致发光二极管进行发光;

[0039] 第一开关单元的控制端输入复位控制信号,第一信号端输入复位电源信号,第二信号端连接所述驱动单元的控制端,该开关单元用于响应复位控制信号而导通,以将复位电源信号传输至所述驱动单元的控制端;

[0040] 第二开关单元的控制端输入写入控制信号,第一信号端连接所述驱动单元的控制端,第二信号端连接所述驱动单元的输出端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以连通所述驱动单元的控制端和所述驱动单元的输出端;

[0041] 第四开关单元的控制端输入写入控制信号,第一信号端输入所述数据线上的数据信号,第二信号端连接所述存储电容的第一端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将所述数据线上的数据信号传输至存储电容的第一端;

[0042] 第五开关单元的控制端输入复位控制信号,第一信号端输入参考电源信号,第二信号端连接所述存储电容的第一端,该开关单元用于响应所述复位控制信号而导通,以将所述参考电源信号传输至所述存储电容的第一端;

[0043] 第六开关单元的控制端输入发光控制信号,第一信号端输入参考电源信号,第二信号端连接所述存储电容的第一端,该开关单元用于响应所述发光控制信号而导通,以将所述参考电源信号传输至所述存储电容的第一端;

[0044] 第七开关单元的控制端输入发光控制信号,第一信号端连接所述驱动单元的输出端,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述发光控制信号而导通,以将所述驱动单元输出端的信号传输至所述电致发光二极管的第一端;

[0045] 第八开关单元的控制端输入写入控制信号,第一信号端输入复位电源信号,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将复位电源信号传输至所述电致发光二极管的第一端;

[0046] 所述驱动方法包括:复位阶段,利用所述复位控制信号导通所述第一开关单元和第五开关单元,并关断所述第二开关单元、第四开关单元、第六开关单元、第七开关单元和第八开关单元,以将所述复位电源传输至所述驱动单元的控制端,所述参考电源和复位电源为储能元件充电;

[0047] 写入阶段,利用所述写入控制信号导通所述第二开关单元、第四开关单元和第八开关单元,并关断所述第一开关单元、第五开关单元、第六开关单元和第七开关单元,以将所述数据信号写入所述储能元件的第一端,并将所述第一电源信号和驱动单元的阈值电压写入所述储能元件的第二端,并将复位电源信号传输至所述子像素;

[0048] 发光阶段,利用所述发光控制信号导通所述第六和第七开关单元,并关断所述第一开关单元、第二开关单元、第四开关单元、第五开关单元和第八开关单元,以将参考电源传输至所述储能元件的第一端,并通过所述储能元件中的电压信号导通所述驱动单元,使所述第一电源信号驱动所述子像素。

[0049] 本发明第三方面提供一种显示面板,包括第一方面所述的阵列基板。

[0050] 本发明第四方面提供一种显示设备,包括第三方面的显示面板。

[0051] 本发明的有益效果如下:

[0052] 本发明所述的技术方案通过对栅极信号线、数据信号线和数据选择器的连接方式和架构的设计,能够提高充电时间,通过电压补偿的方式避免驱动晶体管的阈值电压漂移对有源发光器件驱动电流的影响,进而提高了显示图像的均匀性。

附图说明

[0053] 下面结合附图对本发明的具体实施方式作进一步详细的说明。

[0054] 图1示出根据本发明的一个实施例的阵列基板的示意图;

[0055] 图2示出根据本发明的另一个实施例的阵列基板的示意图;

[0056] 图3示出本发明另一个实施例的一种像素补偿电路结构示意图;

[0057] 图4示出本发明另一个实施例的像素补偿电路的时序状态示意图;

[0058] 图5a-5c示出本发明另一个实施例的像素补偿电路在第一阶段到第三阶段的等效电路示意图;

[0059] 图6示出本发明另一个实施例的像素补偿电路结构示意图;

[0060] 图7a-7c示出本发明另一个实施例的像素补偿电路在第一阶段到第三阶段的等效电路示意图。

具体实施方式

[0061] 为了更清楚地说明本发明,下面结合优选实施例和附图对本发明做进一步的说明。附图中相似的部件以相同的附图标记进行表示。本领域技术人员应当理解,下面所具体描述的内容是说明性的而非限制性的,不应以此限制本发明的保护范围。

[0062] 本发明一个实施例提供 m 行 n 列子像素;多根栅极线,当 $i < (m+1)/2$ 时,第 i 根栅极线驱动第 $(2i-1)$ 行和第 $2i$ 行的所述子像素;若 m 为奇数,当 $i = (m+1)/2$ 时,第 i 根栅极线驱动第 m 行的所述子像素;多根数据线;每一列子像素对应两根数据线,所述两根数据线包括第一数据线和第二数据线,其中,所述第一数据线连接该列中位于奇数行的所述子像素,所述第二数据线连接该列中位于偶数行的所述子像素;其中 m 和 n 为正整数, i 为小于等于 $(m+1)/2$ 的正整数。

[0063] 在一个具体示例中,图1所示为4行4列的阵列基板,包括2根栅极线和8根数据线,即使用一根栅极信号线控制两行子像素,使用两根数据信号线控制一列子像素。第一根栅

极信号线G1连接相邻奇数行和偶数行两行子像素,即第一行和第二行子像素,第一列子像素连接两根数据信号线D1和D2,其中D1与该列子像素中位于奇数行的子像素相连接,即D1与第一行和第三行的子像素相连接,D2与该列子像素中位于偶数行的子像素相连接,即D2与第二行和第四行的子像素相连接。

[0064] 当G1导通则D1将数据信号传输至第一行第一列的子像素,同理D2对应第二行第一列,D3对应第一行第二列,D4对应第二行第二列,D5对应第一行第三列,D6对应第二行第三列,D7对应第一行第四列,D8对应第二行第四列。当G2导通则D1将数据信号传输至第三行第一列的子像素,同理D2对应第四行第一列,D3对应第三行第二列,D4对应第四行第二列,D5对应第三行第三列,D6对应第四行第三列,D7对应第三行第四列,D8对应第四行第四列。

[0065] 当该阵列基板为奇数行时,最后一根栅极信号线控制最后一行子像素,奇数列数据信号线将数据信号传输至最后一行子像素。

[0066] 根据本示例,本领域技术人员能够想到对于m行n列的阵列基板,当 $i < (m+1)/2$ 时,第i根栅极线驱动第 $(2i-1)$ 行和第2i行的所述子像素;若m为奇数,当 $i = (m+1)/2$ 时,第i根栅极线驱动第m行的所述子像素;每一列子像素对应两根数据线,所述两根数据线包括第一数据线和第二数据线,其中,所述第一数据线连接该列中位于奇数行的所述子像素,所述第二数据线连接该列中位于偶数行的所述子像素;其中m和n为正整数,i为小于等于 $(m+1)/2$ 的正整数。

[0067] 本发明的另一个实施例提供一种利用上述阵列基板进行驱动的方法,所述第i根栅极线进行扫描时,由每一列所述子像素的所述第一数据线将所述数据信号传输至第 $(2i-1)$ 行对应的子像素,由每一列所述子像素的第二数据线将所述数据信号传输至第2i行对应的子像素。

[0068] 在一个具体示例中,图1所示为4行4列的阵列基板,包括2根栅极线和8根数据线,当G1导通时D1、D3、D5和D7将数据信号分别传输至第一行对应的各子像素,D2、D4、D6和D8将数据信号分别传输至第二行对应的各子像素;当G2导通时D1、D3、D5和D7将数据信号分别传输至第三行对应的各子像素,D2、D4、D6和D8将数据信号分别传输至第四行对应的各子像素。

[0069] 现有技术中当阵列基板为偶数行m时,以刷新频率60Hz为例,每一帧画面的有效时间是 $1/60 = 16.7\text{ms}$,在现有技术中一根栅极信号线对应一行子像素,则每一行子像素的有效的时间为 $(16.7/m)\text{ms}$;对比本发明的使用一根栅极信号控制两行子像素,则每一行子像素的有效的时间为 $((16.7*2)/m)\text{ms}$,相比现有技术增大了一倍。

[0070] 可见,在扫描频率相等的情况下,与现有的阵列基板设计相比,本实施例实现了一根栅极信号线控制两行子像素进行双行驱动扫描,使任何时刻都有两行子像素处在充电状态,每个子像素的充电时间变为原有的两倍,保证了子像素具有足够长的充电时间,;该方案尤其适用于制作大尺寸、高分辨率的显示装置。

[0071] 本发明的另一个实施例提供m行n列阵列基板,阵列基板还包括第一数据选择器和第二数据选择器,所述第一数据选择器和第二数据选择器包括n个数据选择单元,其中,所述第一数据选择器的数据选择单元响应于第一数据选择信号向所述每一列子像素的所述第一数据线提供该列子像素的数据信号;所述第二数据选择器的数据选择单元响应于第二数据选择信号向该列子像素的第二数据线提供该列子像素的该数据信号,其中第一数

据选择信号和第二数据选择信号反相位。

[0072] 进一步地,所述每个数据选择单元包括控制端、第一端和第二端,其中,

[0073] 所述第一数据选择器的数据选择单元的控制端接收所述第一数据选择信号,第一端连接每一列子像素的所述第一数据线,第二端接收数据信号;

[0074] 所述第二数据选择器的数据选择单元的控制端接收第二数据选择器的选择信号;第一端连接每一列子像素的所述第二数据线,第二端接收数据信号。

[0075] 在一个具体示例中,图2所示为4行4列的阵列基板,包括2根栅极线和8根数据线,阵列基板还包括第一数据选择器MUX1和第二数据选择器MUX2。其中MUX1和MUX2分别包括4个数据选择单元,。MUX1的数据选择单元的控制端接收第一数据选择信号,图中第一个数据选择单元的第一端连接数据信号线D1,第二端连接数据信号S1;同理,图中第二个数据选择单元的第一端连接D3,第二端连接S2;图中第三个数据选择单元的第一端连接D5,第二端连接S3;图中第四个数据选择单元的第一端号线D7,第二端连接S4。同理,第二数据选择器MUX2的数据选择单元的控制端接收第二数据选择信号,第一端分别连接数据信号线D2、D4、D6和D8,第二端分别连接数据信号S1、S2、S3和S4。

[0076] MUX1的第一数据选择信号和MUX2的第二数据选择信号反相位,即将一个时间周期分为不同时间段,例如将一个时间周期等分为两个时间段:在该周期的第一个时间段MUX1有效,MUX1的数据选择单元导通;在该周期的第二个时间段MUX2有效,MUX2的数据选择单元导通。

[0077] 当栅极信号线G1导通时,第一行和第二行子像素有效,在此周期的第一个时间段MUX1导通MUX2关闭,S1经过数据选择单元连接至D1,传输给第一行第一列的子像素;S2经过数据选择单元连接至D3,传输给第一行第二列的子像素;S3经过数据选择单元连接至D5,传输给第一行第三列的子像素;S4经过数据选择单元连接至D7,传输给第一行第四列的子像素;在此周期的第二个时间段MUX2有效MUX1关闭,数据信号S1经过第二数据选择器的数据选择单元连接至数据信号线D2,传输给第二行第一列的子像素;S2经过数据选择单元连接至D4,传输给第二行第二列的子像素;S3经过数据选择单元连接至D6,传输给第二行第三列的子像素;S4经过数据选择单元连接至D8,传输给第二行第四列的子像素。根据本示例,本领域技术人员能够想到对于m行n列的阵列基板的工作过程,在此不再赘述。

[0078] 本发明的实施例提供一种利用上述阵列基板进行驱动的方法,所述第i根栅极线进行扫描时,由每一列所述子像素的所述第一数据线通过所述第一数据选择器的所述数据选择单元将所述数据信号传输至第 $(2i-1)$ 行的所述对应的子像素;由每一列所述子像素的所述第二数据线通过所述第二数据选择器的所述数据选择单元将所述数据信号传输至第 $2i$ 行的所述对应的子像素。

[0079] 可见,本实施例在将数据信号传输到电致发光二极管发光可视区之前使用数据选择器将一路数据信号通过数据选择单元连接至两路数据线,即保持图1所示实施例的所述电致发光二极管发光可视区的设计不变的情况下,将每一列子像素对应的两根数据信号线,通过引入数据选择器在非可视区合二为一,即从 $2n$ 根数据线减半为 n 根数据线,该设计能够简化阵列基板的结构,减少制作成本。对比现有技术,在将栅极信号线数量减半的情况下,不增加数据信号线的数量的同时实现增大充电时间、增加阈值电压读取时间的效果。

[0080] 本发明的另一个实施例提供一种像素补偿电路,所述子像素包括像素电路,所述

像素电路包括：电致发光二极管、存储电容、驱动单元和六个开关单元：其中每个开关单元包括控制端、第一信号端和第二信号端，所述开关单元的控制端输入的控制信号能导通或关断第一信号端和第二信号端；所述驱动单元包括控制端、信号输入端和输出端，所述驱动单元的控制端和信号输入端用于控制在驱动端输出驱动信号；所述存储电容包括第一端和第二端，第一端输入第一电源信号，第二端连接所述驱动单元的控制端，该存储电容用于保持驱动单元控制端的电位；所述电致发光二极管包括第一端和第二端，第一端连接所述驱动单元的输出端，第二端输入第二电源信号，该电致发光二极管用于响应发光控制信号进行发光；所述驱动单元的控制端连接所述存储电容的第二端，信号输入端输入第一电源信号或所述数据线上的数据信号，输出端连接所述电致发光二极管的第一端，该驱动单元用于驱动所述电致发光二极管进行发光；

[0081] 第一开关单元的控制端输入复位控制信号，第一信号端输入复位电源信号，第二信号端连接所述驱动单元的控制端，该开关单元用于响应复位控制信号而导通，以将复位电源信号传输至所述驱动单元的控制端；

[0082] 第二开关单元的控制端输入写入控制信号，第一信号端连接所述驱动单元的控制端，第二信号端连接所述驱动单元的输出端，该开关单元用于响应所述栅极线上的写入控制信号而导通，以连通所述驱动单元的控制端和所述驱动单元的输出端；

[0083] 第四开关单元的控制端输入发光控制信号，第一信号端输入第一电源信号，第二信号端连接所述驱动单元的信号输入端，该开关单元用于响应发光控制信号而导通，以将所述第一电源信号传输至所述驱动单元的信号输入端；

[0084] 第五开关单元的控制端输入发光控制信号，第一信号端连接所述驱动单元的输出端，第二信号端连接所述电致发光二极管的第一端，该开关单元用于响应所述发光控制信号而导通，以将所述驱动单元输出端的信号传输至所述电致发光二极管的第一端；

[0085] 第六开关单元的控制端输入写入控制信号，第一信号端输入所述数据线上的数据信号，第二信号端连接所述驱动单元的信号输入端，该开关单元用于响应所述栅极线上的写入控制信号而导通，以将所述数据线上的数据信号传输至所述驱动单元的信号输入端；

[0086] 第七开关单元的控制端输入写入控制信号，第一信号端输入复位电源信号，第二信号端连接所述电致发光二极管的第一端，该开关单元用于响应所述栅极线上的写入控制信号而导通，以将复位电源信号传输至所述电致发光二极管的第一端。

[0087] 进一步地，所述第一开关单元、第二开关单元、第四开关单元至第七开关单元为开关晶体管，所述开关晶体管的栅极用作所述开关单元的控制端，所述开关晶体管的源极用作所述开关单元的第一信号端或第二信号端，所述开关晶体管的漏极用作所述开关单元的第二信号端或第一信号端；

[0088] 所述驱动单元为驱动晶体管，所述驱动晶体管的栅极用作所述驱动单元的控制端，所述驱动晶体管的源极用作所述驱动单元的信号输入端，所述驱动晶体管的漏极用作所述驱动单元的输出端。

[0089] 在一个具体示例中，如图3所示，将数据信号Data和驱动晶体管的阈值电压写入存储电容的第二端，从而将驱动晶体管的阈值电压预存在储能原件中，因此，当充电时间足够长，在驱动晶体管中产生驱动电流以控制电致发光二极管进行发光时，便可将驱动晶体管的阈值电压相抵消，从而消除阈值电压偏移对显示亮度造成的影响，以实现像素补偿，并进

一步确保输出电流一致,从而保证各个像素显示亮度的均一性。

[0090] 本发明实施例所采用的电致发光二极管,不局限于有机发光二极管(Organic Light Emitting Diode,OLED),还包括其他形式的电致发光二极管。本发明的另一个实施例提供一种利用上述阵列基板进行驱动的方法,包括:复位阶段,利用所述复位控制信号导通所述第一开关单元,并关断所述第二开关单元、第四开关单元、第五开关单元、第六开关单元和第七开关单元,以将所述复位电源传输至所述驱动单元的控制端,所述第一电源和复位电源为存储电容充电;

[0091] 写入阶段,利用所述栅极线上的写入控制信号导通所述第二开关单元、第六开关单元和第七开关单元,并关断所述第一开关单元、第四开关单元和第五开关单元,以将所述第一电源信号写入所述存储电容的第一端,并将所述数据信号和驱动单元的阈值电压写入所述存储电容的第二端,并将复位电源信号传输至所述子像素;

[0092] 发光阶段,利用所述发光控制信号导通所述第四和第五开关单元,并关断所述第一开关单元、第二开关单元、第六开关单元和第七开关单元,以通过所述存储电容中的电压信号导通所述驱动单元,使所述第一电源信号驱动所述子像素。

[0093] 在一个具体的示例中,根据图3示出本发明另一个实施例的一种像素补偿电路结构示意图,结合图4示出本发明另一个实施例的像素补偿电路的时序状态示意图,同时参照图5a-5c所示像素补偿电路的各个阶段工作状态的等效电路示意图,本实施例中所有晶体管均以P型晶体管为例,驱动电压为低电平时导通。对电路的具体工作原理说明如下:

[0094] 第一阶段T1为复位阶段:该阶段Reset复位控制信号输入低电平,EM发光控制信号和Gate写入控制信号输入高电平,此时的等效电路参照图5a所示。此时,第一电源信号传输至存储电容的第一端,复位电源信号Vinit通过第一开关单元传输至驱动单元的控制端和存储电容的第二端进行复位,N1点电位为VDD-Vinit。

[0095] 第二阶段T2为写入阶段:该阶段Gate写入控制信号输入低电平,EM发光控制信号和Reset复位控制信号输入高电平,此时的等效电路参照图5b所示。此时,数据信号有效经过第六开关单元传输至驱动单元的信号输入端,由于第二开关单元导通使得驱动单元的控制端和输出端相连接处于二极管状态,因此驱动晶单元的控制端的电位变为Data+Vth,其中Vth为驱动单元的阈值电压,存储电容两端的电位分别为VDD和Data+Vth;复位电源信号Vinit通过第七开关单元传输至电致发光二极管的第一端,此时电致发光二极管两端的电位分别为Vinit和VSS,设置Vinit小于等于VSS,可以有效防止有机发光二极管的异常发光,提升显示品质。

[0096] 第三阶段T3为发光阶段:该阶段EM发光控制信号输入低电平,Gate写入控制信号和Reset复位控制信号输入高电平,此时的等效电路参照图5c所示。此时,第一电源信号VDD通过第四开关单元传输至驱动单元的信号输入端,根据电容电荷保持定理,则N1点的电位保持为Data+Vth,此时 $V_{GS}=Data+Vth-VDD$,发光电流Id通过驱动单元和第五开关单元流入有机发光二极管电致发光二极管,有机发光二极管电致发光二极管发光,根据三极管饱和状态下电流公式 $I_d=K(V_{GS}-V_{th})^2=K(Data+Vth-VDD-Vth)^2=K(Data-VDD)^2$,其中K为常数,即在T2时间充足的情况下,通过像素补偿电路可以抵消阈值电压Vth对电流的影响,电流只与通过数据信号输入的Data和VDD(固定电压)有关。

[0097] 同时第六开关单元处于关闭状态,可以防止显示黑色画面时第六开关单元的漏电

流流出,保证黑色画面的低亮度,提高显示效果。

[0098] 因此本实施例中的像素补偿电路能够有效地解决因低温多晶硅自身工艺问题导致的各三极管的阈值电压不同,增大阈值电压读取时间,精确控制每个像素的电流,提升画面显示效果。

[0099] 本发明的另一个实施例提供一种像素补偿电路,所述子像素包括像素电路,所述像素电路包括:电致发光二极管、存储电容、驱动单元和七个开关单元;其中每个开关单元包括控制端、第一信号端和第二信号端,所述开关单元的控制端输入的控制信号能导通或关断第一信号端和第二信号端;所述驱动单元包括控制端、信号输入端和输出端,所述驱动单元的控制端和信号输入端用于控制在驱动端输出驱动信号;所述存储电容包括第一端和第二端,第一端输入参考电源信号或所述数据线上的数据信号,第二端连接所述驱动单元的控制端,该存储电容用于保持驱动单元控制端的电位;所述电致发光二极管包括第一端和第二端,第一端连接所述驱动单元的输出端,第二端输入第二电源信号,该电致发光二极管用于响应发光控制信号进行发光;所述驱动单元的控制端连接所述存储电容的第二端,信号输入端输入第一电源信号,输出端连接所述电致发光二极管的第一端,该驱动单元用于驱动所述电致发光二极管进行发光;

[0100] 第一开关单元的控制端输入复位控制信号,第一信号端输入复位电源信号,第二信号端连接所述驱动单元的控制端,该开关单元用于响应复位控制信号而导通,以将复位电源信号传输至所述驱动单元的控制端;

[0101] 第二开关单元的控制端输入写入控制信号,第一信号端连接所述驱动单元的控制端,第二信号端连接所述驱动单元的输出端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以连通所述驱动单元的控制端和所述驱动单元的输出端;

[0102] 第四开关单元的控制端输入写入控制信号,第一信号端输入所述数据线上的数据信号,第二信号端连接所述存储电容的第一端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将所述数据线上的数据信号传输至存储电容的第一端;

[0103] 第五开关单元的控制端输入复位控制信号,第一信号端输入参考电源信号,第二信号端连接所述存储电容的第一端,该开关单元用于响应所述复位控制信号而导通,以将所述参考电源信号传输至所述存储电容的第一端;

[0104] 第六开关单元的控制端输入发光控制信号,第一信号端输入参考电源信号,第二信号端连接所述存储电容的第一端,该开关单元用于响应所述发光控制信号而导通,以将所述参考电源信号传输至所述存储电容的第一端;

[0105] 第七开关单元的控制端输入发光控制信号,第一信号端连接所述驱动单元的输出端,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述发光控制信号而导通,以将所述驱动单元输出端的信号传输至所述电致发光二极管的第一端;

[0106] 第八开关单元的控制端输入写入控制信号,第一信号端输入复位电源信号,第二信号端连接所述电致发光二极管的第一端,该开关单元用于响应所述栅极线上的写入控制信号而导通,以将复位电源信号传输至所述电致发光二极管的第一端;

[0107] 更进一步,所述第一开关单元、第二开关单元、第四开关单元至第八开关单元为开关晶体管,所述开关晶体管的栅极用作所述开关单元的控制端,所述开关晶体管的源极用作所述开关单元的第一信号端或第二信号端,所述开关晶体管的漏极用作所述开关单元的

第二信号端或第一信号端；

[0108] 所述驱动单元为驱动晶体管，所述驱动晶体管的栅极用作所述驱动单元的控制端，所述驱动晶体管的源极用作所述驱动单元的信号输入端，所述驱动晶体管的漏极用作所述驱动单元的输出端。

[0109] 在一个具体示例中，如图6所示，将第一电源信号VDD和驱动单元的阈值电压写入存储电容的第二端，从而将第一电源信号和驱动单元的阈值电压预存在储能原件中，因此，当充电时间足够长，在驱动单元中产生驱动电流以控制电致发光二极管进行发光时，便可将驱动单元的阈值电压和第一电源信号VDD走线上的电阻压降相抵消，从而消除阈值电压偏移和第一电源信号VDD走线上的电阻压降对显示亮度造成的影响，以实现像素补偿，并进一步确保输出电流一致，从而保证各个像素显示亮度的均一性。

[0110] 本发明的另一个实施例提供一种利用上述阵列基板进行驱动的方法，包括：复位阶段，利用所述复位控制信号导通所述第一开关单元和第五开关单元，并关断所述第二开关单元、第四开关单元、第六开关单元、第七开关单元和第八开关单元，以将所述复位电源传输至所述驱动单元的控制端，所述参考电源和复位电源为存储电容充电；

[0111] 写入阶段，利用所述写入控制信号导通所述第二开关单元、第四开关单元和第八开关单元，并关断所述第一开关单元、第五开关单元、第六开关单元和第七开关单元，以将所述数据信号写入所述存储电容的第一端，并将所述第一电源信号和驱动单元的阈值电压写入所述储能元件的第二端，并将复位电源信号传输至所述子像素；

[0112] 发光阶段，利用所述发光控制信号导通所述第六和第七开关单元，并关断所述第一开关单元、第二开关单元、第四开关单元、第五开关单元和第八开关单元，以将参考电源传输至所述储能元件的第一端，并通过所述存储电容中的电压信号导通所述驱动单元，使所述第一电源信号驱动所述子像素。

[0113] 在一个具体的示例中，根据图6示出本发明另一个实施例的像素补偿电路结构示意图，结合图4示出本发明另一个实施例的像素补偿电路的时序状态示意图，同时参照图7a-7c所示像素补偿电路的各个阶段工作状态的等效电路示意图，本实施例中所有晶体管均以P型晶体管为例，驱动电压为低电平时导通。对电路的具体工作原理说明如下：

[0114] 第一阶段T1为复位阶段：该阶段Reset复位控制信号输入低电平，EM发光控制信号和Gate写入控制信号输入高电平，此时的等效电路参照图7a所示。此时，参考电源信号传输至存储电容的第一端，复位电源信号Vinit通过第一开关单元传输至驱动单元的控制端和存储电容的第二端进行复位，N1点电位为 $V_{ref}-V_{init}$ 。

[0115] 第二阶段T2为数据写入阶段：该阶段Gate写入控制信号输入低电平，EM发光控制信号和Reset复位控制信号输入高电平，此时的等效电路参照图7b所示。此时，数据信号有效经过第四开关单元传输至存储电容的第二端；第一电源信号传输至驱动单元的信号输入端，由于第二开关单元导通使得驱动单元的控制端和第二端相连接处于二极管状态，因此驱动单元的控制端的电位变为 $VDD+V_{th}$ ，其中 V_{th} 为驱动单元的阈值电压，存储电容两端的电位分别为Data和 $VDD+V_{th}$ ，N1点电位为 $VDD+V_{th}-Data$ ；复位电源信号Vinit通过第八开关单元传输至电致发光二极管的第一端，此时电致发光二极管两端的电位分别为Vinit和VSS，设置Vinit小于等于VSS，可以有效防止有机发光二极管的异常发光，提升显示品质。

[0116] 第三阶段T3为发光阶段：该阶段EM发光控制信号输入低电平，Gate写入控制信号

和Reset复位控制信号输入高电平,此时的等效电路参照图7c所示。此时,参考电源信号Vref通过第六开关单元传输至存储电容的第一端,根据电容电荷保持定理,N1点电位为VDD+Vth-Data+Vref,则 $V_{GS}=VDD+Vth-Data+Vref-VDD=Vth-Data+Vref$,发光电流Id通过驱动单元和第七开关单元流入有机发光二极管电致发光二极管,有机发光二极管电致发光二极管发光,根据三极管饱和状态下的电流公式 $I_d=K(V_{GS}-V_{th})^2=K(Vth-Data+Vref-Vth)^2=K(Vref-Data)^2$,其中K为常数,即在T2时间充足的情况下,从上式可以看出流经电致发光二极管的电流与驱动单元的阈值电压Vth无关,与第一电源VDD也无关,只与通过数据信号输入的Data和参考电压Vref有关。第六开关单元处于关闭状态,可以防止显示黑色画面时第六开关单元的漏电流流出,保证黑色画面的低亮度。

[0117] 因此本实施例中的驱动方法有效地补偿了驱动单元的阈值电压Vth和第一电源VDD走线上的电阻压降,能够解决因低温多晶硅自身工艺问题导致的各三极管的阈值电压不同,增大阈值电压读取时间,从而精确控制每个像素的电流,提升画面显示效果。

[0118] 本发明的另一个实施例提供一种显示面板,包括上述任一实施例提供的阵列基板。

[0119] 本发明的另一个实施例提供一种显示设备,包括上述显示面板,该显示设备可以包括手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0120] 显然,本发明的上述实施例仅仅是为清楚地说明本发明所作的举例,而并非是对本发明的实施方式的限定,对于所属领域的普通技术人员来说,在上述说明的基础上还可以做出其它不同形式的变化或变动,这里无法对所有的实施方式予以穷举,凡是属于本发明的技术方案所引伸出的显而易见的变化或变动仍处于本发明的保护范围之列。

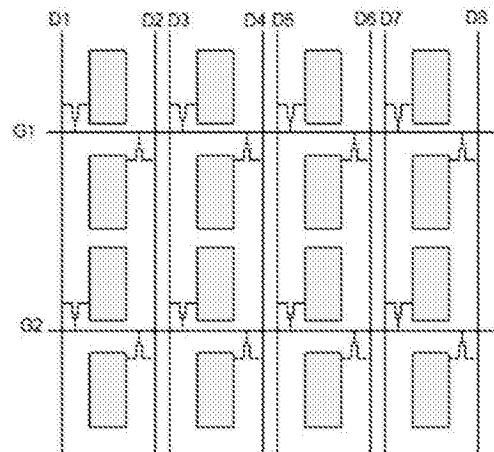


图1

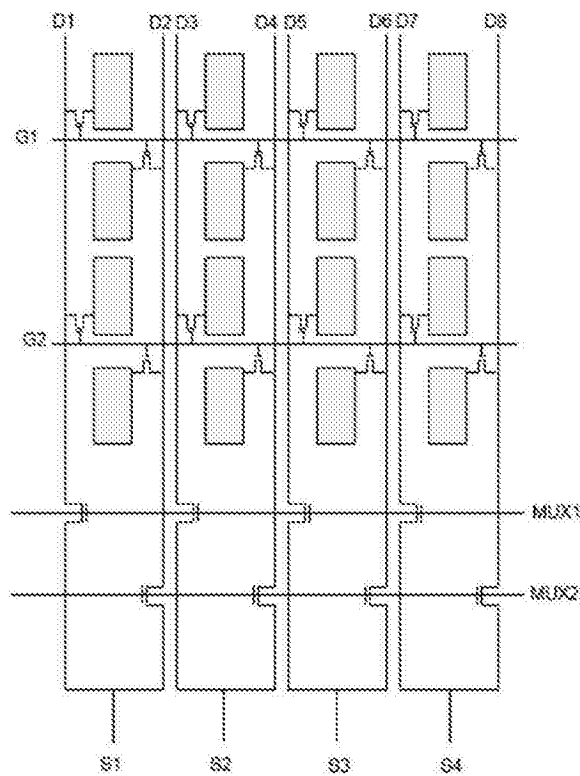


图2

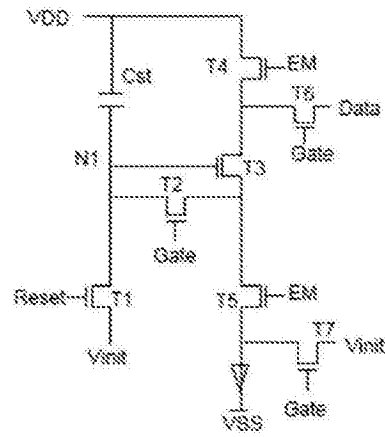


图3

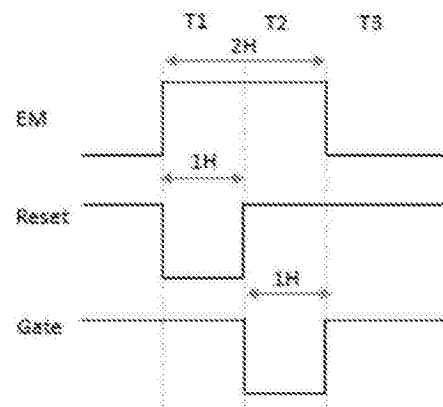


图4

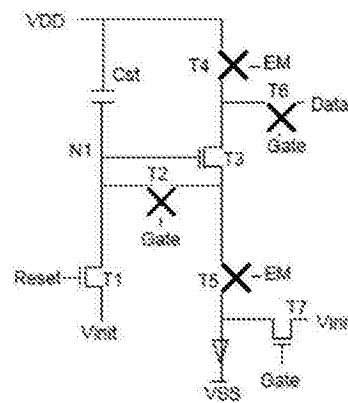


图5a

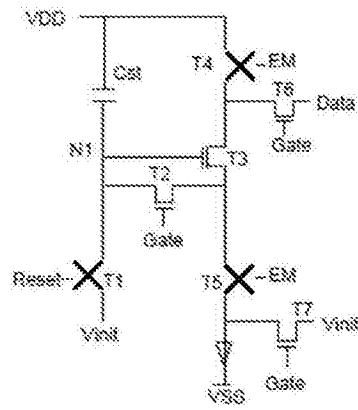


图5b

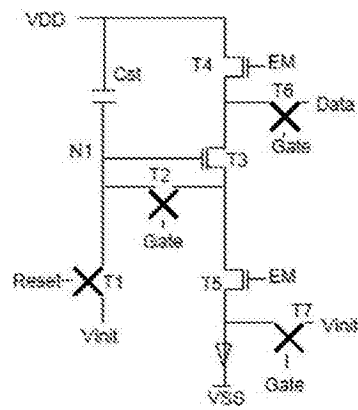


图5c

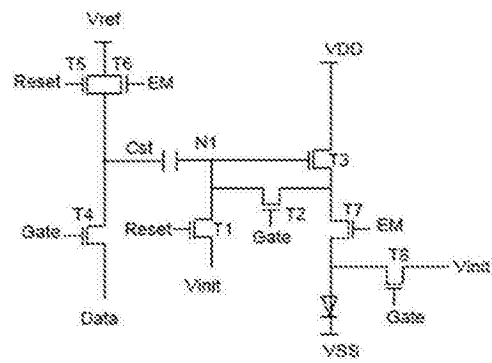


图6

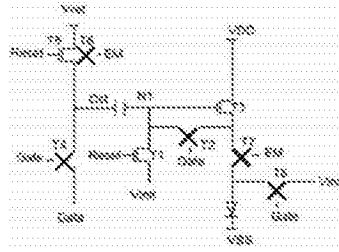


图7a

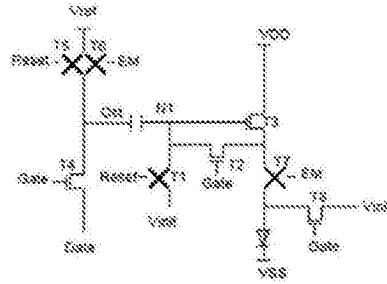


图7b

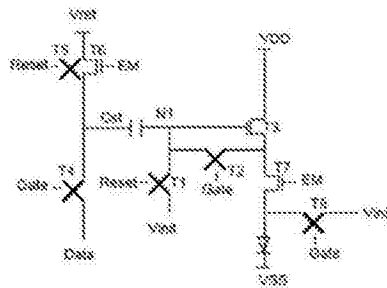


图7c

专利名称(译)	一种阵列基板及驱动方法、显示面板和显示设备		
公开(公告)号	CN107610640A	公开(公告)日	2018-01-19
申请号	CN2017110897464.0	申请日	2017-09-28
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	玄明花 王磊 肖丽 杨盛际 卢鹏程 陈小川		
发明人	玄明花 王磊 肖丽 杨盛际 卢鹏程 陈小川		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G3/3275 G09G2300/0819 G09G2300/0861 G09G2310/0297 G09G3/32 G09G2300/0408		
代理人(译)	付生辉		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板，包括m行n列子像素，使用一根栅极线同时控制相邻奇数行和偶数行的子像素，使用两根数据线控制一列子像素。本发明公开的实施例提供一种阵列基板及驱动方法、显示面板和显示设备，可对阵列基板进行阈值电压和电阻压降的补偿，提高了驱动电流的均匀性，进而提高了显示面板显示的均匀性，同时减小漏电流以保证黑态时的高对比度，从而提高了高分辨率电致发光二极管的阵列基板、显示面板、显示设备的显示效果。

