



(12)发明专利

(10)授权公告号 CN 107256690 B

(45)授权公告日 2019.11.19

(21)申请号 201710642948.0

(51)Int.Cl.

(22)申请日 2017.07.31

G09G 3/3208(2016.01)

(65)同一申请的已公布的文献号

审查员 李小艳

申请公布号 CN 107256690 A

(43)申请公布日 2017.10.17

(73)专利权人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509

(72)发明人 高娅娜 向东旭 朱仁远 李玥
陈泽源 蔡中兰

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

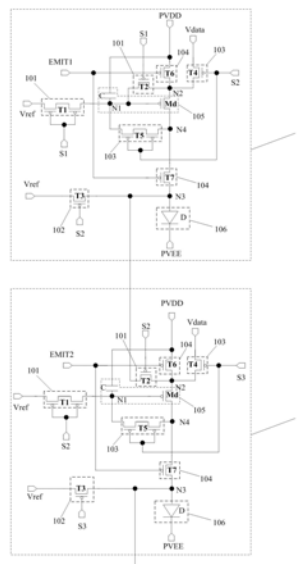
权利要求书3页 说明书13页 附图17页

(54)发明名称

一种电致发光显示面板、其驱动方法及显示装置

(57)摘要

本发明公开了一种电致发光显示面板、其驱动方法及显示装置,电致发光显示面板包括:呈阵列排布的多个像素电路;像素电路包括节点初始化模块和阳极复位模块;通过在每列像素电路中的各像素电路之间设置连接通路,为相邻像素电路中的阳极复位模块或节点初始化模块提供参考信号,不仅可以通过节点初始化模块实现对关键节点的初始化,避免因电压跳变引起的阈值电压抓取不一致的问题,有效防止驱动晶体管的阈值电压发生偏移导致的残影现象出现,还可以为相邻像素电路中的阳极复位模块或节点初始化模块提供参考信号,节省信号端口的设置数量,节省布线空间。



1. 一种电致发光显示面板, 其特征在于, 包括: 呈阵列排布的多个像素电路; 所述像素电路包括节点初始化模块和阳极复位模块; 其中,

每列所述像素电路中的各所述像素电路之间具有连接通路; 所述连接通路, 用于为相邻所述像素电路中的所述阳极复位模块或所述节点初始化模块提供参考信号;

所述节点初始化模块的第一端与第一扫描信号端电连接, 第二端与参考信号端电连接, 第三端与第一节点电连接, 第四端与第二节点电连接, 第五端用于接收参考信号; 所述节点初始化模块, 用于在所述第一扫描信号端输入的第一扫描信号的控制下, 将所述参考信号端输入的参考信号传输至所述第一节点, 将所述参考信号传输至所述第二节点。

2. 如权利要求1所述的电致发光显示面板, 其特征在于, 所述阳极复位模块的第一端与第二扫描信号端电连接, 第二端与第三节点电连接, 第三端用于接收所述参考信号; 所述阳极复位模块, 用于在所述第二扫描信号端输入的第二扫描信号的控制下, 将所述参考信号传输至所述第三节点;

所述连接通路, 具体用于为相邻所述像素电路中的所述阳极复位模块的第三端或所述节点初始化模块的第五端提供所述参考信号。

3. 如权利要求2所述的电致发光显示面板, 其特征在于, 每列所述像素电路中除首个所述像素电路之外, 各所述像素电路的所述节点初始化模块的第五端与上一个所述像素电路的所述第三节点电连接;

首个所述像素电路的所述节点初始化模块的第五端与所述参考信号端电连接, 或与所述第一节点电连接。

4. 如权利要求3所述的电致发光显示面板, 其特征在于, 每列所述像素电路中各所述像素电路的所述阳极复位模块的第三端与所述参考信号端电连接。

5. 如权利要求2所述的电致发光显示面板, 其特征在于, 每列所述像素电路的除最后一个所述像素电路之外, 各所述像素电路的所述阳极复位模块的第三端与下一个所述像素电路中的所述第二节点电连接;

最后一个所述像素电路的所述阳极复位模块的第三端与所述参考信号端电连接。

6. 如权利要求5所述的电致发光显示面板, 其特征在于, 每列所述像素电路中各所述像素电路的所述节点初始化模块的第五端与所述参考信号端电连接, 或与所述第一节点电连接。

7. 如权利要求2所述的电致发光显示面板, 其特征在于, 所述节点初始化模块, 包括: 第一开关晶体管和第二开关晶体管;

所述第一开关晶体管的栅极与所述第一扫描信号端电连接, 源极与所述参考信号端电连接, 漏极与所述第一节点电连接;

所述第二开关晶体管的栅极与所述第一扫描信号端电连接, 漏极与所述第二节点电连接, 源极用于接收所述参考信号。

8. 如权利要求7所述的电致发光显示面板, 其特征在于, 所述第一开关晶体管为双栅极结构, 包括第一子开关晶体管和第二子开关晶体管;

所述第一子开关晶体管的漏极和所述第二子开关晶体管的源极电连接;

所述第一子开关晶体管的栅极和所述第二子开关晶体管的栅极分别与所述第一扫描信号端电连接;

所述第一子开关晶体管的源极与所述参考信号端电连接,所述第二子开关晶体管的漏极与所述第一节点电连接。

9.如权利要求2所述的电致发光显示面板,其特征在于,所述阳极复位模块,包括:第三开关晶体管;

所述第三开关晶体管的栅极与所述第二扫描信号端电连接,漏极与第四节点电连接,源极用于接收所述参考信号。

10.如权利要求1-9任一项所述的电致发光显示面板,其特征在于,所述像素电路还包括:数据写入模块、发光控制模块、驱动控制模块和有机发光二极管;

所述数据写入模块的第一端与第二扫描信号端电连接,第二端与数据信号端电连接,第三端与所述第二节点电连接,第四端与所述第一节点电连接,第五端与第四节点电连接;所述数据写入模块,用于在所述第二扫描信号端输入的第二扫描信号的控制下,将所述数据信号端输入的数据信号传输至所述第二节点,将所述第四节点的电位提供至所述第一节点;

所述发光控制模块的第一端与发光控制信号端电连接,第二端与第一电压信号端电连接,第三端与所述第二节点电连接,第四端与所述第四节点电连接,第五端与第三节点电连接;所述发光控制模块,用于在所述发光控制信号端输入的发光控制信号的控制下,将所述第一电压信号端输入的第一电压信号传输至所述第二节点,将所述第四节点的电位提供至所述第三节点;

所述驱动控制模块的第一端与所述第一节点电连接,第二端与所述第一电压信号端电连接,第三端与所述第二节点电连接,第四端与所述第四节点电连接;所述驱动控制模块,用于在所述第一电压信号端输入的第一电压信号的控制下,维持所述第一节点的电位;在所述第一节点的控制下,将所述第二节点和所述第四节点之间导通;

所述有机发光二极管的第一端与所述第三节点电连接,第二端与第二电压信号端电连接。

11.如权利要求10所述的电致发光显示面板,其特征在于,所述数据写入模块,包括:第四开关晶体管和第五开关晶体管;

所述第四开关晶体管的栅极与所述第二扫描信号端电连接,源极与所述数据信号端电连接,漏极与所述第二节点电连接;

所述第五开关晶体管的栅极与所述第二扫描信号端电连接,源极与所述第四节点电连接,漏极与所述第一节点电连接。

12.如权利要求11所述的电致发光显示面板,其特征在于,所述第五开关晶体管为双栅极结构,包括第三子开关晶体管和第四子开关晶体管;

所述第三子开关晶体管的漏极和所述第四子开关晶体管的源极电连接;

所述第三子开关晶体管的栅极和所述第四子开关晶体管的栅极分别与所述第二扫描信号端电连接;

所述第三子开关晶体管的源极与所述第一节点电连接,所述第四子开关晶体管的漏极与所述第四节点电连接。

13.如权利要求10所述的电致发光显示面板,其特征在于,所述发光控制模块,包括:第六开关晶体管和第七开关晶体管;

所述第六开关晶体管的栅极与所述发光控制信号端电连接,源极与所述第一电压信号端电连接,漏极与所述第二节点电连接;

所述第七开关晶体管的栅极与所述发光控制信号端电连接,源极与所述第三节点电连接,漏极与所述第四节点电连接。

14.如权利要求10所述的电致发光显示面板,其特征在于,所述驱动控制模块,包括:驱动晶体管和电容;

所述驱动晶体管的栅极与所述第一节点电连接,源极与所述第二节点电连接,漏极与所述第三节点电连接;

所述电容连接于所述第一节点与所述第一电压信号端之间。

15.如权利要求11-14任一项所述的电致发光显示面板,其特征在于,各所述像素电路中的所有开关晶体管均为P型晶体管。

16.一种显示装置,其特征在于,包括:如权利要求1-15任一项所述的电致发光显示面板。

17.一种如权利要求1-15任一项所述的电致发光显示面板的驱动方法,其特征在于,包括:

初始化阶段,连接通路为相邻像素电路中的节点初始化模块提供参考信号;

数据写入阶段,所述连接通路为相邻像素电路中的阳极复位模块提供所述参考信号。

18.如权利要求17所述的驱动方法,其特征在于,

初始化阶段,向各所述像素电路中的第一扫描信号端提供第一电平信号,向各所述像素电路中的第二扫描信号端提供第二电平信号,向各所述像素电路中的发光控制信号端提供第二电平信号;

数据写入阶段,向各所述像素电路中的所述第一扫描信号端提供第二电平信号,向各所述像素电路中的所述第二扫描信号端提供第一电平信号,向各所述像素电路中的所述发光控制信号端提供第二电平信号;

发光阶段,向各所述像素电路中的所述第一扫描信号端提供第二电平信号,向各所述像素电路中的所述第二扫描信号端提供第二电平信号,向各所述像素电路中的所述发光控制信号端提供第一电平信号。

一种电致发光显示面板、其驱动方法及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤指一种电致发光显示面板、其驱动方法及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Display, OLED)显示器,因其具有响应速度快、色域宽、视角大、亮度高、以及质轻等特点,备受关注,在发光技术领域得到了广泛的应用;但OLED显示器是一种电流驱动的显示器,所以需要稳定的电流来驱动使其发光;而由于工艺制程和器件老化等原因,像素电路中驱动晶体管的阈值电压(V_{th})容易产生漂移,从而造成显示不均和残像。

[0003] 为了解决这一问题,通常采用具有补偿功能的像素电路,实现对阈值电压的补偿;例如,如图1所示的一种像素电路,包括6个开关晶体管:T1~T6、1个驱动晶体管Md和1个电容C;对应的输入时序图如图2所示,图2为图1所示的像素电路对应的输入时序图。该像素电路虽然通过内部补偿改善了因工艺和晶体管老化造成的驱动晶体管阈值电压漂移造成的显示不均问题,但是在高低灰阶切换后存在第一帧亮度不一致的问题。并且,该像素电路发光一段时间后,由于偏压应力会使驱动晶体管的阈值电压发生偏移,受偏移变化不同影响,导致残影现象出现。

发明内容

[0004] 本发明实施例提供了一种电致发光显示面板、其驱动方法及显示装置,用以改善现有像素电路存在的残影以及高低灰阶切换后存在的第一帧亮度不一致的问题。

[0005] 本发明实施例提供了一种电致发光显示面板,包括:呈阵列排布的多个像素电路;所述像素电路包括节点初始化模块和阳极复位模块;其中,

[0006] 每列所述像素电路中的各所述像素电路之间具有连接通路;所述连接通路,用于为相邻所述像素电路中的所述阳极复位模块或所述节点初始化模块提供参考信号。

[0007] 另一方面,本发明实施例还提供了一种显示装置,包括:如本发明实施例提供的上述电致发光显示面板。

[0008] 另一方面,本发明实施例还提供了一种如本发明实施例提供的上述电致发光显示面板的驱动方法,包括:

[0009] 初始化阶段,连接通路为相邻像素电路中的节点初始化模块提供参考信号;

[0010] 数据写入阶段,所述连接通路为相邻像素电路中的阳极复位模块提供所述参考信号。

[0011] 本发明有益效果如下:

[0012] 本发明实施例提供了一种电致发光显示面板、其驱动方法及显示装置,其中,电致发光显示面板包括:呈阵列排布的多个像素电路;像素电路包括节点初始化模块和阳极复位模块;通过在每列像素电路中的各像素电路之间设置连接通路,为相邻像素电路中的阳极复位模块或节点初始化模块提供参考信号,不仅可以通过节点初始化模块实现对关键节

点的初始化,避免因电压跳变引起的阈值电压抓取不一致的问题,有效防止驱动晶体管的阈值电压发生偏移导致的残影现象出现,还可以为相邻像素电路中的阳极复位模块或节点初始化模块提供参考信号,节省信号端口的设置数量,节省布线空间。

附图说明

- [0013] 图1为现有技术中的像素电路的电路示意图;
 [0014] 图2为像素电路对应的输入输出时序图;
 [0015] 图3为本发明实施例中提供的电致发光显示面板的结构示意图;
 [0016] 图4至图14分别为本发明实施例中提供的像素电路的结构示意图;
 [0017] 图15和图16分别为本发明实施例中提供的输入输出时序图;
 [0018] 图17为本发明实施例中提供的电致发光显示面板中部分像素电路的结构示意图;
 [0019] 图18为本发明实施例中提供的一种显示装置的结构示意图。

具体实施方式

[0020] 下面将结合附图,对本发明实施例提供的一种电致发光显示面板、其驱动方法及显示装置的具体实施方式进行详细地说明。需要说明的是,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0021] 通过对图1所示的像素电路进行仿真模拟,当第n-1帧为0灰阶,第n帧为255灰阶,第n+1帧为255灰阶时,对第一节点N1和N2节点的在不同时间段时的电位进行检测,检测结果如表1所示。

[0022] 表1

[0023]

灰阶	0	255			255	
帧数	第 n-1 帧	第 n 帧			第 n+1 帧	
阶段	发光阶段	初始化阶段	数据写入阶段	发光阶段	初始化阶段	数据写入阶段
N1	3.44	-3	1.03	1.5	-3	1.02
N2	4.6	-0.65	3.5	4.6	0.15	3.5

[0024] 由上述表1可以可知,在初始化阶段,第n帧的第二节点N2的电位与第n+1帧的第二节点N2的电位不同。这是由于在初始化阶段,第n帧的第一节点N1的电位-3V是由3.44V切换过来的,而第n+1帧的第一节点N1的电位-3V是由1.5V切换过来的,由于像素电路中第一节点N1和第二节点N2之间存在寄生电容,而第二节点N2在初始化阶段处于浮空状态,因此第一节点N1的电压变化 ΔV 不一致会导致在初始化阶段第n帧的第二节点N2的电位与第n+1帧的第二节点N2的电位不同,进而导致在数据写入阶段时,第n帧的第一节点N1的电位与第n+1帧的第一节点N1节点的电位不同,造成第n帧亮度与第n+1帧亮度不一致的问题。

[0025] 基于此,本发明实施例提供了一种电致发光显示面板,通过在初始化阶段时同时对第一节点N1和第二节点N2的电位进行复位,避免二者寄生电容造成的差异带来亮度不一

致的问题;并且,通过在像素电路之间设置连接通路,为相邻像素电路提供参考信号,可以减少信号端的设置数量,节省布线空间。

[0026] 具体地,本发明实施例提供的上述电致发光显示面板,如图3所示,可以包括:呈阵列排布的多个像素电路P;像素电路P包括节点初始化模块101和阳极复位模块102;其中,

[0027] 在如图4至图7所示的每列像素电路中,每列像素电路中的各像素电路之间具有连接通路;连接通路,用于为相邻像素电路中的阳极复位模块102或节点初始化模块101提供参考信号。

[0028] 本发明实施例提供的上述电致发光显示面板,通过在每列像素电路中的各像素电路之间设置连接通路,不仅可以通过节点初始化模块101实现对关键节点的初始化,避免因电压跳变引起的阈值电压抓取不一致的问题,有效防止驱动晶体管的阈值电压发生偏移导致的残影现象出现,还可以为相邻像素电路中的阳极复位模块102或节点初始化模块101提供参考信号,节省信号端口的设置数量,节省布线空间。

[0029] 在具体实施时,在本发明实施例提供的上述电致发光显示面板中,如图4至图7所示,且图4至图7为图3中的部分像素电路,节点初始化模块101的第一端与第一扫描信号端S1电连接,第二端与参考信号端Vref电连接,第三端与第一节点N1电连接,第四端与第二节点N2电连接,第五端用于接收参考信号;节点初始化模块101,用于在第一扫描信号端S1输入的第一扫描信号的控制下,将参考信号端Vref输入的参考信号传输至第一节点N1,将参考信号传输至第二节点N2;

[0030] 阳极复位模块102的第一端与第二扫描信号端S2电连接,第二端与第三节点N3电连接,第三端用于接收参考信号;阳极复位模块102,用于在第二扫描信号端S2输入的第二扫描信号的控制下,将参考信号传输至第三节点N3;

[0031] 连接通路,具体用于为相邻像素电路中的阳极复位模块102的第三端或节点初始化模块101的第五端提供参考信号。

[0032] 在具体实施时,像素电路中除了节点初始化模块101和阳极复位模块102之外,在本发明实施例提供的上述电致发光显示面板中,如图4至图7所示,像素电路还可以包括:数据写入模块103、发光控制模块104、驱动控制模块105和有机发光二极管106;由于每个像素电路中均包括上述六个模块,所以,下面就以图4和图5中所示的像素电路P1(指一列像素电路中的首个像素电路)中的结构为例,对各模块的连接关系进行说明;

[0033] 数据写入模块103的第一端与第二扫描信号端S2电连接,第二端与数据信号端Vdata电连接,第三端与第二节点N2电连接,第四端与第一节点N1电连接,第五端与第四节点N4电连接;数据写入模块103,用于在第二扫描信号端S2输入的第二扫描信号的控制下,将数据信号端Vdata输入的数据信号传输至第二节点N2,将第四节点N4的电位提供至第一节点N1;

[0034] 发光控制模块104的第一端与发光控制信号端EMIT电连接,第二端与第一电压信号端PVDD电连接,第三端与第二节点N2电连接,第四端与第四节点N4电连接,第五端与第三节点N3电连接;发光控制模块104,用于在发光控制信号端EMIT输入的发光控制信号的控制下,将第一电压信号端PVDD输入的第一电压信号传输至第二节点N2,将第四节点N4的电位提供至第三节点N3;

[0035] 驱动控制模块105的第一端与第一节点N1电连接,第二端与第一电压信号端PVDD

电连接,第三端与第二节点N2电连接,第四端与第四节点N4电连接;驱动控制模块105,用于在第一电压信号端PVDD输入的第一电压信号的控制下,维持第一节点N1的电位;在第一节点N1的控制下,将第二节点N2和第四节点N4之间导通;

[0036] 有机发光二极管106的第一端与第三节点N3电连接,第二端与第二电压信号端PVEE电连接。

[0037] 具体地,以图4至图7所示的电致发光显示面板中的像素电路的结构为例,通过对其进行仿真模拟,当第n-1帧为0灰阶,第n帧为255灰阶,第n+1帧为255灰阶时,对第一节点N1和N2节点的在不同时间段时的电位进行检测,检测结果如表2所示。

[0038] 表2

[0039]

灰阶	0	255			255	
帧数	第 n-1 帧	第 n 帧			第 n+1 帧	
阶段	发光阶段	初始化阶段	数据写入阶段	发光阶段	初始化阶段	数据写入阶段
N1	3.44	-3	1.03	1.5	-3	1.03
N2	4.6	-0.58	3.5	4.6	-0.59	3.5

[0040] 由上述表2可以可知,在初始化阶段,第n帧的第二节点N2的电位与第n+1帧的第二节点N2的电位相同。具体地,在初始化阶段,第n帧的第一节点N1的电位-3V是由3.44V切换过来的,第n+1帧的第一节点N1的电位-3V是由1.5V切换过来的,虽然像素电路中第一节点N1和第二节点N2之间存在寄生电容,但因第二节点N2在初始化阶段被参考信号复位电位为-0.58和-0.59,因此第一节点N1的电压变化 ΔV 不一致不会影响在初始化阶段第n帧的第二节点N2的电位与第n+1帧的第二节点N2的电位,进而不会影响在数据写入阶段时,第n帧的第一节点N1的电位与第n+1帧的第一节点N1节点的电位,保证了第n帧亮度与第n+1帧亮度一致。

[0041] 在具体实施时,在本发明实施例提供的上述电致发光显示面板中,设置在每列像素电路中的各像素电路之间的连接通路,可以有以下几种实施方式:

[0042] 第一种实施方式,连接通路为下一个像素电路中的节点初始化模块101的第五端提供参考信号,使得在初始化阶段,在对第一节点N1进行初始化的同时,实现对第二节点N2的初始化;如图4和图5所示,虚线框1表示首个像素电路,称为像素电路P1,虚线框2表示与首个像素电路相邻的第二个像素电路,称为像素电路P2,连接通路为像素电路P2中的节点初始化模块101的第五端提供参考信号。

[0043] 第二种实施方式,连接通路为上一个像素电路中的阳极复位模块102的第三端提供参考信号,使得在对第二节点N2进行初始化的同时,对上一个像素电路中的阳极进行复位;如图6和图7所示,虚线框N表示最后一个像素电路,称为像素电路PN,虚线框N-1表示与最后一个像素电路相邻的倒数第二个像素电路,称为像素电路PN-1,连接通路为像素电路PN-1中的阳极复位模块102的第三端提供参考信号。

[0044] 第三种实施方式,如图8和图9所示,图中仅示出了虚拟像素电路与像素电路之间的连接通路,以及各像素电路之间的连接通路;在一列像素电路的开头设置虚拟像素电路

DP1,在结尾设置虚拟像素电路DPN,且虚拟像素电路的结构设置与像素电路中的结构设置相同(图中并未给出具体的像素电路的结构);所以可以在位于开头的虚拟像素电路DP1与相邻像素电路P1之间设置连接通路m(箭头表示参考信号流动的方向),使得虚拟像素电路DP1为像素电路P1(即第一个像素电路)中的节点初始化模块101的第五端(即第二节点N2)提供参考信号,且位于各像素电路之间的连接通路m,为下一个像素电路中的节点初始化模块101的第五端(即第二节点N2)提供参考信号(如图8所示);或,在位于结尾的虚拟像素电路DPN与相邻像素电路PN之间设置连接通路m(箭头表示参考信号流动的方向),使得位于结尾的虚拟像素电路DPN为像素电路PN(即最后一个像素电路)中的阳极复位模块102的第三端(即第三节点N3)提供参考信号,且位于各像素电路之间的连接通路m,为上一个像素电路中的阳极复位模块102的第三端(即第三节点N3)提供参考信号(如图9所示)。

[0045] 因此,上述三种实施方式,均可以在对第一节点N1进行初始化的同时,实现对第二节点N2的初始化,不仅可以保证每一帧的复位情况完全一致,还可以减少信号端的设置数量,节省布线空间;另外,有效避免了电压跳变引起的阈值电压抓取不一致的问题,保证了在高低灰阶切换后第一帧的亮度一致,有效防止了驱动晶体管的阈值电压发生偏移导致的残影现象出现。虽然第三种实施方式利用了电致发光显示面板中设置的虚拟像素电路来实现对第二节点N2的初始化或对第三节点N3的复位,但若将虚拟像素电路看作像素电路时,其中的各模块的工作过程是相同的,本质上并无根本区别;因此,下面就以第一种实施方式与第二种实施方式为例,对各像素电路之间设置的连接通路的实施方式进行详细说明。

[0046] 可选地,对于第一种实施方式,在本发明实施例提供的上述电致发光显示面板中,如图4和图5所示,每列像素电路中除首个像素电路P1之外,各像素电路的节点初始化模块101的第五端与上一个像素电路的第三节点N3电连接;首个像素电路P1的节点初始化模块101的第五端与参考信号端Vref电连接(如图5所示),或与第一节点N1电连接(如图4所示)。

[0047] 具体地,为了能够在阳极复位模块102的作用下,使第三节点N3的电位为参考信号的电位,实现为下一个像素电路中的节点初始化模块101的第五端提供参考信号,在本发明实施例提供的上述电致发光显示面板中,如图4和图5所示,每列像素电路中各像素电路的阳极复位模块102的第三端与参考信号端Vref电连接。

[0048] 可选地,对于第二种实施方式,在本发明实施例提供的上述电致发光显示面板中,如图6和图7所示,每列像素电路的除最后一个像素电路PN之外,各像素电路的阳极复位模块102的第三端与下一个像素电路中的第二节点N2电连接;最后一个像素电路PN的阳极复位模块102的第三端与参考信号端Vref电连接。

[0049] 具体地,为了能够在节点初始化模块101的作用下,使第二节点N2的电位为参考信号的电位,实现为上一个像素电路中的阳极复位模块102的第三端提供参考信号,在本发明实施例提供的上述电致发光显示面板中,如图6和图7所示,每列像素电路中各像素电路的节点初始化模块101的第五端与参考信号端Vref(如图7所示)电连接,或与第一节点N1电连接(如图6所示)。

[0050] 需要说明的是,在电致发光显示面板中,各扫描信号按照列的方向进行排列,且是按照逐行扫描的方式从扫描控制驱动器中发出扫描信号,用于驱动各像素电路,所以从电致发光显示面板的整体来看,扫描信号端的排列序号是依次连续排列的;例如,如图4所示,从像素电路P1至像素电路P2,扫描信号端的序号依次为S1,S2和S3,并且,像素电路P1和像

素电路P2共用S2;同理,在图6和图7所示的各像素电路中,像素电路PN与像素电路PN-1之间共用SN;正因如此,在第二扫描信号端S2输入第二扫描信号时,在像素电路P1中的第三开关晶体管T3导通的同时,像素电路P2中的第一开关晶体管T1和第二开关晶体管T2也处于导通状态,所以使得在像素电路P1中的第三节点N3复位的同时,实现了对像素电路P2中的第二节点N2的初始化,有效节省了信号端的设置数量。

[0051] 并且,在图6和图7所示的各像素电路中,用于提供发光控制信号的发光控制信号端的序号与像素电路的序号相对应,即像素电路PN-1中,用于提供发光控制信号的控制信号端为第N-1个发光控制信号端,像素电路PN中,用于提供发光控制信号的控制信号端为第N个发光控制信号端,用于控制各像素电路依次发光。

[0052] 在具体实施时,为了能够清楚地解释每个像素电路中各模块的工作过程,在如图10至图13所示的像素电路中,其中,图10是与图4对应的像素电路的具体结构示意图,图11是与图5对应的像素电路的具体结构示意图,图12是与图6对应的像素电路的具体结构示意图,图13是与图7对应的像素电路的具体结构示意图;如图10和图11所示,在像素电路P1中,用于提供扫描信号的扫描信号端分别为S1和S2,所以可以将S1作为第一扫描信号端,将S2作为第二扫描信号端,用于提供发光控制信号的发光控制信号端为EMIT1;而在像素电路P2中,用于提供扫描信号的扫描信号端分别为S2和S3,所以可以将S2作为第一扫描信号端,将S3作为第二扫描信号端,用于提供发光控制信号的发光控制信号端为EMIT2;同理,如图12和图13所示,在像素电路PN-1中,用于提供扫描信号的扫描信号端分别为SN-1和SN,所以可以将SN-1作为第一扫描信号端,将SN作为第二扫描信号端,用于提供发光控制信号的发光控制信号端为EMITN-1;而在像素电路PN中,用于提供扫描信号的扫描信号端分别为SN和SN+1,所以可以将SN作为第一扫描信号端,将SN+1作为第二扫描信号端,用于提供发光控制信号的发光控制信号端为EMITN;因此,下面将以图10和图11所示的像素电路P1中的具体结构为例,对像素电路的具体结构进行说明。

[0053] 具体地,为了能够实现节点初始化模块101的功能,实现对第一节点N1和第二节点N2的初始化,在本发明实施例提供的上述电致发光显示面板中,节点初始化模块101,如图10和图11所示的像素电路P1,可以包括:第一开关晶体管T1和第二开关晶体管T2;

[0054] 第一开关晶体管T1的栅极与第一扫描信号端S1电连接,源极与参考信号端Vref电连接,漏极与第一节点N1电连接;

[0055] 第二开关晶体管T2的栅极与第一扫描信号端S1电连接,漏极与第二节点N2电连接,源极用于接收参考信号。

[0056] 具体地,第一开关晶体管T1在第一扫描信号端S1输入的第一扫描信号的控制下,将参考信号端Vref输入的参考信号传输至第一节点N1;第二开关晶体管T2在第一扫描信号端S1输入的第一扫描信号的控制下,将接收到的参考信号传输至第二节点N2。

[0057] 具体地,第一开关晶体管T1和第二开关晶体管T2可以均为P型晶体管,在第一扫描信号端S1输入的第一扫描信号为低电平时,第一开关晶体管T1和第二开关晶体管T2均处于导通状态;第一开关晶体管T1和第二开关晶体管T2还可以均为N型晶体管,在第一扫描信号端S1输入的第一扫描信号为高电平时,第一开关晶体管T1和第二开关晶体管T2均处于导通状态。

[0058] 以上仅是举例说明节点初始化模块101的具体结构,在具体实施时,节点初始化模

块101的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作赘述。

[0059] 进一步地,如图10和图11所示的像素电路P1,第一开关晶体管T1可以为双栅极结构,这样可以减少在第一开关晶体管T1截止时的漏电流,以有利于减少在发光阶段第一开关晶体管T1的漏电流对驱动晶体管Md的干扰,进而影响驱动晶体管Md的驱动电流;因此,在本发明实施例提供的上述电致发光显示面板中,第一开关晶体管T1为双栅极结构,可以包括:第一子开关晶体管T11和第二子开关晶体管T12;

[0060] 第一子开关晶体管T11的漏极和第二子开关晶体管T12的源极电连接;

[0061] 第一子开关晶体管T11的栅极和第二子开关晶体管T12的栅极分别与第一扫描信号端S1电连接;

[0062] 第一子开关晶体管T11的源极与参考信号端Vref电连接,第二子开关晶体管T12的漏极与第一节点N1电连接。

[0063] 具体地,在第一开关晶体管T1为P型晶体管时,第一子开关晶体管T11和第二子开关晶体管T12同样均为P型晶体管,在第一扫描信号端S1输入的第一扫描信号为低电平时,第一子开关晶体管T11和第二子开关晶体管T12均处于导通状态;在第一开关晶体管T1为N型晶体管时,第一子开关晶体管T11和第二子开关晶体管T12同样均为N型晶体管,在第一扫描信号端S1输入的第一扫描信号为高电平时,第一子开关晶体管T11和第二子开关晶体管T12均处于导通状态。

[0064] 在具体实施时,为了实现阳极复位模块102的功能,实现对阳极的复位,在本发明实施例提供的上述电致发光显示面板中,如图10和图11所示的像素电路P1,阳极复位模块102,可以包括:第三开关晶体管T3;

[0065] 第三开关晶体管T3的栅极与第二扫描信号端S2电连接,漏极与第三节点N3电连接,源极用于接收参考信号。

[0066] 具体地,第三开关晶体管T3在第二扫描信号端S2输入的第二扫描信号的控制下,将接收到的参考信号传输至第三节点N3。

[0067] 具体地,第三开关晶体管T3可以为P型晶体管,在第二扫描信号端S2输入的第二扫描信号为低电平时,第三开关晶体管T3处于导通状态;第三开关晶体管T3还可以为N型晶体管,在第二扫描信号端S2输入的第二扫描信号为高电平时,第三开关晶体管T3处于导通状态。

[0068] 以上仅是举例说明阳极复位模块102的具体结构,在具体实施时,阳极复位模块102的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作赘述。

[0069] 在具体实施时,为了实现数据写入模块103的功能,在本发明实施例提供的上述电致发光显示面板中,如图10和图11所示的像素电路P1,数据写入模块103,可以包括:第四开关晶体管T4和第五开关晶体管T5;

[0070] 第四开关晶体管T4的栅极与第二扫描信号端S2电连接,源极与数据信号端Vdata电连接,漏极与第二节点N2电连接;

[0071] 第五开关晶体管T5的栅极与第二扫描信号端S2电连接,源极与第四节点N4电连接,漏极与第一节点N1电连接。

[0072] 具体地,第四开关晶体管T4在第二扫描信号端S2输入的第二扫描信号的控制下,将数据信号端Vdata输入的数据信号传输至第二节点N2;第五开关晶体管T5在第二扫描信号端S2输入的第二扫描信号的控制下,将第四节点N4的电位提供至第一节点N1。

[0073] 具体地,第四开关晶体管T4和第五开关晶体管T5可以均为P型晶体管,在第二扫描信号端S2输入的第二扫描信号为低电平时,第四开关晶体管T4和第五开关晶体管T5均处于导通状态;第四开关晶体管T4和第五开关晶体管T5还可以均为N型晶体管,在第二扫描信号端S2输入的第二扫描信号为高电平时,第四开关晶体管T4和第五开关晶体管T5均处于导通状态。

[0074] 以上仅是举例说明数据写入模块103的具体结构,在具体实施时,数据写入模块103的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作赘述。

[0075] 同样地,如图10和图11所示的像素电路P1,第五开关晶体管T5也可以为双栅极结构,这样可以减少在第五开关晶体管T5截止时的漏电流,以有利于减少在发光阶段第五开关晶体管T5的漏电流对驱动晶体管Md的干扰,进而影响驱动晶体管Md的驱动电流;因此,在本发明实施例提供的上述电致发光显示面板中,第五开关晶体管T5为双栅极结构,可以包括:第三子开关晶体管T51和第四子开关晶体管T52;

[0076] 第三子开关晶体管T51的漏极和第四子开关晶体管T52的源极电连接;

[0077] 第三子开关晶体管T51的栅极和第四子开关晶体管T52的栅极分别与第二扫描信号端S2电连接;

[0078] 第三子开关晶体管T51的源极与第一节点N1电连接,第四子开关晶体管T52的漏极与第四节点N4电连接。

[0079] 具体地,在第五开关晶体管T5为P型晶体管时,第三子开关晶体管T51和第四子开关晶体管T52同样均为P型晶体管,在第二扫描信号端S2输入的第二扫描信号为低电平时,第三子开关晶体管T51和第四子开关晶体管T52均处于导通状态;在第五开关晶体管T5为N型晶体管时,第三子开关晶体管T51和第四子开关晶体管T52同样均为N型晶体管;在第二扫描信号端S2输入的第二扫描信号为高电平时,第三子开关晶体管T51和第四子开关晶体管T52均处于导通状态。

[0080] 在具体实施时,为了实现发光控制模块104的功能,有助于实现有机发光二极管106的发光,在本发明实施例提供的上述电致发光显示面板中,如图10和图11所示的像素电路P1,发光控制模块104,可以包括:第六开关晶体管T6和第七开关晶体管T7;

[0081] 第六开关晶体管T6的栅极与发光控制信号端EMIT1电连接,源极与第一电压信号端PVDD电连接,漏极与第二节点N2电连接;

[0082] 第七开关晶体管T7的栅极与发光控制信号端EMIT1电连接,源极与第四节点N4电连接,漏极与第三节点N3电连接。

[0083] 具体地,第六开关晶体管T6在发光控制信号端EMIT1输入的发光控制信号的控制下,将第一电压信号端PVDD输入的第一电压信号传输至第二节点N2;第七开关晶体管T7在发光控制信号端EMIT1输入的发光控制信号的控制下,将第四节点N4的电位传输至第三节点N3。

[0084] 具体地,第六开关晶体管T6和第七开关晶体管T7可以均为P型晶体管,在发光控制

信号端EMIT1输入的发光控制信号为低电平时,第六开关晶体管T6和第七开关晶体管T7均处于导通状态;第六开关晶体管T6和第七开关晶体管T7还可以均为N型晶体管,在发光控制信号端EMIT1输入的发光控制信号为高电平时,第六开关晶体管T6和第七开关晶体管T7均处于导通状态。

[0085] 以上仅是举例说明发光控制模块104的具体结构,在具体实施时,发光控制模块104的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作赘述。

[0086] 在具体实施时,为了能够实现驱动控制模块105的功能,驱动有机发光二极管106发光,在本发明实施例提供的上述电致发光显示面板中,如图10和图11所示的像素电路P1,驱动控制模块105,可以包括:驱动晶体管Md和电容C;

[0087] 驱动晶体管Md的栅极与第一节点N1电连接,源极与第二节点N2电连接,漏极与第四节点N4电连接;

[0088] 电容C连接于第一节点N1与第一电压信号端PVDD之间。

[0089] 在具体实施时,本发明实施例提供的上述电致发光显示面板中提到的驱动晶体管Md和各开关晶体管可以全部采用N型晶体管设计,或者,如图10至图13所示,驱动晶体管Md和各开关晶体管可以全部采用P型晶体管设计,这样可以简化像素电路的制作工艺流程。

[0090] 需要说明的是,在本发明实施例提供的上述电致发光显示面板中,上述驱动晶体管Md和各开关晶体管可以是薄膜晶体管(TFT,Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS,Metal Oxide Semiconductor),在此不作限定。在具体实施中,这些晶体管的源极和漏极可以互换,不做具体区分。在描述具体实施例是以驱动晶体管和晶体管都为薄膜晶体管为例进行说明的。

[0091] 在具体实施时,在本发明实施例提供的上述电致发光显示面板中,为了避免因连通的一系列像素电路中的某个像素电路出现故障而影响其他像素电路的正常工作,除了图10至图13所示的像素电路的结构之外,像素电路的结构还可以如图14所示,即一系列像素电路中的各像素电路之间不存在连接通路,在一个像素电路内,便可以实现对第二节点N2的初始化和对第三节点N3的复位。

[0092] 具体地,在图14所示的像素电路中,第二开关晶体管T2的栅极与第一扫描信号端S1电连接,源极与第一节点N1电连接,漏极与第二节点N2电连接;第二开关晶体管T2在第一扫描信号端S1输入的第一扫描信号的控制下,将第一节点N1的电位提供至第二节点N2;如此,在初始化阶段,在对第一节点N1进行初始化的同时,实现了第二节点N2的初始化,避免了第一节点N1与第二节点N2的寄生电容造成的差异,进而避免了电压跳变引起的阈值电压抓取不一致的问题,防止了驱动晶体管Md的阈值电压发生偏移导致的残影现象出现。

[0093] 当然,第二开关晶体管T2的源极并不限于图14中所示的可以与第一节点N1电连接,还可以直接与参考信号端Vref电连接,直接接收参考信号端Vref输入的参考信号,以保证接收到的参考信号的稳定性。

[0094] 下面将以几个具体实施例对本发明实施例提供的上述电致发光显示面板的像素电路的工作过程进行详细地描述。

[0095] 具体地,以图11和图13所示的像素电路的结构为例,并结合图15和图16所示的输入输出时序图,对本发明实施例提供的上述电致发光显示面板的像素电路的工作过程作以

描述。下述描述中以1表示高电位,0表示低电位。需要说明的是,1和0是逻辑电位,其仅是为了更好的解释本发明实施例的具体工作过程,而不是在具体实施时施加在各开关晶体管的栅极上的电压。

[0096] 可选地,以图11所示的像素电路的结构,以及图15所示的输入输出时序图为例;并主要选取如图15所示的输入输出时序图中的T1-T4四个阶段。

[0097] 在T1阶段, $S1=0, S2=1, S3=1, EMIT1=1, EMIT2=0$,为像素电路P1的初始化阶段。

[0098] 因 $S1=0$,在像素电路P1中,第一开关晶体管T1和第二开关晶体管T2导通,第一开关晶体管T1将参考信号端Vref输入的参考信号传输至第一节点N1,第二开关晶体管T2同样将参考信号端Vref输入的参考信号传输至第二节点N2,使得 $N1=Vref, N2=Vref$,完成对驱动晶体管Md的初始化,有机发光二极管D不发光。

[0099] 在T2阶段, $S1=1, S2=0, S3=1, EMIT1=1, EMIT2=1$,为像素电路P1的数据写入阶段,为像素电路P2的初始化阶段。

[0100] 在像素电路P1中,因 $S2=0$,第三开关晶体管T3导通,将参考信号端Vref输入的参考信号传输至第三节点N3,使 $N4=Vref$,完成对阳极的复位;同时第四开关晶体管T4和第五开关晶体管T5也均处于导通状态,第四开关晶体管T4将数据信号端Vdata输入的数据信号传输至第二节点N2,使 $N2=Vdata$;第五开关晶体管T5导通以将驱动晶体管Md的栅极和漏极导通,第一节点N1和第四节点N4的电位变为 $Vdata-|V_{th}|$,此时驱动晶体管Md的 V_{sg} 从 $0 \rightarrow Vdata-Vref \rightarrow |V_{th}|$,因此无论高灰阶跳变为中灰阶或是低灰阶跳变为中灰阶,均可以保证抓取的阈值电压相同;由于 $EMIT=1$,因此第六开关晶体管T6和第七开关晶体管T7截止,有机发光二极管D不发光。

[0101] 在像素电路P2中,因 $S2=0$,所以第一开关晶体管T1和第二开关晶体管T2导通,第一开关晶体管T1将参考信号端Vref输入的参考信号传输至第一节点N1,使 $N1=Vref$;而由于第二开关晶体管T2的源极与像素电路P1中的第三节点N3电连接,且在此阶段,像素电路P1中的第三节点N3的电位为Vref,所以第二开关晶体管T2将像素电路P1中第三节点N3的电位Vref传输至第二节点N2,使 $N2=Vref$,完成对驱动晶体管Md的初始化,有机发光二极管D不发光。

[0102] 在T3阶段, $S1=1, S2=1, S3=0, EMIT1=0, EMIT2=1$,为像素电路P1的发光阶段,为像素电路P2的数据写入阶段。

[0103] 在像素电路P1中,由于 $S1=1$,因此第一开关晶体管T1和第二开关晶体管T2均截止。由于 $S2=1$,因此,第三开关晶体管T3、第四开关晶体管T4和第五开关晶体管T5均截止。由于 $EMIT=0$,因此第六开关晶体管T6导通以将第一电压信号端PVDD的高电位提供给驱动晶体管Md的源极,第二节点N2的电位变为PVDD,此时驱动晶体管Md的 $V_{sg}=N2-N1=PVDD-Vdata+|V_{th}|$, $I=K(V_{sg}-|V_{th}|)^2=K(PVDD-Vdata)^2$;第七开关晶体管T7导通,以使驱动晶体管Md的驱动电流驱动有机发光二极管D工作而发光。

[0104] 在像素电路P2中,仅 $S3=0$,所以该阶段为像素电路P2的数据写入阶段,因此,像素电路P2的数据写入阶段与像素电路P1的数据写入阶段相同,具体可参见像素电路P1的数据写入阶段(即T2阶段),重复之处不再赘述。

[0105] 在T4阶段, $S1=1, S2=1, S3=1, EMIT1=1, EMIT2=0$,为像素电路P2的发光阶段。

[0106] 在像素电路P2中,由于 $EMIT2=0$,所以该阶段为像素电路P2的发光阶段,因此,像素电路P2的发光阶段与像素电路P1的发光阶段相同,具体可参见像素电路P1的发光阶段(即T3阶段),重复之处不再赘述。

[0107] 根据上述工作过程可知,通过在像素电路P1与像素电路P2之间设置连接通路,可以在像素电路P1中对第三节点N3(即阳极)进行复位的同时,为像素电路P2中的第二开关晶体管T2的源极提供参考信号,实现对像素电路P2中的第二节点N2的初始化,因此,有效减少了信号端的设置数量以及布线空间,并且还有效解决了电压跳变引起的阈值电压抓取不一致的问题,保证在高低灰阶切换后第一帧的亮度一致。

[0108] 可选地,以图13所示的像素电路的结构,以及图16所示的输入输出时序图为例;同样主要选取如图16所示的输入输出时序图中的T1-T4四个阶段。

[0109] 在T1阶段, $SN-1=0, SN=1, SN+1=1, EMITN-1=1, EMITN=0$,为像素电路PN-1的初始化阶段。

[0110] 因 $SN-1=0$,在像素电路PN-1中,第一开关晶体管T1和第二开关晶体管T2导通,第一开关晶体管T1将参考信号端Vref输入的参考信号传输至第一节点N1,第二开关晶体管T2同样将参考信号端Vref输入的参考信号传输至第二节点N2,使得 $N1=Vref, N2=Vref$,完成对驱动晶体管Md的初始化,有机发光二极管D不发光。

[0111] 在T2阶段, $SN-1=1, SN=0, SN+1=1, EMITN-1=1, EMITN=1$,为像素电路PN-1的数据写入阶段,为像素电路PN的初始化阶段。

[0112] 在像素电路PN中,仅 $SN=0$,所以该阶段为像素电路PN的初始化阶段,即对驱动晶体管Md的初始化,使 $N1=N2=Vref$;因此,像素电路PN的初始化阶段与像素电路PN-1的初始化阶段相同,具体可参见像素电路PN-1的初始化阶段(即T1阶段),重复之处不再赘述。

[0113] 而在像素电路PN-1中,因 $SN=0$,所以第三开关晶体管T3导通,由于第三开关晶体管T3的源极与像素电路PN中的第二节点N2电连接,且此阶段像素电路PN中的第二节点N2的电位为Vref,因此,第三开关晶体管T3将像素电路PN中第二节点N2的电位Vref传输至第三节点N3,使 $N4=Vref$,完成对第三节点N3(即阳极)的复位;同时,第四开关晶体管T4和第五开关晶体管T5也均处于导通状态,第四开关晶体管T4将数据信号端Vdata输入的数据信号传输至第二节点N2,使 $N2=Vdata$;第五开关晶体管T5导通以将驱动晶体管Md的栅极和漏极导通,第一节点N1和第四节点N4的电位变为 $Vdata-|Vth|$,此时驱动晶体管Md的 V_{sg} 从 $0 \rightarrow Vdata-Vref \rightarrow |Vth|$,因此无论高灰阶跳变为中灰阶或是低灰阶跳变为中灰阶,均可以保证抓取的阈值电压相同;由于 $EMITN-1=1$,因此第六开关晶体管T6和第七开关晶体管T7截止,有机发光二极管D不发光。

[0114] 在T3阶段, $SN-1=1, SN=1, SN+1=0, EMITN-1=0, EMITN=1$,为像素电路PN-1的发光阶段,为像素电路PN的数据写入阶段。

[0115] 在像素电路PN-1中,由于 $SN-1=1$,因此第一开关晶体管T1和第二开关晶体管T2均截止。由于 $SN=1$,因此,第三开关晶体管T3、第四开关晶体管T4和第五开关晶体管T5均截止。由于 $EMITN-1=0$,因此第六开关晶体管T6导通以将第一电压信号端PVDD的高电位提供给驱动晶体管Md的源极,第二节点N2的电位变为PVDD,此时驱动晶体管Md的 $V_{sg}=N2-N1=PVDD-Vdata+|Vth|$, $I=K(V_{sg}-|Vth|)^2=K(PVDD-Vdata)^2$;第七开关晶体管T7导通,以使驱动晶体管Md的驱动电流驱动有机发光二极管D工作而发光。

[0116] 在像素电路PN中,仅 $SN+1=0$,所以该阶段为像素电路PN的数据写入阶段,因此,像素电路PN的数据写入阶段与像素电路PN-1的数据写入阶段相同,具体可参见像素电路PN-1的数据写入阶段(即T2阶段),重复之处不再赘述。

[0117] 在T4阶段, $SN-1=1$, $SN=1$, $SN+1=1$, $EMITN-1=1$, $EMITN=0$,为像素电路PN的发光阶段。

[0118] 在像素电路PN中,由于 $EMITN=0$,所以该阶段为像素电路PN的发光阶段,因此,像素电路PN的发光阶段与像素电路PN-1的发光阶段相同,具体可参见像素电路PN-1的发光阶段(即T3阶段),重复之处不再赘述。

[0119] 根据上述工作过程可知,通过在像素电路PN-1与像素电路PN之间设置连接通路,可以在像素电路PN中对第二节点N2进行初始化的同时,为像素电路PN-1中的第三开关晶体管T3的源极提供参考信号,实现对像素电路PN-1中的第三节点N3(即阳极)的复位,因此,有效减少了信号端的设置数量以及布线空间,并且还有效解决了电压跳变引起的阈值电压抓取不一致的问题,保证在高低灰阶切换后第一帧的亮度一致。

[0120] 在具体实施时,为了实现上述的驱动过程,在本发明实施例提供的上述电致发光显示面板中,各像素电路的布局图如图17所示,且图17所示的布局图与图13所示的像素电路相对应。具体地,在本发明实施例提供的上述电致发光显示面板中,如图17所示,为了节省电路布图空间,使电路设计更紧凑,每行相邻的两个像素电路PX1YN-1和PX2YN-1, PX2YN-1和PX3YN-1可以呈镜像方式排布,即左右对称设置。

[0121] 具体地,在本发明实施例提供的上述电致发光显示面板中,如图17所示,还可以包括:多条扫描信号线(如 $SN-1$ 、 SN 和 $SN+1$)、多条参考信号线 V_{ref} 、多条发光控制信号线(包括 $EMITN-1$ 和 $EMITN$)、多条数据信号线 V_{data} 和多条第一电压信号线 $PVDD$;其中,一般地,多条扫描信号线(如 $SN-1$ 、 SN 和 $SN+1$)、多条参考信号线 V_{ref} 和多条发光控制信号线(包括 $EMITN-1$ 和 $EMITN$)大致相互平行,可以设置在同一金属膜层;多条数据信号线 V_{data} 和多条第一电压信号线 $PVDD$,可以设置在同一金属膜层。

[0122] 进一步地,在本发明实施例提供的上述电致发光显示面板中,如图17所示,各晶体管的源极、漏极和沟道区域会设置于半导体层,在源极和漏极会进行相应的掺杂工艺,半导体层一般采用低温多晶硅,根据工艺需要,半导体层一般位于第一金属层之下。

[0123] 在具体实施时,在本发明实施例提供的上述电致发光显示面板中,如图17所示,为了节省电路布图空间,使电路设计更紧凑,至少两列相邻的像素电路PX2YN-1和PX3YN-1可以与同一第一电压信号线 $PVDD$ 连接。

[0124] 具体地,由于图17所示的布局图与图13所示的像素电路的结构相对应,且像素电路PX1YN-1中的第三开关晶体管T3的源极与像素电路PX1YN中的第二节点N2电连接,因此,在设计布局图时,为了减少布线数量,节省布线空间,使电路设计更紧凑,可以将像素电路PX1YN-1中的第三开关晶体管T3布置于像素电路PX1YN中。

[0125] 基于同一发明构思,本发明实施例还提供了一种如本发明实施例提供的上述电致发光显示面板的驱动方法,可以包括:

[0126] 初始化阶段,连接通路为相邻像素电路中的节点初始化模块提供参考信号;

[0127] 数据写入阶段,连接通路为相邻像素电路中的阳极复位模块提供参考信号。

[0128] 在具体实施时,在本发明实施例提供的上述驱动方法中,如图15所示T1-T3阶段,

驱动方法可以具体包括：

[0129] 初始化阶段(即T1阶段)，向各像素电路中的第一扫描信号端S1提供第一电平信号，向各像素电路中的第二扫描信号端S2提供第二电平信号，向各像素电路中的发光控制信号端EMIT1提供第二电平信号；

[0130] 数据写入阶段(即T2阶段)，向各像素电路中的第一扫描信号端S1提供第二电平信号，向各像素电路中的第二扫描信号端S2提供第一电平信号，向各像素电路中的发光控制信号端EMIT1提供第二电平信号；

[0131] 发光阶段(即T3阶段)，向各像素电路中的第一扫描信号端S1提供第二电平信号，向各像素电路中的第二扫描信号端S2提供第二电平信号，向各像素电路中的发光控制信号端EMIT1提供第一电平信号。

[0132] 可选地，在本发明实施例提供的上述电致发光显示面板的驱动方法中的第一电平信号可以为高电位信号，对应地，第二电平信号为低电位信号；或者反之，如图15和图16所示，第一电平信号可以为低电位信号，对应地，第二电平信号为高电位信号，具体需要根据开关晶体管是N型晶体管还是P型晶体管而定。

[0133] 基于同一发明构思，本发明实施例还提供了一种显示装置，可以包括：如本发明实施例提供的上述电致发光显示面板。当然，该显示装置也可以为手机(如图18所示)、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本发明的限制。

[0134] 本发明实施例提供了一种电致发光显示面板、其驱动方法及显示装置，其中，电致发光显示面板包括：呈阵列排布的多个像素电路；像素电路包括节点初始化模块和阳极复位模块；通过在每列像素电路中的各像素电路之间设置连接通路，为相邻像素电路中的阳极复位模块或节点初始化模块提供参考信号，不仅可以通过节点初始化模块实现对关键节点的初始化，避免因电压跳变引起的阈值电压抓取不一致的问题，有效防止驱动晶体管的阈值电压发生偏移导致的残影现象出现，还可以为相邻像素电路中的阳极复位模块或节点初始化模块提供参考信号，节省信号端口的设置数量，节省布线空间。

[0135] 显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

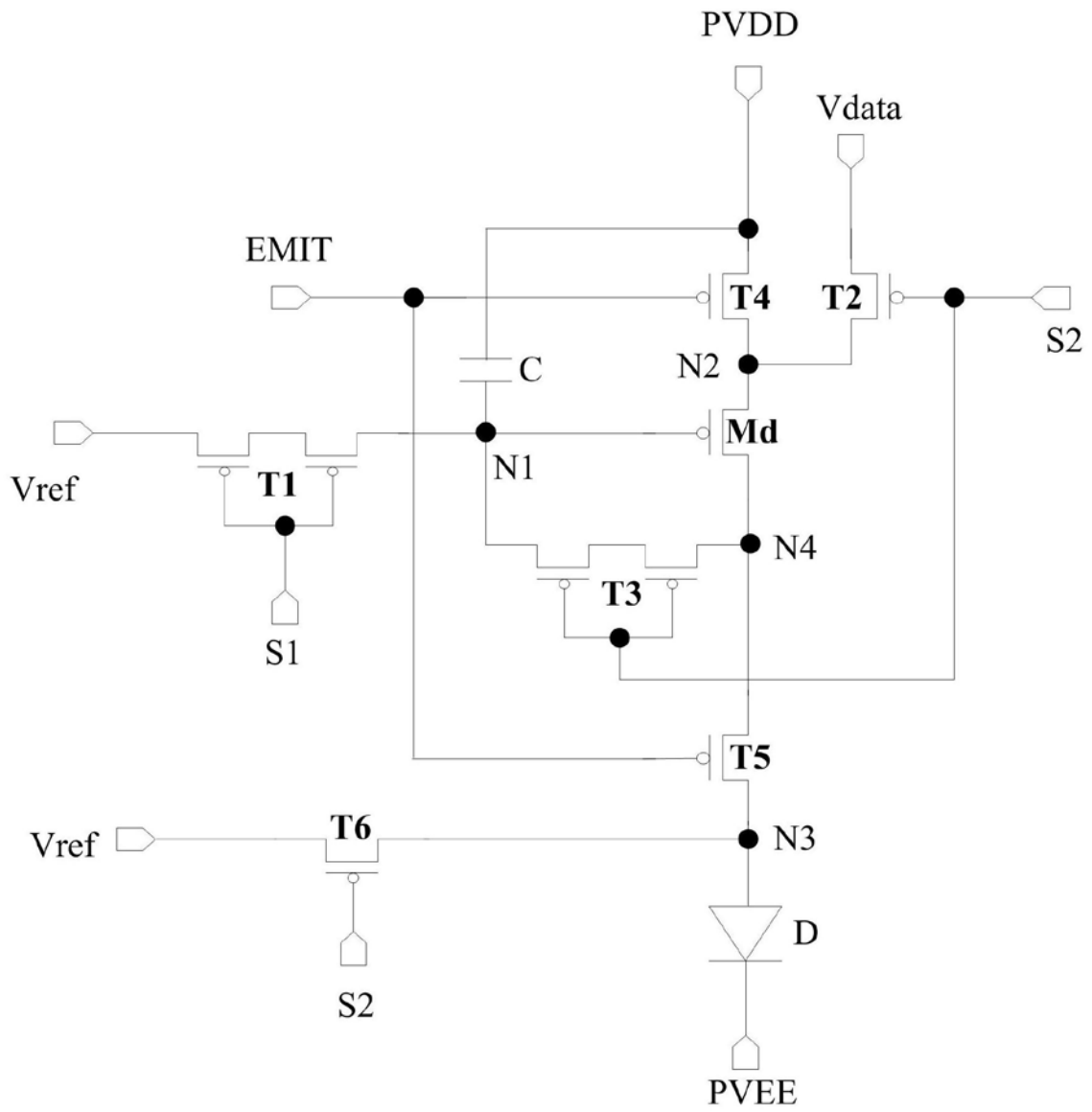


图1

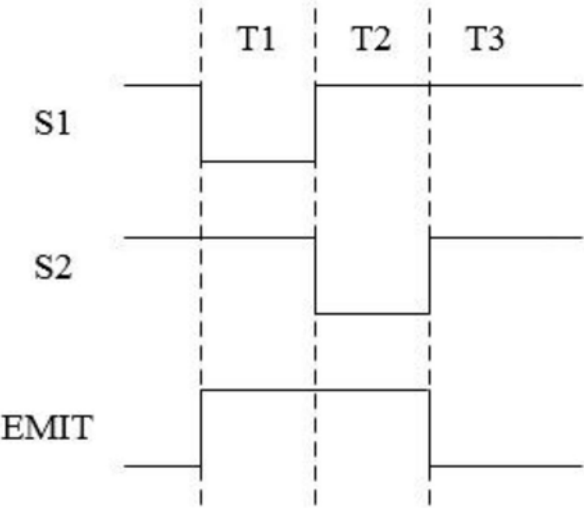


图2

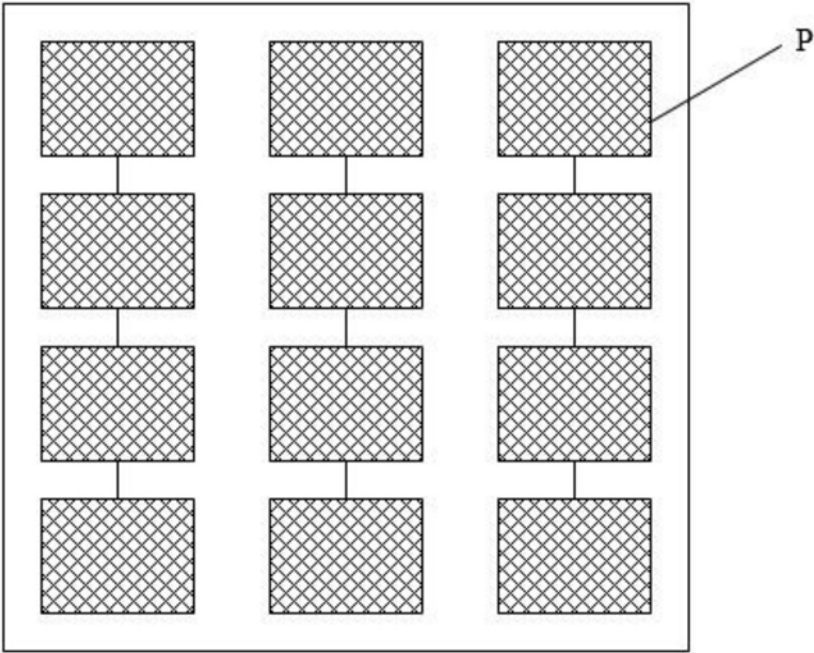


图3

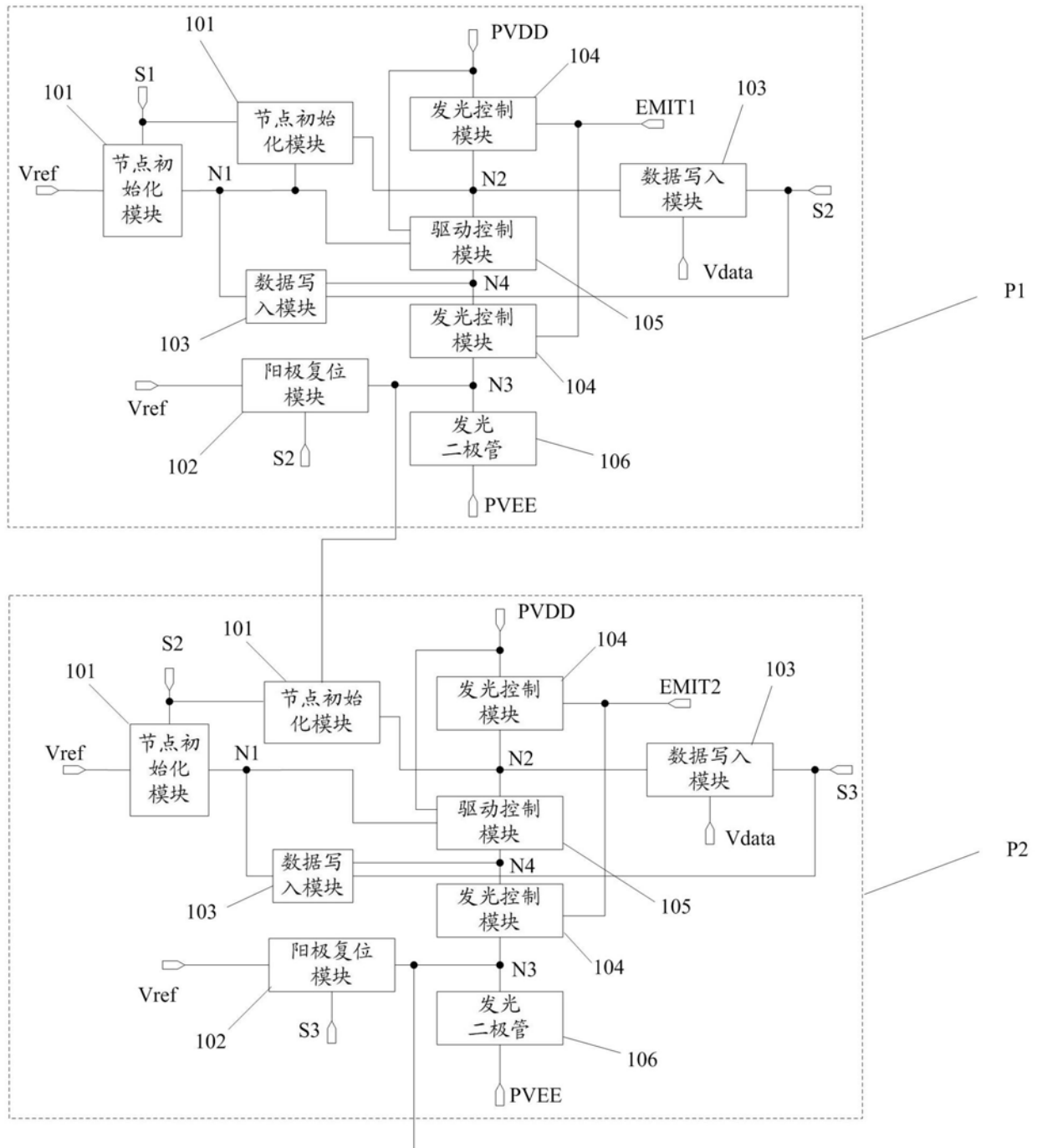


图4

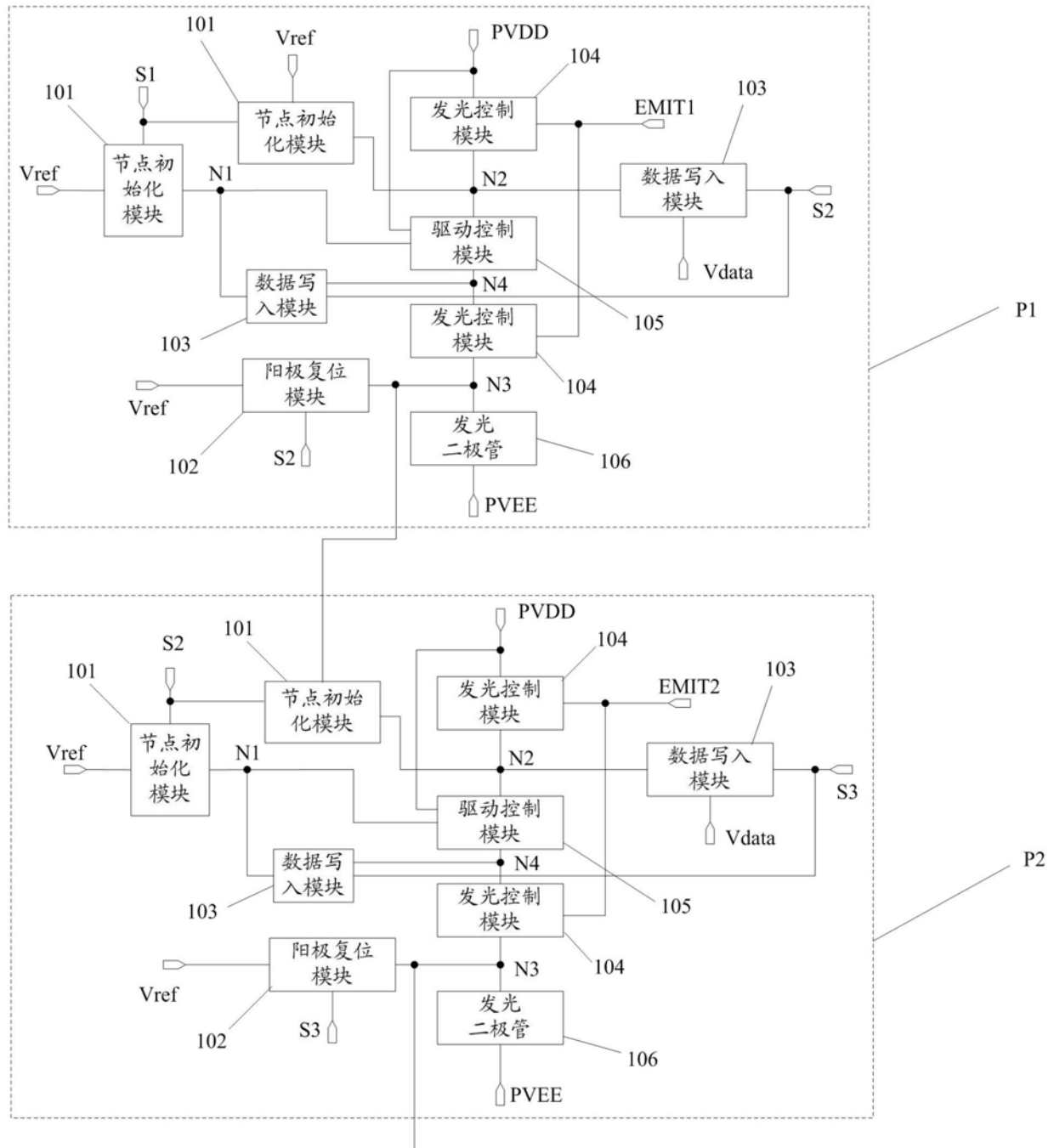


图5

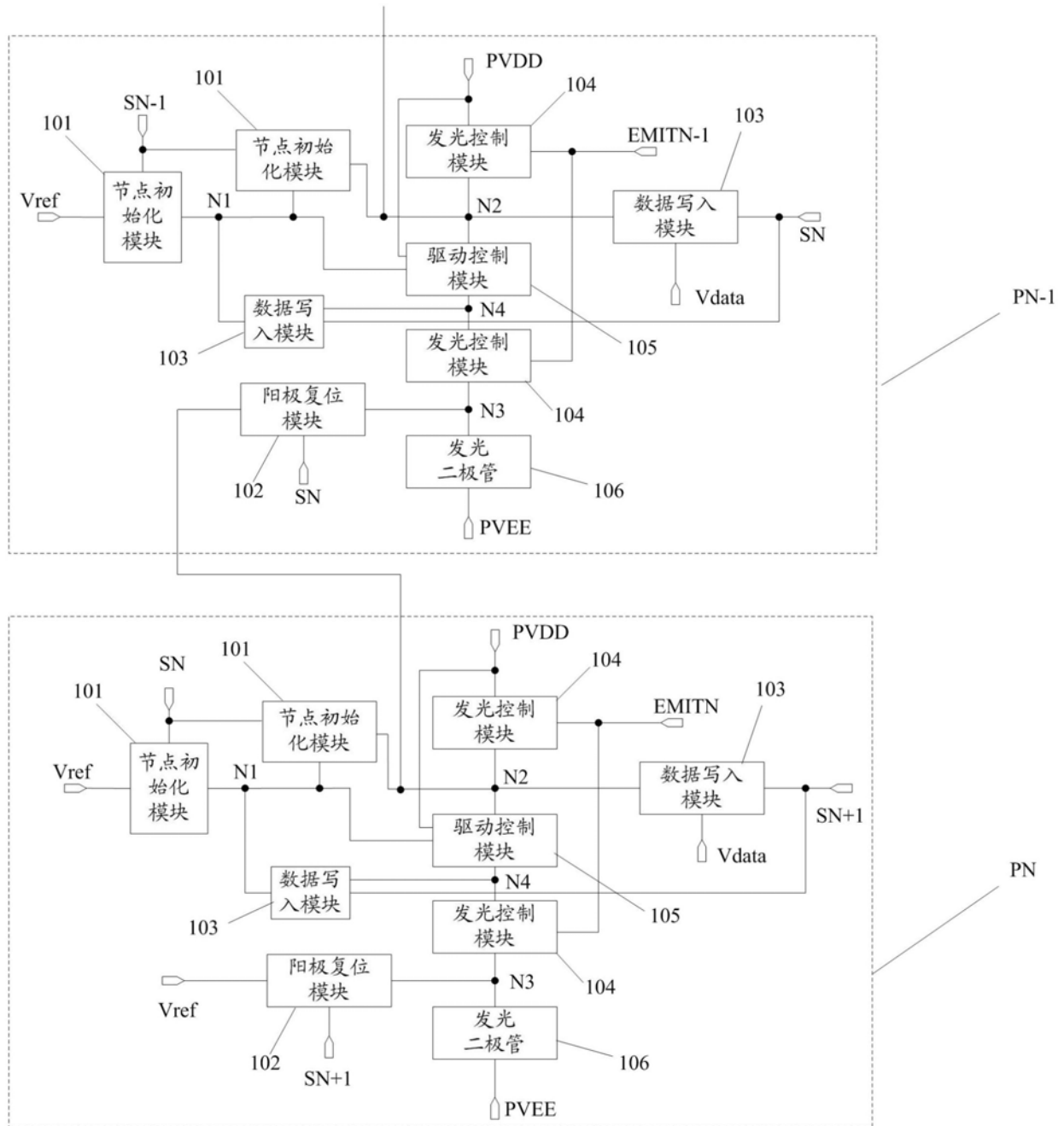


图6

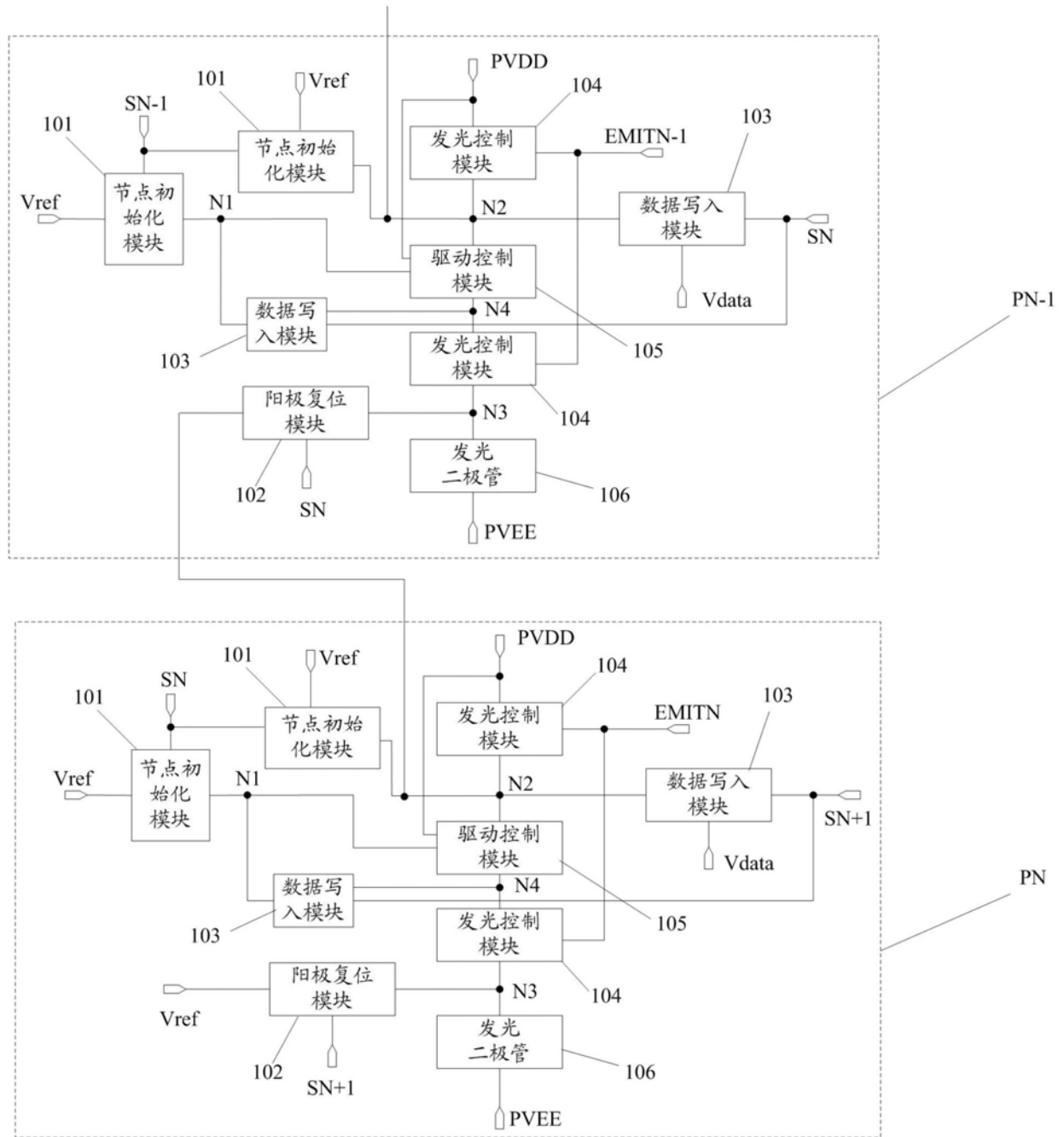


图7

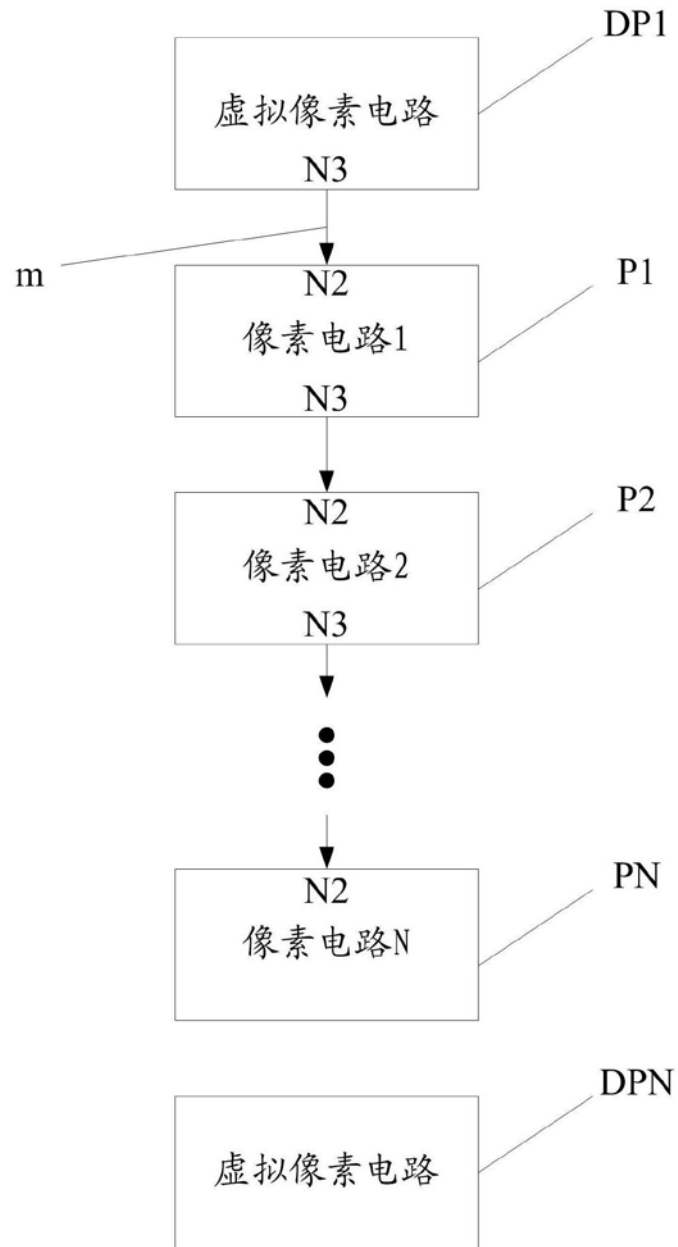


图8

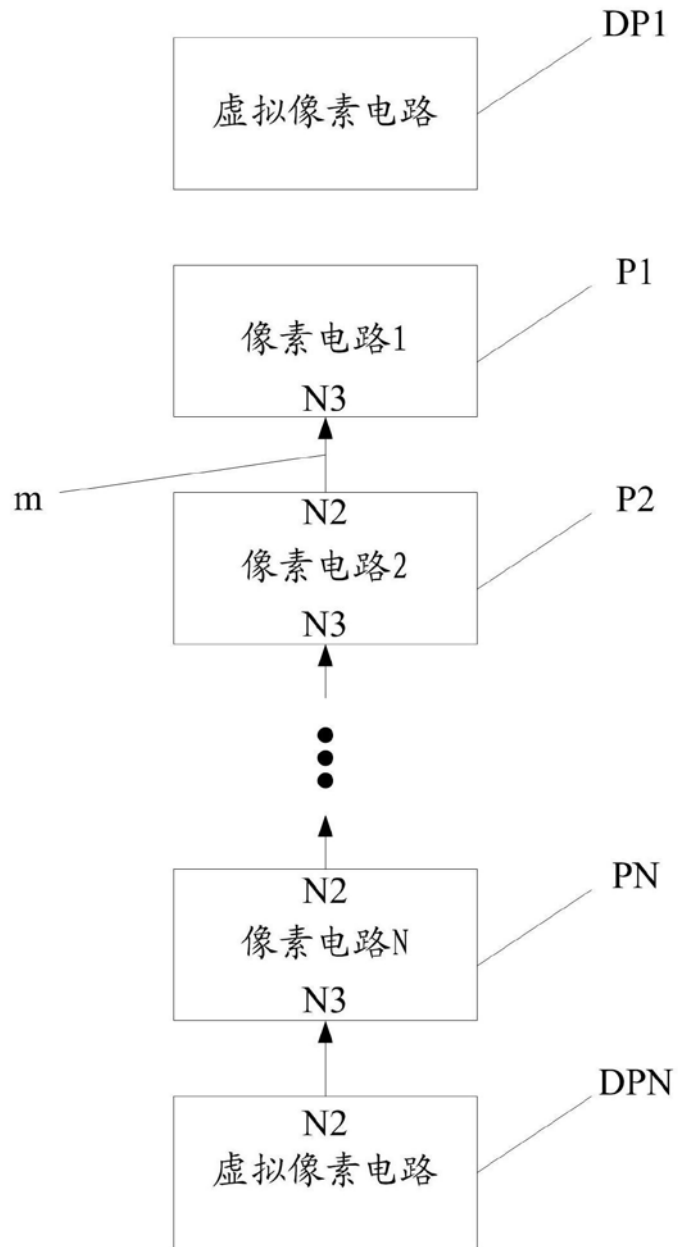


图9

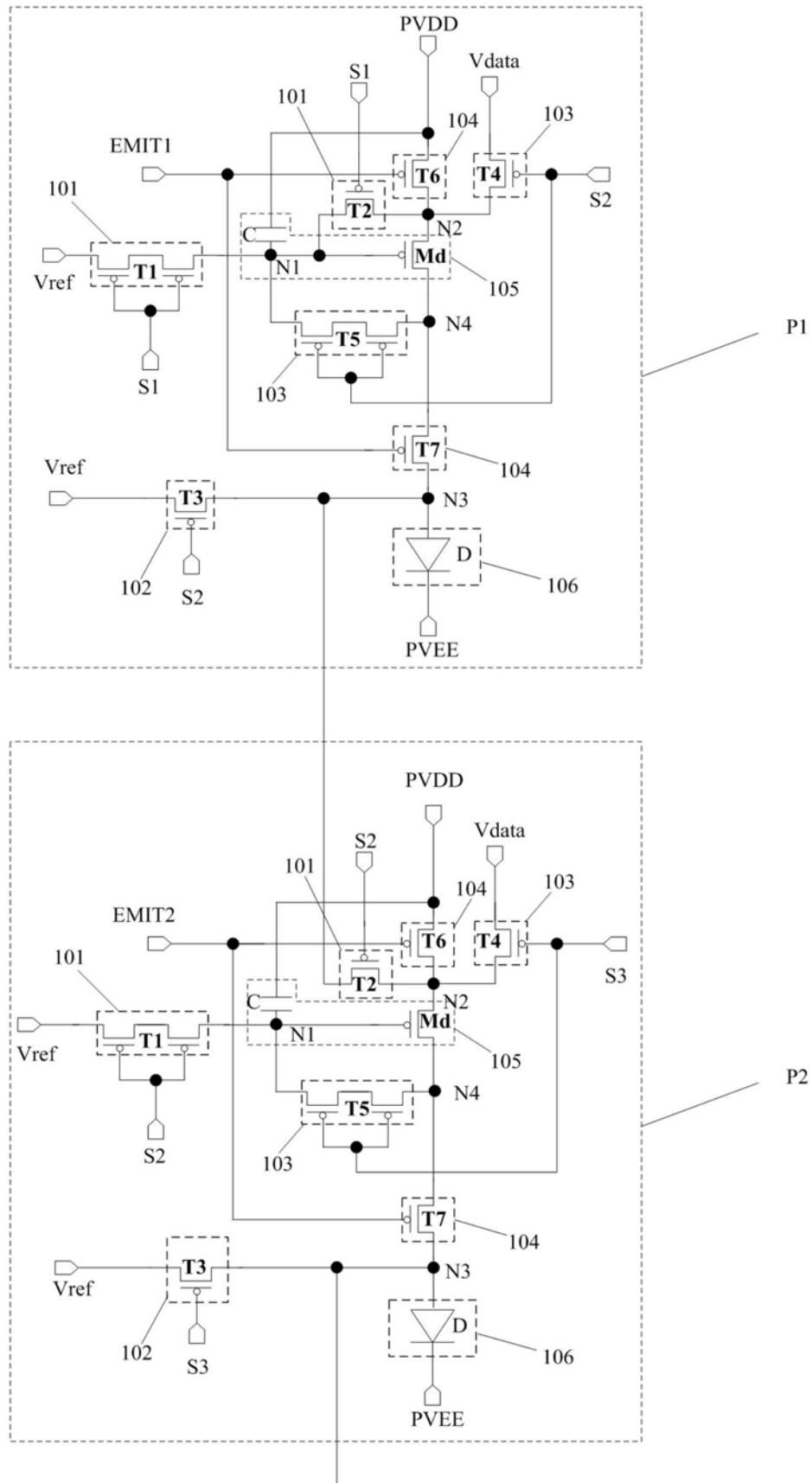


图10

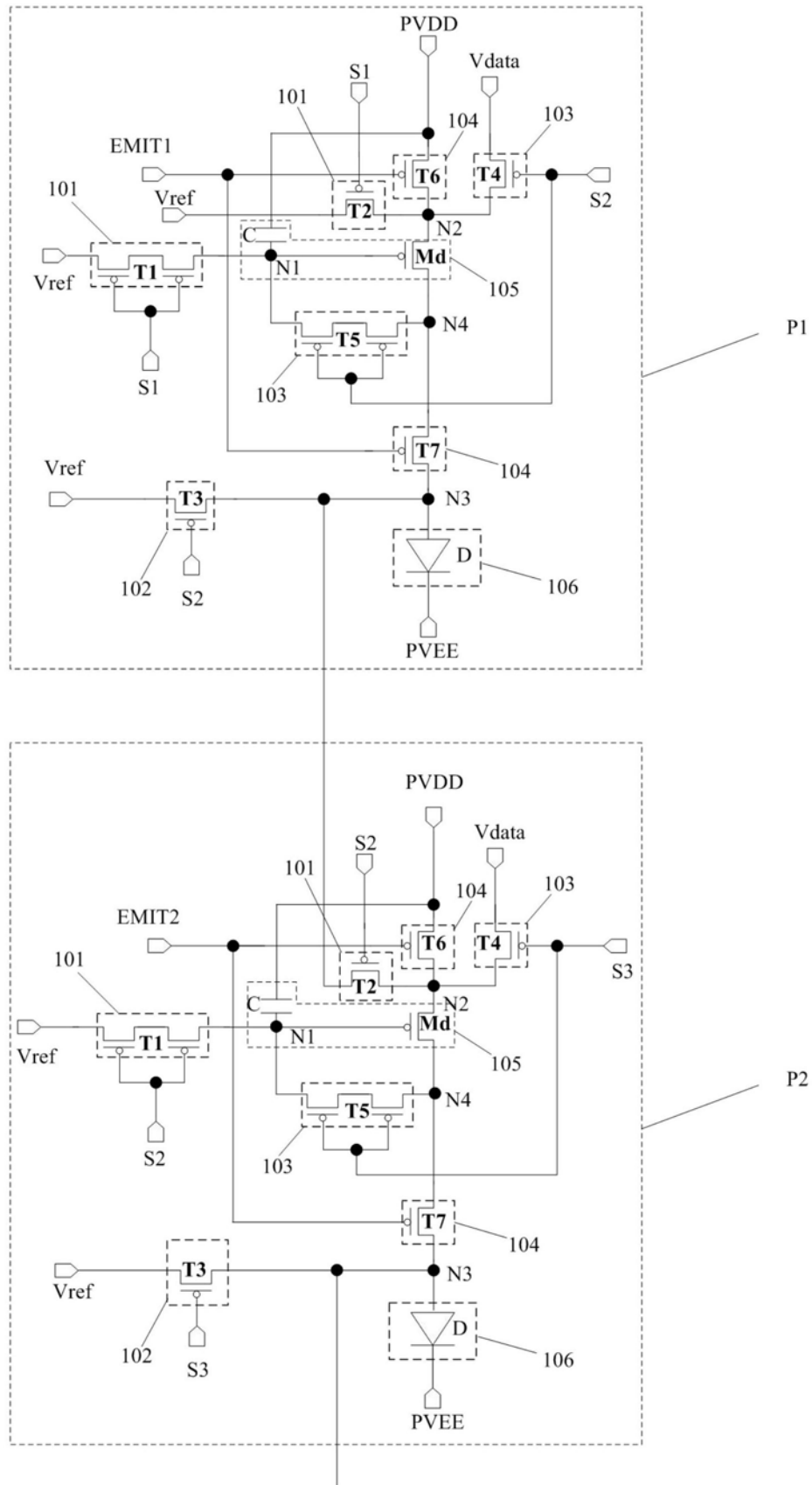


图11

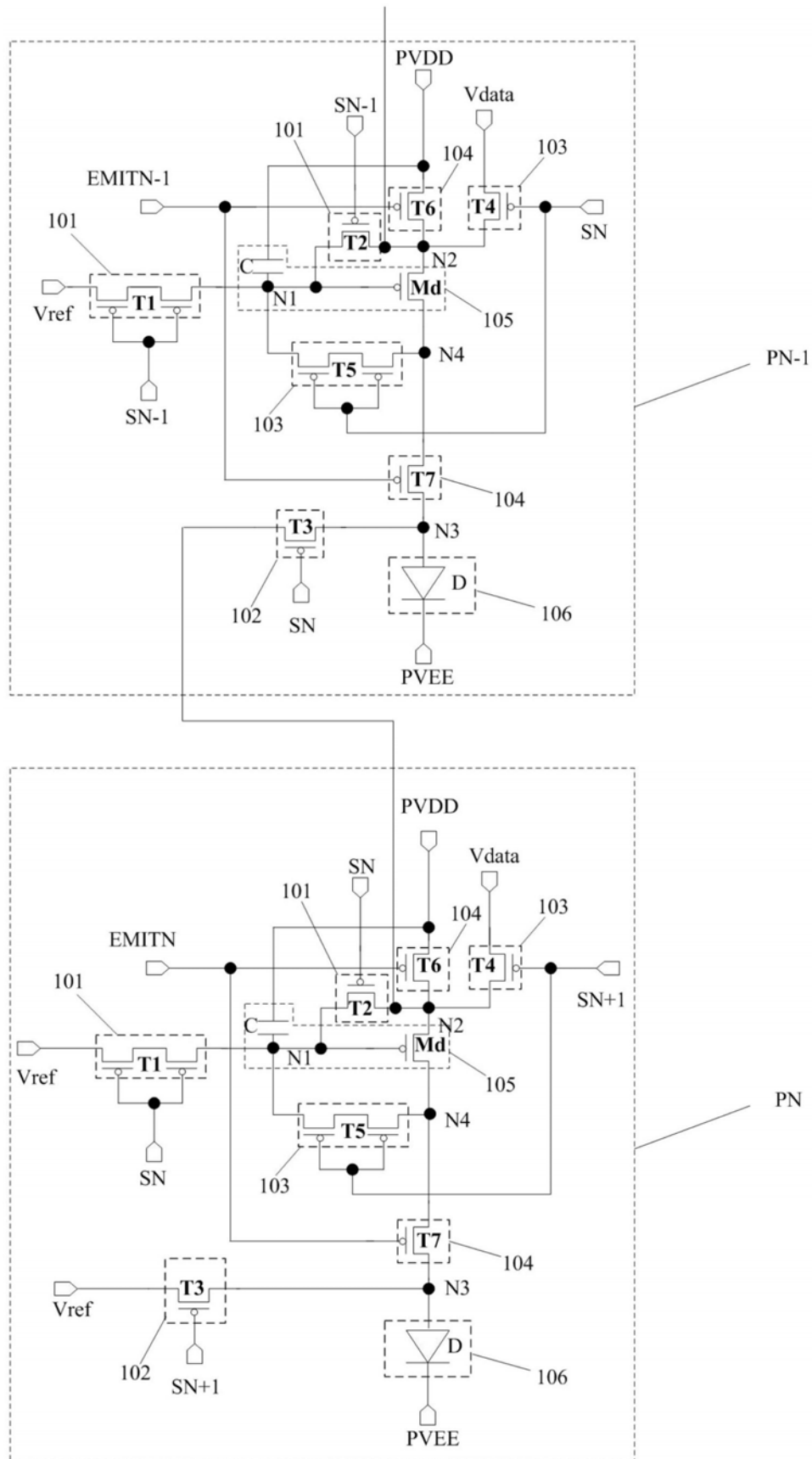


图12

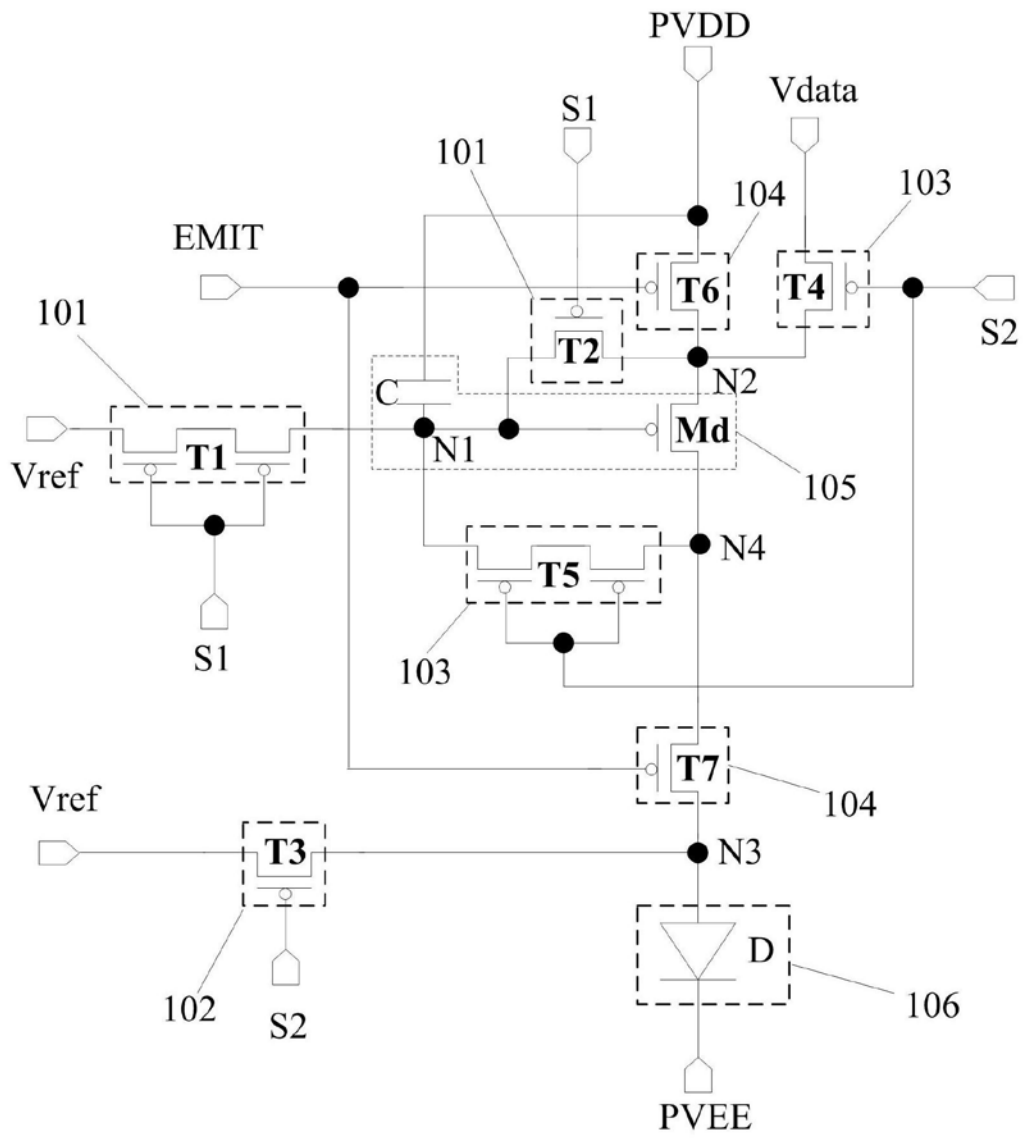


图14

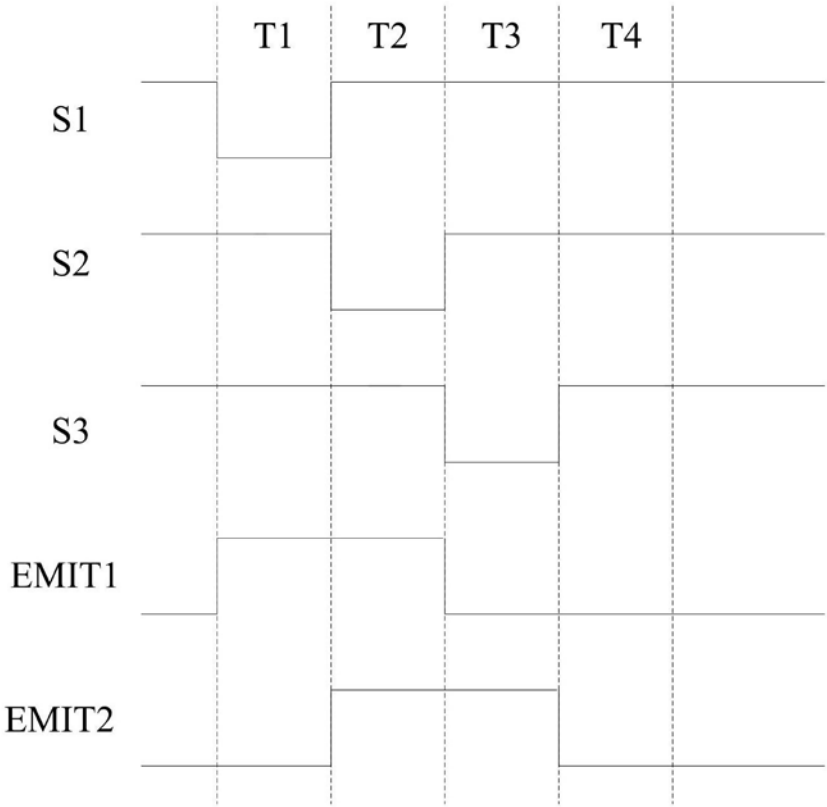


图15



图16

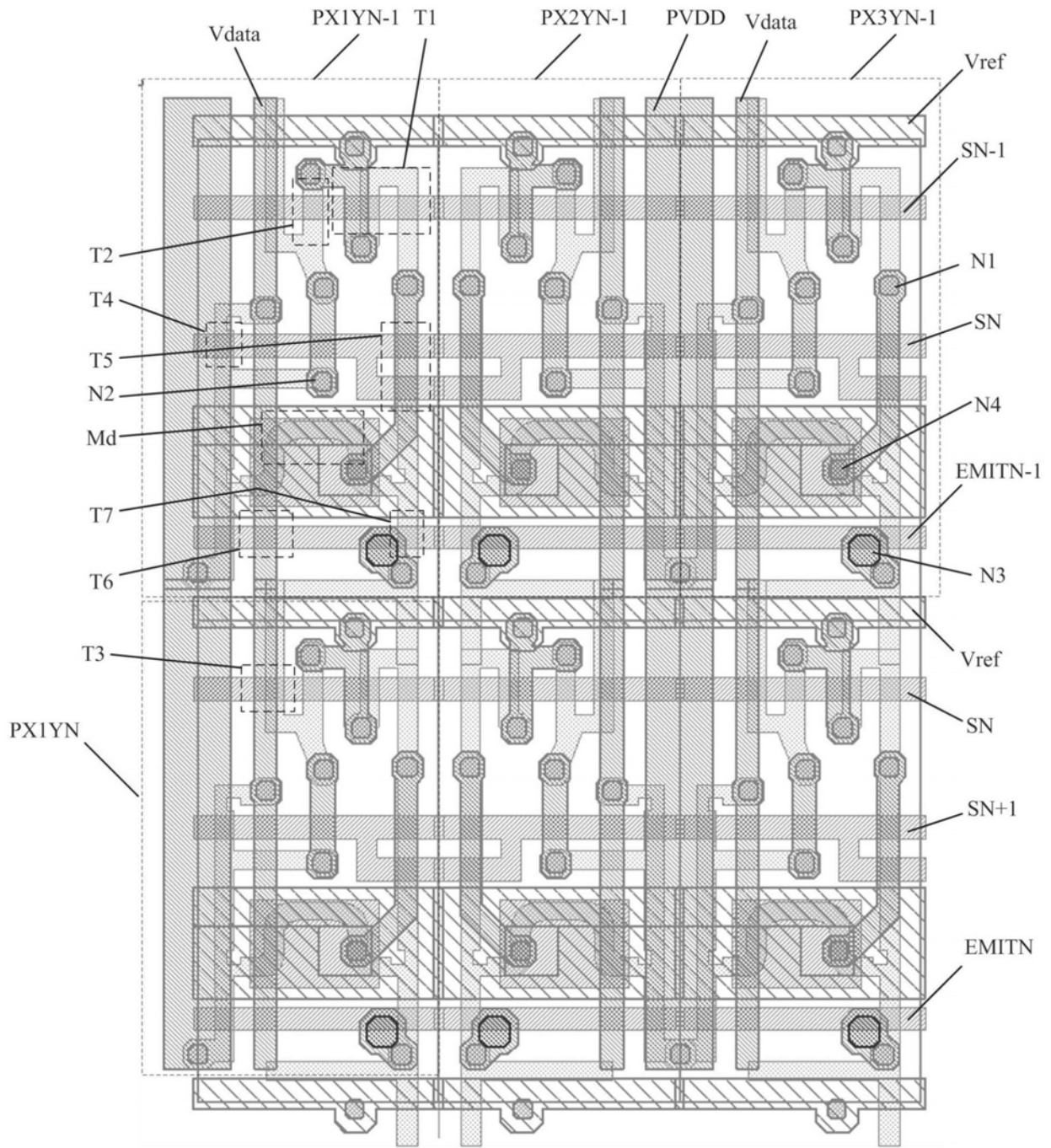


图17

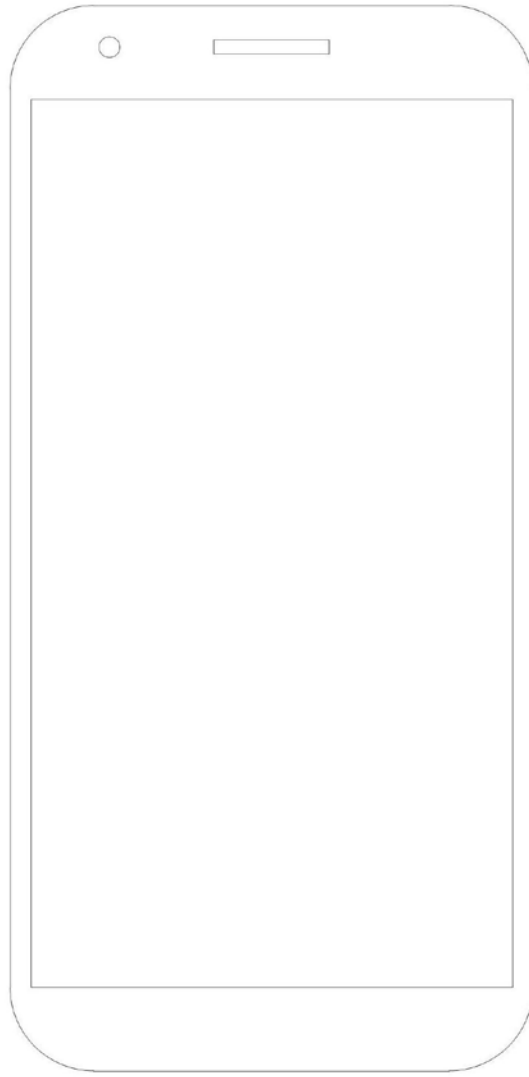


图18

专利名称(译)	一种电致发光显示面板、其驱动方法及显示装置		
公开(公告)号	CN107256690B	公开(公告)日	2019-11-19
申请号	CN2017110642948.0	申请日	2017-07-31
[标]申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
当前申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
[标]发明人	高娅娜 向东旭 朱仁远 李玥 陈泽源 蔡中兰		
发明人	高娅娜 向东旭 朱仁远 李玥 陈泽源 蔡中兰		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208 G09G3/3233 G09G2300/0814 G09G2300/0819 G09G2320/0233 G09G3/3258 G09G2310/0264 H01L51/5206		
代理人(译)	黄志华		
审查员(译)	李小艳		
其他公开文献	CN107256690A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种电致发光显示面板、其驱动方法及显示装置，电致发光显示面板包括：呈阵列排布的多个像素电路；像素电路包括节点初始化模块和阳极复位模块；通过在每列像素电路中的各像素电路之间设置连接通路，为相邻像素电路中的阳极复位模块或节点初始化模块提供参考信号，不仅可以通过节点初始化模块实现对关键节点的初始化，避免因电压跳变引起的阈值电压抓取不一致的问题，有效防止驱动晶体管的阈值电压发生偏移导致的残影现象出现，还可以为相邻像素电路中的阳极复位模块或节点初始化模块提供参考信号，节省信号端口的设置数量，节省布线空间。

