



(12) 发明专利申请

(10) 申请公布号 CN 105185306 A

(43) 申请公布日 2015. 12. 23

(21) 申请号 201510601470. 8

(22) 申请日 2015. 09. 18

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 马占洁

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 李相雨

(51) Int. Cl.

G09G 3/32(2006. 01)

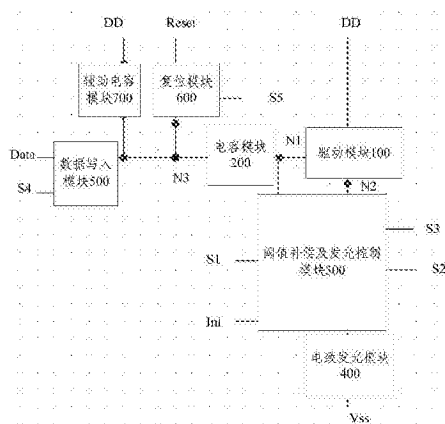
权利要求书2页 说明书7页 附图7页

(54) 发明名称

像素电路及其驱动方法、显示基板及显示装置

(57) 摘要

本发明提供了一种像素电路及其驱动方法、显示基板和显示装置,该像素电路包括:驱动模块、电容模块、阈值电压补偿及发光控制模块、电致发光模块、数据电压写入模块和复位模块,并具有若干输入端;通过在阈值电压补偿及发光控制模块施加控制信号能够将第一节点的电压置为驱动模块的阈值电压和工作电压的和,从而能够使流经电致发光单元的工作电流可以不受驱动晶体管的阈值电压的影响,能够彻底解决由于驱动晶体管的阈值电压漂移导致显示亮度不均的问题。



1. 一种像素电路,其特征在于,包括:驱动模块、电容模块、阈值电压补偿及发光控制模块、电致发光模块、数据电压写入模块和复位模块,并具有若干输入端;其中,

所述驱动模块连接第一节点、第二节点和工作电压输入端,适于根据第一节点的电压和工作电压输入端输入的工作电压之间的差值与驱动模块的阈值电压的差值产生对应的驱动电流并输出到第二节点;

所述阈值电压补偿及发光控制模块连接至少两个控制信号输入端和一个初始化电压输入端,并连接所述第一节点、所述第二节点和所述电致发光模块,适于在所述至少两个控制信号输入端的电平的组合为第一电平组合时,将所述第一节点的电压补偿为所述驱动模块的阈值电压和所述工作电压的和;在所述至少两个控制信号输入端的电平的组合为第二电平组合时,将所述第一节点短接到所述初始化电压输入端对所述第一节点进行初始化;在所述至少两个控制信号输入端的电平的组合为第三电平组合时,将所述驱动模块输出到所述第二节点的电流导入到所述电致发光模块;

所述数据电压写入模块连接第三节点、数据电压输入端和一个控制信号输入端,适于在所连接的控制信号输入端的控制下将数据电压写入到第三节点;

所述复位模块连接第三节点、复位电压输入端和一个控制信号输入端,适于在所连接的控制信号输入端的控制下将所述第三节点的电压复位;

所述电容模块的一端连接所述第一节点,另一端连接所述第三节点。

2. 如权利要求1所述的像素电路,其特征在于,所述驱动模块包括P型驱动晶体管,所述P型驱动晶体管的栅极连接所述第一节点,漏极连接所述第二节点,源极连接所述工作电压输入端。

3. 如权利要求2所述的像素电路,其特征在于,所述阈值电压补偿及发光控制模块包括第一开关晶体管、第二开关晶体管和第三开关晶体管;所述第一开关晶体管的栅极连接第一控制信号输入端,源极和漏极中的其中一个电极连接所述第一节点,另一个电极连接所述第二节点;

所述第二开关晶体管的栅极连接第二控制信号输入端,源极和漏极中的其中一个电极连接所述第二节点,另一个电极连接所述电致发光模块;

所述第三开关晶体管的栅极连接第三控制信号输入端,源极和漏极中的其中一个电极连接所述初始化电压输入端,另一个电极连接所述第二开关晶体管的漏极。

4. 如权利要求2所述的像素电路,其特征在于,所述第三控制信号输入端和所述第一控制信号输入端为同一输入端,所述第三开关晶体管和所述第一开关晶体管的导通电平一致。

5. 如权利要求2所述的像素电路,其特征在于,所述数据电压写入模块包括第四开关晶体管,所述第四开关晶体管的栅极连接第四控制信号输入端,源极和漏极中的其中一个电极连接所述数据电压输入端,另一个电极连接所述第三节点。

6. 如权利要求3所述的像素电路,其特征在于,所述复位模块包括第五开关晶体管,所述第五开关晶体管的栅极连接所述第一控制信号输入端或所述第三控制信号输入端,源极和漏极中的其中一个电极连接所述复位电压输入端,另一个电极连接所述第三节点。

7. 如权利要求6所述的像素电路,其特征在于,所述复位电压输入端与所述工作电压输入端为同一输入端。

8. 如权利要求 3-7 任一项所述的像素电路,其特征在于,各个开关晶体管均为P型晶体管。

9. 如权利要求 1 所述的像素电路,其特征在于,还包括辅助电容模块,所述辅助电容模块的第一端连接所述第三节点,第二端连接所述工作电压输入端。

10. 一种用于驱动如权利要求 1-9 任一项所述的像素电路的方法,其特征在于,包括:

在初始化阶段,在所述阈值电压补偿及发光控制模块的所连接的各个控制信号输入端施加第二电平组合的电平信号对所述第一节点的电压进行初始化;

在复位阶段,在所述复位模块所连接的控制信号输入端上施加控制信号对所述第三节点的电压进行复位;

在阈值电压补偿阶段,在所述阈值电压补偿及发光控制模块的所连接的各个控制信号输入端施加第一电平组合的电平信号,将所述第一节点的电压补偿为驱动模块的阈值电压和工作电压的和;

在数据电压写入阶段,在所述数据电压写入模块所连接的控制信号输入端上施加控制信号,并在所述数据电压输入端上施加数据电压;

在发光阶段,在所述阈值电压补偿及发光控制模块的所连接的各个控制信号输入端施加第三电平组合的电平信号使所述驱动模块输出到所述第二节点上的驱动电流导入到所述电致发光模块。

11. 一种显示基板,其特征在于,包括基底以及形成在所述基底上的像素电路,所述像素电路为如权利要求 1-10 任一项所述的像素电路。

12. 一种显示装置,其特征在于,包括如权利要求 11 所述的显示基板。

像素电路及其驱动方法、显示基板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素电路及其驱动方法、显示基板及显示装置。

背景技术

[0002] 有机发光显示器 (Organic Light-Emitting Diode, OLED) 是当今平板显示器研究领域的热点之一,与液晶显示器相比, OLED 具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点。目前,在手机、PDA、数码相机等显示领域 OLED 已经开始取代传统的液晶 (LCD) 显示屏。像素驱动电路设计是 OLED 显示器核心技术内容,具有重要的研究意义。

[0003] 与 TFT (薄膜场效应晶体管)-LCD 利用稳定的电压控制亮度不同, OLED 属于电流驱动,需要稳定的电流来控制发光。

[0004] 由于工艺制程和器件老化等原因,在原始的 2T1C 驱动电路 (包括两个薄膜场效应晶体管和一个电容) 中,各像素点的驱动 TFT 的阈值电压存在不均匀性,这样就导致了流过每个像素点 OLED 的电流发生变化使得显示亮度不均,从而影响整个图像的显示效果。

发明内容

[0005] 本发明的一个目的是解决上述技术问题。

[0006] 第一方面,本发明提供了一种像素电路,包括 :驱动模块、电容模块、阈值电压补偿及发光控制模块、电致发光模块、数据电压写入模块和复位模块,并具有若干输入端 ;其中,

[0007] 所述驱动模块连接第一节点、第二节点和工作电压输入端,适于根据第一节点的电压和工作电压输入端输入的工作电压之间的差值与驱动模块的阈值电压的差值产生对应的驱动电流并输出到第二节点 ;

[0008] 所述阈值电压补偿及发光控制模块连接至少两个控制信号输入端和一个初始化电压输入端,并连接所述第一节点、所述第二节点和所述电致发光模块,适于在所述至少两个控制信号输入端的电平的组合为第一电平组合时,将所述第一节点的电压补偿为所述驱动模块的阈值电压和所述工作电压的和 ;在所述至少两个控制信号输入端的电平的组合为第二电平组合时,将所述第一节点短接到所述初始化电压输入端对所述第一节点进行初始化 ;在所述至少两个控制信号输入端的电平的组合为第三电平组合时,将所述驱动模块输出到所述第二节点的电流导入到所述电致发光模块 ;

[0009] 所述数据电压写入模块连接第三节点、数据电压输入端和一个控制信号输入端,适于在所连接的控制信号输入端的控制下将数据电压写入到第三节点 ;

[0010] 所述复位模块连接第三节点、复位电压输入端和一个控制信号输入端,适于在所连接的控制信号输入端的控制下将所述第三节点的电压复位 ;

[0011] 所述电容模块的一端连接所述第一节点,另一端连接所述第三节点。

[0012] 进一步的,所述驱动模块包括 P 型驱动晶体管,所述 P 型驱动晶体管的栅极连接所述第一节点,漏极连接所述第二节点,源极连接所述工作电压输入端。

[0013] 进一步的,所述阈值电压补偿及发光控制模块包括第一开关晶体管、第二开关晶体管和第三开关晶体管;所述第一开关晶体管的栅极连接第一控制信号输入端,源极和漏极中的其中一个电极连接所述第一节点,另一个电极连接所述第二节点;

[0014] 所述第二开关晶体管的栅极连接第二控制信号输入端,源极和漏极中的其中一个电极连接所述第二节点,另一个电极连接所述电致发光模块;

[0015] 所述第三开关晶体管的栅极连接第三控制信号输入端,源极和漏极中的其中一个电极连接所述初始化电压输入端,另一个电极连接所述第二开关晶体管的漏极。

[0016] 进一步的,所述第三控制信号输入端和所述第一控制信号输入端为同一输入端,所述第三开关晶体管和所述第一开关晶体管的导通电平一致。

[0017] 进一步的,所述数据电压写入模块包括第四开关晶体管,所述第四开关晶体管的栅极连接第四控制信号输入端,源极和漏极中的其中一个电极连接所述数据电压输入端,另一个电极连接所述第三节点。

[0018] 进一步的,所述复位模块包括第五开关晶体管,所述第五开关晶体管的栅极连接所述第一控制信号输入端或所述第三控制信号输入端,源极和漏极中的其中一个电极连接所述复位电压输入端,另一个电极连接所述第三节点。

[0019] 进一步的,所述复位电压输入端与所述工作电压输入端为同一输入端。

[0020] 进一步的,各个开关晶体管均为P型晶体管。

[0021] 进一步的,还包括辅助电容模块,所述辅助电容模块的第一端连接所述第三节点,第二端连接所述工作电压输入端。

[0022] 第二方面,本发明还提供了一种用于驱动上述任一项所述的像素电路的方法,其特征在于,包括:

[0023] 在初始化阶段,在所述阈值电压补偿及发光控制模块的所连接的各个控制信号输入端施加第二电平组合的电平信号对所述第一节点的电压进行初始化;

[0024] 在复位阶段,在所述复位模块所连接的控制信号输入端上施加控制信号对所述第三节点的电压进行复位;

[0025] 在阈值电压补偿阶段,在所述阈值电压补偿及发光控制模块的所连接的各个控制信号输入端施加第一电平组合的电平信号,将所述第一节点的电压补偿为驱动模块的阈值电压和工作电压的和;

[0026] 在数据电压写入阶段,在所述数据电压写入模块所连接的控制信号输入端上施加控制信号,并在所述数据电压输入端上施加数据电压;

[0027] 在发光阶段,在所述阈值电压补偿及发光控制模块的所连接的各个控制信号输入端施加第三电平组合的电平信号使所述驱动模块输出到所述第二节点上的驱动电流导入到所述电致发光模块。

[0028] 第三方面,本发明还提供了一种显示基板,基底以及形成在所述基底上的像素电路,所述像素电路为如上述任一项所述的像素电路。

[0029] 第四方面,本发明还提供了一种显示装置,包括上述所述的显示基板。

[0030] 本发明提供的像素电路中,流经电致发光单元的工作电流可以不受驱动晶体管的阈值电压的影响,能够彻底解决由于驱动晶体管的阈值电压漂移导致显示亮度不均的问题。

附图说明

- [0031] 图 1 为本发明一实施例提供的一种像素电路的结构示意图；
[0032] 图 2 为本发明一实施例提供的一种像素电路的电路示意图；
[0033] 图 3 为本发明实施例提供的像素电路中关键信号的时序图；
[0034] 图 4- 图 7 为本发明实施例中的像素电路在不同时序下的电流流向和电压值的示意图；
[0035] 图 8 为本发明实施例提供的像素电路发光亮度随阈值变化的曲线图。

具体实施方式

[0036] 下面结合附图和实施例,对本发明的具体实施方式作进一步描述。以下实施例仅用于更加清楚地说明本发明的技术方案,而不能以此来限制本发明的保护范围。

[0037] 本发明实施例提供了一种像素电路,如图 1 所示,该像素电路可以包括:驱动模块 100、电容模块 200、阈值电压补偿及发光控制模块 300、电致发光模块 400、数据电压写入模块 500 和复位模块 600,并具有工作电压输入端 DD,初始化电压输入端 Ini,数据电压输入端 Data,复位电压输入端 Reset 和多个控制信号输入端 S1-S5;

[0038] 其中,驱动模块 100 连接第一节点 N1、第二节点 N2 和工作电压输入端 DD,适于根据第一节点 N1 的电压和工作电压输入端 DD 输入的工作电压 Vdd 之间的差值与驱动模块 100 的阈值电压 Vth 的差值产生对应的驱动电流输出到第二节点 N2;

[0039] 阈值电压补偿及发光控制模块 300 连接三个控制信号输入端 S1、S2 和 S3 以及一个初始化电压输入端 Ini,并连接第一节点 N1、第二节点 N2 和电致发光模块 400,适于在三个控制信号输入端 S1、S2 和 S3 的电平的组合为第一电平组合时,将第一节点 N1 的电平补偿为驱动模块的阈值电压 Vth 和工作电压 Vdd 的和;在三个控制信号输入端 S1、S2 和 S3 的电平的组合为第二电平组合时,将第一节点 N1 短接到初始化电压输入端 Ini 对第一节点 N1 进行初始化;在三个控制信号输入端 S1、S2 和 S3 的电平的组合为第三电平组合时,将驱动模块 100 输出到第二节点 N2 的电流导入到电致发光模块 400;

[0040] 数据电压写入模块 500 连接第三节点 N3、数据电压输入端 Data 和一个控制信号输入端 S4,适于在所连接的控制信号输入端 S3 的控制下将数据电压 Vdata 写入到第三节点 N3;

[0041] 复位模块 600 连接第三节点 N3、复位电压输入端 Reset 和一个控制信号输入端 S5,适于在所连接的控制信号输入端 S5 的控制下将第三节点 N3 的电压复位;

[0042] 电容模块 200 的一端连接第一节点 N1,另一端连接第三节点 N3。

[0043] 第二方面本发明还通过了一种用于驱动上述的像素电路的方法,该方法包括:

[0044] 在初始化阶段,在阈值电压补偿及发光控制模块的所连接的各个控制信号输入端施加第二电平组合的电平信号对所述第一节点的电压进行初始化;

[0045] 在复位阶段,在复位模块所连接的控制信号输入端上施加控制信号对第三节点的电压进行复位;

[0046] 在阈值电压补偿阶段,在阈值电压补偿及发光控制模块的所连接的各个控制信号输入端施加第一电平组合的电平信号,将第一节点的电平补偿为驱动模块的阈值电压和工

作电压的和；

[0047] 在数据电压写入阶段，在数据电压写入模块所连接的控制信号输入端上施加控制信号，并在数据电压输入端上施加数据电压；

[0048] 在发光阶段，在阈值电压补偿及发光控制模块的所连接的各个控制信号输入端施加第三电平组合的电平信号使驱动模块输出到第二节点上的驱动电流导入到电致发光模块。

[0049] 本发明实施例提供的像素电路及其驱动方法中，通过在阈值电压补偿及发光控制模块施加控制信号能够将第一节点的电压置为驱动模块的阈值电压和工作电压的和，从而能够避免流经电致发光单元的工作电流可以不受驱动晶体管的阈值电压的影响，能够彻底解决由于驱动晶体管的阈值电压漂移导致显示亮度不均的问题。并且复位模块 600 能够完成对第三节点 N3 的复位，阈值电压补偿及发光控制模块 300 能够完成对第一节点 N1 的初始化，能够很好的避免上一帧的显示对当前帧显示的影响。

[0050] 在具体实施时，上述的驱动模块 100 可以为一个 P 型驱动晶体管，该 P 型驱动晶体管的栅极连接第一节点 N1，漏极连接第二节点 N2，源极连接工作电压输入端 DD。

[0051] 在具体实施时，这里的阈值电压补偿及发光控制模块 300 可以包括第一开关晶体管、第二开关晶体管和第三开关晶体管；其中，第一开关晶体管的栅极连接一个控制信号输入端 S1，源极和漏极中的一个电极连接第一节点 N1，另一个电极连接第二节点 N2；以 P 型晶体管为例，第一节点 N1 连接 P 型晶体管的源极，第二节点 N2 连接 P 型晶体管的漏极；以 N 型晶体管为例，第一节点 N1 连接 N 型晶体管的漏极，第二节点 N2 连接 N 型晶体管的源极。本领域技术人员应该知道根据晶体管类型以及输入信号的不同，其源漏极可以互换，在此不做具体区分。第二开关晶体管的栅极连接控制信号输入端 S2，源极和漏极中的一个电极连接第二节点 N2，另一个电极连接电致发光模块 400；

[0052] 第三开关晶体管的栅极连接控制信号输入端 S3，源极和漏极中的一个电极连接初始化电压输入端 Ini，另一个电极连接第二开关晶体管的漏极。

[0053] 这样仅通过三个开关晶体管就能够实现上述的阈值电压补偿及发光控制模块 300 的功能，结构简单，且仅需使用三个控制信号进行控制，控制较为简单。

[0054] 在具体实施时，上述的第三控制信号输入端 S3 和第一控制信号输入端 S1 可以为同一输入端，此时第一开关晶体管和第三开关晶体管的导通电平一致。

[0055] 这样能够减少所需使用的控制信号的个数，从而减少相应的显示装置中所需使用的信号线的数量，降低设计难度和控制难度。不难理解的是，这里的导通电平相同可以是指两个开关晶体管的导通电平同为高电平或者同为低电平。这里导通电平同为高电平是指两个晶体管中的每一个晶体管均是在栅极接入的电压高于对应的阈值电压时导通，这样可以选择一个合适的高电压，使二者同时导通；相应的，导通电平同为低电平是指两个晶体管中的每一个晶体管均是在栅极所接入的电压低于对应的阈值电压时导通。

[0056] 在具体实施时，上述的数据电压写入模块 500 可以包括第四开关晶体管，第四开关晶体管的栅极连接控制信号输入端 S4，源极和漏极中的一个电极连接数据电压输入端 Data，漏极连接第三节点 N3。

[0057] 在具体实施时，复位模块 600 包括第五开关晶体管，第五开关晶体管的栅极连接控制信号输入端 S5，源极和漏极中的一个电极连接复位电压输入端 Reset，另一个电极连

接第三节点 N3。

[0058] 在具体实施时,这里的复位电压输入端 Reset 与工作电压输入端 Vdd 可以为同一输入端。这样也能够减少所需使用的信号线的数量。

[0059] 在具体实施时,这里的控制信号输入端 S5 可以与控制信号输入端 S1 或控制信号输入端 S3 为同一控制信号输入端,此时第五开关晶体管的导通电平与连接到同一控制信号输入端的开关晶体管的导通电平一致。同样的,这样的设计也能够减少所需使用的信号线的数量。

[0060] 在具体实施时,上述的各个开关晶体管可以均为 P 型晶体管,这样有利于统一制作工艺,降低制作难度。当然在具体实施时,将其中的部分开关晶体管或者全部的开关晶体管替换为 N 型晶体管,相应的技术方案也能够达到本发明的基本目的,相应的技术方案也应该落入本发明的保护范围。

[0061] 在具体实施时,这里的电容模块可以具体为第一电容,该第一电容的一个极板连接第一节点 N1,另一个极板连接第三节点 N3。

[0062] 在具体实施时,上述的像素电路中还可以包括一个辅助电容模块 700,该辅助电容模块 700 的第一端连接第三节点 N3,第二端连接工作电压输入端 DD。具体来说,这里的辅助电容模块 700 可以具体包括一个第二电容,该第二电容的一个极板连接第三节点 N3,另一极板连接工作电压输入端 DD。这里的辅助电容模块 700 的第二端连接工作电压输入端 DD,而一般的,工作电压输入端 DD 的电压为恒定电压,这样能够很好的保证第三节点 N3 的电压也保持恒定,从而避免影响第一节点 N1 的电压,避免影响发光显示。

[0063] 在具体实施时,这里的电致发光模块 400 可以有机电致发光模块 OLED。

[0064] 下面结合一种附图对本发明提供的像素电路的电路结构和驱动方法进行详细说明。假设该像素电路中,控制信号输入端 S1、控制信号输入端 S3 和控制信号输入端 S5 为同一输入端(以下表示为 S1),复位电压输入端 Reset 和工作电压输入端 DD 为同一输入端(以下表示为 DD);参见图 2,该像素电路可以具体包括:P 型的驱动晶体管 DT、五个 P 型的开关晶体管 T1-T5、电致发光元件 L、电容 C1 和 C2,以及工作电压输入端 DD,初始化电压输入端 Ini,低电压输入端 Vss,数据电压输入端 Data,以及三个控制信号输入端 S1、S2、S4;其中,第一开关晶体管 T1 的源极、驱动晶体管 DT 的栅极、电容 C1 的第一端均连接第一节点 N1;第一开关晶体管 T1 的漏极、第二开关晶体管 T2 的源极、驱动晶体管 DT 的漏极均连接第二节点 N2;第四开关晶体管 T4 的漏极、第五开关晶体管 T5 的漏极和电容 C2 的第二端连接第三节点 N3;第一开关晶体管 T1 的栅极、第三开关晶体管 T3 的栅极、第五开关晶体管 T5 的栅极连接到控制信号输入端 S1,第二开关晶体管 T2 的栅极连接到控制信号输入端 S2,第四开关晶体管 T4 的栅极连接到控制信号输入端 S4;第二开关晶体管 T2 的漏极、第三开关晶体管 T3 的源极连接电致发光元件 L 的源极;驱动晶体管 DT 的源极、第五开关晶体管 T5 的源极、第二电容 C2 的第一端连接工作电压输入端 DD;第四开关晶体管 T4 的源极连接数据电压输入端 Data,电致发光元件 L 的阴极连接低电压输入端 Vss。

[0065] 对图 2 中的像素电路的驱动方法中关键信号的时序可以参考图 3,其中在控制信号输入端 S1 施加的信号表示为 Vs1,在控制信号输入端 S2 施加的信号表示为 Vs2,在控制信号输入端 S4 施加的信号表示为 Vs4,该方法可以包括:

[0066] 初始化以及复位阶段 T1,在控制信号输入端 S1 和 S2 上施加低电平,并在控制信号

输入端 S4 上施加高电平。参见图 4, 此时第一开关晶体管 T1、第二开关晶体管 T2、第三开关晶体管 T3、第五开关晶体管 T5 均导通, 第四开关晶体管 T4 关断。这样第一节点 N1 被短接到初始化电压输入端 Ini 上, 电压被置为初始化输入端输入的初始化电压 Vini, 完成对第一节点 N1 的初始化过程。同时第三节点 N3 被短接到工作电压输入端 DD 上, 电压被复位为 Vdd。

[0067] 阈值电压补偿阶段 T2, 在控制信号输入端 S1 上施加低电平, 并在控制信号输入端 S2 和 S4 上施加高电平。参见图 5, 此时第一开关晶体管 T1、第三开关晶体管 T3 均、第五开关晶体管 T5 导通。第二开关晶体管 T2 和第四开关晶体管 T4 关断。这样工作电压输入端 DD 通过驱动晶体管 DT 以及第一开关晶体管 T1 向第一节点 N1 充电, 直到第一节点 N1 的电压达到 $V_{dd}+V_{th}$ (V_{th} 为负值), 此时第三节点 N3 的电压保持不变。

[0068] 数据电压写入阶段 T3, 在控制信号输入端 S1 和 S2 上施加高电平, 并在控制信号输入端 S4 上施加低电平。参见图 6, 此时第一开关晶体管 T1、第二开关晶体管 T2、第三开关晶体管 T3、第五开关晶体管 T5 均关断, 第四开关晶体管 T4 导通。这样数据电压输入端 Data 通过第四开关晶体管 T4 向第三节点 N3 充电, 直到第一节点 N3 的电压达到数据电压 Vdata。由于第一节点 N1 浮接, 导致第一节点 N1 的电压随第三节点 N3 的电压跳变, 跳变后的电压为 $V_{th}+V_{data}$ 。

[0069] 发光阶段 T4, 在控制信号输入端 S1 和 S4 上施加高电平, 并在控制信号输入端 S2 上施加低电平。参见图 7, 此时第一开关晶体管 T1、第三开关晶体管 T3、第四开关晶体管 T4、第五开关晶体管 T5 均关断, 第二开关晶体管 T2 导通。这样驱动晶体管 DT 产生驱动并通过第二开关晶体管 T2 输出到电致发光元件 L 中。

[0070] 根据电流饱和公式, 流经电致发光元件 L 的电流 I_L 为:

$$[0071] \quad I_L = K(V_{gs}-V_{th})^2 = K(V_{th}+V_{data}-V_{dd}-V_{th})^2$$

$$[0072] \quad = K \cdot (V_{data}-V_{dd})^2$$

[0073] 其中 K 为与驱动晶体管 DT 相关的常数。由上式中可以看到此时流经电致发光单元 L 的工作电流不受驱动晶体管阈值电压 V_{th} 的影响, 只与此时的数据电压 Vdata 有关。彻底避免了因阈值电压 V_{th} 漂移对流经电致发光单元的电流的影响, 保证电致发光单元的正常工作。参见图 8, 为本发明提供的像素电路在发高灰阶光和发低灰阶光时, 发光亮度变化率与阈值电压变化率的关系图, 从图中可以看出, 不管是发高灰阶光还是发低灰阶光, 本发明提供的像素电路的发光亮度随阈值电压的变化率都非常小。有效消除了阈值电压漂移对发光的影响。

[0074] 在上述的实施例中, 第一开关晶体管 T1、第二开关晶体管 T2、第三开关晶体管 T3 共同实现了上述的阈值电压补偿、发光控制和初始化的功能, 相当于上述的阈值电压补偿及发光控制模块 300; 第四开关晶体管 T4 则实现了数据电压写入的功能, 相当于上述的数据电压写入模块 500; 第五开关晶体管 T5 则实现了复位的功能, 相当于上述的复位模块 600; 另外电容 C1 相当于上述的电容模块 200, 电容 C2 则相当于上述的辅助电容模块 700。

[0075] 另一方面, 本发明还提供了一种显示基板, 包括上述任一项所述的像素电路。

[0076] 再一方面, 本发明还提供了一种显示装置, 包括上述所述的显示面板。

[0077] 这里的显示装置可以为: 电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0078] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明技术原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

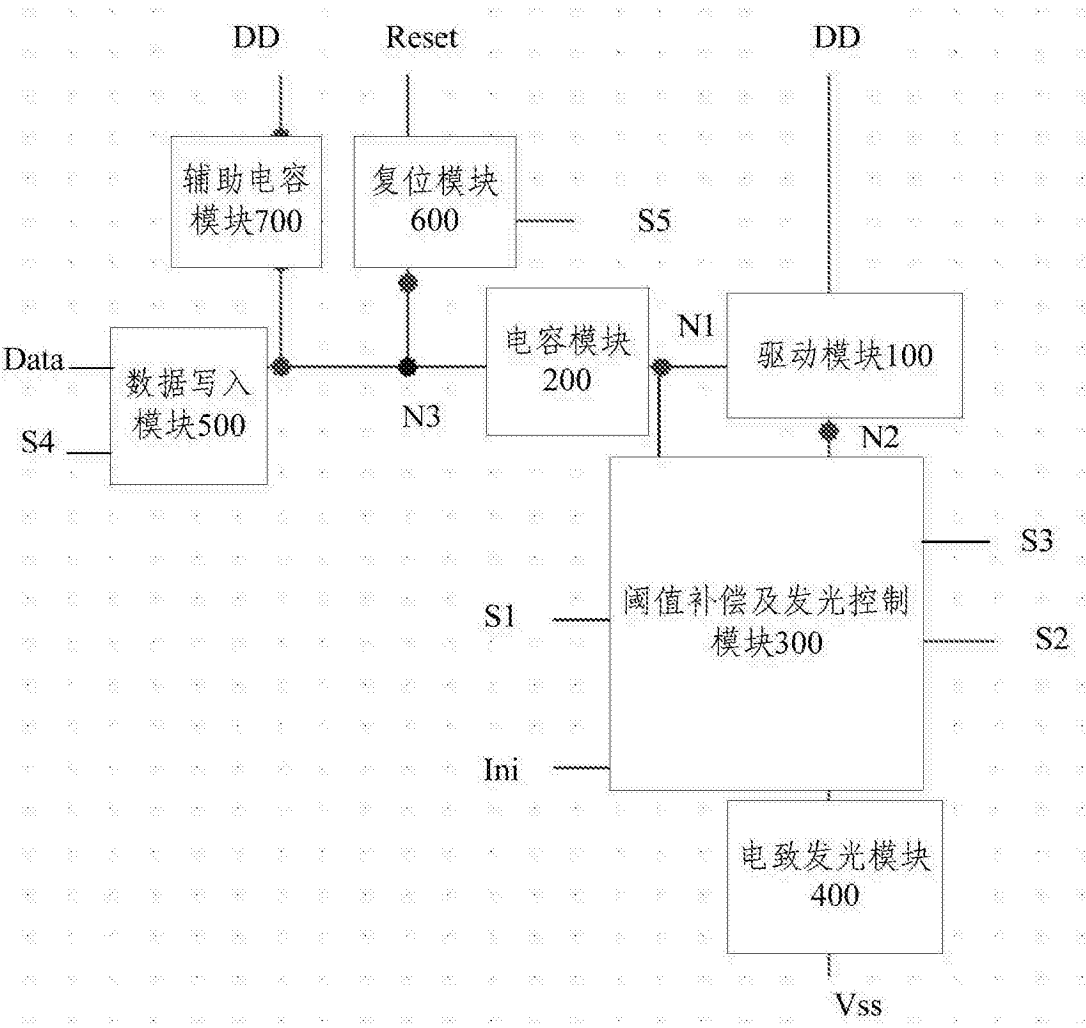


图 1

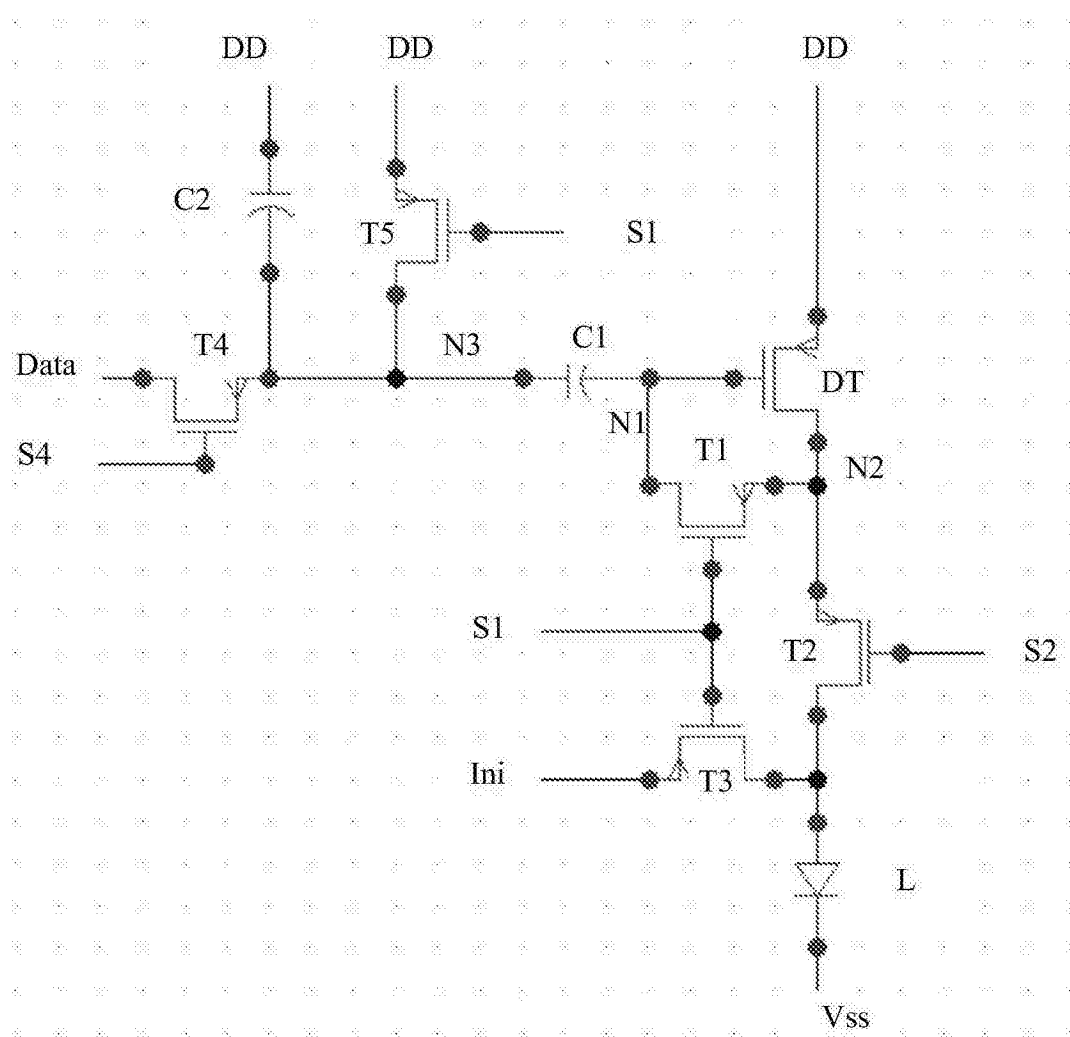


图 2

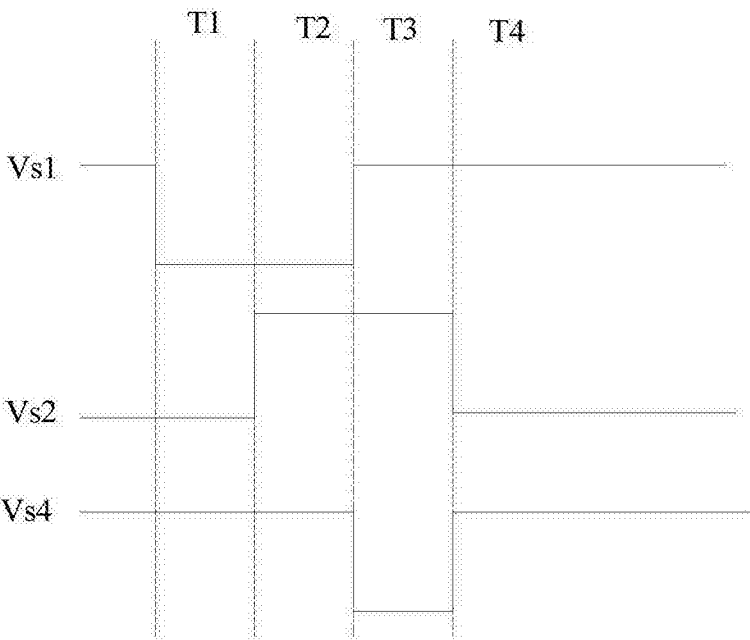


图 3

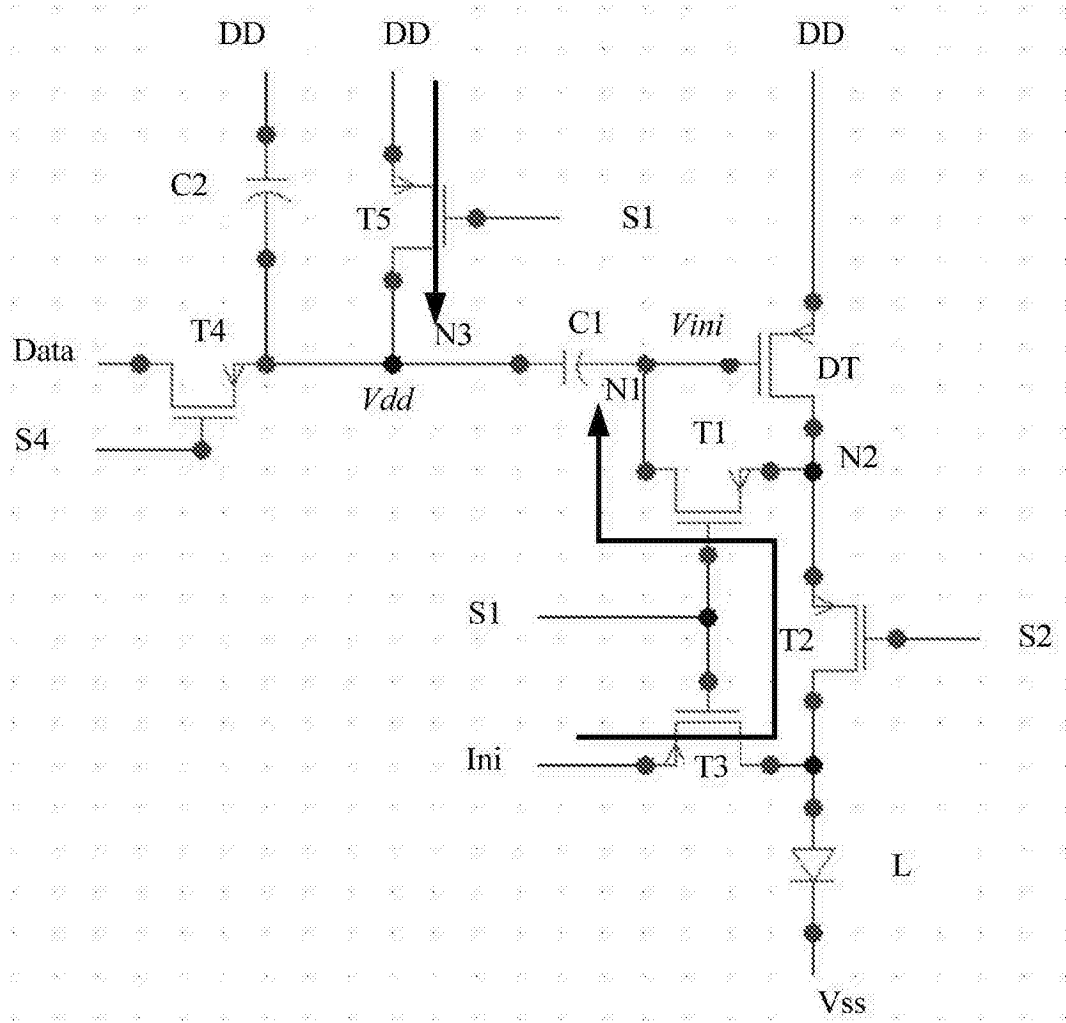


图 4

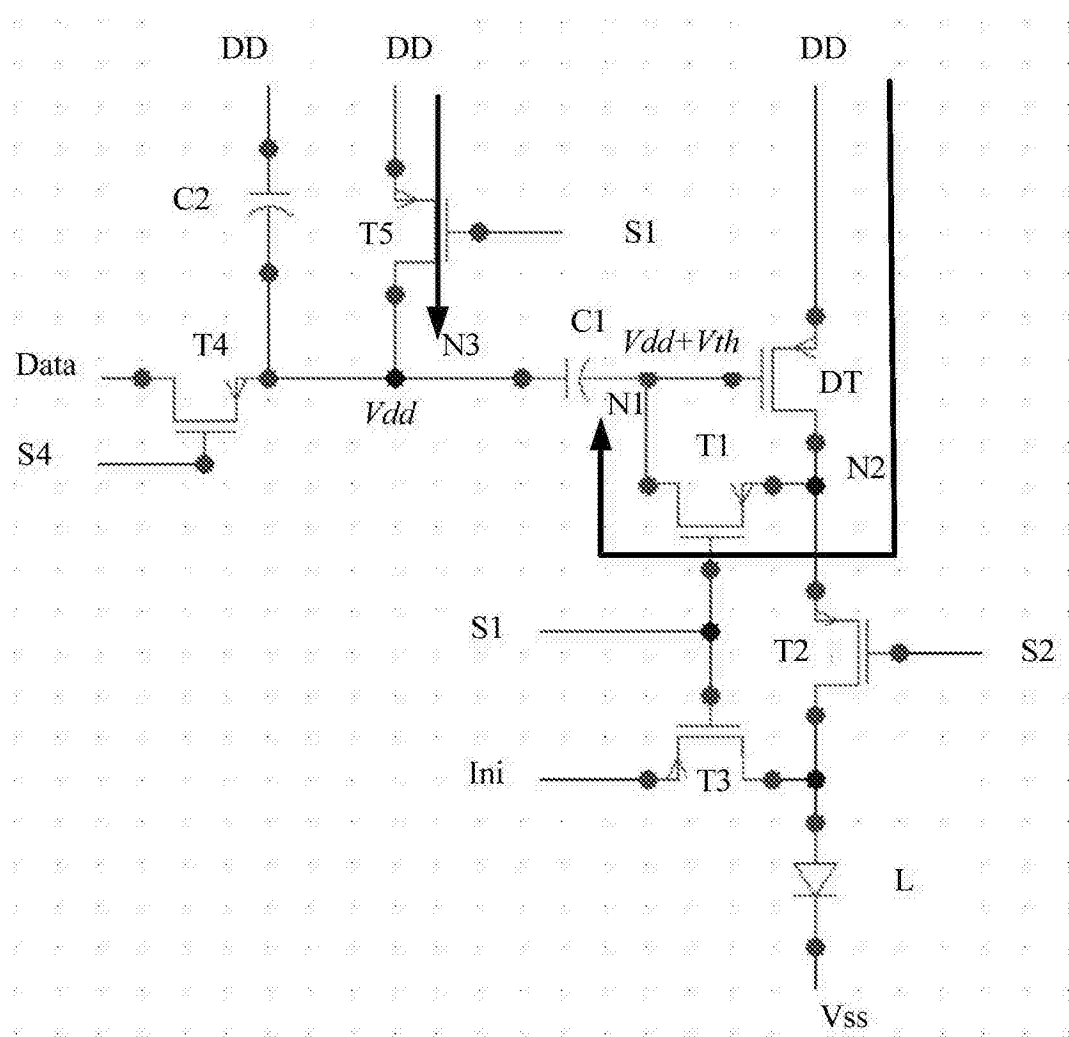


图 5

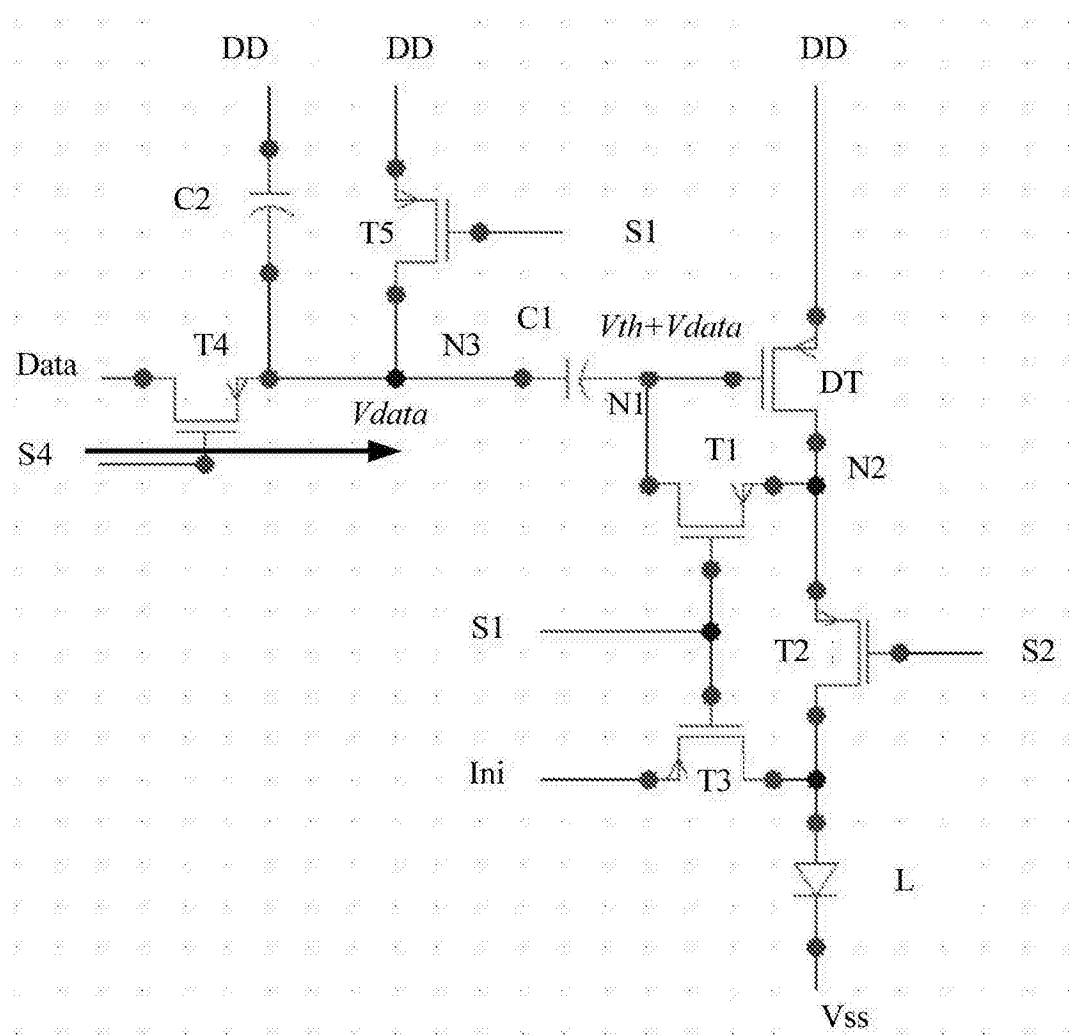


图 6

专利名称(译)	像素电路及其驱动方法、显示基板及显示装置		
公开(公告)号	CN105185306A	公开(公告)日	2015-12-23
申请号	CN201510601470.8	申请日	2015-09-18
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	马占洁		
发明人	马占洁		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0871 G09G2300/0876 G09G2310/0262 G09G2310/0289 G09G2320/0233		
代理人(译)	李相雨		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种像素电路及其驱动方法、显示基板和显示装置，该像素电路包括：驱动模块、电容模块、阈值电压补偿及发光控制模块、电致发光模块、数据电压写入模块和复位模块，并具有若干输入端；通过在阈值电压补偿及发光控制模块施加控制信号能够将第一节点的电压置为驱动模块的阈值电压和工作电压的和，从而能够使流经电致发光单元的工作电流可以不受驱动晶体管的阈值电压的影响，能够彻底解决由于驱动晶体管的阈值电压漂移导致显示亮度不均的问题。

