



(12)发明专利

(10)授权公告号 CN 104575378 B

(45)授權公告日 2017.07.28

(21)申请号 201410811817.7

审查员 陈相南

(22)申请日 2014.12.23

(65)同一申请的已公布的文献号

申请公布号 CN 104575378 A

(43)申请公布日 2015.04.29

(73)专利权人 北京大学深圳研究生院

地址 518055 广东省深圳市南山区西丽深圳大学城北大园区

(72)发明人 林兴武 张盛东 孟雪 冷传利
王翠翠

(74) 专利代理机构 深圳鼎合诚知识产权代理有限公司 44281

代理人 郭燕

(51) Int.Cl.

G09G 3/3266(2016.01)

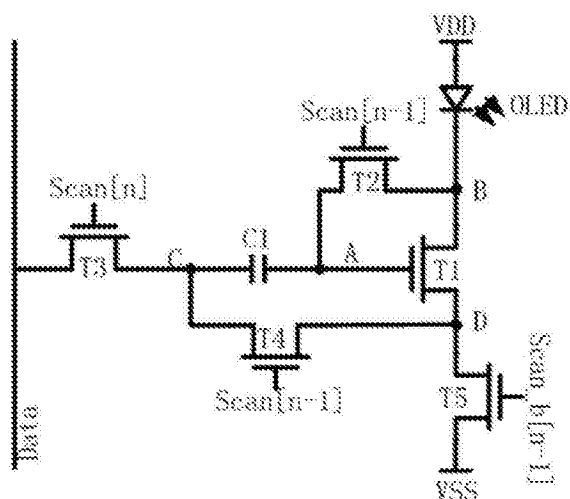
权利要求书6页 说明书12页 附图6页

(54)发明名称

像素电路、显示装置及显示驱动方法

(57)摘要

本发明公开了像素电路、显示装置及显示驱动方法。本发明的像素电路包括第一至第五晶体管、发光器件以及第一电容,第一晶体管用于为发光器件提供驱动电流,第二至第五晶体管作为开关管,用于响应扫描信号,第一电容用于存储电压信息。本发明的像素电路不仅可以补偿驱动晶体管阈值电压的漂移,还可以补偿发光元件OLED阈值电压的漂移,从而实现更加均匀的发光。此外,本发明提出的像素电路不仅利用本行的扫描信号,还利用了上一行的扫描信号来分别驱动各个晶体管,从而减少了控制线的数量,降低了外围栅极驱动电路的复杂程度。



1. 一种像素电路,其被布置在以第一方向排列的供应扫描控制信号的扫描线和以第二方向排列的供应数据信号的数据线之间,其特征在于,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第一电容、发光器件;

所述第一晶体管的控制极耦合至所述第二晶体管的第二电流导通极,所述第一晶体管的第二电流导通极耦合至所述发光器件的第二电流导通极,所述第一晶体管的第二电流导通极耦合至所述第五晶体管的第一电流导通极;

所述第二晶体管的控制极耦合至扫描线,所述第二晶体管的第一电流导通极耦合至所述第一晶体管的第一电流导通极,所述第二晶体管的第二电流导通极耦合至所述第一晶体管的控制极;

所述第三晶体管的控制极耦合至扫描线,所述第三晶体管的第一电流导通极耦合至所述第四晶体管的第二电流导通极,所述第三晶体管的第二电流导通极耦合至数据线;

所述第四晶体管的控制极耦合至扫描线,所述第四晶体管的第一电流导通极耦合至所述第一晶体管的第二电流导通极,所述第四晶体管的第二电流导通极耦合至所述第三晶体管的第一电流导通极;

所述第五晶体管的控制极耦合至扫描线,所述第五晶体管的第一电流导通极耦合至所述第一晶体管的第二电流导通极,所述第五晶体管的第二电流导通极耦合至第二电源电压;

所述第一电容耦合在所述第一晶体管的控制极和所述第三晶体管的第一电流导通极之间;

所述发光器件的第一电流导通极耦合至所述第一电源电压,所述发光器件的第二电流导通极耦合至所述第一晶体管的第一电流导通极;

所述扫描线包括第一扫描线、第二扫描线和扫描控制线,所述第三晶体管的控制极耦合至所述第一扫描线;所述第二晶体管的控制极和所述第四晶体管的控制极耦合至所述第二扫描线,所述第五晶体管的控制极耦合至所述扫描控制线;所述第二扫描线为所述像素电路所在行的前一行像素电路的第一扫描线,所述扫描控制线为所述第二扫描线的反向延迟扫描线;

在所述发光器件被驱动时,

在第一阶段,所述第三晶体管由所述第一扫描线控制在截止状态,所述第二晶体管和所述第四晶体管由所述第二扫描线控制在导电状态,所述第五晶体管由所述扫描控制线控制在导电状态;所述第一晶体管成为二极管接法,所述像素电路被初始化;

在第二阶段,所述第三晶体管由所述第一扫描线控制在截止状态,所述第二晶体管和所述第四晶体管由所述第二扫描线控制在导电状态,所述第五晶体管由所述扫描控制线控制在截止状态;所述第一晶体管的阈值电压被存储至第一电容;

在第三阶段,所述第三晶体管由所述第一扫描线控制在导电状态,所述第二晶体管和所述第四晶体管由所述第二扫描线控制在截止状态,所述第五晶体管由所述扫描控制线控制在导电状态;所述数据线上的数据被写入所述第一电容;

在第四阶段,所述第三晶体管由所述第一扫描线控制在截止状态,所述第二晶体管和所述第四晶体管由所述第二扫描线控制在截止状态,所述第五晶体管由所述扫描控制线控制在导电状态;所述发光器件发光。

2. 一种像素电路,其被布置在以第一方向排列的供应扫描控制信号的扫描线和以第二方向排列的供应数据信号的数据线之间,其特征在于,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第一电容、发光器件;

所述第一晶体管的控制极耦合至所述第二晶体管的第一电流导通极,所述第一晶体管的第一电流导通极耦合至所述第五晶体管的第二电流导通极,所述第一晶体管的第二电流导通极耦合至所述发光器件的第一电流导通极;

所述第二晶体管的控制极耦合至扫描线,所述第二晶体管的第一电流导通极耦合至所述第一晶体管的控制极,所述第二晶体管的第二电流导通极耦合至所述第一晶体管的第二电流导通极;

所述第三晶体管的控制极耦合至扫描线,所述第三晶体管的第一电流导通极耦合至所述第四晶体管的第二电流导通极,所述第三晶体管的第二电流导通极耦合至数据线;

所述第四晶体管的控制极耦合至扫描线,所述第四晶体管的第一电流导通极耦合至所述第一晶体管的第一电流导通极,所述第四晶体管的第二电流导通极耦合至所述第三晶体管的第一电流导通极;

所述第五晶体管的控制极耦合至扫描线,所述第五晶体管的第一电流导通极耦合至第一电源电压,所述第五晶体管的第二电流导通极耦合至所述第一晶体管的第一电流导通极;

所述第一电容耦合在所述第一晶体管的控制极和所述第三晶体管的第一电流导通极之间;

所述发光器件的第一电流导通极耦合至所述第一晶体管的第二电流导通极,所述发光器件的第二电流导通极耦合至所述第二电源电压;

所述扫描线包括第一扫描线、第二扫描线和扫描控制线,所述第三晶体管的控制极耦合至所述第一扫描线;所述第二晶体管的控制极和所述第四晶体管的控制极耦合至所述第二扫描线,所述第五晶体管的控制极耦合至所述扫描控制线;所述第二扫描线为所述像素电路所在行的前一行像素电路的第一扫描线,所述扫描控制线为所述第二扫描线的反向延迟扫描线;

在所述发光器件被驱动时,

在第一阶段,所述第三晶体管由所述第一扫描线控制在截止状态,所述第二晶体管和所述第四晶体管由所述第二扫描线控制在导电状态,所述第五晶体管由所述扫描控制线控制在导电状态;所述第一晶体管成为二极管接法,所述像素电路被初始化;

在第二阶段,所述第三晶体管由所述第一扫描线控制在截止状态,所述第二晶体管和所述第四晶体管由所述第二扫描线控制在导电状态,所述第五晶体管由所述扫描控制线控制在截止状态;所述第一晶体管的阈值电压被存储至第一电容;

在第三阶段,所述第三晶体管由所述第一扫描线控制在导电状态,所述第二晶体管和所述第四晶体管由所述第二扫描线控制在截止状态,所述第五晶体管由所述扫描控制线控制在导电状态;所述数据线上的数据被写入所述第一电容;

在第四阶段,所述第三晶体管由所述第一扫描线控制在截止状态,所述第二晶体管和所述第四晶体管由所述第二扫描线控制在截止状态,所述第五晶体管由所述扫描控制线控制在导电状态;所述发光器件发光。

3. 一种像素电路,其被布置在以第一方向排列的供应扫描控制信号的扫描线和以第二方向排列的供应数据信号的数据线之间,其特征在于,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第一电容、发光器件;

所述第一晶体管的控制极耦合至所述第二晶体管的第二电流导通极,所述第一晶体管的第一电流导通极耦合至所述发光器件的第二电流导通极,所述第一晶体管的第二电流导通极耦合至所述第五晶体管的第一电流导通极;

所述第二晶体管的控制极耦合至扫描线,所述第二晶体管的第一电流导通极耦合至第三电源电压,所述第二晶体管的第二电流导通极耦合至所述第一晶体管的控制极;

所述第三晶体管的控制极耦合至扫描线,所述第三晶体管的第一电流导通极耦合至所述第四晶体管的第二电流导通极,所述第三晶体管的第二电流导通极耦合至数据线;

所述第四晶体管的控制极耦合至扫描线,所述第四晶体管的第一电流导通极耦合至所述第一晶体管的第二电流导通极,所述第四晶体管的第二电流导通极耦合至所述第三晶体管的第一电流导通极;

所述第五晶体管的控制极耦合至扫描线,所述第五晶体管的第一电流导通极耦合至所述第一晶体管的第二电流导通极,所述第五晶体管的第二电流导通极耦合至第二电源电压;

所述第一电容耦合在所述第一晶体管的控制极和所述第三晶体管的第一电流导通极之间;

所述发光器件的第一电流导通极耦合至所述第一电源电压,所述发光器件的第二电流导通极耦合至所述第一晶体管的第一电流导通极;

所述扫描线包括第一控制线、第二控制线、第三控制线和第四控制线,所述第二晶体管的控制极耦合至所述第一控制线,所述第三晶体管的控制极耦合至所述第二控制线,所述第四晶体管的控制极耦合至所述第三控制线,所述第五晶体管的控制极耦合至所述第四控制线;

在所述发光器件被驱动时,

在第一阶段,所述第二晶体管由所述第一控制线控制在导通状态,所述第三晶体管由所述第二控制线控制在导通状态,所述第四晶体管由所述第三控制线控制在截止状态,所述第五晶体管由所述第四控制线控制在导通状态;所述像素电路被初始化;

在第二阶段,所述第二晶体管由所述第一控制线控制在导通状态,所述第三晶体管由所述第二控制线控制在截止状态,所述第四晶体管由所述第三控制线控制在导通状态,所述第五晶体管由所述第四控制线控制在截止状态;所述第一晶体管的阈值电压被存储至第一电容;

在第三阶段,所述第二晶体管由所述第一控制线控制在截止状态,所述第三晶体管由所述第二控制线控制在导通状态,所述第四晶体管由所述第三控制线控制在截止状态,所述第五晶体管由所述第四控制线控制在导通状态;所述数据线上的数据被写入所述第一电容;

在第四阶段,所述第二晶体管由所述第一控制线控制在截止状态,所述第三晶体管由所述第二控制线控制在截止状态,所述第四晶体管由所述第三控制线控制在截止状态,所述第五晶体管由所述第四控制线控制在导通状态;所述发光器件发光。

4. 一种像素电路,其被布置在以第一方向排列的供应扫描控制信号的扫描线和以第二方向排列的供应数据信号的数据线之间,其特征在于,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第一电容、发光器件;

所述第一晶体管的控制极耦合至所述第二晶体管的第一电流导通极,所述第一晶体管的第一电流导通极耦合至所述第五晶体管的第二电流导通极,所述第一晶体管的第二电流导通极耦合至所述发光器件的第一电流导通极;

所述第二晶体管的控制极耦合至扫描线,所述第二晶体管的第一电流导通极耦合至所述第一晶体管的控制极,所述第二晶体管的第二电流导通极耦合至第三电源电压;

所述第三晶体管的控制极耦合至扫描线,所述第三晶体管的第一电流导通极耦合至所述第四晶体管的第二电流导通极,所述第三晶体管的第二电流导通极耦合至数据线;

所述第四晶体管的控制极耦合至扫描线,所述第四晶体管的第一电流导通极耦合至所述第一晶体管的第一电流导通极,所述第四晶体管的第二电流导通极耦合至所述第三晶体管的第一电流导通极;

所述第五晶体管的控制极耦合至扫描线,所述第五晶体管的第一电流导通极耦合至第一电源电压,所述第五晶体管的第二电流导通极耦合至所述第一晶体管的第一电流导通极;

所述第一电容耦合在所述第一晶体管的控制极和所述第三晶体管的第一电流导通极之间;

所述发光器件的第一电流导通极耦合至所述第一晶体管的第二电流导通极,所述发光器件的第二电流导通极耦合至所述第二电源电压;

所述扫描线包括第一控制线、第二控制线、第三控制线和第四控制线,所述第二晶体管的控制极耦合至所述第一控制线,所述第三晶体管的控制极耦合至所述第二控制线,所述第四晶体管的控制极耦合至所述第三控制线,所述第五晶体管的控制极耦合至所述第四控制线;

在所述发光器件被驱动时,

在第一阶段,所述第二晶体管由所述第一控制线控制在导通状态,所述第三晶体管由所述第二控制线控制在导通状态,所述第四晶体管由所述第三控制线控制在截止状态,所述第五晶体管由所述第四控制线控制在导通状态;所述像素电路被初始化;

在第二阶段,所述第二晶体管由所述第一控制线控制在导通状态,所述第三晶体管由所述第二控制线控制在截止状态,所述第四晶体管由所述第三控制线控制在导通状态,所述第五晶体管由所述第四控制线控制在截止状态;所述第一晶体管的阈值电压被存储至第一电容;

在第三阶段,所述第二晶体管由所述第一控制线控制在截止状态,所述第三晶体管由所述第二控制线控制在导通状态,所述第四晶体管由所述第三控制线控制在截止状态,所述第五晶体管由所述第四控制线控制在导通状态;所述数据线上的数据被写入所述第一电容;

在第四阶段,所述第二晶体管由所述第一控制线控制在截止状态,所述第三晶体管由所述第二控制线控制在截止状态,所述第四晶体管由所述第三控制线控制在截止状态,所述第五晶体管由所述第四控制线控制在导通状态;所述发光器件发光。

5. 如权利要求1-4任一项所述的像素电路,其特征在于,

所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管和所述第五晶体管为N型管或者P型管;所述第一电源电压为高电平,所述第二电源电压为低电平或地线;所述发光器件的第一电流导通极为阳极,所述发光器件的第二电流导通极为阴极。

6. 如权利要求2或4所述的像素电路,其特征在于,还包括第二电容,

所述第二电容耦合在所述第三晶体管的第一电流导通极和第二电源电压之间,用于保持电荷,减低电荷泄漏。

7. 如权利要求3所述的像素电路,其特征在于,还包括第二电容,

所述第二电容耦合在所述第三晶体管的第一电流导通极和第一电源电压之间,用于保持电荷,减低电荷泄漏。

8. 一种显示装置,包括:

以第一方向排列的多条扫描线;

栅极驱动电路,用于产生扫描信号,与多条扫描线分别连接;

以第二方向排列的多条数据线;

数据驱动电路,用于产生数据信号,与多条数据线分别连接;

其特征在于,还包括多个如权利要求1-7任一项所述的像素电路,所述像素电路被布置在相交叉的所述扫描线和所述数据线之间。

9. 一种如权利要求1或2所述的像素电路的显示驱动方法,其特征在于,包括:

在第一阶段,所述第三晶体管由所述第一扫描线控制在截止状态,所述第二晶体管和所述第四晶体管由所述第二扫描线控制在导通状态,所述第五晶体管由所述扫描控制线控制在导通状态;所述第一晶体管成为二极管接法,所述像素电路被初始化;

在第二阶段,所述第三晶体管由所述第一扫描线控制在截止状态,所述第二晶体管和所述第四晶体管由所述第二扫描线控制在导通状态,所述第五晶体管由所述扫描控制线控制在截止状态;所述第一晶体管的阈值电压被存储至第一电容;

在第三阶段,所述第三晶体管由所述第一扫描线控制在导通状态,所述第二晶体管和所述第四晶体管由所述第二扫描线控制在截止状态,所述第五晶体管由所述扫描控制线控制在导通状态;所述数据线上的数据被写入所述第一电容;

在第四阶段,所述第三晶体管由所述第一扫描线控制在截止状态,所述第二晶体管和所述第四晶体管由所述第二扫描线控制在截止状态,所述第五晶体管由所述扫描控制线控制在导通状态;所述发光器件发光。

10. 一种如权利要求3或4所述的像素电路的显示驱动方法,其特征在于,包括:

在第一阶段,所述第二晶体管由所述第一控制线控制在导通状态,所述第三晶体管由所述第二控制线控制在导通状态,所述第四晶体管由所述第三控制线控制在截止状态,所述第五晶体管由所述第四控制线控制在导通状态;所述像素电路被初始化;

在第二阶段,所述第二晶体管由所述第一控制线控制在导通状态,所述第三晶体管由所述第二控制线控制在截止状态,所述第四晶体管由所述第三控制线控制在导通状态,所述第五晶体管由所述第四控制线控制在截止状态;所述第一晶体管的阈值电压被存储至第一电容;

在第三阶段,所述第二晶体管由所述第一控制线控制在截止状态,所述第三晶体管由

所述第二控制线控制在导通状态,所述第四晶体管由所述第三控制线控制在截止状态,所述第五晶体管由所述第四控制线控制在导通状态;所述数据线上的数据被写入所述第一电容;

在第四阶段,所述第二晶体管由所述第一控制线控制在截止状态,所述第三晶体管由所述第二控制线控制在截止状态,所述第四晶体管由所述第三控制线控制在截止状态,所述第五晶体管由所述第四控制线控制在导通状态;所述发光器件发光。

像素电路、显示装置及显示驱动方法

技术领域

[0001] 本发明涉及显示器件领域,具体涉及像素电路、显示装置及显示驱动方法。

背景技术

[0002] 有机发光二极管(Organic Light-Emitting Diode,OLED)显示因具有高亮度、高发光效率、宽视角和低功耗等优点,近年来被人们广泛研究,并迅速应用到新一代的显示设备当中。OLED显示的驱动方式分为无源矩阵驱动(Passive Matrix OLED,PMOLED)和有源矩阵驱动(Active Matrix OLED,AMOLED)两种。无源矩阵驱动虽然成本低廉,但是由于存在交叉串扰现象,因此不能实现高分辨率的显示,且无源矩阵驱动所需电流大,缩短了OLED的使用寿命。相比之下,有源矩阵驱动方式在每个像素上设置数目不同的晶体管作为电流源,避免了交叉串扰现象,所需的驱动电流较小,功耗较低,使OLED的寿命得以延长,可以实现高分辨的显示。

[0003] 传统的AMOLED像素电路是简单的两薄膜场效应晶体管(Thin Film Transistor,TFT)结构,如图1所示,包括晶体管T1、晶体管T2、电容C1和发光器件OLED。这种电路虽然结构简单,但是不能补偿由于驱动晶体管T1和OLED阈值电压产生的漂移以及由于TFT器件采用多晶材料制成而导致的面板各处TFT器件的阈值电压的不均匀性。当驱动晶体管T1阈值电压、OLED阈值电压发生漂移或在面板上各处的值不一致时,驱动电流 I_{DS} 就会改变,并且面板上不同的像素因偏置电压的不同,其漂移情况也不一样,这样就会造成面板显示的不均匀性。

[0004] 因此,就目前的技术而言,为了解决TFT器件的阈值电压 V_{TH} 漂移所带来的问题,不管AMOLED的像素电路采用的工艺是多晶硅(poly-Si)技术、非晶硅(a-Si)技术还是氧化物半导体技术,其在构成像素电路时都需要提供 V_{TH} 补偿机制。目前已经研制出很多提供补偿机制的像素电路,这些电路大致可以分为两类:电压驱动型像素电路和电流驱动型像素电路。电流驱动型像素电路在实际应用时,由于数据线上存在寄生电容效应,数据电流的建立需要较长的时间,这个问题在小电流的情况下更加突出,严重影响了电路的驱动速度。电压驱动型像素电路相对于电流驱动型像素电路有更快的充放电速度,可以满足大面积、高分辨显示的需要。但是,电压驱动型像素电路需要对阈值电压 V_{TH} 的漂移和OLED的退化进行补偿,才能达到均匀显示的目的。

[0005] 所以目前的很多研究都是针对TFT阈值电压进行补偿的像素电路,例如图2所示的电路,该像素电路包括一个驱动晶体管T1,三个开关晶体管T2、T3和T4,两个电容C1和C2,以及发光器件OLED。其驱动过程分为初始化、阈值补偿、编程和发光四个阶段。在初始化阶段,第一电源线Vcomp的电压由低电平变为高电平,T2和T4管打开,A点预充到VREF的电压 V_{REF} ,同时电源线VDD的电压变为低电平 V_{DDL} ,通过驱动管T1将B点电位拉低到 V_{DDL} ;在阈值提取阶段,第一电源线Vcomp继续维持高电平,电源线VDD由低电平 V_{DDL} 变为高电平 V_{DDH} ,通过驱动管T1对B点进行充电,直到驱动管T1截止,B点电位保持为 $V_{REF}-V_{TH}$,阈值电压信息存储在电容C1中;在编程阶段,第一电源线预先由高电平变为低电平,扫描线Scan[n]变为高电平,T2和T4

管关闭,同时电源线VDD变为某一合适电平 V_{DDL}' ,保证编程阶段OLED不发光,T3管打开,数据电压通过T3管被写入到C点,并通过电容C1耦合到A点,A点电位为 $V_{TH}+V_{DATA}$;在发光阶段,扫描线Scan[n]变为低电平,电源线VDD变为高电平,流过OLED的电流

$$\begin{aligned}
 I_{DS} &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA} + V_{TH} - V_{OLED} - V_{TH})^2 \\
 &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA} - V_{OLED})^2
 \end{aligned}
 \tag{1}$$

[0007] 其中 V_{TH} 表示驱动晶体管T1的阈值电压, V_{OLED} 表示发光阶段OLED阳极的电位, μ_n 、 C_{ox} 、 W 、 L 分别为驱动晶体管T1的有效迁移率、单位面积栅电容、沟道宽度和沟道长度。由式(1)可以看出流过OLED的电流不随驱动晶体管的 V_{TH} 的改变而改变,而只与数据电压 V_{OLED} 和OLED上的电压降有关。

[0008] 在上述像素电路中,虽然流过OLED的电流与驱动管的阈值电压 V_{TH} 无关,但却会受到OLED上电压降 V_{OLED} 的影响,其中 V_{OLED} 与OLED的阈值电压有关,所以上述像素电路并不能补偿OLED的阈值电压漂移,此外,上述像素电路中电源线VDD的电压是波动的,在实际使用中要得以实现还存在难度。

发明内容

[0009] 根据本发明的第一方面,提供一种像素电路,其被布置在以第一方向排列的供应扫描控制信号的扫描线和以第二方向排列的供应数据信号的数据线之间,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第一电容和发光器件。

[0010] 第一晶体管的控制极耦合至第二晶体管的第二电流导通极,第一晶体管的第一电流导通极耦合至发光器件的阴极,第一晶体管的第二电流导通极耦合至第五晶体管的第一电流导通极。

[0011] 第二晶体管的控制极耦合至扫描线,第二晶体管的第一电流导通极耦合至第三电源电压或者第一晶体管的第一电流导通极,第二晶体管的第二电流导通极耦合至第一晶体管的控制极。

[0012] 第三晶体管的控制极耦合至扫描线,第三晶体管的第一电流导通极耦合至第四晶体管的第一电流导通极,第三晶体管的第二电流导通极耦合至数据线;

[0013] 第四晶体管的控制极耦合至扫描线,第四晶体管的第一电流导通极耦合至第一晶体管的第二电流导通极,第四晶体管的第二电流导通极耦合至第三晶体管的第一电流导通极。

[0014] 第五晶体管的控制极耦合至扫描线,第五晶体管的第一电流导通极耦合至第一晶体管的第一电流导通极,第五晶体管的第二电流导通极耦合至第二电源电压。

[0015] 第一电容耦合在第一晶体管的控制极和第三晶体管的第一电流导通极之间。

[0016] 发光器件的第一电流导通极耦合至第一电源电压,发光器件的第二电流导通极耦合至第一晶体管的第一电流导通极。

[0017] 在第一种实施方式中,扫描线包括第一扫描线、第二扫描线和第二扫描控制线,第二扫描线为第一扫描线的像素电路所在行的前一行像素电路的扫描线,第二扫描控制线为第二扫描线的反向延迟扫描线。第三晶体管的控制极耦合至第一扫描线;第二晶体管的控

制极和第四晶体管的控制极耦合至第二扫描线,第五晶体管的控制极耦合至第二扫描控制线;第二晶体管的第一电流导通极耦合至第一晶体管的第一电流导通极,第二扫描控制线为第二扫描线的反向延迟扫描线。第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管为N型管;第一电源电压为高电平,第二电源电压为低电平或地线,发光器件的第一电流导通极为阳极,发光器件的第二电流导通极为阴极;或者,第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管为P型管;第一电源电压为低电平或地线,第二电源电压为高电平,发光器件的第一电流导通极为阴极,发光器件的第二电流导通极为阳极。

[0018] 在第二种实施方式中,扫描线包括第一控制线、第二控制线、第三控制线和第四控制线,第二晶体管的控制极耦合至第一控制线,第二晶体管的第一电流导通极耦合至第三电源电压,第三晶体管的控制极耦合至第二控制线,第四晶体管的控制极耦合至第三控制线,第五晶体管的控制极耦合至第四控制线。第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管为N型管;第一电源电压为高电平,第二电源电压为低电平或地线,发光器件的第一电流导通极为阳极,发光器件的第二电流导通极为阴极;或者,第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管为P型管;第一电源电压为低电平或地线,第二电源电压为高电平,发光器件的第一电流导通极为阴极,发光器件的第二电流导通极为阳极。第三电源电压用于在电路初始化时给第一晶体管一个较低电压(可以是零电位),从而防止发光器件在电路初始化阶段发出太亮的光。

[0019] 在本发明的其它实施方式中,像素电路还包括第二电容,第二电容耦合在第三晶体管的第一电流导通极和第一电源电压之间,用于保持电荷,减低电荷泄漏。

[0020] 根据本发明的第二方面,提供一种显示装置,包括显示面板、栅极驱动电路和数据驱动电路,其中,显示面板包括若干上述像素电路;栅极驱动电路用于通过扫描线向像素电路提供扫描控制信号;数据驱动电路用于通过数据线向像素电路提供数据信号。

[0021] 根据本发明的第三方面,提供一种上述第一种实施方式的像素电路的显示驱动方法,其步骤如下。

[0022] 第三晶体管由第一扫描线控制在截止状态,第二晶体管和第四晶体管由第二扫描线控制在导通状态,第五晶体管由第二扫描控制线控制在导通状态;第一晶体管成为二极管接法,像素电路被初始化。

[0023] 第三晶体管由第一扫描线控制在截止状态,第二晶体管和第四晶体管由第二扫描线控制在导通状态,第五晶体管由第二扫描控制线控制在截止状态;第一晶体管的阈值电压被存储至第一电容。

[0024] 第三晶体管由第一扫描线控制在导通状态,第二晶体管和第四晶体管由第二扫描线控制在截止状态,第五晶体管由第二扫描控制线控制在导通状态;传播在数据线上的数据被写入第一电容。

[0025] 第三晶体管由第一扫描线控制在截止状态,第二晶体管和第四晶体管由第二扫描线控制在截止状态,第五晶体管由第二扫描控制线控制在导通状态;发光器件发光。

[0026] 根据本发明的第四方面,提供一种上述第二种实施方式的像素电路的显示驱动方法,其步骤如下。

[0027] 第二晶体管由第一控制线控制在导通状态,第三晶体管由第二控制线控制在导通状态,第四晶体管由第三控制线控制在截止状态,第五晶体管由第四控制线控制在导通状

态;第一晶体管成为二极管接法,像素电路被初始化。

[0028] 第二晶体管由第一控制线控制在导通状态,第三晶体管由第二控制线控制在截止状态,第四晶体管由第三控制线控制在导通状态,第五晶体管由第四控制线控制在截止状态;第一晶体管的阈值电压被存储至第一电容。

[0029] 第二晶体管由第一控制线控制在截止状态,第三晶体管由第二控制线控制在导通状态,第四晶体管由第三控制线控制在截止状态,第五晶体管由第四控制线控制在导通状态;传播在数据线上的数据被写入第一电容。

[0030] 第二晶体管由第一控制线控制在截止状态,第三晶体管由第二控制线控制在截止状态,第四晶体管由第三控制线控制在截止状态,第五晶体管由第四控制线控制在导通状态;发光器件发光。

[0031] 本发明的有益效果是:与现有的设置两个电容的像素电路相比,减少了电容的数量,简化了电路。

[0032] 在实际应用中,当利用扫描信号控制本发明的像素电路进行显示驱动时,本发明所提出的像素电路不仅可以补偿驱动晶体管阈值电压的漂移,还可以补偿发光元件OLED阈值电压的漂移,从而实现更加均匀的发光。

附图说明

[0033] 图1为传统的无补偿两TFT像素电路的结构图;

[0034] 图2为传统的有补偿4T2C像素电路的结构图;

[0035] 图3为本发明实施例一的显示装置的结构图;

[0036] 图4为本发明实施例一的像素电路的结构图;

[0037] 图5为本发明实施例一的像素电路的驱动信号时序图;

[0038] 图6为本发明实施例二的像素电路的结构图;

[0039] 图7为本发明实施例二的像素电路的驱动信号时序图;

[0040] 图8为本发明实施例三的像素电路的结构图;

[0041] 图9为本发明实施例三的像素电路的驱动信号时序图;

[0042] 图10为本发明实施例四的像素电路的结构图;

[0043] 图11为本发明实施例四的像素电路的驱动信号时序图。

具体实施方式

[0044] 首先对本发明所使用到的一些术语进行说明,第一至第五晶体管可以是任何形式的晶体管,比如场效应晶体管(Field Effect Transistor,FET)或者双极型晶体管(Bipolar Junction Transistor,BJT)。

[0045] 如果选用场效应晶体管,则控制极为场效应晶体管的栅极(G极);第一电流导通极为场效应晶体管的漏极(D极),第二电流导通极为场效应晶体管的源极(S极);或者第一电流导通极为场效应晶体管的源极,第二电流导通极为场效应晶体管的漏极。本领域的技术人员应当理解,在具体的电路设计中,为了促进电路功能的实现,可以根据电路的实际情况灵活地将某个场效应晶体管的源极和漏极进行互换。

[0046] 如果选用双极型晶体管,则控制极为三极管的基极(B极),第一电流导通极为双极

型晶体管的发射极(E极),第二电流导通极为双极型晶体管的集电极(C极)。本领域的技术人员应当理解,在具体的电路设计中,为了促进电路功能的实现,可以根据电路的实际情况灵活地将某个三极管的发射和集电极进行互换。

[0047] 显示装置中的晶体管通常为薄膜晶体管,此时,晶体管的控制极指的是薄膜晶体管的栅极,第一电流导通极为薄膜晶体管的漏极,第二电流导通极薄膜晶体管的源极。本领域的技术人员应当理解,在具体的电路设计中,为了促进电路功能的实现,可以根据电路的实际情况灵活地将某个薄膜晶体管的源极和漏极进行互换,即在在描述中,“第一电极”和“第二电极”时,可以是但并不局限于漏极和源极。

[0048] 本发明各个实施例中所使用的OLED可以是其他发光元件。

[0049] 一些实施例中,显示装置可以是液晶显示、有机发光显示和电子纸显示(E-paper)等。

[0050] 下面通过具体实施方式结合附图对本发明作进一步详细说明。

[0051] 实施例一:

[0052] 如图3所示为本实施例的具有多个像素电路的显示装置结构示意图,其中,像素电路可以是但并不局限于本发明所提出的一些像素电路。显示装置主要包括像素阵列1、栅极驱动电路2、数据驱动电路3、控制器4。

[0053] 即像素阵列1包括由栅极驱动电路2控制的扫描线Scan[1]、Scan[2]、...、Scan[N],由数据驱动电路3控制的数据线Data1、Data2、...、DataM,以及布置在扫描线和数据线之间交叉部分的像素电路,像素电路以N行M列的矩阵方式排列,即该像素阵列1为N行、M列,其中N、M均为正整数。一般地,像素阵列中的同一行像素电路均连接到同一条扫描线上,像素阵列1中的同一列像素电路则连接到同一条数据线上。

[0054] 栅极驱动电路2用于通过扫描线向像素电路提供扫描信号和控制信号。数据驱动电路3用于通过数据线向像素电路提供灰度信息,即将灰度信息通过数据线传输到对应的像素单元内以实现图像灰度,在某些实施例中,数据线还会向像素提供初始化电平和参考电平。控制器4则是为数据驱动电路3和栅极驱动电路2提供时序控制,并且为显示装置中的全局线提供信号输出。

[0055] 图4为本实施例的像素电路结构图,主要包括:一个OLED,第一电容C1,一个驱动晶体管T1,四个开关晶体管T2、T3、T4和T5。

[0056] 像素中的晶体管T1、T2、T3、T4和T5是N型薄膜晶体管,像素电路也可使用互补的包括P型薄膜晶体管来驱动,此时像素电路需要作出适当改变以符合P型薄膜晶体管的电路连接。晶体管T1、T2、T3、T4和T5可以通过采用非晶硅、纳/微晶硅、多晶硅、有机半导体、金属氧化物半导体技术(比如1GZO-TFT)、N型半导体、P型半导体或者互补型半导体技术来制备。多个像素电路就可以组成一个用于驱动OLED显示屏的矩阵。

[0057] 此外本像素电路还包括两条扫描线Scan[n]和Scan[n-1],一条数据线Data,一条扫描控制线Scan_b[n-1],一条电源线VDD。扫描线Scan[n]控制着数据电压对第n行的像素电路的写入过程,Scan_b[n]为Scan[n]的反向延迟扫描线(如图5的时序图所示),以此类推。

[0058] 器件之间的连接关系为:驱动晶体管T1的第一电极耦合到发光元件OLED的阴极,第二电极耦合到开关晶体管T5的第一电极,栅极耦合到开关晶体管T2的第二电极;开关晶

晶体管T2的第一电极耦合到发光元件OLED的阴极,第二电极耦合到驱动晶体管T1的栅极,栅极耦合到扫描线Scan[n-1];开关晶体管T3的第一电极耦合到开关晶体管T4的第二电极,第二电极耦合到数据线Data,栅极耦合到扫描线Scan[n];开关晶体管T4的第一电极耦合到驱动晶体管T1的第二电极,第二电极耦合到开关晶体管T3的第一电极,栅极耦合到扫描线Scan[n-1];开关晶体管T5的第一电极耦合到驱动晶体管T1的第二电极,第二电极耦合到地线(即VSS),栅极耦合到扫描控制线Scan_b[n-1];第一电容C1耦合在驱动晶体管T1的栅极和开关晶体管T3的第一电极之间;OLED的阳极耦合到电源线VDD,阴极耦合到驱动晶体管T1的第一电极。为便于描述,设晶体管T1的栅极、T2的第二电极和第一电容C1耦合于A点,晶体管T1的第一电极、T2的第一电极和发光元件OLED的阴极耦合于B点,晶体管T3的第一电极、T4的第二电极以及电容C1耦合于C点,开关晶体管T1的第二电极、T4的第一电极和T5的第一电极耦合于D点。Scan[n-1]为像素电路所在行的前一行的扫描线,Scan[n-1]与Scan[n]的时序关系如图5所示,相应的,Scan_b[n-1]像素电路所在行的前一行的与扫描线Scan[n-1]相对应的反向延迟扫描线。

[0059] 图5为实施例一像素电路的信号时序图,其中Scan[n]和Scan[n-1]分别为第n行和第n-1行像素电路的扫描线,Scan_b[n]和Scan_b[n-1]分别为第n+1行和第n行像素的扫描控制线。下面结合图5来具体描述图4所示像素电路的一种显示驱动过程,即本发明实施例一的显示驱动方法。

[0060] 如图5所示,整个一帧的时间被分为初始化、阈值提取、阈值补偿(即编程)和发光四个阶段。

[0061] 在初始化阶段:扫描线Scan[n]为低电平,开关晶体管T3为截止状态,扫描线Scan[n-1]和扫描控制线Scan_b[n-1]为高电平,开关晶体管T2、T4和T5为导通状态,A、B两点通过开关晶体管T2连通,驱动晶体管T1通过开关晶体管T2连接成二极管形式,A、B两点被预充到 $V_{DD}-V_{OLED}$,即 $V_A=V_B=V_{DD}-V_{OLED}$,其中, V_{DD} 为电源线的值, V_{OLED} 为发光元件OLED两端的压降,C、D两点通过开关晶体管T4连通,并通过开关晶体管T5和地线连接,C、D两点的电位为0。

[0062] 在阈值提取阶段:扫描线Scan[n]继续维持低电平,开关晶体管T3为截止状态,扫描控制线Scan_b[n-1]变为低电平,开关晶体管T5为截止状态,扫描线Scan[n-1]继续维持高电平,开关晶体管T2和T4为导通状态,电源线对D、C点充电,直到D、C两点电位为 $V_{DD}-V_{OLED}-V_{TH}$,驱动晶体管T1截止,D、C两点电位保持为 $V_{DD}-V_{OLED}-V_{TH}$,即 $V_C=V_D=V_{DD}-V_{OLED}-V_{TH}$,其中 V_{TH} 为驱动晶体管T1的阈值电压,阈值电压存储在第一电容C1中。

[0063] 在编程阶段:扫描线Scan[n-1]变为低电平,开关晶体管T2和T4为截止状态,扫描控制线Scan_b[n-1]变为高电平,开关晶体管T5为导通状态,扫描线Scan[n]变为高电平,开关晶体管T3为导通状态,数据线电压通过开关晶体管T3写入到C点,在节点C中的电位由 $V_{DD}-V_{OLED}-V_{TH}$ 变为 V_{DATA} 的过程中会通过第一电容C1耦合到节点A,从而使A点电位变为 $V_{DATA}+V_{TH}$ 。

[0064] 在发光阶段:扫描线Scan[n-1]继续维持低电平,开关晶体管T2和T4为截止状态,扫描控制线Scan_b[n-1]继续维持高电平,开关晶体管T5为导通状态,扫描线Scan[n]变为低电平,开关晶体管T3为截止状态,D点电位为0,流过发光元件OLED的电流为:

[0065]

$$\begin{aligned}
 I_{DS} &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA} + V_{TH} - V_{TH})^2 \\
 &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA})^2 \dots\dots\dots (1-1)
 \end{aligned}$$

[0066] 其中, μ_n 、 C_{ox} 、 W 、 L 分别为驱动晶体管T1的有效迁移率、单位面积栅电容、沟道宽度和沟道长度, V_{GS} 为T1的栅极电压。从(1-1)可以看出,最终流过OLED的电流与驱动晶体管T1的阈值电压以及OLED本身的阈值电压都无关,从而本实施例中的像素电路可以很好的补偿显示的不均匀性。

[0067] 本实施例中的像素电路不仅可以补偿驱动晶体管阈值电压的漂移,还可以补偿OLED阈值电压的漂移,此外,本实施例的像素电路还利用了上一行的扫描线和控制线,能有效减少外围栅极驱动电路的复杂程度,从而降低成本。

[0068] 实施例二:

[0069] 图6为本实施例像素电路的结构图,主要包括:一个OLED,第一电容C1和第二电容C2,一个驱动晶体管T1,四个开关晶体管T2、T3、T4和T5。

[0070] 像素电路中的晶体管T1、T2、T3、T4和T5是P型薄膜晶体管,像素电路也可使用互补的包括N型薄膜晶体管来驱动,此时像素电路需要作出适当改变以符合N型薄膜晶体管的电路连接。晶体管T1、T2、T3、T4和T5可以通过采用非晶硅、纳/微晶硅、多晶硅、有机半导体、金属氧化物半导体技术(比如IGZO-TFT)、N型半导体、P型半导体或者互补型半导体技术来制备。多个像素电路就可以组成一个用于驱动OLED显示屏的矩阵。

[0071] 此外本像素电路还包括两条扫描线Scan[n]和Scan[n-1],一条数据线Data,一条扫描控制线Scan_b[n-1],一条电源线VDD。扫描线Scan[n]控制着数据电压对第n行的像素电路的写入过程,Scan_b[n]为Scan[n]的反向延迟扫描线(如图7的时序图所示),以此类推。

[0072] 器件之间的连接关系为:驱动晶体管T1的第一电极耦合到开关晶体管T5的第二电极,第二电极耦合到发光元件OLED的阳极,栅极耦合到开关晶体管T2的第一电极;开关晶体管T2的第一电极耦合到驱动晶体管T1的栅极,第二电极耦合到发光元件OLED的阳极,栅极耦合到扫描线Scan[n-1];开关晶体管T3的第一电极耦合到开关晶体管T4的第二电极,第二电极耦合到数据线,栅极耦合到扫描线Scan[n];开关晶体管T4的第一电极耦合到驱动晶体管T1的第一电极,第二电极耦合到开关晶体管T3的第一电极,栅极耦合到扫描线Scan[n-1];开关晶体管T5的第一电极耦合到电源线VDD,第二电极耦合到驱动晶体管T1的第一电极,栅极耦合到扫描控制线Scan_b[n-1];第一电容C1耦合在驱动晶体管T1的栅极和开关晶体管T3的第一电极之间;第二电容C2耦合在开关晶体管T3的第一电极和地线(即VSS)之间;OLED的阳极耦合到驱动晶体管T1的第二电极,阴极耦合到地线。为便于描述,设晶体管T1的栅极、T2的第一电极和第一电容C1耦合于A点,晶体管T1的第二电极、T2的第二电极和发光元件OLED的阳极耦合到B点,晶体管T3的第一电极、T4的第二电极和电容元件C1、C2耦合到C点,开关晶体管T1的第一电极、T4的第一电极和T5的第二电极耦合到D点。

[0073] 图7为实施例一像素电路的信号时序图,其中Scan[n]和Scan[n-1]分别为第n行和第n-1行像素的扫描线,Scan_b[n]和Scan_b[n-1]分别为第n+1行和第n行像素的扫描控制

线。下面结合图7来具体描述图6所示像素电路的一种显示驱动过程,即本发明实施例二的显示驱动方法。

[0074] 由图7所示,整个一帧的时间被分为初始化、阈值提取、阈值补偿(即编程)和发光四个阶段。

[0075] 在初始化阶段:扫描线Scan[n]为高电平,开关晶体管T3为截止状态,扫描线Scan[n-1]和扫描控制线Scan_b[n-1]为低电平,开关晶体管T2、T4和T5为导通状态,A、B两点通过开关晶体管T2连通,驱动晶体管T1通过开关晶体管T2连接成二极管形式,A、B两点被预充到V_{OLED},其中V_{OLED}为发光元件OLED阳极电位,C、D两点通过开关晶体管T4连通,并通过开关晶体管T5和电源线V_{DD}连接,C、D两点被预充到V_{DD},V_{DD}为电源线的电压值。

[0076] 在阈值提取阶段:扫描线Scan[n]继续维持高电平,开关晶体管T3为截止状态,扫描控制线Scan_b[n-1]变为高电平,开关晶体管T5为截止状态,扫描线Scan[n-1]继续维持低电平,开关晶体管T2和T4为导通状态,C、D两点放电,直到D、C两点电位为V_{OLED}-V_{TH},驱动晶体管T1截止,D、C两点电位保持为V_{OLED}-V_{TH},即V_C=V_D=V_{OLED}-V_{TH},其中V_{TH}为驱动晶体管T1的阈值电压,因为T1为P型晶体管,所以V_{TH}为负值,V_{TH}存储在第一电容C1中。

[0077] 在编程阶段:扫描线Scan[n-1]变为高电平,开关晶体管T2和T4为截止状态,扫描控制线Scan_b[n-1]变低电平,开关晶体管T5为导通状态,扫描线Scan[n]变为低电平,开关晶体管T3为导通状态,数据线电压通过开关晶体管T3写入到C点,在节点C中的的电位由V_{OLED}-V_{TH}变为V_{DATA}的过程中会通过第一电容C1耦合到节点A,从而使A点电位变为V_{DATA}+V_{TH}。

[0078] 在发光阶段:扫描线Scan[n-1]继续维持高电平,开关晶体管T2和T4为截止状态,扫描控制线Scan_b[n-1]继续维持低电平,开关晶体管T5为导通状态,扫描线Scan[n]变为高电平,开关晶体管T3为截止状态,D点电位为V_{DD},流过发光元件OLED的电流为:

[0079]

$$\begin{aligned} I_{DS} &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA} + V_{TH} - V_{DD} - V_{TH})^2 \\ &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA} - V_{DD})^2 \end{aligned} \quad \dots\dots\dots (2-1)$$

[0080] 其中, μ_n 、C_{ox}、W、L分别为驱动晶体管T1的有效迁移率、单位面积栅电容、沟道宽度和沟道长度,V_{GS}为T1的栅极电压。从(2-1)可以看出,最终流过OLED的电流与驱动晶体管T1的阈值电压以及OLED本身的阈值电压都无关,从而本实施例中的像素电路可以很好的补偿显示的不均匀性。

[0081] 在显示驱动的过程中,第二电容C2可以保持电荷,减低电荷泄漏。

[0082] 本实施例中的像素电路不仅可以补偿驱动晶体管阈值电压的漂移,还可以补偿OLED阈值电压的漂移,此外,本实施例的像素电路还利用了上一行的扫描线和控制线,能有效减少外围栅极驱动电路的复杂程度,从而降低成本。

[0083] 实施例三:

[0084] 图8是本实施例的像素电路的结构图,主要包括:一个OLED,第一电容C1和第二电容C2,一个驱动晶体管T1,四个开关晶体管T2、T3、T4和T5。

[0085] 像素中的晶体管T1、T2、T3、T4和T5是N型薄膜晶体管,像素电路也可使用互补的包括P型薄膜晶体管的技术来驱动,此时像素电路需要作出适当改变以符合P型薄膜晶体管的

电路连接。晶体管T1、T2、T3、T4和T5可以通过采用非晶硅、纳/微晶硅、多晶硅、有机半导体、金属氧化物半导体技术(比如1GZO-TFT)、N型半导体、P型半导体或者互补型半导体技术来制备。多个像素电路就可以组成一个用于驱动OLED显示屏的矩阵。

[0086] 此外本像素电路还包括四条控制线Se11、Se12、Se13和Se14,以逐行扫描发光的驱动方式为例,这四条控制线为行控制线,一条数据线Data,一条电源线VDD,一条电压控制线VREF。

[0087] 器件之间的连接关系为:驱动晶体管T1的第一电极耦合到发光元件OLED的阴极,第二电极耦合到开关晶体管T5的第一电极,栅极耦合到开关晶体管T2的第二电极;开关晶体管T2的第一电极耦合到电压控制线VREF,第二电极耦合到驱动晶体管T1的栅极,栅极耦合到控制线Se11;开关晶体管T3的第一电极耦合到开关晶体管T4的第二电极,第二电极耦合到数据线Data,栅极耦合到控制线Se12;开关晶体管T4的第一电极耦合到驱动晶体管T1的第二电极,第二电极耦合到开关晶体管T3的第一电极,栅极耦合到控制线Se13;开关晶体管T5的第一电极耦合到驱动晶体管T1的第二电极,第二电极耦合到地线VSS,栅极耦合到控制线Se14;第一电容C1耦合在驱动晶体管T1的栅极和开关晶体管T3的第一电极之间;第二电容C2耦合在电源线VDD和开关晶体管T3的第一电极之间;OLED的阳极耦合到电源线VDD,阴极耦合到驱动晶体管T1的第一电极。晶体管T1的栅极、T2的第二电极和第一电容C1耦合到A点,晶体管T3的第一电极、T4的第二电极和第一电容C1、第二电容C2耦合到C点,开关晶体管T1的第二电极、T4的第一电极和T5的第一电极耦合到D点。

[0088] 图9为本实施例的像素电路的信号时序图,其中Se11、Se12、Se13、Se14为四条行控制线,控制着本行的像素电路。下面结合图9来具体描述图8所示像素电路的一种显示驱动过程,即本发明实施例三的显示驱动方法。

[0089] 由图9所示,整个一帧的时间被分为初始化、阈值提取、阈值补偿(即编程)和发光四个阶段。

[0090] 在初始化阶段:控制线Se11、Se12和Se14为高电平,开关晶体管T2、T3和T5为导通状态,控制线Se13为低电平,开关晶体管T4为截止状态,数据线通过开关晶体管T3给节点C写入一个负电压,节点D经T5放电到零电位,VREF为零电位,电压控制线VREF通过开关晶体管T2给节点A写入一个零电位(通过电压控制线VREF给节点A写入一个零电位,可以防止发光器件在此时发出太亮的光)。

[0091] 在阈值提取阶段:控制线Se11继续维持高电平,开关晶体管T2为导通状态,节点A电位维持为VREF,VREF即为电压控制线VREF的电压,控制线Se12变为低电平,开关晶体管T3为截止状态,节点C电位通过第二电容C2保持为负电压,控制线Se13变为高电平,Se14变为低电平,开关晶体管T5为截止状态,T4为导通状态,使得节点C和节点D电荷共享(charge sharing),即C、D两节点通过开关晶体管T4连通,两节点电位一致(只要初始化时给C点写入足够的负电压,则T4变为导通状态之后,C点和D点都会是负电压,而且T1的 V_{GS} 会大于T1的阈值电压,所以T1是处于导通状态的)。同时,电源线VDD通过驱动晶体管T1对C、D两点充电,直到C、D两节点被充电到 $V_{REF}-V_{TH}$ 时驱动晶体管T1截止,阈值电压存储在第一电容C1中。

[0092] 在编程阶段:控制线Se11和Se13变为低电平,开关晶体管T2和T4为截止状态,节点A电位为VREF,节点C、D两点电位为 $V_{REF}-V_{TH}$,控制线Se12和Se14变为高电平,开关晶体管T3和T5处于导通状态,数据线通过开关晶体管T3将数据电压写入到C点,C点电位为 V_{DATA} ,在写入

的过程数据电压会通过第一电容耦合到A点,A点电位变为 $V_{DATA}+V_{TH}$ 。

[0093] 在发光阶段:控制线Se11和Se13继续维持低电平,开关晶体管T2和T4为截止状态,控制线Se12变为低电平,开关晶体管T3为截止状态,控制线Se14继续维持高电平,开关晶体管T5处于导通状态,OLED发光,流过OLED的电流为:

[0094]

$$\begin{aligned} I_{DS} &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA} + V_{TH} - V_{TH})^2 \\ &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA})^2 \end{aligned} \quad \dots\dots\dots (3-1)$$

[0095] 其中, μ_n 、 C_{ox} 、 W 、 L 分别为驱动晶体管T1的有效迁移率、单位面积栅电容、沟道宽度和沟道长度, V_{GS} 为T1的栅极电压。从(3-1)可以看出,最终流过OLED的电流与驱动晶体管T1的阈值电压以及OLED本身的阈值电压都无关,从而本实施例中的像素电路可以很好的补偿显示的不均匀性。

[0096] 在显示驱动的过程中,第二电容C2可以保持电荷,减少电荷泄漏。

[0097] 此外,需要说明的是,如果在本实施例像素电路中的电压控制线电位采用 $(V_{TH})_{max} \leq V_{REF} \leq V_{DD} - V_{OLED}$ (其中 $(V_{TH})_{max}$ 为驱动晶体管阈值电压漂移的最大量),则本实施例像素电路就可以利用实施例二中的控制信号,相比较于实施例二像素电路,多出一条电压控制线VREF,但是在初始化时不会有太大的电流流过OLED。

[0098] 本实施例中的像素电路不仅可以补偿驱动晶体管阈值电压的漂移,还可以补偿OLED阈值电压的漂移。

[0099] 实施例四:

[0100] 图10是本实施例的像素电路的结构图,主要包括:一个OLED,第一电容C1和第二电容C2,一个驱动晶体管T1,四个开关晶体管T2、T3、T4和T5。

[0101] 像素中的晶体管T1、T2、T3、T4和T5是P型薄膜晶体管,像素电路也可使用互补的包括N型薄膜晶体管的技术来驱动,此时像素电路需要作出适当改变以符合N型薄膜晶体管的电路连接。晶体管T1、T2、T3、T4和T5可以通过采用非晶硅、纳/微晶硅、多晶硅、有机半导体、金属氧化物半导体技术(比如1GZO-TFT)、N型半导体、P型半导体或者互补型半导体技术来制备。多个像素电路就可以组成一个用于驱动OLED显示屏的矩阵。

[0102] 此外本像素电路还包括四条控制线Se11、Se12、Se13和Se14,以逐行扫描发光的驱动方式为例,这四条控制线为行控制线,一条数据线Data,一条电压控制线VREF。

[0103] 器件之间的连接关系为:驱动晶体管T1的第二电极耦合到发光元件OLED的阳极,第一电极耦合到开关晶体管T5的第二电极,栅极耦合到开关晶体管T2的第一电极;开关晶体管T2的第二电极耦合到电压控制线VREF,第一电极耦合到驱动晶体管T1的栅极,栅极耦合到控制线Se11;开关晶体管T3的第一电极耦合到开关晶体管T4的第二电极,第二电极耦合到数据线Data,栅极耦合到控制线Se12;开关晶体管T4的第一电极耦合到驱动晶体管T1的第一电极,第二电极耦合到开关晶体管T3的第一电极,栅极耦合到控制线Se13;开关晶体管T5的第二电极耦合到驱动晶体管T1的第一电极,第一电极耦合到电源线VDD,栅极耦合到控制线Se14;第一电容C1耦合在驱动晶体管T1的栅极和开关晶体管T3的第一电极之间;第二电容C2耦合在地线VSS和开关晶体管T3的第一电极之间;OLED的阴极耦合到地线VSS,阳

极耦合到驱动晶体管T1的第二电极。晶体管T1的栅极、T2的第一电极和第一电容C1耦合到A点,晶体管T3的第一电极、T4的第二电极和第一电容C1、第二电容C2耦合到C点,开关晶体管T1的第一电极、T4的第一电极和T5的第二电极耦合到D点。

[0104] 图11为本实施例的像素电路的信号时序图,其中Se11、Se12、Se13、Se14为四条行控制线,控制着本行的像素电路。下面结合图11来具体描述图10所示像素电路的一种显示驱动过程,即本发明实施例四的显示驱动方法。

[0105] 由图11所示,整个一帧的时间被分为初始化、阈值提取、阈值补偿(即编程)和发光四个阶段。

[0106] 在初始化阶段:控制线Se11、Se12和Se14为低电平,开关晶体管T2、T3和T5为导通状态,控制线Se13为高电平,开关晶体管T4为截止状态,数据线通过开关晶体管T3给节点C写入一个正电压,节点D经T5充电到VDD,VREF为VDD,电压控制线VREF通过开关晶体管T2给节点A写入一个VDD(通过电压控制线VREF给节点A写入一个VDD,可以防止发光器件在此时发出太亮的光)。

[0107] 在阈值提取阶段:控制线Se11继续维持低电平,开关晶体管T2为导通状态,节点A电位维持为VREF,VREF即为电压控制线VREF的电压,控制线Se12变为高电平,开关晶体管T3为截止状态,节点C电位通过第二电容C2保持为正电压,控制线Se13变为低电平,Se14变为高电平,开关晶体管T5为截止状态,T4为导通状态,使得节点C和节点D电荷共享(charge sharing),即C、D两节点通过开关晶体管T4连通,两节点电位一致(只要初始化时给C点写入足够大的正电压(比VDD大的正电压),则T4变为导通状态之后,C点和D点都会是比VDD大的正电压,而且T1的 V_{GS} 会大过T1的阈值电压(因为全部为P管,所以 V_{GS} , V_{TH} 为负值,即T1的 $|V_{GS}|$ 会大于T1的 $|V_{TH}|$),所以T1是处于导通状态的)。同时,C、D两点通过T1放电,直到C、D两节点被放到 $V_{REF}-V_{TH}$ 时驱动晶体管T1截止,其中 V_{TH} 为驱动晶体管T1的阈值电压,因为T1为P型晶体管,所以 V_{TH} 为负值,阈值电压存储在第一电容C1中。

[0108] 在编程阶段:控制线Se11和Se13变为高电平,开关晶体管T2和T4为截止状态,节点A电位为VREF,节点C、D两点电位为 $V_{REF}-V_{TH}$,控制线Se12和Se14变为低电平,开关晶体管T3和T5处于导通状态,数据线通过开关晶体管T3将数据电压写入到C点,C点电位为 V_{DATA} ,在写入的过程数据电压会通过第一电容耦合到A点,A点电位变为 $V_{DATA}+V_{TH}$ 。

[0109] 在发光阶段:控制线Se11和Se13继续维持高电平,开关晶体管T2和T4为截止状态,控制线Se12变为高电平,开关晶体管T3为截止状态,控制线Se14继续维持低电平,开关晶体管T5处于导通状态,OLED发光,流过OLED的电流为:

[0110]

$$\begin{aligned} I_{DS} &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA} + V_{TH} - VDD - V_{TH})^2 \\ &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA} - VDD)^2 \end{aligned} \quad \dots\dots\dots(4-1)$$

[0111] 其中, μ_n 、 C_{ox} 、 W 、 L 分别为驱动晶体管T1的有效迁移率、单位面积栅电容、沟道宽度和沟道长度, V_{GS} 为T1的栅极电压。从(4-1)可以看出,最终流过OLED的电流与驱动晶体管T1的阈值电压以及OLED本身的阈值电压都无关,从而本实施例中的像素电路可以很好的补偿显示的不均匀性。

[0112] 在显示驱动的过程中,第二电容C2可以保持电荷,减少电荷泄漏。

[0113] 此外,需要说明的是,如果在本实施例像素电路中的电压控制线电位采用 $(V_{TH})_{max} \leq V_{REF} \leq V_{DD} + (V_{TH})_{max}$ (其中 $(V_{TH})_{max}$ 为驱动晶体管阈值电压漂移的最大量),则本实施例像素电路就可以利用实施例二中的控制信号,相比较于实施例二像素电路,多出一条电压控制线VREF,但是在初始化时不会有太大的电流流过OLED。

[0114] 本实施例中的像素电路不仅可以补偿驱动晶体管阈值电压的漂移,还可以补偿OLED阈值电压的漂移。

[0115] 综上所述,本发明所提出的像素电路不仅可以补偿驱动晶体管阈值电压的漂移,还可以补偿发光元件OLED阈值电压的漂移,从而实现更加均匀的发光。

[0116] 本发明的技术方案通过合理设计像素电路的结构,使电源线VDD保持为某一电平,更容易实现外围栅驱动的设计。即本发明的像素电路还在驱动支路上增加一个开关晶体管T5,可以使电源线为某一固定电平,不会出现波动,对于栅驱动会比较容易实现。

[0117] 以上内容是结合具体的实施方式对本发明所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换。

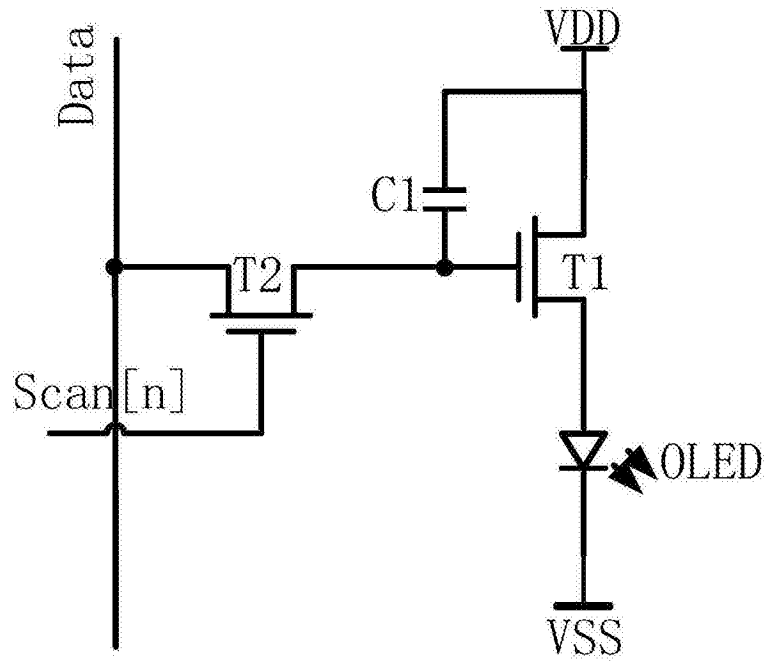


图1

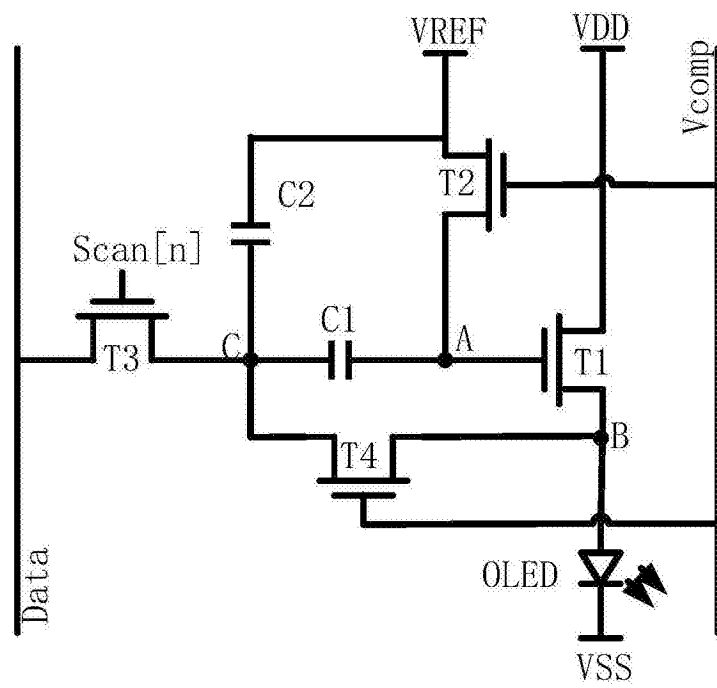


图2

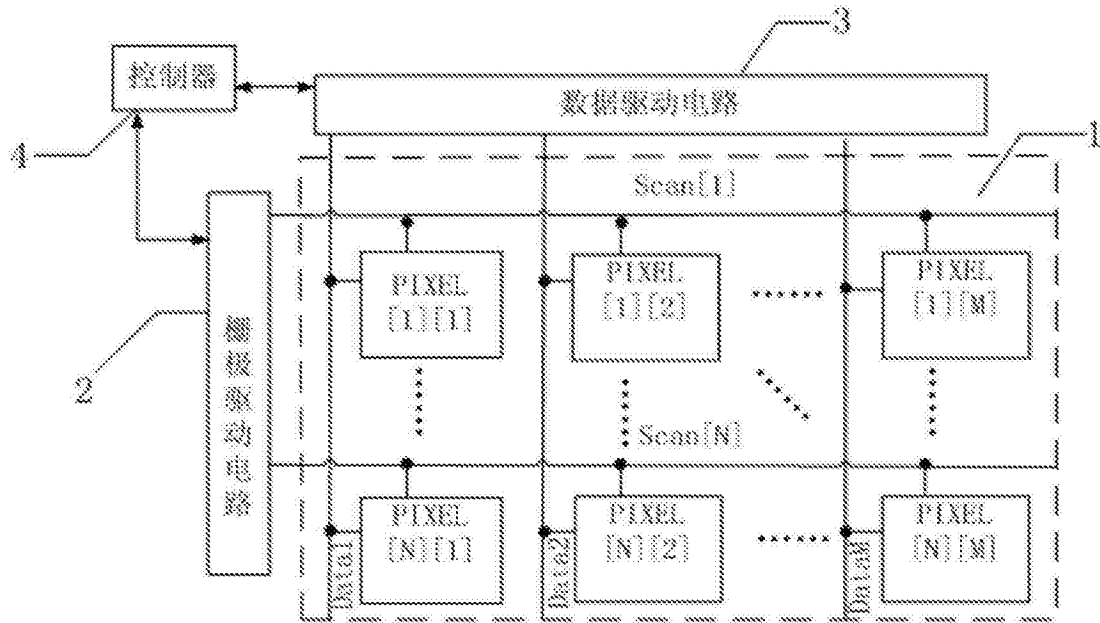


图3

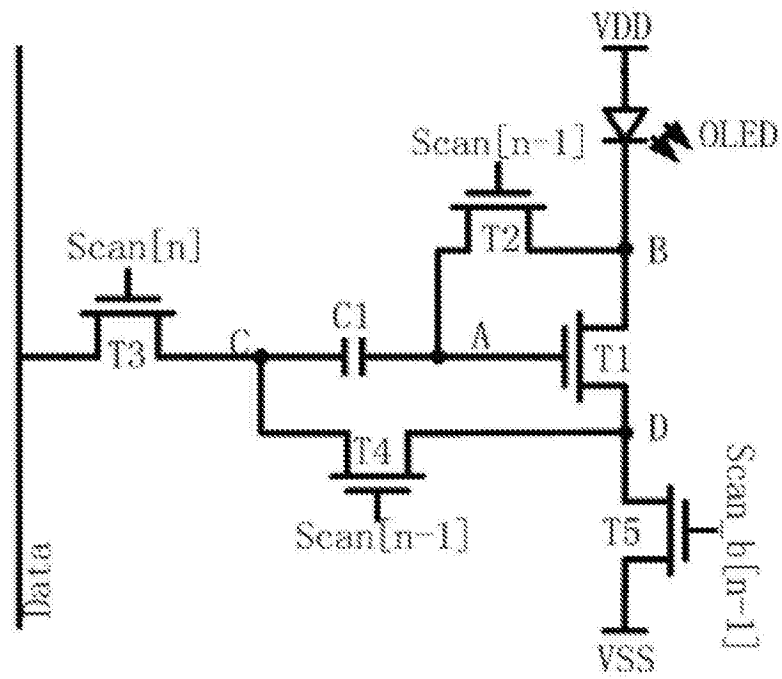


图4

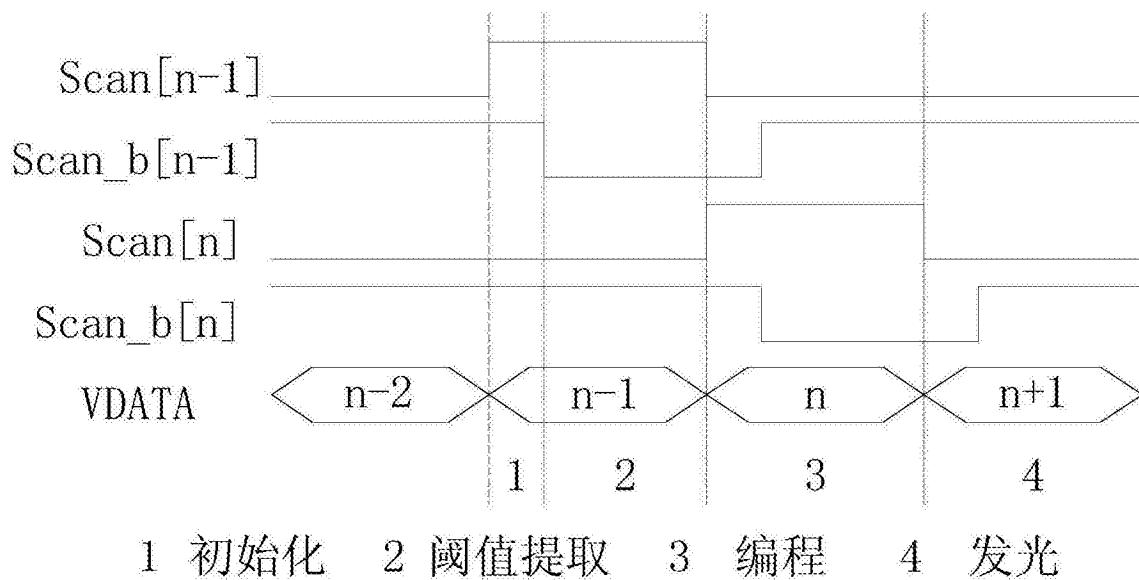


图5

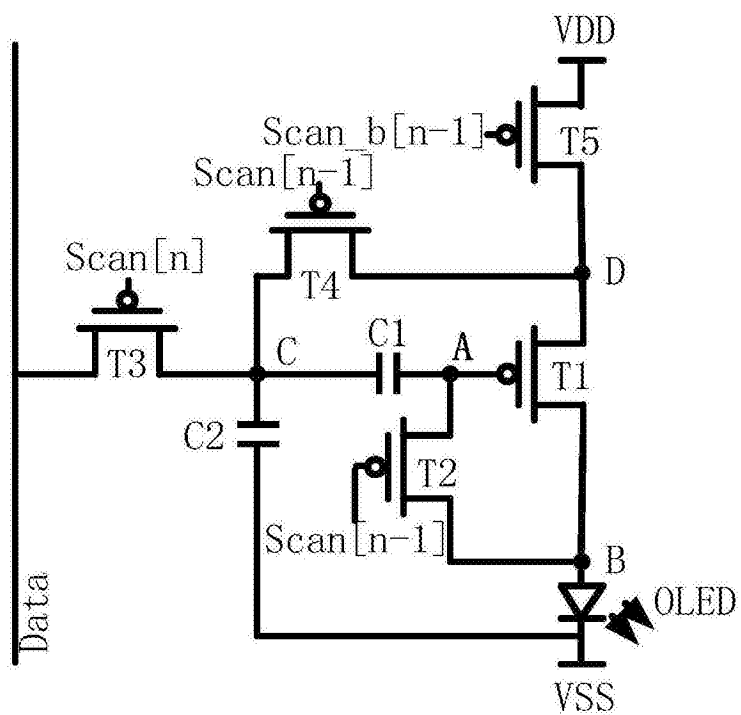


图6

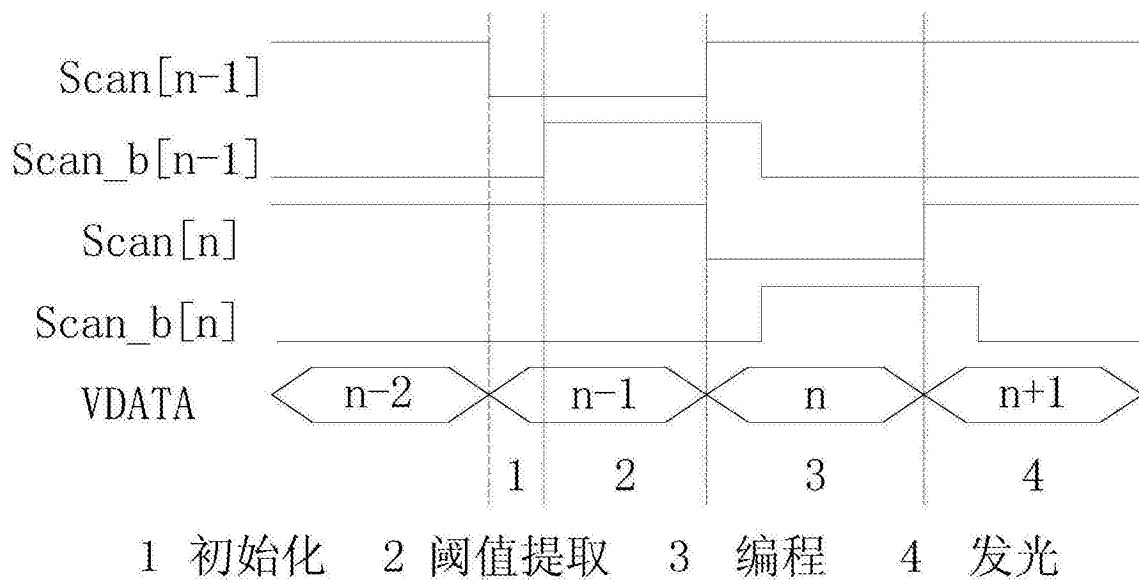


图7

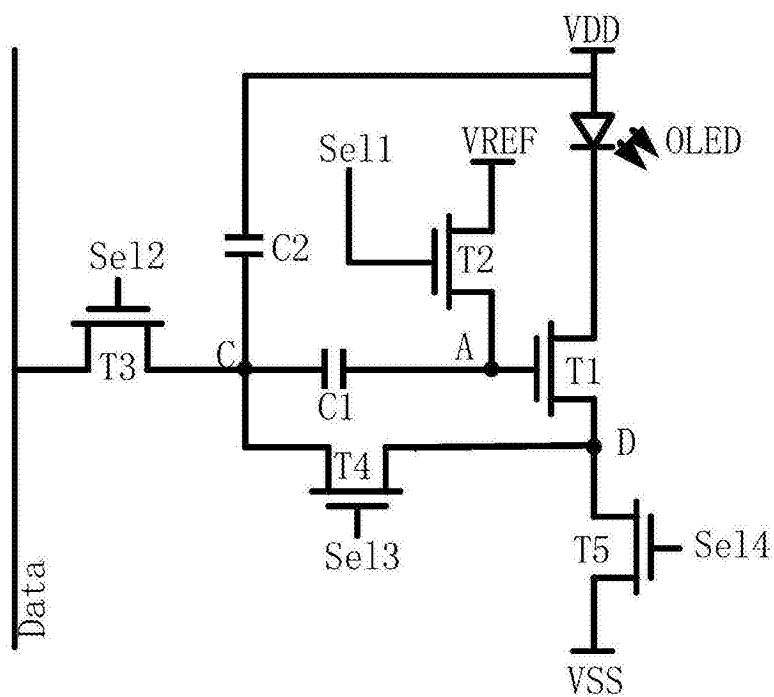


图8

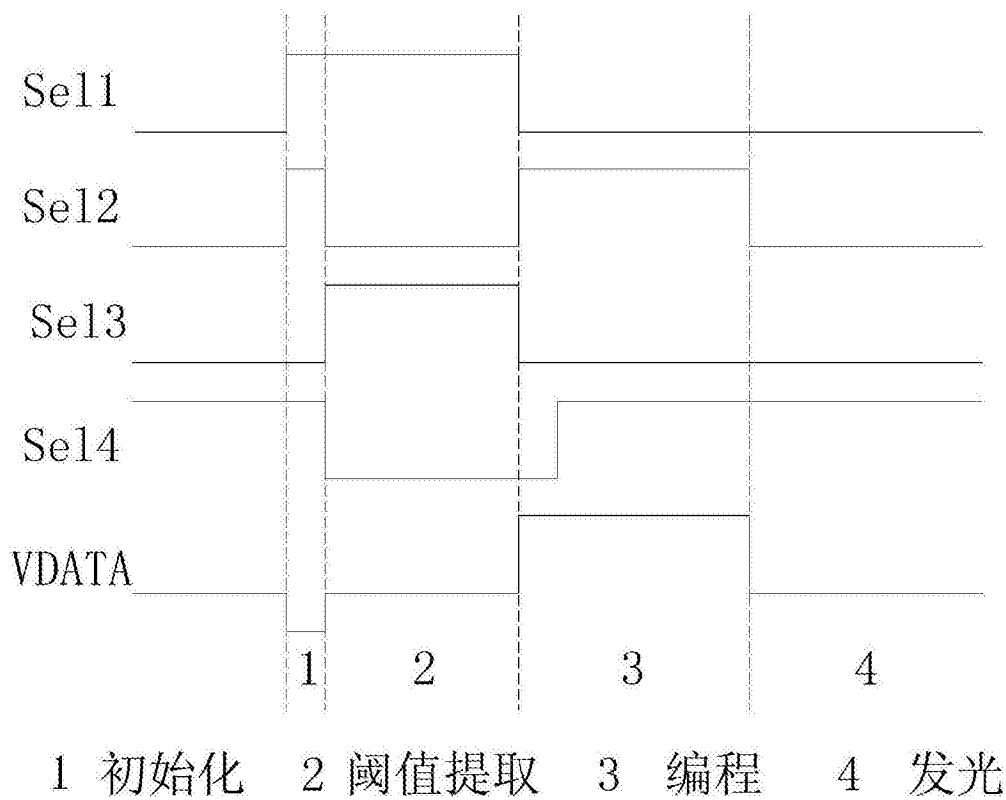


图9

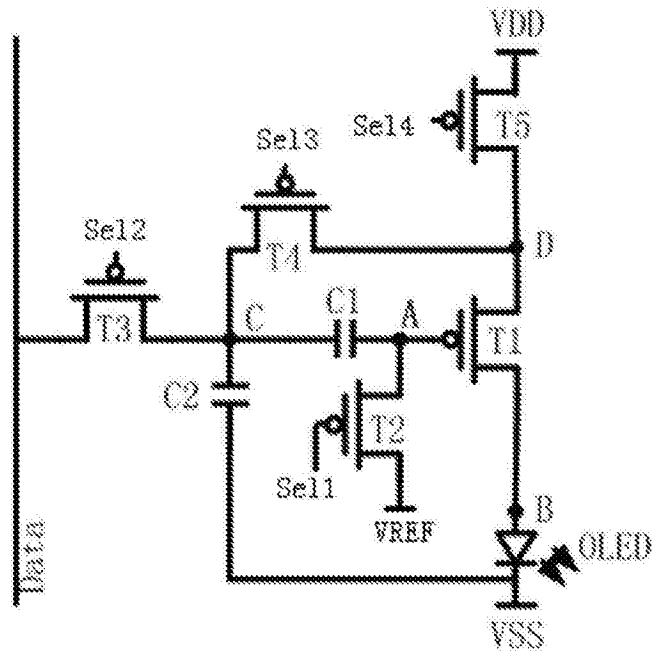


图10

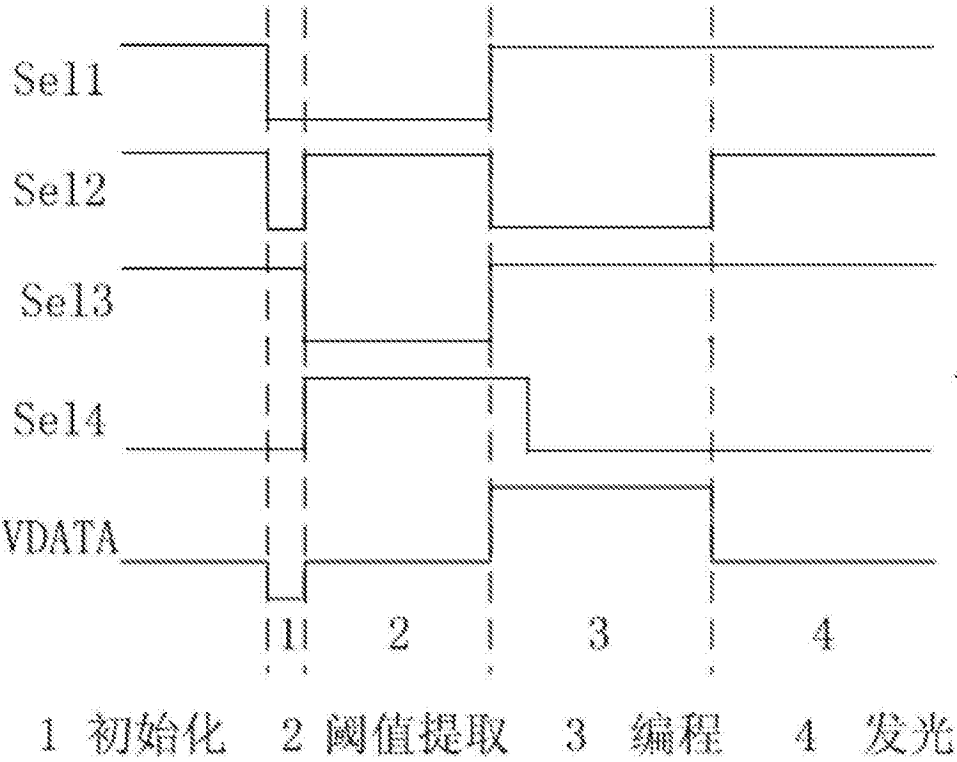


图11

专利名称(译)	像素电路、显示装置及显示驱动方法		
公开(公告)号	CN104575378B	公开(公告)日	2017-07-28
申请号	CN201410811817.7	申请日	2014-12-23
[标]申请(专利权)人(译)	北京大学深圳研究生院		
申请(专利权)人(译)	北京大学深圳研究生院		
当前申请(专利权)人(译)	北京大学深圳研究生院		
[标]发明人	林兴武 张盛东 孟雪 冷传利 王翠翠		
发明人	林兴武 张盛东 孟雪 冷传利 王翠翠		
IPC分类号	G09G3/3266 G09G3/3225		
代理人(译)	郭燕		
审查员(译)	陈相南		
其他公开文献	CN104575378A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了像素电路、显示装置及显示驱动方法。本发明的像素电路包括第一至第五晶体管、发光器件以及第一电容，第一晶体管用于为发光器件提供驱动电流，第二至第五晶体管作为开关管，用于响应扫描信号，第一电容用于存储电压信息。本发明的像素电路不仅可以补偿驱动晶体管阈值电压的漂移，还可以补偿发光元件OLED阈值电压的漂移，从而实现更加均匀的发光。此外，本发明提出的像素电路不仅利用本行的扫描信号，还利用了上一行的扫描信号来分别驱动各个晶体管，从而减少了控制线的数量，降低了外围栅极驱动电路的复杂程度。

