



(12)发明专利申请

(10)申请公布号 CN 111402799 A

(43)申请公布日 2020.07.10

(21)申请号 202010275700.7

(22)申请日 2020.04.09

(71)申请人 武汉天马微电子有限公司

地址 430205 湖北省武汉市东湖新技术开
发区流芳园横路8号

(72)发明人 周茂清 陈菲

(74)专利代理机构 北京汇思诚业知识产权代理
有限公司 11444

代理人 冯伟

(51)Int.Cl.

G09G 3/3208(2016.01)

G09G 3/3266(2016.01)

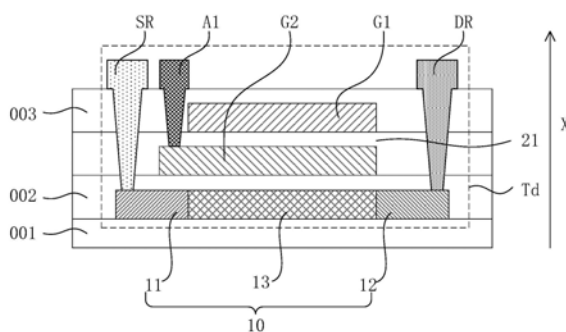
权利要求书3页 说明书11页 附图7页

(54)发明名称

一种发光驱动电路及驱动方法、有机发光显
示面板及装置

(57)摘要

本申请提供一种发光驱动电路及驱动方法、有机发光显示面板及装置。发光驱动电路，包括发光模块、像素驱动电路及第二栅极控制电路。像素驱动电路包括用于输出发光驱动电流的驱动晶体管，其中，驱动晶体管的第一栅极、第二栅极沿第一方向绝缘设置且均与有源层至少部分交叠，第一漏极与发光模块电连接。第二栅极控制电路包括第一控制模块，第一控制模块的输入端与光调节信号线电连接，第一控制模块的输出端与第二栅极电连接，光调节信号线在光调节阶段传输光调节电压。本申请提供的发光驱动电路及驱动方法、有机发光显示面板及装置中的像素驱动电路的驱动晶体管的第二栅极上的光调节电压可控制发光驱动电流的大小，进而实现对发光模块的亮度调节。



1. 一种发光驱动电路,其特征在于,包括:

发光模块,所述发光模块用于进行发光显示;

像素驱动电路,所述像素驱动电路包括驱动晶体管,所述驱动晶体管用于输出发光驱动电流至所述发光模块;其中,所述驱动晶体管包括有源层、第一源极、第一漏极、第一栅极与第二栅极,所述有源层包括源极区域、漏极区域及沟道区域,所述源极区域与所述第一源极连接,所述漏极区域与所述第一漏极连接,所述第一栅极、所述第二栅极均与所述有源层至少部分交叠,并且所述第一栅极与所述第二栅极沿第一方向绝缘设置,所述第一漏极与所述发光模块电连接;所述第一方向为垂直于所述有源层所在平面的方向;

第二栅极控制电路,所述第二栅极控制电路包括第一控制模块,所述第一控制模块的输入端与光调节信号线电连接,所述第一控制模块的输出端与所述第二栅极电连接,所述光调节信号线在光调节阶段传输光调节电压。

2. 根据权利要求1所述的发光驱动电路,其特征在于,所述发光模块包括有机发光二极管,所述第一漏极与所述有机发光二极管的阳极、阴极中的一者电连接。

3. 根据权利要求1所述的发光驱动电路,其特征在于,所述第一栅极与所述第二栅极沿所述第一方向位于所述有源层的同一侧,且所述第一栅极与所述第二栅极之间包括第一绝缘层。

4. 根据权利要求3所述的发光驱动电路,其特征在于,所述第二栅极位于所述第一栅极靠近所述有源层的一侧。

5. 根据权利要求1所述的发光驱动电路,其特征在于,所述第一栅极与所述第二栅极沿所述第一方向位于所述有源层的不同侧。

6. 根据权利要求5所述的发光驱动电路,其特征在于,所述第一栅极与所述有源层之间包括第二绝缘层,所述第二栅极与所述有源层之间包括第三绝缘层。

7. 根据权利要求5所述的发光驱动电路,其特征在于,所述第二栅极与所述有源层之间包括半导体层,所述半导体层与所述源极区域、所述漏极区域的多数载流子不同。

8. 根据权利要求1所述的发光驱动电路,其特征在于,所述第一控制模块包括控制晶体管,所述控制晶体管的源极与所述第一控制模块的输入端连接,所述控制晶体管的漏极与所述第一控制模块的输出端连接。

9. 根据权利要求1所述的发光驱动电路,其特征在于,所述第二栅极控制电路还包括第二控制模块;所述第二控制模块的输入端与第一信号线连接,所述第二控制模块的输出端与所述第二栅极电连接;

所述第一信号线传输第一信号电压,当所述第二栅极接收所述第一信号电压时,所述第一栅极与所述有源层之间的电场为第三电场,所述第二栅极与所述有源层之间的电场为第四电场,所述第三电场与所述第四电场的矢量和的方向与所述第三电场的方向相同;

其中,所述第二控制模块的输入端、所述第一控制模块的输入端与所述第二栅极电导通的时间阶段不同。

10. 根据权利要求9所述的发光驱动电路,其特征在于,所述第二控制模块包括半导体电阻,所述半导体电阻的一端与所述第二控制模块的输入端连接,另一端与所述第二控制模块的输出端连接。

11. 一种发光驱动电路的驱动方法,其特征在于,用于驱动如权利要求1-10任意一项所

述的发光驱动电路；

在光调节阶段，所述第一控制模块将所述光调节信号线传输的光调节电压传输至至少部分所述驱动晶体管的所述第二栅极。

12. 根据权利要求11所述的驱动方法，其特征在于，所述第一控制模块包括控制晶体管，所述控制晶体管的源极与所述第一控制模块的输入端连接，所述控制晶体管的漏极与所述第一控制模块的输出端连接；

在光调节阶段，所述控制晶体管导通。

13. 根据权利要求11所述的驱动方法，其特征在于，所述驱动方法还包括初始化阶段及数据信号写入阶段；

在初始化阶段，所述第一栅极接收参考电压，所述第二栅极接收第一信号电压；

在所述数据信号写入阶段，所述驱动晶体管接收数据信号电压，所述第二栅极接收第一信号电压；

在所述初始化阶段及所述数据信号写入阶段，所述第一栅极与所述有源层之间的电场为第三电场，所述第二栅极与所述有源层之间的电场为第四电场，所述第三电场与所述第四电场的矢量和的方向与所述第三电场的方向相同。

14. 根据权利要求13所述的驱动方法，其特征在于，所述第一栅极与所述第二栅极均沿所述第一方向位于所述有源层的同侧，且所述第二栅极与所述有源层之间设置第一绝缘层；

在所述初始化阶段及所述数据信号写入阶段，所述第一栅极与所述第一源极之间的电压差为第三电压差，所述第二栅极与所述第一源极之间的电压差为第四电压差；

在所述初始化阶段及所述数据信号写入阶段，所述第三电压差和所述第四电压差的乘积为正数，或者所述第三电压差与所述第四电压差的乘积为负数且所述第三电压差的绝对值大于所述第四电压差的绝对值。

15. 根据权利要求14所述的驱动方法，其特征在于，所述第一栅极与所述第二栅极沿所述第一方向位于所述有源层的不同侧，且所述第二栅极与所述有源层之间设置有第三绝缘层。

在所述初始化阶段及所述数据信号写入阶段，所述第一栅极与所述第一源极之间的电压差为第三电压差，所述第二栅极与所述第一源极之间的电压差为第四电压差；

在所述初始化阶段及所述数据信号写入阶段，所述第三电压差和所述第四电压差的乘积为负数，或者所述第三电压差与所述第四电压差的乘积为正数且所述第三电压差的绝对值大于所述第四电压差的绝对值。

16. 根据权利要求13所述的驱动方法，其特征在于，所述第一栅极与所述第二栅极沿所述第一方向位于所述有源层的不同侧，且所述第二栅极与所述有源层之间设置有半导体层；所述半导体层的多数载流子与所述源极区域及所述漏极区域的多数载流子不同；

在所述初始化阶段及所述数据信号写入阶段，所述第一栅极与所述第一源极之间的电压差为第三电压差，所述第二栅极与所述第一源极之间的电压差为第四电压差；

在所述初始化阶段及所述数据信号写入阶段，所述第三电压差和所述第四电压差的乘积为负数。

17. 一种有机发光显示面板，其特征在于，包括如权利要求1-10任意一项所述的发光驱

动电路；

其中,所述像素驱动电路位于所述有机发光显示面板的显示区。

所述第二栅极控制电路位于所述有机发光显示面板的非显示区。

18.一种有机发光显示装置,其特征在于,包括如权利要求17所述的有机发光显示面板。

一种发光驱动电路及驱动方法、有机发光显示面板及装置

【技术领域】

[0001] 本申请涉及显示技术领域,尤其涉及一种发光驱动电路及驱动方法、有机发光显示面板及装置。

【背景技术】

[0002] 为了适应不同环境下的使用,显示器在保证正常图片显示的同时,还需具备亮度可调节的功能。目前,针对有机发光显示,主要的亮度调节方式分为两种:(1)通过控制直流信号来调节亮度,即直流调光(DC调光),DC调光的主要实现方法是通过控制数据电压或电源电压来实现不同大小的驱动电流,从而调节亮度;(2)通过控制开关信号的脉冲宽度实现调节亮度,即脉冲宽度调制调光(PWM调光),PWM调光是通过改变发光阶段需开启的晶体管开关信号的脉冲数和脉冲宽度来控制发光时间,从而达到调节亮度的目的。

[0003] 采用DC调光时,由于在低亮度时无法进行补偿会导致显示效果变差;此外,驱动电流的大小由数据电压和电源信号电压决定,因此,DC调光会干扰灰阶的运行。采用PWM调光时,在调节频率较低时对人眼的伤害较大;而在高亮度时采用PWM调光需要提高显示亮度,会导致有机发光显示器件的衰减过快。

【申请内容】

[0005] 有鉴于此,本申请实施例提供了一种发光驱动电路及驱动方法、有机发光显示面板及显示装置。

[0006] 第一方面,本申请实施例提供一种发光驱动电路,包括用于进行发光显示的发光模块、像素驱动电路及第二栅极控制电路。像素驱动电路包括用于输出发光驱动电流的驱动晶体管,其中,驱动晶体管包括有源层、第一源极、第一漏极、第一栅极与第二栅极,有源层包括源极区域、漏极区域及沟道区域,源极区域与第一源极连接,漏极区域与第一漏极连接,第一栅极、第二栅极均与有源层至少部分交叠,并且第一栅极与第二栅极沿第一方向绝缘设置,第一漏极与发光模块电连接;第一方向为垂直于有源层所在平面的方向。第二栅极控制电路包括第一控制模块,第一控制模块的输入端与光调节信号线电连接,第一控制模块的输出端与第二栅极电连接,光调节信号线在光调节阶段传输光调节电压。

[0007] 第二方面,本申请实施例提供一种发光驱动电路的驱动方法,用于驱动如第一方面提供的发光驱动电路。在光调节阶段,第一控制模块将光调节信号线传输的光调节电压传输至至少部分驱动晶体管的第二栅极。

[0008] 第三方面,本申请实施例提供一种有机发光显示面板,包括如第一方面提供的发光驱动电路。其中,像素驱动电路位于有机发光显示面板的显示区,第二栅极控制电路位于有机发光显示面板的非显示区。

[0009] 第四方面,本申请实施例提供一种有机发光显示装置,包括如第三方面提供的有机发光显示面板。

[0010] 本申请实施例提供的发光驱动电路及驱动方法、有机发光显示面板及装置中的像素驱动电路的驱动晶体管的第二栅极上的光调节电压可控制有源层沟道的形成及沟道导

电层厚度变化,从而实现对驱动晶体管输出的发光驱动电流的控制,进而实现对发光模块的亮度调节。

【附图说明】

[0011] 为了更清楚地说明本申请实施例的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图。

[0012] 图1为本申请实施例提供的一种发光驱动电路的示意图;

[0013] 图2为本申请实施例提供的一种驱动晶体管的剖面图;

[0014] 图3为本申请实施例提供的一种像素驱动电路的示意图;

[0015] 图4为本申请实施例提供的一种像素驱动电路的时序图;

[0016] 图5为本申请实施例提供的另一种发光驱动电路的示意图;

[0017] 图6为本申请实施例提供的另一种驱动晶体管的剖面图;

[0018] 图7为本申请实施例提供的再一种驱动晶体管的剖面图;

[0019] 图8为本申请实施例提供的一种发光驱动电路的驱动方法流程图;

[0020] 图9为本申请实施例提供的一种有机发光显示面板的示意图;

[0021] 图10为本申请实施例提供的一种有机发光显示装置的示意图。

【具体实施方式】

[0022] 为了更好的理解本申请的技术方案,下面结合附图对本申请实施例进行详细描述。

[0023] 应当明确,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其它实施例,都属于本申请保护的范围。

[0024] 在本申请实施例中使用的术语是仅仅出于描述特定实施例的目的,而非旨在限制本申请。在本申请实施例和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包括多数形式,除非上下文清楚地表示其他含义。

[0025] 应当理解,本文中使用的术语“和/或”仅仅是一种描述关联对象的关联关系,表示可以存在三种关系,例如,A和/或B,可以表示:单独存在A,同时存在A和B,单独存在B这三种情况。另外,本文中字符“/”,一般表示前后关联对象是一种“或”的关系。

[0026] 应当理解,尽管在本申请实施例中可能采用术语第一、第二、第三等来描述晶体管,但这些晶体管不应限于这些术语。这些术语仅用来将晶体管彼此区分开。例如,在不脱离本申请实施例范围的情况下,第一晶体管也可以被称为第二晶体管,类似地,第二晶体管也可以被称为第一晶体管。

[0027] 本案申请人通过细致深入研究,对于现有技术中所存在的问题,而提供了一种解决方案。

[0028] 图1为本申请实施例提供的一种发光驱动电路的示意图,图2为本申请实施例提供的一种驱动晶体管的剖面图。

[0029] 如图1所示,本申请实施例提供一种发光驱动电路,包括发光模块01、像素驱动电

路02及第二栅极控制电路03。

[0030] 像素驱动电路02包括驱动晶体管Td,驱动晶体管Td用于输出发光驱动电流。具体地,如图1所示,像素驱动电路02的输出端与发光模块01的输入端电连接,则在发光阶段,像素驱动电路02中的驱动晶体管Td输出发光驱动电流,发光驱动电流传输到发光模块01从而使得发光模块01发光。

[0031] 如图2所示,驱动晶体管Td包括有源层10、第一源极SR、第一漏极DR、第一栅极G1与第二栅极G2。其中,有源层10包括源极区域11、漏极区域12及沟道区域13,源极区域11与第一源极SR连接,漏极区域12与第一漏极DR连接,第一栅极G1、第二栅极G2均与有源层10至少部分交叠,并且第一栅极G1与第二栅极G2沿第一方向X绝缘设置,第一漏极D1与发光模块01电连接;第一方向X为垂直于有源层10所在平面的方向。驱动晶体管Td设置在衬底基板001上。

[0032] 其中,驱动晶体管Td可以为N型晶体管,也可以如图1所示为P型晶体管。下面以驱动晶体管Td为P型晶体管为例进行说明,需要说明的是,根据P型晶体管与N型晶体管的公知地且不同的特性,将本申请的发明构思应用于包括N型晶体管的发光驱动电路也在本申请的保护范围内。

[0033] 若驱动晶体管Td为P型晶体管,则其有源层10为N型半导体衬底,其中,源极区域11和漏极区域12为重掺杂P型区域,第一源极SR为与源极区域11电连接的电极,第一漏极DR为与漏极区域12电连接的电极。当第一栅极G1和/或第二栅极G2上的电压为低电平电压时,沟道区域13的表层聚集较多的空穴,当第一源极SR与栅极之间的电压差大于驱动晶体管Td的阈值电压时,沟道区域13的空穴达到预定的数量,从而使得源极区域11与漏极区域12之间导通,则第一源极SR的电流可以传递至第一漏极DR。此外,驱动晶体管Td的第一源极SR与栅极之间的电压差决定了沟道导电层的厚度,也就决定了第一源极SR的电流到达第一漏极DR的电流信号的多少。换句话说,驱动晶体管Td的第一源极SR与栅极之间的电压差较小时,则沟道区域13的电场较小,使得沟道导电层厚度较薄,即,从第一源极SR传输至第一漏极DR的电荷较少,则发光驱动电流较小;驱动晶体管Td的第一源极SR与栅极之间的电压差较大时,沟道区域13处的电场强度较大,沟道导电层厚度较大,即,从第一源极SR传输至第一漏极DR的电荷较多,则发光驱动电流较大。

[0034] 请结合图1及图2,第二栅极控制电路03包括第一控制模块M1,第一控制模块M1的输入端与光调节信号线Dim电连接,第一控制模块M1的输出端与驱动晶体管Td的第二栅极G2电连接,光调节信号线Dim在光调节阶段传输光调节电压。在发光阶段中,需要进行光调节时,则控制驱动晶体管Td开启的不仅为第一栅极G1与第一源极SR之间的电压差,还包括第二栅极G2与第一源极SR之间的电压差,就是说,在光调节阶段,驱动晶体管Td输出的发光驱动电流由第一栅极G1的电压、第二栅极G2的电压和第一源极SR的电压共同决定。

[0035] 需要说明的是,如图1及图2所示,驱动晶体管Td还可以包括第二栅极信号线A1,第二栅极信号线A1通过过孔与第二栅极G2连接,光调节信号线Dim通过第二栅极控制电路03及第二栅极信号线A1与第二栅极G2实现电连接。

[0036] 具体地,驱动晶体管Td的第一栅极G1接收的电压为在发光阶段之前写入的电压,第二栅极G2接收的电压为在需要进行光调节时,光调节信号线Dim在发光阶段传输的光调节电压。下面仍以驱动晶体管Td为P型晶体管为例进行说明。

[0037] 在光调节阶段,驱动晶体管Td中,第一栅极G1与第一源极SR之间的电压差为第一电压差V1,第一栅极G1与有源层10之间的电场为第一电场E1;第二栅极G2与第一源极SR之间的电压差为第二电压差V2,第二栅极G2与有源层10之间的电场为第二电场E2。其中,若第一电场E1与第二电场E2的方向相反,则第一电压差V1的绝对值与第二电压差的绝对值的差值大小决定了是否形成沟道以及沟道导电层的厚度,也就决定了驱动晶体管Td是否输出发光驱动电流以及发光驱动电流的大小;若第一电场E1与第二电场E2的方向相同,则第一电压差V1与第二电压差V2和的大小决定了是否形成沟道以及沟道导电层的厚度,也就决定了驱动晶体管Td是否输出发光驱动电流以及发光驱动电流的大小。因此,本申请实施例通过在驱动晶体管Td的栅极设置两个栅极来控制驱动晶体管的沟道区域13处的电场,从而控制驱动晶体管Td的开启程度,继而实现驱动晶体管Td输出的发光驱动电流可控,如此可进行光调节。

[0038] 通过上述分析可知,第二栅极G2的作用在于,在光调节阶段,通过控制第二栅极G2的光调节电压在沟道区域13产生的电场,可以抵消部分或者增强第一栅极G1与沟道区域13之间产生的电场。

[0039] 如图1所示的,发光模块01包括有机发光二极管OLED,驱动晶体管Td的第一漏极DR与有机发光二极管OLED的阳极电连接。此外,驱动晶体管Td的第一漏极DR也可以与有机发光二极管OLED的阴极电连接。

[0040] 需要说明的是,本申请实施例对所涉及的发光驱动电路中的像素驱动电路02的具体结构不做具体限定,其中,像素驱动电路02中的驱动晶体管Td为在发光阶段可以输出发光驱动电流的晶体管。

[0041] 图3为本申请实施例提供的一种像素驱动电路的示意图,图4为本申请实施例提供的一种像素驱动电路的时序图。如图3所示,像素驱动电路02包括驱动晶体管Td,还包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6及第一电容C1。具体地,第一晶体管T1源极与参考电压信号线Ref连接,第一晶体管T1的漏极与驱动晶体管Td的第一栅极G1连接;第二晶体管T2的源极与参考电压信号线Ref连接,第二晶体管T2的漏极与有机发光二极管OLED的阳极连接;第三晶体管T3的源极与数据电压信号线Data连接,第三晶体管T3的漏极与驱动晶体管Td的第一源极SR连接;第四晶体管T4的源极与驱动晶体管Td的第一漏极DR连接,第四晶体管T4的漏极与驱动晶体管Td的第一栅极G1连接;第五晶体管T5的源极与电源电压信号线PVDD连接,第五晶体管T5的漏极与驱动晶体管Td的第一源极SR连接;第六晶体管T6的源极与驱动晶体管Td的第一漏极DR连接,第六晶体管T6的漏极与有机发光二极管OLED的阳极连接,也就是说,驱动晶体管Td通过第六晶体管T6可以实现与有机发光二极管OLED的电连接;第一电容C1的第一极板与电源电压信号线PVDD连接,第一电容C1的第二极板与驱动晶体管Td的第一栅极G1连接;驱动晶体管Td的第二栅极G2与光调节信号线Dim电连接。

[0042] 以下结合图3及图4对图3所示的像素驱动电路的工作原理进行说明,并且应该从以下说明中清楚了解与本申请发明构思相关的驱动晶体管Td的具体作用。需要说明的是,以下以像素驱动电路中的晶体管均为P型晶体管为例进行说明,但是本申请发明点所涉及的像素驱动电路中的晶体管的类型并不只限于P型晶体管,也可以是N型晶体管。如图4所示,图3所示像素驱动电路的一个工作周期包括初始化阶段t1、数据信号写入阶段t2及发光

阶段t3。

[0043] 在初始化阶段t1,第一晶体管T1及第二晶体管T2的栅极所连接的第一控制信号线S1传输开启信号,即低电平信号,则第一晶体管T1及第二晶体管T2开启。且参考电压信号线Ref传输参考电压,则参考电压通过开启的第一晶体管T1到达驱动晶体管Td的第一栅极G1进而实现对驱动晶体管Td的初始化,参考电压通过开启的第二晶体管T2到达有机发光二极管OLED的阳极对其进行初始化。由于驱动晶体管Td的第一栅极G1连接有第一电容C1,因此,参考电压存储在驱动晶体管Td的第一栅极G1。

[0044] 在数据信号写入阶段t2,第三晶体管T3及第四晶体管T4的栅极所连接的第二控制信号线S2传输开启信号,即低电平信号,则第三晶体管T3与第四晶体管T4开启,且数据电压信号线Data输出数据电压。在数据信号写入阶段T2的起始阶段,由于驱动晶体管Td的第一源极SR通过开启的第三晶体管T3接收到数据电压,则驱动晶体管Td的第一源极SR的电位为数据电压,驱动晶体管Td的第一栅极G1的电位为参考电压,因为数据电压与参考电压的差值大于驱动晶体管Td的阈值电压的绝对值,则驱动晶体管Td开启,此时数据电压通过开启的第三晶体管T3、驱动晶体管Td及第四晶体管T4传输至驱动晶体管Td的第一栅极G1,当第一栅极G1的电位增加到一定值时,即第一源极SR与第一栅极G1的电压差小于阈值电压的绝对值后,驱动晶体管Td关断,数据信号写入阶段t2结束。该阶段也是对驱动晶体管Td进行阈值补偿的阶段。

[0045] 当不需要对发光模块进行亮度调节时,在不需要光调节的发光阶段t3,第五晶体管T5及第六晶体管T6的栅极所连接的发光控制信号线EM传输发光开启电压,即低电平信号,则第五晶体管T5与第六晶体管T6导通,且电源电压信号线PVDD传输电源电压。由于电源电压大于驱动晶体管Td的第一栅极G1的电位,则电源电压通过第五晶体管T5传输至驱动晶体管Td的第一源极SR时,第一源极SR的电位大于驱动晶体管Td的第一栅极G1的电位,驱动晶体管Td开启,则驱动晶体管Td的第一漏极DR的电位为第一源极SR的电位与第一栅极G1的电位及驱动晶体管Td的阈值电压的差值。驱动晶体管Td的第一漏极DR的电压通过开启的第六晶体管T6传输至有机发光二极管OLED,促使有机发光二极管OLED发光。

[0046] 当需要对发光模块进行亮度调节时,在需要光调节的发光阶段t3,与不需要光调节的发光阶段t3不同的是,光调节信号线Dim传输光调节电压至驱动晶体管Td的第二栅极G2,并且第一栅极G1与第一源极SR之间的电压差为第一电压差V1,第一栅极G1与有源层10之间的电场为第一电场E1;第二栅极G2与第一源极S1之间的电压差为第二电压差V2,第二栅极G2与有源层10之间的电场为第二电场E2。若第一电场E1与第二电场E2的方向相反,且第二电压差V2的绝对值小于第一电压差V1的绝对值,则第二电场E2可以抵消部分第一电场E1,从而减小沟道区域13表层聚集的空穴的浓度,即减小驱动晶体管Td的有源层10的沟道导电层的厚度,进而减小驱动晶体管Td的第一漏极DR电位,可以减小发光驱动电流,实现调低亮度的效果;若第一电场E1与第二电场E2的方向相同,则第二电场E2相当于在第一电场E1的基础上增强了沟道区域13处的电场强度,从而增加沟道区域13表层聚集的空穴的浓度,即增大驱动晶体管Td的有源层10的沟道导电层的厚度,进而增大驱动晶体管Td的第一漏极DR电位,可以增大发光驱动电流,实现调高亮度的效果。因此光调节信号线Dim传输不同的光调节电压并且传输至驱动晶体管Td的第二栅极G2可以实现不同的亮度显示。

[0047] 需要说明的是,本申请实施例所涉及的像素驱动电路的工作时序不一定限于与图

3所示的像素驱动电路相同,因此,驱动晶体管Td所接收的信号也不限于上述的信号,但是应该清楚的是,本申请的驱动晶体管Td在发光阶段开启,且直接或者间接的为发光模块01提供发光驱动电流。

[0048] 图5为本申请实施例提供的另一种发光驱动电路的示意图,图5所示的发光驱动电路所包括的像素驱动电路与图3所示的像素驱动电路相同。如图5所示,第一控制模块M1包括控制晶体管T0,控制晶体管T0的源极与第一控制模块M1的输入端连接,控制晶体管T0的漏极与第一控制模块M1的输出端连接。也就是,控制晶体管T0的源极与光调节信号线Dim电连接,控制晶体管T0的漏极与驱动晶体管Td的第二栅极G2电连接。以控制晶体管T0为P型晶体管为例进行说明,在需进行光调节的发光阶段,控制晶体管T0的栅极所连接的第三控制信号线S3传输开启信号,即低电平信号,光调节信号线Dim在光调节阶段传输光调节电压,控制晶体管T0开启,光调节电压通过开启的控制晶体管T0传输至驱动晶体管Td的第二栅极G2,从而进行光调节。

[0049] 如图5所示,第二栅极控制电路03还包括第二控制模块M2,第二控制模块M2的输入端与第一信号线L1连接,第二控制模块M2的输出端与驱动晶体管Td的第二栅极G2电连接,第一信号线L1传输第一信号电压。需要说明的是,当第二控制模块M2的输入端与第二栅极G2的电导通时,第一控制模块M1的输入端与第二栅极G2电绝缘;当第一控制模块M1的输入端与第二栅极G2电导通时,第二控制模块M2的输入端与第二栅极G2的电绝缘。就是说,第二控制模块M2在需要进行光调节的发光阶段t3是不导通的。

[0050] 第二控制模块M2在除了光调节阶段之外的其他阶段可以处于导通状态,第二控制模块M2处于导通状态可以理解为第二控制模块M2可以传输信号,具体可以指第二控制模块M2的输入端电压与输出端电压相等。第一信号电压通过导通的第二控制模块M2传输至驱动晶体管Td的第二栅极G2,并且第一信号电压应使得第二栅极G2与有源层10之间的电场为第四电场E4,第一栅极G1与有源层10之间的电场为第三电场E3,第三电场E3与第四电场E4的矢量和的方向与第三电场E3的方向相同。从而使得在除光调节阶段之外的其他阶段,驱动晶体管Td也可以开启,完成在初始化阶段t1的复位,及在数据信号写入阶段t2的数据电压写入。

[0051] 第二控制模块M2包括半导体电阻R0,半导体电阻R0的一端与第二控制模块M2的输入端连接,另一端与第二控制模块M2的输出端连接。也就是,半导体电阻R0的一端与第一信号线L1连接,另一端与驱动晶体管Td的第二栅极G2连接。具体地,半导体电阻R0为大阻值电阻。在需要进行光调节的发光阶段t3,即光调节阶段,由于第一控制模块M1导通,即控制晶体管T0开启,则驱动晶体管Td的第二栅极G2的电位为光调节电压,而半导体电阻R0为大电阻,虽然半导体电阻R0两端的电位分别为第一信号电压和光调节电压,但是半导体电阻R0相当于一个断开的开关。而在不进行光调节的阶段,例如数据信号写入阶段t2,由于第一控制模块M1关断,即控制晶体管T0关断,并且第二栅极G2与半导体电阻R0为非闭合回路上的器件,因此第二栅极G2的电位与第一信号电压相同。采用半导体电阻R0作为第二控制模块M2可以实现在光调节阶段和非光调节阶段的自动关断与开启;并且半导体电阻R0可以与像素驱动电路02中的有源层10同时制备,减少工序。

[0052] 根据以上分析,在光调节阶段,第一栅极G1与第一源极SR之间的电压差为第一电压差V₁,即, $V_1 = V_{G1} - V_{SR}$,其中,V₁为第一电压差,V_{G1}为第一栅极的电压,V_{SR}第一源极SR的电

压;并且第一栅极G1与有源层10之间的电场为第一电场E1。在光调节阶段,第二栅极G2与第一源极SR之间的电压差为第二电压差 V_2 ,即, $V_2=V_{G2}-V_{SR}$,其中, V_2 为第二电压差, V_{G2} 为第二栅极的电压, V_{SR} 第一源极SR的电压;并且第二栅极G2与有源层10之间的电场为第二电场E2。若第一电压差 V_1 与第二电压差 V_2 均为正数或者均为负数,也就是第一电场E1的方向与第二电场E2的方向相同,则沟道区域13处的电场增加,沟道导电层的厚度增加,发光驱动电流增大,发光模块10的亮度增大;若第一电压差 V_1 与第二电压差 V_2 中一个为正数,一个为负数,也就是第一电场E1的方向与第二电场E2的方向不同,则沟道区域13处的电场减小,沟道导电层的厚度减小,发光驱动电流减小,发光模块的亮度减小。

[0053] 在除光调节阶段之外的其他阶段,第二栅极G2接收第一信号电压,第一栅极G1与第一源极SR之间的电压差为第三电压差 V_3 ,第二栅极G2与第一源极SR之间的电压差为第四电压差 V_4 ,即, $V_3=V_{G1}-V_{SR}$, $V_4=V_{G2}-V_{SR}$,其中, V_3 为第三电压差, V_4 为第四电压差, V_{G1} 为第一栅极的电压, V_{G2} 为第二栅极的电压, V_{SR} 第一源极SR的电压;第一栅极G1与第一源极SR之间的电场为第三电场E3,第二栅极G2与有源层10之间的电场为第四电场E4,若第一电压差 V_1 与第二电压差 V_2 中一个为正数,一个为负数,且第一电压差 V_1 的绝对值大于第二电压差 V_2 的绝对值,则第三电场E3与第四电场E4的矢量和的方向与第三电场E3的方向相同,从而使得第一栅极G1的电位为控制驱动晶体管Td开关的决定因素之一。需要说明的是,此处所指的第三电场E3及第四电场E4、第三电压差 V_3 及第四电压差 V_4 ,仅是用于限定除光调节阶段之外的其他阶段中,不同结构之间的电场的命名方式及电压差的命名方式,并不代表各阶段相同命名的电场相同,电压差相等。

[0054] 以下结合第二栅极G2设置的不同方式对第二栅极G2可以进行光调节的具体原理及其他工作阶段的工作方式进行说明。

[0055] 继续参考图2,驱动晶体管Td的第一栅极G1与第二栅极G2沿第一方向X位于有源层10的同一侧,且第一栅极G1与第二栅极G2之间包括第一绝缘层21。并且由图2可以看出,第二栅极G2与有源层10之间也可以设置绝缘层。将第一栅极G1与第二栅极G2位于有源层10的同一侧,例如,可以位于有源层10的上侧,则第一栅极G1与第二栅极G2在有源层10的制作工序后制作,因此第一栅极G1与第二栅极G2不会影响有源层10的平整性。此外,有源层10与第二栅极G2包括绝缘层002,第一栅极G1与第一源极SR所在膜层之间还可以包括绝缘层003。

[0056] 并且,第二栅极G2可以位于第一栅极G1靠近有源层10的一侧。由于对沟道导电层厚度的改变实际由沟道区域13处的电场强度控制,因此通过第二栅极G2的电压调节沟道导电层的厚度实际是通过第二栅极G2的电压在沟道区域13产生的电场实现的,又由于电场不仅与电压有关还与距离有关,因此将第二栅极G2位于第一栅极G1靠近有源层10的一侧,可以更有效的对沟道导电层的厚度进行调节,即可以通过给第二栅极G2传输较小的电压就可以实现明显的光调节效果。

[0057] 当第一栅极G1与第二栅极G2位于有源层10的同一侧时,在光调节阶段,第一电位差 V_1 与第二电位差 V_2 中,若一个为正数,一个为负数,则可以实现对光亮度的调低控制;若均为正数,或均为负数,则可以实现对光亮度的调高控制。且第二电位差 V_2 的绝对值越大,对光亮度的调节程度越大。

[0058] 在除光调节阶段之外的其他阶段,第三电压差 V_3 和第四电压差 V_4 可以均为正数或者均为负数,从而使得第三电场E3与第四电场E4的方向相同,进而使得驱动晶体管Td的栅

极电位可以控制其开启;或者第三电压差 V_3 与第四电压差 V_4 ,一个为正数,一个为负数,但是第三电压差 V_3 的绝对值大于第四电压差 V_4 的绝对值,则第三电场 E_3 与第四电场 E_4 的矢量和仍与第三电场 E_3 相同,则驱动晶体管 T_d 的关断状态仍由第一栅极 G_1 控制。在本申请的一个实施例中,第一信号电压可以为电源电压,则如图5所示,第一信号线 L_1 可以与电源电压信号线 $PVDD$ 复用。

[0059] 图6为本申请实施例提供的另一种驱动晶体管的剖面图,图7为本申请实施例提供的再一种驱动晶体管的剖面图。

[0060] 如图6及图7所示,驱动晶体管 T_d 的第一栅极 G_1 与第二栅极 G_2 沿第一方向 X 位于有源层10的不同侧。例如,如图2所示地,第一栅极 G_1 位于有源层10的上侧,第二栅极 G_2 位于有源层10的下侧。由于第一栅极 G_1 与第二栅极 G_2 位于有源层10的不同侧,因此,第一栅极 G_1 与第二栅极 G_2 均可以设置的与有源层10的距离较近,如此第一栅极 G_1 可以较为有效地控制驱动晶体管 T_d 的开启和关断,第二栅极 G_2 也可以较为有效地进行光调节。

[0061] 请参考图6,驱动晶体管 T_d 的第一栅极 G_1 与有源层10之间包括第二绝缘层22,第二栅极 G_2 与有源层10之间包括第三绝缘层23。就是说,通过设置第二绝缘层22实现第一栅极 G_1 与有源层10之间绝缘,通过设置第三绝缘层23实现第二栅极 G_2 与有源层10之间绝缘。则第一栅极 G_1 与第二栅极 G_2 通过在沟道区域13产生的不同方向的电场控制沟道的产生及沟道的厚度大小,从而控制驱动晶体管 T_d 的开关状态以及驱动晶体管 T_d 的产生的发光驱动电流的大小。此外,第一栅极 G_1 与第一源极 SR 所在膜层之间还包括绝缘层003。

[0062] 当第一栅极 G_1 与第二栅极 G_2 位于有源层10的不同侧时,在光调节阶段,第一电位差 V_1 与第二电位差 V_2 中,若一个为正数,一个为负数,则第一电场 E_1 与第二电场 E_2 的方向相同,可以实现对光亮度的调高控制;若均为正数,或均为负数,则第一电场 E_1 与第二电场 E_2 的方向相反,可以实现对光亮度的调低控制。且第二电位差 V_2 的绝对值越大,对光亮度的调节程度越大。

[0063] 在除光调节阶段之外的其他阶段,第三电压差 V_3 与第四电压差 V_4 可以一个为正数,一个为负数,从而使得第三电场 E_3 与第四电场 E_4 的方向相同,进而使得驱动晶体管 T_d 的栅极电位可以控制其开启;或者第三电压差 V_3 与第四电压差 V_4 均为正数或者均为负数,但是第三电压差 V_3 的绝对值大于第四电压差 V_4 的绝对值,则第三电场 E_3 与第四电场 E_4 的矢量和仍与第三电场 E_3 相同,则驱动晶体管 T_d 的关断状态仍由第一栅极 G_1 控制。在本申请的一个实施例中,第一信号电压可以为电源电压,则如图5所示,第一信号线 L_1 可以与电源电压信号线 $PVDD$ 复用。

[0064] 请参考图7,驱动晶体管 T_d 的第二栅极 G_2 与有源层10之间包括半导体层30,半导体层30与源极区域11及漏极区域12的多数载流子不同。例如,驱动晶体管 T_d 为P型晶体管时,其源极区域11与漏极区域12均为重掺杂P型区域,即P型驱动晶体管 T_d 的源极区域11与漏极区域12的多数载流子均为空穴,则半导体层30为重掺杂N型半导体,即半导体层30的多数载流子为电子。此外,第一栅极 G_1 与有源层10之间设置绝缘层。则第一栅极 G_1 与第二栅极 G_2 通过在沟道区域13产生的不同方向的电场控制沟道的产生及沟道导电层的厚度大小,从而控制驱动晶体管 T_d 的开关状态以及驱动晶体管 T_d 的产生的发光驱动电流的大小。驱动晶体管 T_d 的第一栅极 G_1 与有源层10之间包括第二绝缘层22,第一栅极 G_1 与第一源极 SR 所在膜层之间还可以包括绝缘层003。

[0065] 当第一栅极G1与第二栅极G2位于有源层10的不同侧时,在光调节阶段,第一电位差 V_1 与第二电位差 V_2 中,若一个为正数,一个为负数,则第一电场E1与第二电场E2的方向相同,可以实现对光亮度的调高控制;若均为正数,或均为负数,则第一电场E1与第二电场E2的方向相反,可以实现对光亮度的调低控制。且第二电位差 V_2 的绝对值越大,对光亮度的调节程度越大。

[0066] 此外,源极区域12沿第一方向X的垂直区域处,源极区域12的多数载流子与半导体层30的所述载流子不同,则在源极区域12沿第一方向X的垂直区域处形成了PN结。源极区域12的多数载流子为空穴、半导体层30的多数载流子为电子,且在光调节阶段,第一源极SR的电位为电源电压,第二栅极G2的电位为光调节电压,且电源电压大于光调节电压,则源极区域12沿第一方向X的垂直区域处形成了PN结导通,使得部分电流流向第二栅极G1,则流向第一漏极DR的电流减少,从而降低了流向发光模块01的发光驱动电流,实现对发光亮度的调节。

[0067] 在除光调节阶段之外的其他阶段,第三电压差 V_3 与第四电压差 V_4 可以一个为正数,一个为负数,从而使得第三电场E3与第四电场E4的方向相同,进而使得驱动晶体管Td的栅极电位可以控制其开启此外,若驱动晶体管Td为P型晶体管,第三电压差 V_3 为负数,而第四电压差 V_4 为正数,相当于在第二栅极G2上加正偏压,则源极区域12沿第一方向X的垂直区域处形成了PN结反偏,即该PN结截止,避免对驱动晶体管Td的影响。在本申请的一个实施例中,由于驱动晶体管Td的第一源极SR的电位为数据电压或电源电压,为了保证对第二栅极G2施加正偏压,则第一信号电压大于数据电压及电源电压。

[0068] 本申请实施例还提供一种发光驱动电路的驱动方法,用于驱动如上述任意一个实施例提供的发光驱动电路。图8为本申请实施例提供的一种发光驱动电路的驱动方法流程图。如图8所示,发光驱动电路的显示阶段包括多个周期,每个周期包括依次进行的初始化阶段t1、数据信号写入阶段t2及发光阶段t3。

[0069] 在初始化阶段t1,驱动晶体管Td的第一栅极G1接收参考电压,第二栅极G2接收第一信号电压。其中,第一栅极G1与第一源极SR之间的电压差为第三电压差 V_3 ,第二栅极G2与第一源极SR之间的电压差为第四电压差 V_4 ,第一栅极G1与第一源极SR之间的电场为第三电场E3,第二栅极G2与有源层10之间的电场为第四电场E4,第三电场E3与第四电场E4的矢量和的方向与第三电场E3的方向相同,则第一信号电压的存在并不会影响对驱动晶体管Td的初始化。此外,在初始化阶段,也可以对发光模块01进行初始化。

[0070] 在数据信号写入阶段t2,驱动晶体管Td接收数据电压,第二栅极G2接收第一信号电压。具体地,驱动晶体管Td接收数据电压为驱动晶体管Td的第一源极SR接收数据电压,在数据信号写入阶段t2的起始阶段,驱动晶体管Td的第一栅极G1的电位为参考电压,参考电压小于数据电压,并且第三电场E3与第四电场E4的矢量和的方向与第三电场E3的方向相同,也就是说驱动晶体管Td的栅极电位小于第一源极SR的电位,则驱动晶体管Td导通,数据电压开始写入驱动晶体管Td的第一栅极G1,该过程也是对驱动晶体管Td进行阈值补偿的过程。

[0071] 发光阶段t3包括需要进行光调节的发光阶段和无需进行光调节的发光阶段,本申请实施例主要涉及需要进行光调节的发光阶段t3。在需要进行光调节的发光阶段t3,第一控制模块M1导通,光调节信号线传输的光调节电压,光调节电压传输至至少部分驱动晶体

管Td的第二栅极G2,具体为传输至需要进行光调节的发光模块01所对应的驱动晶体管Td的第二栅极G2。此时,驱动晶体管Td中,第一栅极G1与第一源极SR之间的电压差为第一电压差 V_1 ,第一栅极G1与有源层10之间的电场为第一电场E1;第二栅极G2与第一源极SR之间的电压差为第二电压差 V_1 ,且第二栅极G2与有源层10之间的电场为第二电场E2。当第一电场E1的方向与第二电场E2的方向相同时,则沟道区域13处的电场增加,沟道导电层厚度增加,发光驱动电流增大,发光模块10的亮度增大;当第一电场E1的方向与第二电场E2的方向不同时,则沟道区域13处的电场减小,沟道导电层厚度减小,发光驱动电流减小,发光模块的亮度减小。

[0072] 光调节电压可以根据需要进行光调节的程度确定,从而调节驱动晶体管Td产生的发光驱动电流的大小。

[0073] 具体地,第一控制模块M1包括控制晶体管T0,控制晶体管T0的源极与第一控制模块M1的输入端连接,控制晶体管T0的漏极与第一控制模块M1的输出端连接。也就是,控制晶体管T0的源极与光调节信号线Dim连接,控制晶体管T0的漏极与第二栅极G2连接。在光调节阶段,控制晶体管T0导通,光调节信号线Dim传输的光调节电压通过控制晶体管T0传输至第二栅极G2。

[0074] 在本申请的一个实施例中,如图2所示,第一栅极G1与第二栅极G2均沿第一方向X位于有源层10的同侧,且第二栅极G2与有源层10之间设置有第一绝缘层21。则在初始化阶段t1及数据信号写入阶段t2,第三电压差 V_3 和第四电压差 V_4 的乘积为正数,即第三电压差 V_3 和第四电压差 V_4 可以均为正数或者均为负数,从而使得第三电场E3与第四电场E4的方向相同,进而使得驱动晶体管Td的栅极电位可以控制其开启;或者第三电压差 V_3 与第四电压差 V_4 的乘积为负数,即一个为正数,一个为负数,但是第三电压差 V_3 的绝对值大于第四电压差 V_4 的绝对值,则第三电场E3与第四电场E4的矢量和仍与第三电场E3相同,则驱动晶体管Td的关断状态仍由第一栅极G1控制。

[0075] 在本申请的一个实施例中,如图6所示,第一栅极G1与第二栅极G2沿第一方向X位于有源层10的不同侧,且第二栅极G2与有源层10之间设置有第三绝缘层23。则在初始化阶段t1及数据信号写入阶段t2,第三电压差 V_3 与第四电压差 V_4 的乘积为负数,即一个为正数,一个为负数,从而使得第三电场E3与第四电场E4的电场方向相同,进而使得驱动晶体管Td的栅极电位可以控制其开启;或者第三电压差 V_3 与第四电压差 V_4 的乘积为正数,即两者均为正数或者均为负数,但是第三电压差 V_3 的绝对值大于第四电压差 V_4 的绝对值,则第三电场E3与第四电场E4的矢量和仍与第三电场E3相同,则驱动晶体管Td的关断状态仍由第一栅极G1控制。

[0076] 在本申请的一个实施例中,如图7所示,第一栅极G1与第二栅极G2沿第一方向X位于有源层10的不同侧,且第二栅极G2与有源层10之间设置有半导体层30,并且半导体层30的多数载流子与源极区域11及漏极区域12的多数载流子不同。则在初始化阶段t1及数据信号写入阶段t2,在除光调节阶段之外的其他阶段,第三电压差 V_3 与第四电压差 V_4 的乘积可以为负数,即一个为正数,一个为负数,从而使得第三电场E3与第四电场E4的方向相同,进而使得驱动晶体管Td的栅极电位可以控制其开启此外,若驱动晶体管Td为P型晶体管,第三电压差 V_3 应该为负数,而第四电压差 V_4 应该为正数,相当于在第二栅极G2上加正偏压,则源极区域12沿第一方向X的垂直区域处形成了PN结反偏,即该PN结截止,避免对驱动晶体管Td的

影响。

[0077] 本申请实施例提供的发光驱动电路的驱动方法通过控制驱动晶体管的第二栅极上的光调节电压,进而对有源层沟道的形成及沟道导电层的厚度变化进行控制,从而实现对驱动晶体管产生的发光驱动电流的调整,进而实现对发光模块的亮度调节。

[0078] 图9为本申请实施例提供的一种有机发光显示面板的示意图,如图9所示,本申请实施例还提供一种有机发光显示面板,有机发光显示面板包括如上述任意一个实施例提供的发光驱动电路。并且有机发光显示面板按区域划分,包括显示区AA和非显示BB,其中非显示区BB位于显示区AA的外侧。发光驱动电路包括发光模块01、像素驱动电路02及第二栅极控制电路03,其中,发光模块01及像素驱动电路位于有机发光显示面板的显示区AA,第二栅极控制电路03位于有机发光显示面板的非显示区BB。

[0079] 本申请实施例提供有机发光显示面板中的像素驱动电路的驱动晶体管的第二栅极上的光调节电压可控制有源层沟道的形成及沟道导电层的厚度变化,从而实现对驱动晶体管产生的发光驱动电流的控制,进而实现对发光模块的亮度调节。

[0080] 图10为本申请实施例提供的一种有机发光显示装置的示意图,包括如上述实施例提供的有机发光显示面板。如图10所示,本申请实施例提供的有机发光显示装置可以为手机,此外,本申请实施例提供的有机发光显示装置也可以为电脑、电视等显示装置。

[0081] 本申请实施例提供有机发光显示装置中的像素驱动电路的驱动晶体管的第二栅极上的光调节电压可控制有源层沟道的形成及沟道导电层厚度的变化,从而实现对驱动晶体管产生的发光驱动电流的控制,进而实现对发光模块的亮度调节。

[0082] 以上所述仅为本申请的较佳实施例而已,并不用以限制本申请,凡在本申请的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本申请保护的范围之内。

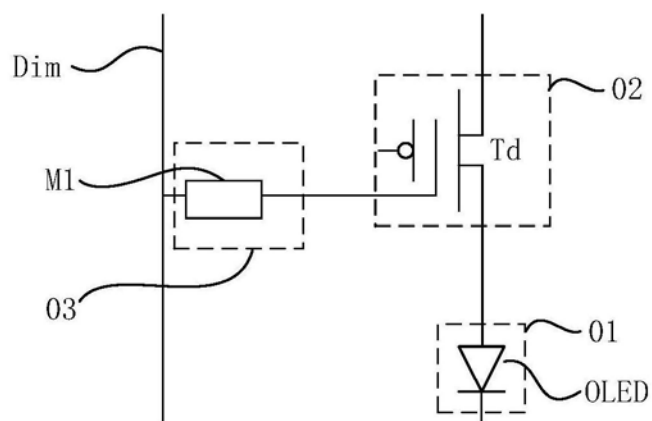


图1

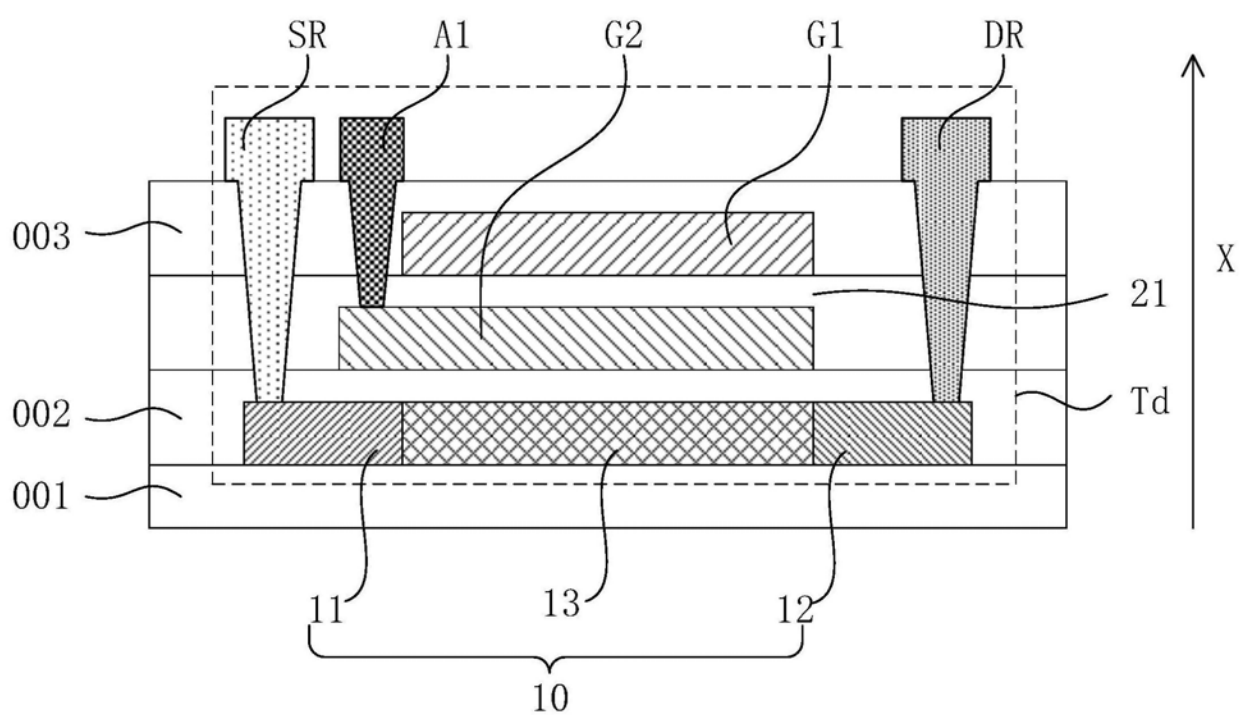


图2

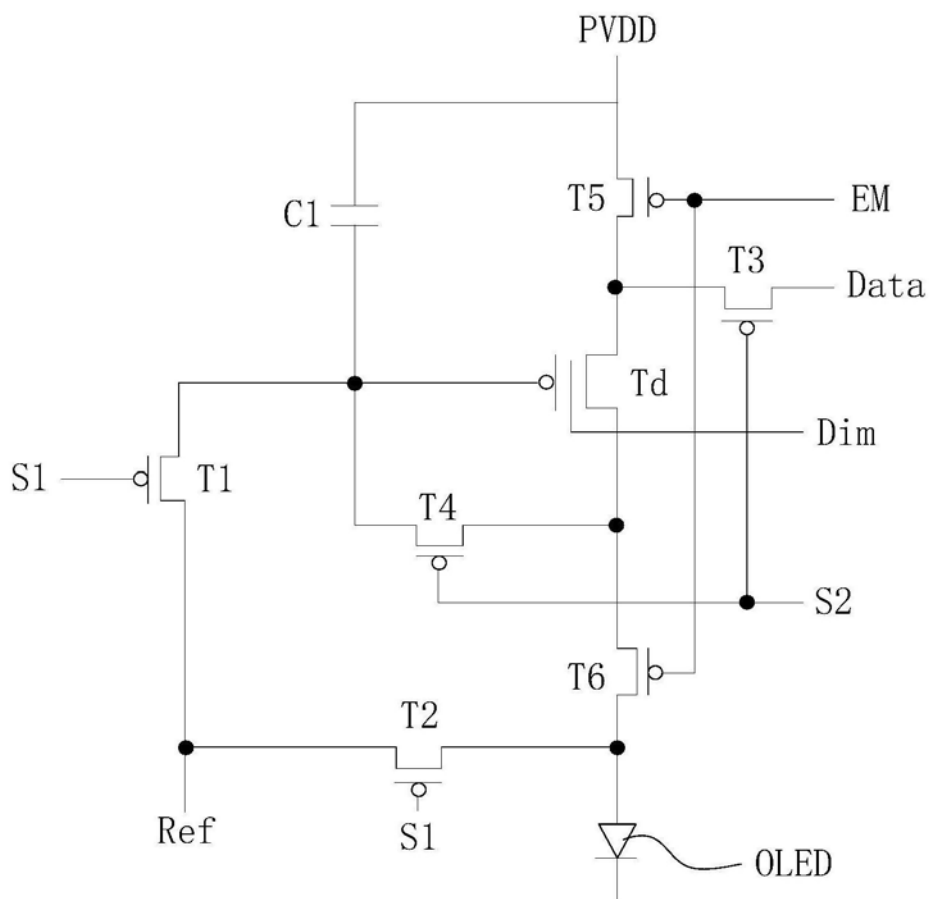


图3

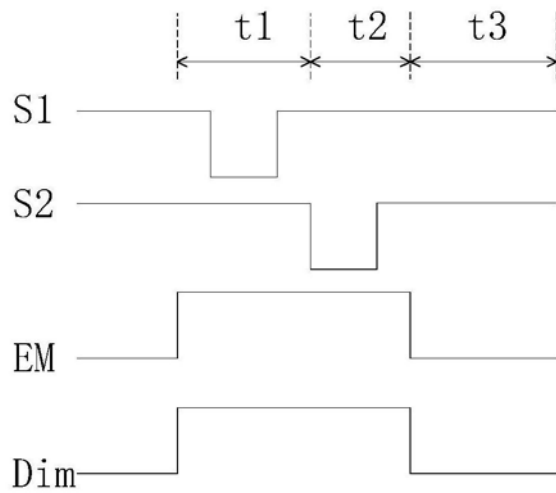


图4

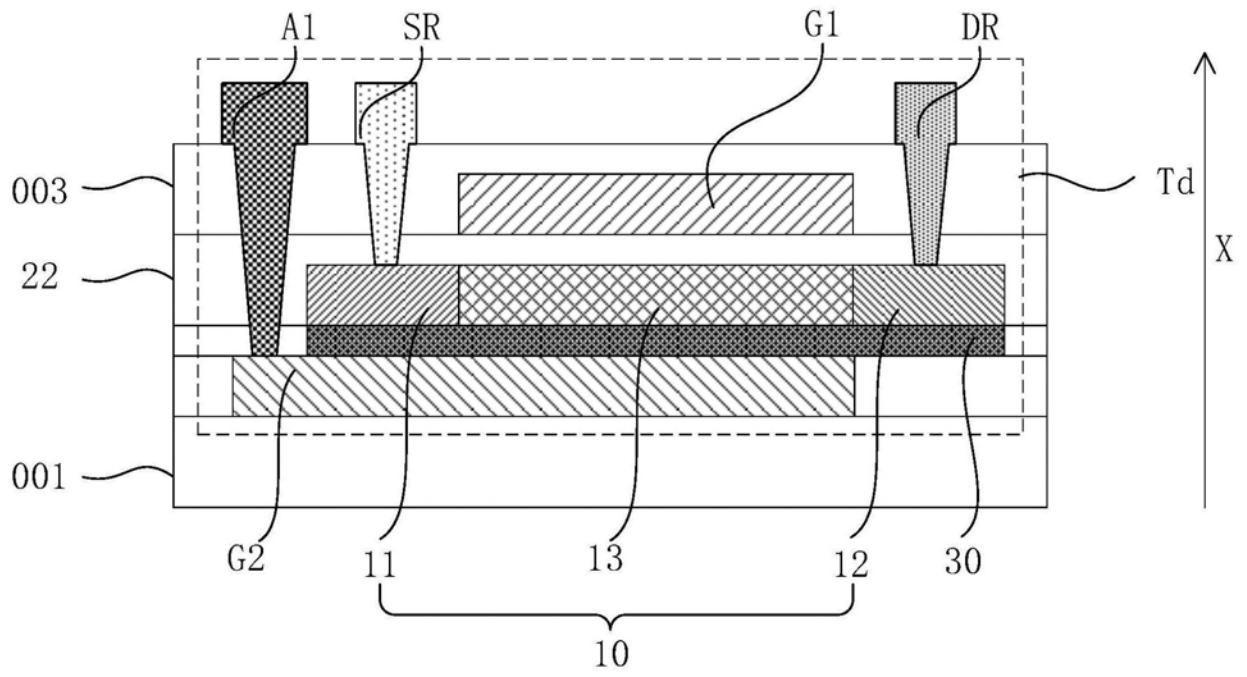


图7

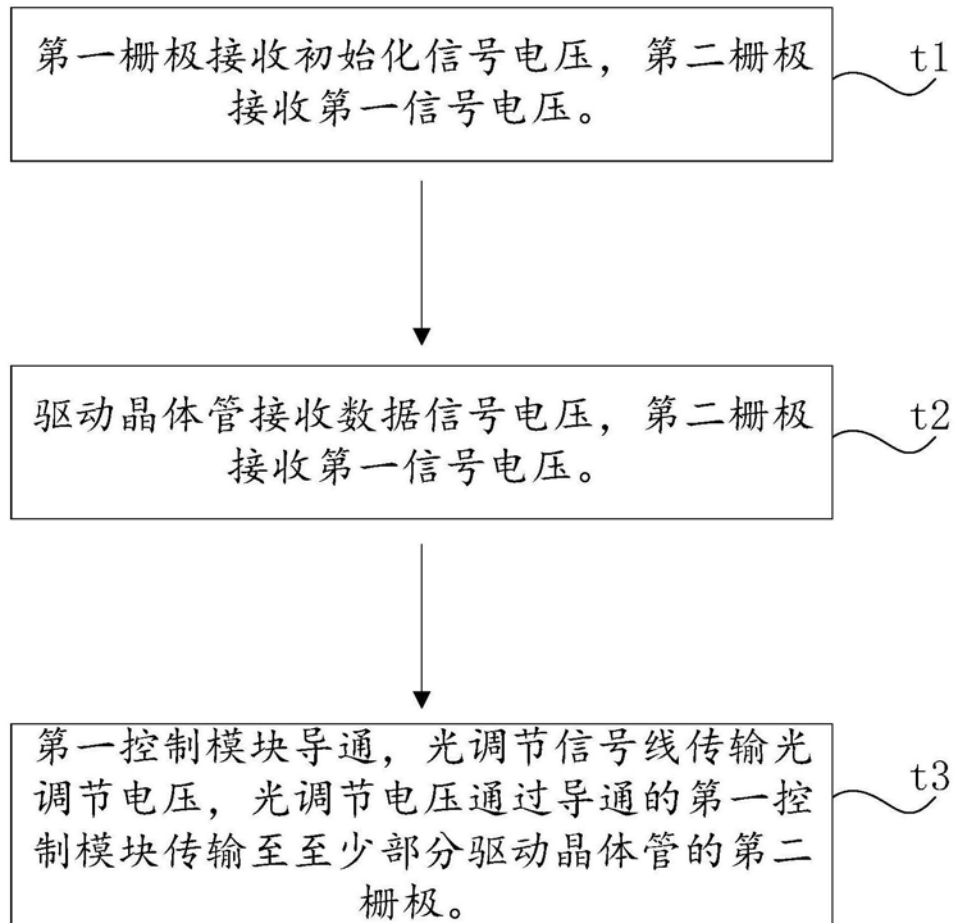


图8

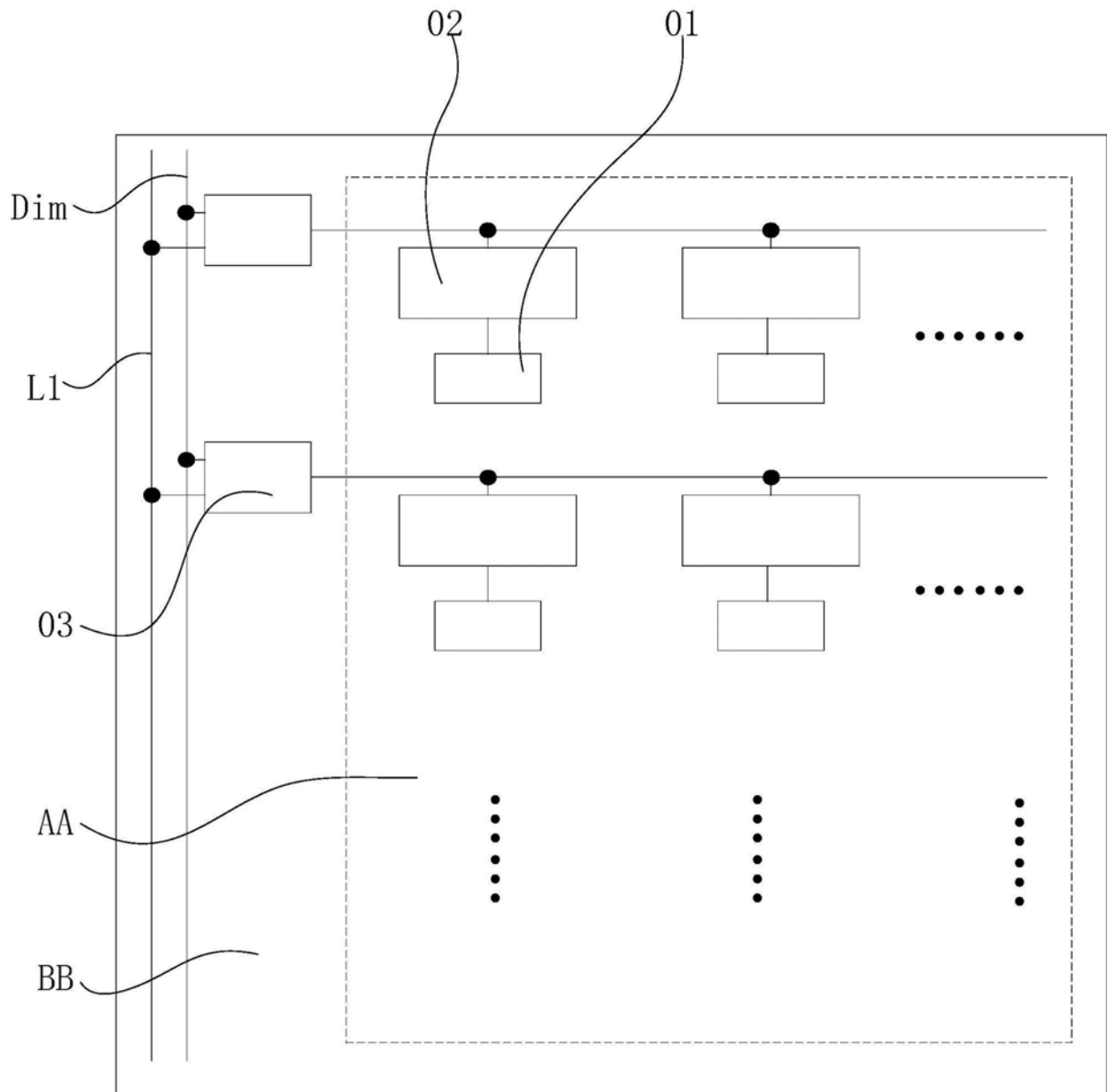


图9

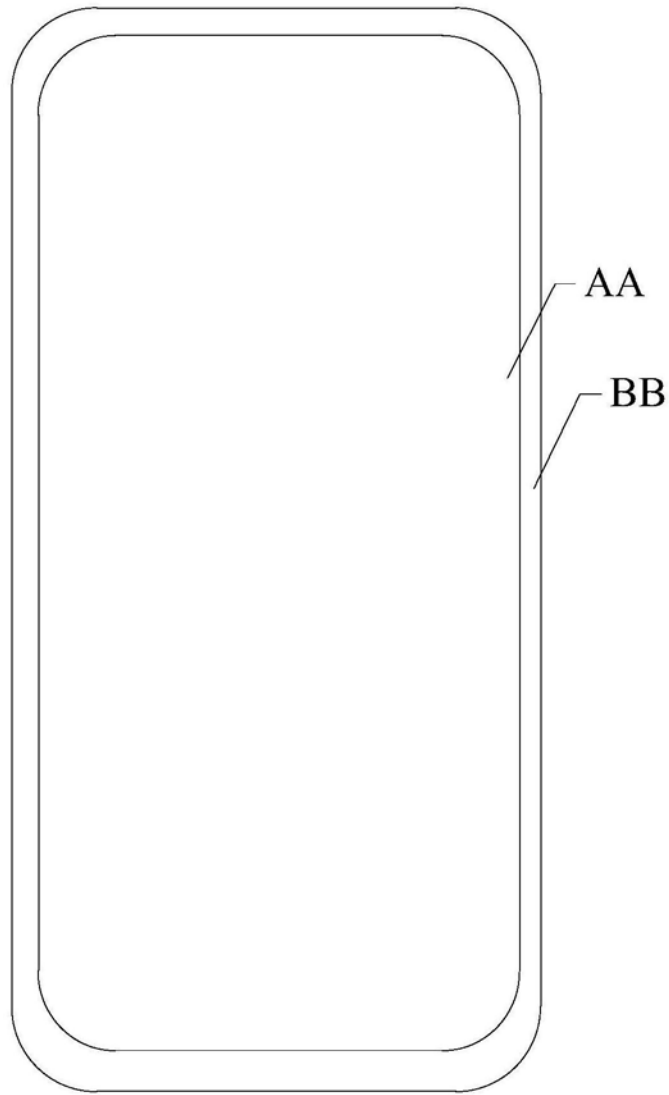


图10

专利名称(译)	一种发光驱动电路及驱动方法、有机发光显示面板及装置		
公开(公告)号	CN111402799A	公开(公告)日	2020-07-10
申请号	CN202010275700.7	申请日	2020-04-09
[标]申请(专利权)人(译)	武汉天马微电子有限公司		
申请(专利权)人(译)	武汉天马微电子有限公司		
当前申请(专利权)人(译)	武汉天马微电子有限公司		
[标]发明人	周茂清 陈菲		
发明人	周茂清 陈菲		
IPC分类号	G09G3/3208 G09G3/3266		
代理人(译)	冯伟		
外部链接	Espacenet SIPO		

摘要(译)

本申请提供一种发光驱动电路及驱动方法、有机发光显示面板及装置。发光驱动电路，包括发光模块、像素驱动电路及第二栅极控制电路。像素驱动电路包括用于输出发光驱动电流的驱动晶体管，其中，驱动晶体管的第一栅极、第二栅极沿第一方向绝缘设置且均与有源层至少部分交叠，第一漏极与发光模块电连接。第二栅极控制电路包括第一控制模块，第一控制模块的输入端与光调节信号线电连接，第一控制模块的输出端与第二栅极电连接，光调节信号线在光调节阶段传输光调节电压。本申请提供的发光驱动电路及驱动方法、有机发光显示面板及装置中的像素驱动电路的驱动晶体管的第二栅极上的光调节电压可控制发光驱动电流的大小，进而实现对发光模块的亮度调节。

