



(12)发明专利申请

(10)申请公布号 CN 107452339 A

(43)申请公布日 2017.12.08

(21)申请号 201710644125.1

(22)申请日 2017.07.31

(71)申请人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509

(72)发明人 李玥 朱仁远 向东旭 高娅娜
陈泽源 蔡中兰

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51)Int.Cl.

G09G 3/3225(2016.01)

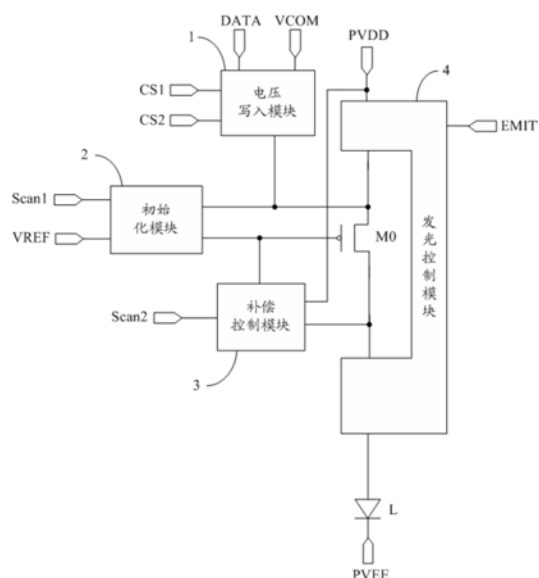
权利要求书3页 说明书17页 附图22页

(54)发明名称

像素电路、其驱动方法、有机发光显示面板及显示装置

(57)摘要

本发明公开了一种像素电路、其驱动方法、有机发光显示面板及显示装置,在将数据信号写入驱动晶体管的控制极之前,向驱动晶体管的第一极输入统一的公共电压信号,将公共电压信号与驱动晶体管的阈值电压写入驱动晶体管的控制极,可以使驱动晶体管流过较大的电流,恢复驱动晶体管因偏压应力引起的阈值电压偏移,改善驱动晶体管的迟滞效应,避免残影现象出现,还保证在驱动晶体管的控制极每次写入数据信号时,降低数据信号的写入时间,以及使驱动晶体管的控制极与第一极分别通过统一的电位进行跳变,避免驱动晶体管的控制极与第一极之间的寄生电容造成的差异,避免电压跳变引起的阈值电压抓取不一致的问题,保证在高低灰阶切换后第一帧的亮度一致。



1. 一种像素电路,其特征在于,包括:电压写入模块、初始化模块、补偿控制模块、发光控制模块、驱动晶体管以及发光器件;

所述电压写入模块分别与第一控制信号端、第二控制信号端、公共电压信号端、数据信号端以及所述驱动晶体管的第一极相连,用于在所述第一控制信号端的控制下将所述公共电压信号端的公共电压信号提供给所述驱动晶体管的第一极,在所述第二控制信号端的控制下将所述数据信号端的数据信号提供给所述驱动晶体管的第一极;其中,所述数据信号的电压不小于所述公共电压信号的电压;

所述初始化模块分别与第一扫描信号端、参考信号端、所述驱动晶体管相连,用于在所述第一扫描信号端的控制下对所述驱动晶体管进行初始化;

所述补偿控制模块分别与第二扫描信号端、所述驱动晶体管的控制极以及所述驱动晶体管的第二极相连,用于在所述第二扫描信号端的控制下将所述驱动晶体管的控制极与第二极电连接;

所述发光控制模块分别与发光控制信号端、第一电源端、所述驱动晶体管的第一极、所述驱动晶体管的第二极以及所述发光器件的第一端相连,所述发光器件的第二端与第二电源端相连;所述发光控制模块用于在所述发光控制信号端的控制下,通过所述驱动晶体管驱动所述发光器件发光。

2. 如权利要求1所述的像素电路,其特征在于,所述电压写入模块包括:第一晶体管与第二晶体管;

所述第一晶体管的控制极与所述第一控制信号端相连,所述第一晶体管的第一极与所述公共电压信号端相连,所述第一晶体管的第二极与所述驱动晶体管的第一极相连;

所述第二晶体管的控制极与所述第二控制信号端相连,所述第二晶体管的第一极与所述数据信号端相连,所述第二晶体管的第二极与所述驱动晶体管的第一极相连。

3. 如权利要求2所述的像素电路,其特征在于,所述第一控制信号端与所述第二控制信号端为同一信号端;

所述第一晶体管为P型晶体管,所述第二晶体管为N型晶体管;或者,所述第一晶体管为N型晶体管,所述第二晶体管为P型晶体管。

4. 如权利要求3所述的像素电路,其特征在于,所述电压写入模块还包括:第三晶体管;所述第二晶体管的第二极通过所述第三晶体管与所述驱动晶体管的第一极相连;

所述第三晶体管的控制极与所述第二扫描信号端相连,所述第三晶体管的第一极与所述第二晶体管的第二极相连,所述第三晶体管的第二极与所述驱动晶体管的第一极相连。

5. 如权利要求1所述的像素电路,其特征在于,所述初始化模块包括:第四晶体管;

所述第四晶体管的控制极与所述第一扫描信号端相连,所述第四晶体管的第一极与所述参考信号端相连,所述第四晶体管的第二极与所述驱动晶体管的控制极相连。

6. 如权利要求5所述的像素电路,其特征在于,所述第四晶体管为双栅极结构,所述双栅极结构包括串联的第一子晶体管和第二子晶体管;并且所述第一子晶体管和所述第二子晶体管的串节点还与所述驱动晶体管的第一极相连。

7. 如权利要求1所述的像素电路,其特征在于,所述补偿控制模块包括:第五晶体管与存储电容;

所述第五晶体管的控制极与所述第二扫描信号端相连,所述第五晶体管的第一极与所

述驱动晶体管的控制极相连,所述第五晶体管的第二极与所述驱动晶体管的第二极相连;

所述存储电容的第一端与所述第一电源端相连,第二端与所述驱动晶体管的控制极相连。

8.如权利要求7所述的像素电路,其特征在于,所述第五晶体管为双栅极结构,所述双栅极结构包括串联的第三子晶体管和第四子晶体管。

9.如权利要求1所述的像素电路,其特征在于,所述发光控制模块包括:第六晶体管与第七晶体管;

所述第六晶体管的控制极与所述发光控制信号端相连,所述第六晶体管的第一极与所述第一电源端相连,所述第六晶体管的第二极与所述驱动晶体管的第一极相连;

所述第七晶体管的控制极与所述发光控制信号端相连,所述第七晶体管的第一极与所述驱动晶体管的第二极相连,所述第七晶体管的第二极与所述发光器件的第一端相连。

10.如权利要求1-9任一项所述的像素电路,其特征在于,所述像素电路还包括:阳极复位模块;

所述阳极复位模块分别与第三扫描信号端、所述参考信号端以及所述发光器件的第一端相连,用于在所述第三扫描信号端的控制下对所述发光器件的第一端进行复位。

11.如权利要求10所述的像素电路,其特征在于,所述阳极复位模块包括:第八晶体管;

所述第八晶体管的控制极与所述第三扫描信号端相连,第一极与所述参考信号端相连,第二极与所述发光器件的第一端相连。

12.如权利要求10所述的像素电路,其特征在于,所述第三扫描信号端与所述第一扫描信号端为同一信号端;或者,

所述第三扫描信号端与所述第二扫描信号端为同一信号端;或者,

所述第三扫描信号端与所述第一控制信号端为同一信号端;或者,

所述第三扫描信号端与所述第二控制信号端为同一信号端;或者,

所述第三扫描信号端与所述发光控制信号端为同一信号端。

13.一种有机发光显示面板,其特征在于,包括如权利要求1-12任一项所述的像素电路。

14.一种显示装置,其特征在于,包括如权利要求13所述的有机发光显示面板。

15.一种采用如权利要求1-12任一项所述的像素电路的驱动方法,其特征在于,包括:初始化阶段、公共电压写入阶段、数据电压写入阶段以及发光阶段;

在所述初始化阶段,向所述第一扫描信号端提供第一电位信号,向所述第二扫描信号端、所述第一控制信号端、所述第二控制信号端以及所述发光控制信号端提供第二电位信号;

在所述公共电压写入阶段,向所述第二扫描信号端与所述第一控制信号端提供第一电位信号,向所述第一扫描信号端、所述第二控制信号端以及所述发光控制信号端提供第二电位信号;

在所述数据电压写入阶段,向所述第二扫描信号端与所述第二控制信号端提供第一电位信号,向所述第一扫描信号端、所述第一控制信号端以及所述发光控制信号端提供第二电位信号;

在所述发光阶段,向所述发光控制信号端提供第一电位信号,向所述第一扫描信号端、

所述第二扫描信号端、所述第一控制信号端以及所述第二控制信号端提供第二电位信号。

16. 如权利要求15所述的驱动方法,其特征在于,所述像素电路还包括阳极复位模块,所述制备方法还包括:

仅在所述初始化阶段,向所述第三扫描信号端提供第一电位信号;或者,

仅在所述公共电压写入阶段,向所述第三扫描信号端提供第一电位信号;或者,

仅在所述数据电压写入阶段,向所述第三扫描信号端提供第一电位信号;或者,

仅在所述公共电压写入阶段与所述数据电压写入阶段,向所述第三扫描信号端提供第一电位信号;或者,

仅在所述初始化阶段至所述数据电压写入阶段,向所述第三扫描信号端提供第一电位信号。

像素电路、其驱动方法、有机发光显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种像素电路、其驱动方法、有机发光显示面板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)显示器是当今平板显示器研究领域的热点之一,与液晶显示器相比,OLED具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点。目前,在手机、PDA、数码相机等平板显示领域,OLED已经开始取代传统的液晶显示屏(Liquid Crystal Display,LCD)。其中,像素电路设计是OLED显示器核心技术内容,具有重要的研究意义。

[0003] 现有的一种像素电路的结构,如图1所示,包括6个晶体管:M01~M06、1个驱动晶体管M0和1个电容C0。图1所示的像素电路对应的输入时序图如图2所示。该像素电路虽然可以通过内部补偿改善因工艺和晶体管老化造成的驱动晶体管M0的阈值电压漂移导致的显示不均的问题,但是在高低灰阶切换后存在第一帧亮度不一致的问题。并且,该像素电路发光一段时间后,由于偏压应力会使驱动晶体管的阈值电压发生偏移,受偏移变化不同影响,出现迟滞效应,进而导致残影现象出现。

发明内容

[0004] 本发明实施例提供一种像素电路、其驱动方法、有机发光显示面板及显示装置,用以改善现有像素电路存在的残影以及高低灰阶切换后存在的第一帧亮度不一致的问题。

[0005] 本发明实施例提供了一种像素电路,包括:电压写入模块、初始化模块、补偿控制模块、发光控制模块、驱动晶体管以及发光器件;

[0006] 所述电压写入模块分别与第一控制信号端、第二控制信号端、公共电压信号端、数据信号端以及所述驱动晶体管的第一极相连,用于在所述第一控制信号端的控制下将所述公共电压信号端的公共电压信号提供给所述驱动晶体管的第一极,在所述第二控制信号端的控制下将所述数据信号端的数据信号提供给所述驱动晶体管的第一极;其中,所述数据信号的电压不小于所述公共电压信号的电压;

[0007] 所述初始化模块分别与第一扫描信号端、参考信号端、所述驱动晶体管相连,用于在所述第一扫描信号端的控制下对所述驱动晶体管进行初始化;

[0008] 所述补偿控制模块分别与第二扫描信号端、所述驱动晶体管的控制极以及所述驱动晶体管的第二极相连,用于在所述第二扫描信号端的控制下将所述驱动晶体管的控制极与第二极电连接;

[0009] 所述发光控制模块分别与发光控制信号端、第一电源端、所述驱动晶体管的第一极、所述驱动晶体管的第二极以及所述发光器件的第一端相连,所述发光器件的第二端与第二电源端相连;所述发光控制模块用于在所述发光控制信号端的控制下,通过所述驱动晶体管驱动所述发光器件发光。

[0010] 相应地,本发明实施例还提供了一种有机发光显示面板,包括本发明实施例提供的上述任一种像素电路。

[0011] 相应地,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述有机发光显示面板。

[0012] 相应地,本发明实施例还提供了一种采用本发明实施例提供的上述任一种像素电路的驱动方法,包括:初始化阶段、公共电压写入阶段、数据电压写入阶段以及发光阶段;

[0013] 在所述初始化阶段,向所述第一扫描信号端提供第一电位信号,向所述第二扫描信号端、所述第一控制信号端、所述第二控制信号端以及所述发光控制信号端提供第二电位信号;

[0014] 在所述公共电压写入阶段,向所述第二扫描信号端与所述第一控制信号端提供第一电位信号,向所述第一扫描信号端、所述第二控制信号端以及所述发光控制信号端提供第二电位信号;

[0015] 在所述数据电压写入阶段,向所述第二扫描信号端与所述第二控制信号端提供第一电位信号,向所述第一扫描信号端、所述第一控制信号端以及所述发光控制信号端提供第二电位信号;

[0016] 在所述发光阶段,向所述发光控制信号端提供第一电位信号,向所述第一扫描信号端、所述第二扫描信号端、所述第一控制信号端以及所述第二控制信号端提供第二电位信号。

[0017] 本发明有益效果如下:

[0018] 本发明实施例提供的像素电路、其驱动方法、有机发光显示面板及显示装置,在将数据信号写入驱动晶体管的控制极之前,先向驱动晶体管的第一极输入统一的公共电压信号,并将该公共电压信号与驱动晶体管的阈值电压写入驱动晶体管的控制极,可以保证在驱动晶体管的控制极每次写入数据信号时,使驱动晶体管的控制极与第一极分别通过统一的电位进行跳变,避免驱动晶体管的控制极与第一极之间的寄生电容造成的差异,从而可以避免电压跳变引起的阈值电压抓取不一致的问题,因此可以保证在高低灰阶切换后第一帧的亮度一致。并且,在驱动晶体管的控制极每次写入数据信号之前,使驱动晶体管的控制极进行阈值电压的抓取工作,从而在每次写入数据信号时,可以降低数据信号的写入时间。而且在将公共电压信号写入驱动晶体管的控制极的过程中,可以使驱动晶体管流过较大的电流,从而可以恢复驱动晶体管因偏压应力引起的阈值电压偏移,改善驱动晶体管的迟滞效应,避免残影现象出现。

附图说明

[0019] 图1为现有技术中像素电路的结构示意图;

[0020] 图2为现有技术中的像素电路对应的输入时序图;

[0021] 图3A为本发明实施例提供的像素电路的结构示意图之一;

[0022] 图3B为本发明实施例提供的像素电路的结构示意图之二;

[0023] 图4A为图3A所示的像素电路的具体结构示意图之一;

[0024] 图4B为图3A所示的像素电路的具体结构示意图之二;

[0025] 图4C为图3A所示的像素电路的具体结构示意图之三;

- [0026] 图4D为图3A所示的像素电路的具体结构示意图之四；
 [0027] 图4E为图3A所示的像素电路的具体结构示意图之五；
 [0028] 图5A为图3B所示的像素电路的具体结构示意图之一；
 [0029] 图5B为图3B所示的像素电路的具体结构示意图之二；
 [0030] 图5C为图3B所示的像素电路的具体结构示意图之三；
 [0031] 图5D为图3B所示的像素电路的具体结构示意图之四；
 [0032] 图5E为图3B所示的像素电路的具体结构示意图之五；
 [0033] 图5F为图3B所示的像素电路的具体结构示意图之六；
 [0034] 图5G为图3B所示的像素电路的具体结构示意图之七；
 [0035] 图5H为图3B所示的像素电路的具体结构示意图之八；
 [0036] 图5I为图3B所示的像素电路的具体结构示意图之九；
 [0037] 图6A为图4A所示的像素电路对应的输入时序图；
 [0038] 图6B为图4D所示的像素电路对应的输入时序图；
 [0039] 图6C为图5A所示的像素电路对应的输入时序图；
 [0040] 图6D为图5D所示的像素电路对应的输入时序图；
 [0041] 图7为本发明实施例提供的驱动方法的流程图；
 [0042] 图8为本发明实施例提供的有机发光显示面板的结构示意图；
 [0043] 图9为本发明实施例提供的一种显示装置的结构示意图。

具体实施方式

[0044] 通过对图1的像素电路进行仿真模拟,当第n-1帧为0灰阶,第n帧为255灰阶,第n+1帧为255灰阶时,对第一节点N1和第二节点N2在不同时间段时的电位进行检测,检测结果如下表1所示。

[0045]

灰阶	0	255			255	
帧数	第 n-1 帧	第 n 帧			第 n+1 帧	
阶段	T03 阶段	T01 阶段	T02 阶段	T03 阶段	T01 阶段	T02 阶段
N1	3.44	-3	1.03	1.5	-3	1.02
N2	4.6	-0.65	3.5	4.6	0.15	3.5

[0046] 表1

[0047] 由上述表1可以看出,在初始化阶段,第n帧时第二节点N2的电位与第n+1帧时第二节点N2的电位不同。这是由于在初始化阶段时,第n帧的第一节点N1的电位-3V是由3.44V切换过来的,而第n+1帧的第一节点N1的电位-3V是由1.5V切换过来的,由于像素电路中第一节点N1和第二节点N2之间存在寄生电容,而第二节点N2在初始化阶段处于悬空状态,因此第一节点N1的电压变化 ΔV 不一致会导致在初始化阶段时第n帧时第二节点N2的电位与第n+1帧时第二节点N2的电位不同,进而导致在数据写入阶段时,第n帧时第一节点N1的电位与第n+1帧时第一节点N1节点的电位不同,从而造成第n帧亮度与第n+1帧亮度不一致的问题。并且该像素电路发光一段时间后,由于偏压应力会使驱动晶体管的阈值电压发生偏移,受

偏移变化不同影响,出现迟滞效应,进而导致残影现象出现。

[0048] 有鉴于此,本发明实施例提供了一种像素电路、其驱动方法、有机发光显示面板及显示装置,通过在输入数据信号之前,向第二节点N2输入统一的公共电压信号,从而在输入数据信号时,可以使第二节点N2的电位通过统一的电位进行跳变;并且同时还可以使第一节点N1进行阈值电压的抓取,以及使驱动晶体管具有较大的电流流过,降低数据信号写入的时间,改善驱动晶体管的迟滞效应,避免亮度不一致的问题。

[0049] 为了使本发明的目的,技术方案和优点更加清楚,下面结合附图,对本发明实施例提供的像素电路、其驱动方法、有机发光显示面板及显示装置的具体实施方式进行详细地说明。应当理解,下面所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。并且在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0050] 本发明实施例提供了一种像素电路,如图3A所示,包括:电压写入模块1、初始化模块2、补偿控制模块3、发光控制模块4、驱动晶体管M0以及发光器件L;

[0051] 电压写入模块1分别与第一控制信号端CS1、第二控制信号端CS2、公共电压信号端VCOM、数据信号端DATA以及驱动晶体管M0的第一极相连,用于在第一控制信号端CS1的控制下将公共电压信号端VCOM的公共电压信号提供给驱动晶体管M0的第一极,以及在第二控制信号端CS2的控制下将数据信号端DATA的数据信号提供给驱动晶体管M0的第一极;其中,数据信号的电压不小于公共电压信号的电压;

[0052] 初始化模块2分别与第一扫描信号端Scan1、参考信号端VREF、驱动晶体管M0相连,用于在第一扫描信号端Scan1的控制下对驱动晶体管M0进行初始化;

[0053] 补偿控制模块3分别与第二扫描信号端Scan2、驱动晶体管M0的控制极以及驱动晶体管M0的第二极相连,用于在第二扫描信号端Scan1的控制下将驱动晶体管M0的控制极与第二极电连接;

[0054] 发光控制模块4分别与发光控制信号端EMIT、第一电源端PVDD、驱动晶体管M0的第一极、驱动晶体管M0的第二极以及发光器件L的第一端相连,发光器件L的第二端与第二电源端PVEE相连;发光控制模块4用于在发光控制信号端EMIT的控制下,通过驱动晶体管M0驱动发光器件L发光。

[0055] 本发明实施例提供的像素电路,在将数据信号写入驱动晶体管的控制极之前,先向驱动晶体管的第一极输入统一的公共电压信号,并将该公共电压信号与驱动晶体管的阈值电压写入驱动晶体管的控制极,可以保证在驱动晶体管的控制极每次写入数据信号时,使驱动晶体管的控制极与第一极分别通过统一的电位进行跳变,避免驱动晶体管的控制极与第一极之间的寄生电容造成的差异,从而可以避免电压跳变引起的阈值电压抓取不一致的问题,因此可以保证在高低灰阶切换后第一帧的亮度一致。并且,在驱动晶体管的控制极每次写入数据信号之前,使驱动晶体管的控制极进行阈值电压的抓取工作,从而在每次写入数据信号时,可以降低数据信号的写入时间。而且在将公共电压信号写入驱动晶体管的控制极的过程中,可以使驱动晶体管流过较大的电流,从而可以恢复驱动晶体管因偏压应力引起的阈值电压偏移,改善驱动晶体管的迟滞效应,避免残影现象出现。

[0056] 在具体实施时,在本发明实施例提供的像素电路中,初始化模块可以仅与驱动晶体管的控制极相连,用于在第一扫描信号端的控制下对驱动晶体管的控制极进行初始化。或者,如图3A所示,初始化模块2可以分别与驱动晶体管M0的控制极以及驱动晶体管M0的第

一极相连,用于在第一扫描信号端Scan1的控制下对驱动晶体管M0的控制极以及驱动晶体管M0的第一极均进行初始化。这样可以同时对驱动晶体管的控制极和第一极进行复位,以避免驱动晶体管的控制极和第一极之间的寄生电容造成的差异对写入公共电极信号的影响,从而进一步避免电压跳变引起的阈值抓取不一致的问题,进一步保证在高低灰阶切换后第一帧的亮度一致。

[0057] 进一步地,为了消除发光器件存留的上一帧发光的信号对本帧发光的影响,在具体实施时,在本发明实施例提供的像素电路中,如图3B所示,像素电路还可以包括:阳极复位模块5;

[0058] 阳极复位模块5分别与第三扫描信号端Scan3、参考信号端VREF以及发光器件L的第一端相连,用于在第三扫描信号端Scan3的控制下对发光器件L的第一端进行复位。这样可以使发光器件在本帧发光之前进行复位,从而消除上一帧发光对本帧发光的影响。

[0059] 在具体实施时,在本发明实施例提供的像素电路中,如图3A与图3B所示,发光器件L的第二端与第二电源端PVEE连接,第二电源端PVEE的电压一般为负电压或接地。

[0060] 为了减少信号线的设置,节省信号端口数量,节省布线空间,在具体实施时,在本发明实施例提供的像素电路中,第一控制信号端与第二控制信号端可以为同一信号端。

[0061] 为了减少信号线的设置,节省信号端口数量,节省布线空间,在具体实施时,在本发明实施例提供的像素电路中,第三扫描信号端与第一扫描信号端可以为同一信号端。

[0062] 或者,在具体实施时,第三扫描信号端与第二扫描信号端也可以为同一信号端。

[0063] 或者,在具体实施时,第三扫描信号端与第一控制信号端也可以为同一信号端。

[0064] 或者,在具体实施时,第三扫描信号端与第二控制信号端也可以为同一信号端。

[0065] 或者,在具体实施时,第三扫描信号端与发光控制信号端为同一信号端。

[0066] 下面结合具体实施例,对本发明进行详细说明。需要说明的是,本实施例中是为了更好的解释本发明,但不限制本发明。

[0067] 在具体实施时,在本发明实施例提供的像素电路中,如图3A至图5I所示,驱动晶体管M0为P型晶体管,驱动晶体管M0的控制极连接第一节点N1,第一极连接第二节点N2、第二极连接第三节点N3。而对于驱动晶体管为N型晶体管的情况,设计原理与本发明相同,也属于本发明保护的范围。

[0068] 在具体实施时,在本发明实施例提供的像素电路中,发光器件一般为有机发光二极管;其中有机发光二极管的正极为发光器件的第一端,负极为发光器件的第二端。当然,发光器件可以为其他具有自发光功能的器件,在此不作限定。

[0069] 在具体实施时,在本发明实施例提供的像素电路中,如图4A至图5I所示,电压写入模块1可以包括:第一晶体管M1与第二晶体管M2;

[0070] 第一晶体管M1的控制极与第一控制信号端CS1相连,第一晶体管M1的第一极与公共电压信号端VCOM相连,第一晶体管M1的第二极与驱动晶体管M0的第一极相连;

[0071] 第二晶体管M2的控制极与第二控制信号端CS2相连,第二晶体管M2的第一极与数据信号端DATA相连,第二晶体管M2的第二极与驱动晶体管M0的第一极相连。

[0072] 在具体实施时,在本发明实施例提供的像素电路中,如图4A与图5A所示,第一晶体管M1与第二晶体管M2可以为P型晶体管。当然,第一晶体管与第二晶体管也可以为N型晶体管,在此不作限定。

[0073] 在具体实施时,在本发明实施例提供的像素电路中,第一晶体管在第一控制信号端的信号的控制下处于导通状态时,可以将公共电压信号提供给驱动晶体管的第一极。第二晶体管在第二控制信号端的信号的控制下处于导通状态时,可以将数据信号提供给驱动晶体管的第一极。其中,第一晶体管在第二晶体管导通之前导通。

[0074] 在具体实施时,在本发明实施例提供的像素电路中,第一控制信号端与第二控制信号端可以为同一信号端。例如,如图4B至图4E以及图5B至图5I所示,第一晶体管M1的控制极与第二晶体管M2的控制极可以均与第一控制信号端CS1相连。并且,如图4B、图4D、图5B、图5D以及图5F至图5I所示,第一晶体管M1可以为P型晶体管,第二晶体管M2可以为N型晶体管。或者,如图4C、图4E、图5C以及图5E所示,第一晶体管M1也可以为N型晶体管,第二晶体管M2也可以为P型晶体管。当然,第一晶体管的控制极与第二晶体管的控制极也可以均与第二控制信号端相连,在此不作限定。

[0075] 在第一控制信号端与第二控制信号端为同一信号端时,在具体实施时,在本发明实施例提供的像素电路中,如图4D、图4E、图5D至图5I所示,电压写入模块1还可以包括:第三晶体管M3;第二晶体管M2的第二极通过第三晶体管M3与驱动晶体管M0的第一极相连;

[0076] 第三晶体管M3的控制极与第二扫描信号端Scan2相连,第三晶体管M3的第一极与第二晶体管M2的第二极相连,第三晶体管M3的第二极与驱动晶体管M0的第一极相连。

[0077] 在具体实施时,在本发明实施例提供的像素电路中,如图4D、图4E、图5D至图5I所示,第三晶体管M3可以为P型晶体管。或者,第三晶体管也可以为N型晶体管,在此不作限定。

[0078] 在具体实施时,在本发明实施例提供的像素电路中,第三晶体管在第二扫描信号端的信号的控制下处于导通状态时,可以将第二晶体管的第二极与驱动晶体管的第一极导通。

[0079] 在具体实施时,在本发明实施例提供的像素电路中,如图4A至图5I所示,初始化模块2可以包括:第四晶体管M4;

[0080] 第四晶体管M4的控制极与第一扫描信号端Scan1相连,第四晶体管M4的第一极与参考信号端VREF相连,第四晶体管M4的第二极与驱动晶体管M0的控制极相连。

[0081] 在具体实施时,在本发明实施例提供的像素电路中,如图4A至图5I所示,第四晶体管M4可以为P型晶体管。或者,第四晶体管也可以为N型晶体管,在此不作限定。

[0082] 在具体实施时,在本发明实施例提供的像素电路中,第四晶体管在第一扫描信号端的信号的控制下处于导通状态时,可以将参考电压信号提供给驱动晶体管的控制极,以对驱动晶体管的控制极进行初始化。

[0083] 在具体实施时,在本发明实施例提供的像素电路中,如图4A至图5I所示,第四晶体管M4的第二极还可以与驱动晶体管M0的第一极相连。这样在第四晶体管M4在处于导通状态时,可以将参考电压信号提供给驱动晶体管M0的第一极,以对驱动晶体管M0的第一极进行初始化。

[0084] 在具体实施时,在本发明实施例提供的像素电路中,如图4A至图5I所示,第四晶体管M4可以为双栅极结构,该双栅极结构可以包括串联的第一子晶体管M41和第二子晶体管M42;其中,第一子晶体管M41的控制极与第二子晶体管M42的控制极均与第一扫描信号端Scan1相连,第一子晶体管M41的第一极与参考信号端VREF相连,第一子晶体管M41的第二极与第二子晶体管M42的第一极相连,第二子晶体管M42的第二极与第一节点N1相连。这样可

以减少第四晶体管M4截止时的漏电流,在发光器件L发光时,有利于减少第四晶体管M4的漏电流对驱动晶体管M0的干扰,避免影响驱动晶体管M0驱动发光器件发光的工作电流。并且,在第四晶体管还与驱动晶体管的第一极相连时,第一子晶体管和第二子晶体管的串节点还与驱动晶体管M0的第一极相连,即第一子晶体管M41的第二极与驱动晶体管M0的第一极相连。当然,第四晶体管也可以为单栅极结构。

[0085] 在具体实施时,在本发明实施例提供的像素电路中,如图4A至图5I所示,补偿控制模块3可以包括:第五晶体管M5与存储电容Cst;

[0086] 第五晶体管M5的控制极与第二扫描信号端Scan2相连,第五晶体管M5的第一极与驱动晶体管M0的控制极相连,第五晶体管M5的第二极与驱动晶体管M0的第二极相连;

[0087] 存储电容Cst的第一端与第一电源端PVDD相连,第二端与驱动晶体管M0的控制极相连。

[0088] 在具体实施时,在本发明实施例提供的像素电路中,如图4A至图5I所示,第五晶体管M5可以为P型晶体管。或者,第五晶体管也可以为N型晶体管,在此不作限定。

[0089] 在具体实施时,在本发明实施例提供的像素电路中,第五晶体管在第二扫描信号端的控制下处于导通状态时,可以使驱动晶体管的控制极与驱动晶体的第二极导通,以使驱动晶体管形成二极管结构。公共电压信号可以通过第一晶体管到达驱动晶体管的第一极,并通过二极管结构的驱动晶体管到达驱动晶体管的控制极,从而将公共电压信号和驱动晶体管的阈值电压写入至驱动晶体管的控制极,从而可以使驱动晶体管流过较大的电流,以恢复驱动晶体管因偏压应力引起的阈值电压偏移,改善驱动晶体管的迟滞效应,避免残影现象出现。数据信号通过第二晶体管与第三晶体管到达驱动晶体管的第一极,并通过二极管结构的驱动晶体管到达驱动晶体管的控制极,从而将数据信号写入至驱动晶体管的控制极。由于,在驱动晶体管的控制极写入数据信号之前,驱动晶体管已经进行了阈值电压的抓取工作,从而在每次写入数据信号时,可以降低数据信号的写入时间。并且在驱动发光器件发光时,利用存储电容维持驱动晶体管的控制极的电压。

[0090] 在具体实施时,在本发明实施例提供的像素电路中,第五晶体管在第二扫描信号端的控制下处于导通状态所用的时长可以为扫描一行像素所用的时长。在实际应用中,用于输入数据信号的数据线具有电阻且与其他信号线之间具有耦合电容,导致数据信号的负载较大,因此在相对较小的时间内写入驱动晶体管的控制极的数据信号可能会不太完全。而本发明实施例中,第五晶体管在第二扫描信号端的控制下开始处于导通状态时,数据线上即开始输入数据信号,由于第一晶体管先于第二晶体管导通,在第一晶体管导通的时间内可以使数据信号对数据线进行预充电,以使数据信号达到稳定状态,从而在一定时间后第二晶体管导通时将稳定的数据信号写入驱动晶体管的控制极,进而提高写入数据信号以及阈值电压抓取的准确性。

[0091] 在具体实施时,在本发明实施例提供的像素电路中,如图4A至图5I所示,第五晶体管M5可以为双栅极结构,该双栅极结构可以包括串联的第三子晶体管M51和第四子晶体管M52;其中,第三子晶体管M51的控制极和第四子晶体管M52的控制极均与第二扫描信号端Scan2相连,第三子晶体管M51的第一极与第一节点N1相连,第三子晶体管M51的第二极与第四子晶体管M52的第一极相连,第四子晶体管M52的第二极与第三节点N3相连。这样可以减少第五晶体管截止时的漏电流,有利于减少在发光阶段第五晶体管的漏电流对驱动晶体管

的干扰,避免影响驱动晶体管的驱动电流。当然,第五晶体管也可以为单栅极结构。

[0092] 在具体实施时,在本发明实施例提供的像素电路中,如图4A至图5I所示,发光控制模块4可以包括:第六晶体管M6与第七晶体管M7;

[0093] 第六晶体管M6的控制极与发光控制信号端EMIT相连,第六晶体管M6的第一极与第一电源端PVDD相连,第六晶体管M6的第二极与驱动晶体管M0的第一极相连;

[0094] 第七晶体管M7的控制极与发光控制信号端EMIT相连,第七晶体管M7的第一极与驱动晶体管M0的第二极相连,第七晶体管M7的第二极与发光器件L的第一端相连。

[0095] 在具体实施时,在本发明实施例提供的像素电路中,如图4A至图5I所示,第六晶体管M6与第七晶体管M7可以为P型晶体管。或者,第六晶体管与第七晶体管也可以为N型晶体管,在此不作限定。

[0096] 在具体实施时,在本发明实施例提供的像素电路中,第六晶体管在发光控制信号端的控制下处于导通状态时,可以将第一电源端与驱动晶体管的第一极导通。第七晶体管在发光控制信号端的控制下处于导通状态时,可以将驱动晶体的第二极与发光器件的第一端导通,从而将第一电源端与第二电源端导通,使驱动晶体管产生工作电流以驱动发光器件发光。

[0097] 在具体实施时,在本发明实施例提供的像素电路中,如图5A至图5I所示,阳极复位模块5可以包括:第八晶体管M8;

[0098] 第八晶体管M8的控制极与第三扫描信号端Scan3相连,第一极与参考信号端VREF相连,第二极与发光器件L的第一端相连。

[0099] 在具体实施时,在本发明实施例提供的像素电路中,如图5A至图5H所示,第八晶体管M8可以为P型晶体管。或者,第八晶体管也可以为N型晶体管,在此不作限定。

[0100] 在具体实施时,在本发明实施例提供的像素电路中,第八晶体管在第三扫描信号端的控制下处于导通状态时,可以将参考信号端的信号提供给发光器件的第一端,以对发光器件进行复位。

[0101] 在具体实施时,在本发明实施例提供的像素电路中,第三扫描信号端可以与第一扫描信号端为同一信号端。如图5F所示,第八晶体管M8的控制极与第一扫描信号端Scan1相连。

[0102] 在具体实施时,在本发明实施例提供的像素电路中,第三扫描信号端也可以与第二扫描信号端为同一信号端。如图5G所示,第八晶体管M8的控制极与第二扫描信号端Scan2相连。

[0103] 在具体实施时,在本发明实施例提供的像素电路中,第三扫描信号端也可以与第一控制信号端为同一信号端。如图5H所示,第八晶体管M8的控制极与第一控制信号端CS1相连。

[0104] 在具体实施时,在本发明实施例提供的像素电路中,第三扫描信号端也可以与第二控制信号端为同一信号端。即第八晶体管的控制极可以与第二控制信号端相连。

[0105] 在具体实施时,在本发明实施例提供的像素电路中,第三扫描信号端也可以与发光控制信号端为同一信号端。如图5I所示,第八晶体管M8的控制极与发光控制信号端EMIT相连。其中,第八晶体管M8为N型晶体管,第六晶体管M6与第七晶体管M7均为P型晶体管。当然,也可以使第八晶体管M8为P型晶体管,第六晶体管M6与第七晶体管M7均为N型晶体管,在

此不作限定。

[0106] 进一步地,为了降低信号线的设置,节省信号端口数量,节省布线空间,在具体实施时,在本发明实施例提供的像素电路中,第三扫描信号端与第一控制信号端为同一信号端,并且第二控制信号端与第一控制信号端为同一信号端。如图5H所示,第一晶体管M1、第二晶体管M2以及第八晶体管M8的控制极均与第一控制信号端CS1相连。

[0107] 以上仅是举例说明本发明实施例提供的像素电路中各模块的具体结构,在具体实施时,上述各模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0108] 具体地,在本发明实施例提供的像素电路中,从降低漏电流的角度考虑,任意晶体管均可以设置为双栅极结构,在此不作限定。

[0109] 具体地,为了制作工艺统一,本发明实施例提供的像素电路中,在第一控制信号端CS1与第二控制信号端CS2不共用时,如图4A与图5A所示,所有晶体管可以均为P型晶体管。或者,所有晶体管也可以均为N型晶体管,在此不作限定。

[0110] 具体地,在本发明实施例提供的像素电路中,P型晶体管在低电位信号作用下导通,在高电位信号作用下截止;N型晶体管在高电位信号作用下导通,在低电位信号作用下截止。

[0111] 具体地,在本发明实施例提供的像素电路中,上述各晶体管可以是薄膜晶体管(TFT,Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS,Metal Oxide Semiconductor),在此不作限定。并且上述晶体管的控制极为栅极,晶体管的第一极可以为源极,第二极为漏极,或者晶体管的第一极可以为漏极,第二极为源极,在此不作具体区分。

[0112] 下面结合电路时序图对本发明实施例提供的像素电路的工作过程作以描述。下述描述中以1表示高电位,0表示低电位。需要说明的是,1和0是逻辑电位,其仅是为了更好的解释本发明实施例的具体工作过程,而不是具体的电压值。并且,下面均是以第二扫描信号端Scan2控制第五晶体管M5导通所用的时长为扫描一行像素所用的时长为例进行说明的。

[0113] 实施例一、

[0114] 以图4A所示的像素电路为例,对应的输入时序图如图6A所示。具体地,主要选取如图6A所示的输入时序图中的T1、T2、T3和T4四个阶段。

[0115] 在T1阶段,Scan1=0,CS1=1,CS2=1,Scan2=1,EMIT=1。

[0116] 由于Scan1=0,因此第四晶体管M4导通并将参考电压信号提供给第一节点N1与第二节点N2,使第一节点N1与第二节点N2的电压均为参考电压信号的电压 V_{ref} ,以对驱动晶体管M0的控制极M0与第一极进行初始化。由于CS1=1,因此第一晶体管M1截止。由于CS2=1,因此第二晶体管M2截止。由于Scan2=1,因此第五晶体管M5截止。由于EMIT=1,因此第六晶体管M6与第七晶体管M7均截止,发光器件L不发光。

[0117] 在T2阶段,Scan1=1,CS1=0,CS2=1,Scan2=0,EMIT=1。

[0118] 由于Scan2=0,因此第五晶体管M5导通并将第一节点N1与第三节点N3导通,以使驱动晶体管M0处于二极管结构。由于CS1=0,因此第一晶体管M1导通并将公共电压信号提供给第二节点N2,使第二节点N2的电压为公共电压信号的电压 V_{com} 。第二节点N2的电压 V_{com} 通过处于二极管结构的驱动晶体管M0对第一节点N1进行充电,直至第一节点N1的电压变为 $V_{com}-|V_{th}|$ 。这样可以使第一节点N1进行驱动晶体管M0的阈值电压 V_{th} 的抓取工作,以及使驱

动晶体管M0流过较大的电流,以恢复驱动晶体管M0因偏压应力引起的阈值电压 V_{th} 偏移,改善驱动晶体管 V_{th} 的迟滞效应,避免残影现象出现。由于 $CS2=1$,因此第二晶体管M2截止。由于 $Scan1=1$,因此第四晶体管M4截止。由于 $EMIT=1$,因此第六晶体管M6与第七晶体管M7均截止,发光器件L不发光。

[0119] 在T3阶段, $Scan1=1,CS1=1,CS2=0,Scan2=0,EMIT=1$ 。

[0120] 由于 $Scan2=0$,因此第五晶体管M5继续导通并将第一节点N1与第三节点N3导通,以使驱动晶体管M0处于二极管结构。由于 $CS2=0$,因此第二晶体管M2导通并将数据信号提供给第二节点N2,使第二节点N2的电压为数据信号的电压 V_{data} 。第二节点N2的电压 V_{data} 通过处于二极管结构的驱动晶体管M0对第一节点N1进行充电,直至第一节点N1的电压变为 $V_{data}-|V_{th}|$ 。这样可以在输入数据信号时,使第二节点N2的电压由 V_{com} 跳变为 V_{data} ,使第一节点N1的电压由 $V_{com}-|V_{th}|$ 跳变为 $V_{data}-|V_{th}|$,因此无论高灰阶跳变为中灰阶或是低灰阶跳变为中灰阶,均可以保证抓取的阈值电压 V_{th} 相同,并且还可以节省数据信号对第一节点N1的充电时间,有利于实现高分辨率显示面板中数据信号的写入。并且,设置 $V_{data} \geq V_{com}$,以便第一节点N1写入数据信号。由于 $CS1=1$,因此第一晶体管M1截止。由于 $Scan1=1$,因此第四晶体管M4截止。由于 $EMIT=1$,因此第六晶体管M6与第七晶体管M7均截止,发光器件L不发光。

[0121] 在T4阶段, $Scan1=1,CS1=1,CS2=1,Scan2=1,EMIT=0$ 。

[0122] 由于 $EMIT=0$,因此第六晶体管M6与第七晶体管M7均导通,其中,第六晶体管M6导通以将第一电源端PVDD的信号输入第二节点N2,使第二节点N2的电压为第一电源端PVDD信号的电压 V_{dd} ,此时驱动晶体管M0的源栅电压 $V_{sg}=V_{dd}-V_{data}+|V_{th}|$,驱动晶体管M0产生驱动发光器件L发光的工作电流 I_L 满足公式: $I_L=K(V_{sg}-|V_{th}|)^2=K(V_{dd}-V_{data})^2$;第七晶体管M7导通,以使驱动晶体管M0的工作电流 I_L 驱动发光器件L工作发光。由于 $CS1=1$,因此第一晶体管M1截止。由于 $CS2=1$,因此第二晶体管M2截止。由于 $Scan1=1$,因此第四晶体管M4截止。由于 $Scan2=1$,因此第五晶体管M5截止。

[0123] 在将第一控制信号端CS1与第二控制信号端CS2共用时,如图4B所示,第一晶体管M1为P型晶体管,第二晶体管M2为N型晶体管,其控制极的信号采用实施例一中第一控制信号端CS1的信号进行控制,其余晶体管的结构与图4A所示的像素电路的结构相同,图4B所示的像素电路的工作过程可以参照实施例一中像素电路的工作过程,在此不作赘述。或者,如图4C所示,第一晶体管M1为N型晶体管,第二晶体管M2为P型晶体管,其控制极的信号与实施例一中的第一控制信号端CS1的信号的相位相反,其余晶体管的结构与图4A所示的像素电路的结构相同,图4C所示的像素电路的工作过程可以参照实施例一中像素电路的工作过程,在此不作赘述。

[0124] 实施例二、

[0125] 以图4D所示的像素电路为例,对应的输入时序图如图6B所示。具体地,主要选取如图6B所示的输入时序图中的T1、T2、T3和T4四个阶段。

[0126] 在T1阶段, $Scan1=0,CS1=1,Scan2=1,EMIT=1$ 。

[0127] 由于 $Scan1=0$,因此第四晶体管M4导通并将参考电压信号提供给第一节点N1与第二节点N2,使第一节点N1与第二节点N2的电压均为参考电压信号的电压 V_{ref} ,以对驱动晶体管M0的控制极M0与第一极进行初始化。由于 $CS1=1$,因此第一晶体管M1截止,第二晶体管M2导通。由于 $Scan2=1$,因此第三晶体管M3与第五晶体管M5均截止。由于 $EMIT=1$,因此第六晶

晶体管M6与第七晶体管M7均截止,发光器件L不发光。

[0128] 在T2阶段,Scan1=1,CS1=0,Scan2=0,EMIT=1。

[0129] 由于Scan2=0,因此第五晶体管M5与第三晶体管M3均导通,其中,第五晶体管M5导通并将第一节点N1与第三节点N3导通,以使驱动晶体管M0处于二极管结构。由于CS1=0,因此第二晶体管M2截止,而第一晶体管M1导通并将公共电压信号提供给第二节点N2,使第二节点N2的电压为公共电压信号的电压 V_{com} 。第二节点N2的电压 V_{com} 通过处于二极管结构的驱动晶体管M0对第一节点N1进行充电,直至第一节点N1的电压变为 $V_{com}-|V_{th}|$ 。这样可以使第一节点N1进行驱动晶体管M0的阈值电压 V_{th} 的抓取工作,以及使驱动晶体管M0流过较大的电流,以恢复驱动晶体管M0因偏压应力引起的阈值电压 V_{th} 偏移,改善驱动晶体管 V_{th} 的迟滞效应,避免残影现象出现。并且,此时数据线上输入数据信号,对数据线进行预充电以使数据信号达到稳定状态。由于Scan1=1,因此第四晶体管M4截止。由于EMIT=1,因此第六晶体管M6与第七晶体管M7均截止,发光器件L不发光。

[0130] 在T3阶段,Scan1=1,CS1=1,Scan2=0,EMIT=1。

[0131] 由于Scan2=0,因此第五晶体管M5与第三晶体管M3均继续导通,其中,第五晶体管M5继续导通并将第一节点N1与第三节点N3导通,以使驱动晶体管M0处于二极管结构。由于第三晶体管M3导通,并且由于CS1=1,第二晶体管M2导通并将稳定状态的数据信号提供给第二节点N2,使第二节点N2的电压为数据信号的电压 V_{data} 。第二节点N2的电压 V_{data} 通过处于二极管结构的驱动晶体管M0对第一节点N1进行充电,直至第一节点N1的电压变为 $V_{data}-|V_{th}|$ 。这样可以在输入数据信号时,使第二节点N2的电压由 V_{com} 跳变为 V_{data} ,使第一节点N1的电压由 $V_{com}-|V_{th}|$ 跳变为 $V_{data}-|V_{th}|$,因此无论高灰阶跳变为中灰阶或是低灰阶跳变为中灰阶,均可以保证抓取的阈值电压 V_{th} 相同,并且还可以节省数据信号对第一节点N1的充电时间,有利于实现高分辨率显示面板中数据信号的写入。并且,设置 $V_{data} \geq V_{com}$,以便第一节点N1写入数据信号。由于CS1=1,因此第一晶体管M1截止。由于Scan1=1,因此第四晶体管M4截止。由于EMIT=1,因此第六晶体管M6与第七晶体管M7均截止,发光器件L不发光。

[0132] 在T4阶段,Scan1=1,CS1=1,Scan2=1,EMIT=0。

[0133] 由于EMIT=0,因此第六晶体管M6与第七晶体管M7均导通,其中,第六晶体管M6导通以将第一电源端PVDD的信号输入第二节点N2,使第二节点N2的电压为第一电源端PVDD信号的电压 V_{dd} ,此时驱动晶体管M0的源栅电压 $V_{sg}=V_{dd}-V_{data}+|V_{th}|$,驱动晶体管M0产生驱动发光器件L发光的工作电流 I_L 满足公式: $I_L=K(V_{sg}-|V_{th}|)^2=K(V_{dd}-V_{data})^2$;第七晶体管M7导通,以使驱动晶体管M0的工作电流 I_L 驱动发光器件L工作发光。由于CS1=1,因此第一晶体管M1截止,第二晶体管M2导通。由于Scan1=1,因此第四晶体管M4截止。由于Scan2=1,因此第三晶体管M3与第五晶体管M5均截止。

[0134] 如图4E所示的像素电路,第一晶体管M1为N型晶体管,第二晶体管M2为P型晶体管,其控制极的信号与实施例二中的第一控制信号端CS1的信号的相位相反,其余晶体管的结构与图4D所示的像素电路的结构相同,图4E所示的像素电路的工作过程可以参照实施例二中像素电路的工作过程,在此不作赘述。

[0135] 实施例三、

[0136] 以图5A所示的像素电路为例,对应的输入时序图如图6C所示。具体地,主要选取如图6C所示的输入时序图中的T1、T2、T3和T4四个阶段。并且图6C中Scan3_1代表图5A所示的

像素电路中第三扫描信号端Scan3的信号。

[0137] 在T1阶段中,由于Scan3_1=0,因此第八晶体管M8导通并将参考电压信号提供给发光器件L的第一端,以对发光器件L进行复位,以避免上一帧发光对本帧发光的影响。在T2-T4阶段中,由于Scan3_1=1,因此第八晶体管M8截止。其余晶体管的工作过程均与实施例一中各晶体管分别在T1-T4阶段中的工作过程基本相同,在此不作赘述。

[0138] 通过实施例三可以看出,第三扫描信号端Scan3的信号Scan3_1的电位与第一扫描信号端Scan1的信号的电位相同,因此,采用第三扫描信号端与第一扫描信号端共用的像素电路的工作过程可以参见实施例三中像素电路的工作过程,在此不作赘述。

[0139] 实施例四、

[0140] 以图5A所示的像素电路为例,对应的输入时序图如图6C所示。具体地,主要选取如图6C所示的输入时序图中的T1、T2、T3和T4四个阶段。并且图6C中Scan3_2代表图5A所示的像素电路中第三扫描信号端Scan3的信号。

[0141] 在T2与T3阶段中,由于Scan3_2=0,因此第八晶体管M8导通并将参考电压信号提供给发光器件L的第一端,以对发光器件L进行复位,以避免上一帧发光对本帧发光的影响。在T1与T4阶段中,由于Scan3_2=1,因此第八晶体管M8截止。其余晶体管的工作过程均与实施例一中各晶体管分别在T1-T4阶段中的工作过程基本相同,在此不作赘述。

[0142] 通过实施例四可以看出,第三扫描信号端Scan3的信号Scan3_2的电位与第二扫描信号端Scan2的信号的电位相同,因此,采用第三扫描信号端与第二扫描信号端共用的像素电路的工作过程可以参见实施例四中像素电路的工作过程,在此不作赘述。

[0143] 实施例五、

[0144] 以图5A所示的像素电路为例,对应的输入时序图如图6C所示。具体地,主要选取如图6C所示的输入时序图中的T1、T2、T3和T4四个阶段。并且图6C中Scan3_3代表图5A所示的像素电路中第三扫描信号端Scan3的信号。

[0145] 在T2阶段中,由于Scan3_3=0,因此第八晶体管M8导通并将参考电压信号提供给发光器件L的第一端,以对发光器件L进行复位,以避免上一帧发光对本帧发光的影响。在T1、T3以及T4阶段中,由于Scan3_3=1,因此第八晶体管M8截止。其余晶体管的工作过程均与实施例一中各晶体管分别在T1-T4阶段中的工作过程基本相同,在此不作赘述。

[0146] 通过实施例五可以看出,第三扫描信号端Scan3的信号Scan3_3的电位与第一控制信号端CS1的信号的电位相同,因此,采用第三扫描信号端与第一控制信号端共用的像素电路的工作过程可以参见实施例五中像素电路的工作过程,在此不作赘述。

[0147] 实施例六、

[0148] 以图5A所示的像素电路为例,对应的输入时序图如图6C所示。具体地,主要选取如图6C所示的输入时序图中的T1、T2、T3和T4四个阶段。并且图6C中Scan3_4代表图5A所示的像素电路中第三扫描信号端Scan3的信号。

[0149] 在T3阶段中,由于Scan3_4=0,因此第八晶体管M8导通并将参考电压信号提供给发光器件L的第一端,以对发光器件L进行复位,以避免上一帧发光对本帧发光的影响。在T1、T2以及T4阶段中,由于Scan3_4=1,因此第八晶体管M8截止。其余晶体管的工作过程均与实施例一中各晶体管分别在T1-T4阶段中的工作过程基本相同,在此不作赘述。

[0150] 通过实施例六可以看出,第三扫描信号端Scan3的信号Scan3_4的电位与第二控制

信号端CS2的信号的电位相同,因此,采用第三扫描信号端与第二控制信号端共用的像素电路的工作过程可以参见实施例六中像素电路的工作过程,在此不作赘述。

[0151] 实施例七、

[0152] 以图5A所示的像素电路为例,对应的输入时序图如图6C所示。具体地,主要选取如图6C所示的输入时序图中的T1、T2、T3和T4四个阶段。并且图6C中Scan3_5代表图5A所示的像素电路中第三扫描信号端Scan3的信号。

[0153] 在T1-T3阶段中,由于Scan3_5=0,因此第八晶体管M8导通并将参考电压信号提供给发光器件L的第一端,以对发光器件L进行复位,以避免上一帧发光对本帧发光的影响。在T4阶段中,由于Scan3_5=1,因此第八晶体管M8截止。其余晶体管的工作过程均与实施例一中各晶体管分别在T1-T4阶段中的工作过程基本相同,在此不作赘述。

[0154] 通过实施例七可以看出,第三扫描信号端Scan3的信号Scan3_5的电位与发光控制信号端EMIT的信号的电位相反,因此,采用第三扫描信号端与发光控制信号端共用的像素电路的工作过程可以参见实施例七中像素电路的工作过程,在此不作赘述。

[0155] 实施例八、

[0156] 以图5D所示的像素电路为例,对应的输入时序图如图6D所示。具体地,主要选取如图6D所示的输入时序图中的T1、T2、T3和T4四个阶段。并且图6D中Scan3_1代表图5D所示的像素电路中第三扫描信号端Scan3的信号。

[0157] 在T1阶段中,由于Scan3_1=0,因此第八晶体管M8导通并将参考电压信号提供给发光器件L的第一端,以对发光器件L进行复位,以避免上一帧发光对本帧发光的影响。在T2-T4阶段中,由于Scan3_1=1,因此第八晶体管M8截止。其余晶体管的工作过程均与实施例二中各晶体管分别在T1-T4阶段中的工作过程基本相同,在此不作赘述。

[0158] 通过实施例八可以看出,第三扫描信号端Scan3的信号Scan3_1的电位与第一扫描信号端Scan1的信号的电位相同,因此,在图5D所示的像素电路的基础上采用第三扫描信号端与第一扫描信号端共用的像素电路(如图5F所示)的工作过程可以参见实施例八中像素电路的工作过程,在此不作赘述。

[0159] 实施例九、

[0160] 以图5D所示的像素电路为例,对应的输入时序图如图6D所示。具体地,主要选取如图6D所示的输入时序图中的T1、T2、T3和T4四个阶段。并且图6D中Scan3_2代表图5D所示的像素电路中第三扫描信号端Scan3的信号。

[0161] 在T2与T3阶段中,由于Scan3_2=0,因此第八晶体管M8导通并将参考电压信号提供给发光器件L的第一端,以对发光器件L进行复位,以避免上一帧发光对本帧发光的影响。在T1与T4阶段中,由于Scan3_2=1,因此第八晶体管M8截止。其余晶体管的工作过程均与实施例二中各晶体管分别在T1-T4阶段中的工作过程基本相同,在此不作赘述。

[0162] 通过实施例九可以看出,第三扫描信号端Scan3的信号Scan3_2的电位与第二扫描信号端Scan2的信号的电位相同,因此,在图5D所示的像素电路的基础上采用第三扫描信号端与第二扫描信号端共用的像素电路(如图5G所示)的工作过程可以参见实施例九中像素电路的工作过程,在此不作赘述。

[0163] 实施例十、

[0164] 以图5D所示的像素电路为例,对应的输入时序图如图6D所示。具体地,主要选取如

图6D所示的输入时序图中的T1、T2、T3和T4四个阶段。并且图6D中Scan3_3代表图5D所示的像素电路中第三扫描信号端Scan3的信号。

[0165] 在T2阶段中,由于Scan3_3=0,因此第八晶体管M8导通并将参考电压信号提供给发光器件L的第一端,以对发光器件L进行复位,以避免上一帧发光对本帧发光的影响。在T1、T3以及T4阶段中,由于Scan3_3=1,因此第八晶体管M8截止。其余晶体管的工作过程均与实施例二中各晶体管分别在T1-T4阶段中的工作过程基本相同,在此不作赘述。

[0166] 通过对图4A至图5I所示的像素电路进行仿真模拟,当第n-1帧为0灰阶,第n帧为255灰阶,第n+1帧为255灰阶时,对第一节点N1和第二节点N2在不同时间段时的电位进行检测,检测结果如下表2所示。

[0167]

灰阶	0	255			255	
帧数	第 n-1 帧	第 n 帧			第 n+1 帧	
阶段	T4 阶段	T2 阶段	T3 阶段	T4 阶段	T2 阶段	T3 阶段
N1	3.44	-0.3	1.03	1.5	-0.3	1.03
N2	4.6	2	3.5	4.6	2	3.5

[0168] 表2

[0169] 由上述表2可以看出,在T3阶段,第n帧时第二节点N2的电压与第n+1帧时第二节点N2的电压相同。具体地,由于在T2阶段时,第二节点N2被公共电压信号复位为2,并将驱动晶体管的阈值电压写入第一节点N1,使第一节点N1的电压为-0.3,因此,在T3阶段中写入数据信号时,由于第二节点N2由2跳变为3.5,第一节点N1由-0.3跳变为1.03,因此不论T1阶段中第二节点N2的电位如何变化,在每帧写入数据信号时,均可以使第二节点N2的电压由2进行跳变,以及使第一节点N1的电压由-0.3进行跳变,从而不会影响写入数据信号时,第n帧中第一节点N1的电位与第n+1帧中第一节点N1节点的电位,保证了第n帧亮度与第n+1帧亮度一致。并且,在T3阶段写入数据信号时,由于第二节点N2是由2跳变到3.5,因此第二节点N2变为数据信号的电压所用的时间也较小,进而也可以降低数据信号写入第一节点N1的时间。

[0170] 并且,通过实施例十可以看出,第三扫描信号端Scan3的信号Scan3_3的电位与第一控制信号端CS1的信号的电压相同,因此,在图5D所示的像素电路的基础上采用第三扫描信号端与第一控制信号端共用的像素电路(如图5H所示)的工作过程可以参见实施例十中像素电路的工作过程,在此不作赘述。

[0171] 实施例十一、

[0172] 以图5D所示的像素电路为例,对应的输入时序图如图6D所示。具体地,主要选取如图6D所示的输入时序图中的T1、T2、T3和T4四个阶段。并且图6D中Scan3_4代表图5D所示的像素电路中第三扫描信号端Scan3的信号。

[0173] 在T3阶段中,由于Scan3_4=0,因此第八晶体管M8导通并将参考电压信号提供给发光器件L的第一端,以对发光器件L进行复位,以避免上一帧发光对本帧发光的影响。在T1、T2以及T4阶段中,由于Scan3_4=1,因此第八晶体管M8截止。其余晶体管的工作过程均与实施例二中各晶体管分别在T1-T4阶段中的工作过程基本相同,在此不作赘述。

[0174] 通过实施例十一可以看出,第三扫描信号端Scan3的信号Scan3_4的电位与第二控制信号端CS2的信号的电位相同,因此,在第一控制信号端与第二控制信号端的像素电路的基础上采用第三扫描信号端与第二控制信号端共用的像素电路的工作过程可以参见实施例十一中像素电路的工作过程,在此不作赘述。

[0175] 实施例十二、

[0176] 以图5D所示的像素电路为例,对应的输入时序图如图6D所示。具体地,主要选取如图6D所示的输入时序图中的T1、T2、T3和T4四个阶段。并且图6D中Scan3_5代表图5D所示的像素电路中第三扫描信号端Scan3的信号。

[0177] 在T1-T3阶段中,由于Scan3_5=0,因此第八晶体管M8导通并将参考电压信号提供给发光器件L的第一端,以对发光器件L进行复位,以避免上一帧发光对本帧发光的影响。在T4阶段中,由于Scan3_5=1,因此第八晶体管M8截止。其余晶体管的工作过程均与实施例二中各晶体管分别在T1-T4阶段中的工作过程基本相同,在此不作赘述。

[0178] 通过实施例十二可以看出,第三扫描信号端Scan3的信号Scan3_5的电位与发光控制信号端EMIT的信号的电位相反,因此,在图5D所示的像素电路的基础上采用第三扫描信号端与发光控制信号端共用的像素电路(如图5I所示)的工作过程可以参见实施例十二中像素电路的工作过程,在此不作赘述。

[0179] 基于同一发明构思,本发明实施例还提供了一种本发明实施例提供的上述任一种像素电路的驱动方法,如图7所示,包括:初始化阶段、公共电压写入阶段、数据电压写入阶段以及发光阶段;

[0180] S701、在初始化阶段,向第一扫描信号端提供第一电位信号,向第二扫描信号端、第一控制信号端、第二控制信号端以及发光控制信号端提供第二电位信号;

[0181] S702、在公共电压写入阶段,向第二扫描信号端与第一控制信号端提供第一电位信号,向第一扫描信号端、第二控制信号端以及发光控制信号端提供第二电位信号;

[0182] S703、在数据电压写入阶段,向第二扫描信号端与第二控制信号端提供第一电位信号,向第一扫描信号端、第一控制信号端以及发光控制信号端提供第二电位信号;

[0183] S704、在发光阶段,向发光控制信号端提供第一电位信号,向第一扫描信号端、第二扫描信号端、第一控制信号端以及第二控制信号端提供第二电位信号。

[0184] 在具体实施时,在本发明实施例提供的驱动方法中,第一电位信号为低电位信号,第二电位信号为高电位信号;或者,第一电位信号为高电位信号,第二电位信号为低电位信号。

[0185] 在具体实施时,在本发明实施例提供的驱动方法中,公共电压写入阶段与数据电压写入阶段这两个阶段所用的时长可以为扫描一行像素所用的时长。

[0186] 在具体实施时,在本发明实施例提供的驱动方法中,像素电路还包括阳极复位模块,制备方法还包括:仅在初始化阶段,向第三扫描信号端提供第一电位信号。具体地,在初始化阶段向第三扫描信号端提供第一电位信号,在公共电压写入阶段至发光阶段向第三扫描信号端提供第二电位信号。

[0187] 或者,像素电路还包括阳极复位模块,制备方法还包括:仅在公共电压写入阶段、向第三扫描信号端提供第一电位信号。具体地,在公共电压写入阶段向第三扫描信号端提供第一电位信号,在初始化阶段、数据电压写入阶段以及第四节点向第三扫描信号端提供

第二电位信号。

[0188] 或者,像素电路还包括阳极复位模块,制备方法还包括:仅在数据电压写入阶段、向第三扫描信号端提供第一电位信号。具体地,在数据电压写入阶段向第三扫描信号端提供第一电位信号,在初始化阶段、公共电压写入阶段以及发光阶段向第三扫描信号端提供第二电位信号。

[0189] 或者,像素电路还包括阳极复位模块,制备方法还包括:仅在公共电压写入阶段与数据电压写入阶段、向第三扫描信号端提供第一电位信号。具体地,在公共电压写入阶段与数据电压写入阶段向第三扫描信号端提供第一电位信号,在初始化阶段与发光阶段向第三扫描信号端提供第二电位信号。

[0190] 或者,像素电路还包括阳极复位模块,制备方法还包括:仅在初始化阶段至数据电压写入阶段、向第三扫描信号端提供第一电位信号。具体地,在初始化阶段至数据电压写入阶段向第三扫描信号端提供第一电位信号,在发光阶段向第三扫描信号端提供第二电位信号。

[0191] 基于同一发明构思,本发明实施例还提供了一种有机发光显示面板,如图8所示,包括本发明实施例提供的上述任一种像素电路10。该有机发光显示面板解决问题的原理与前述像素电路相似,因此该有机发光显示面板的实施可以参见前述像素电路的实施,重复之处在此不再赘述。

[0192] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述有机发光显示面板。该显示装置可以为手机、平板电脑、电视机、显示器、笔记本电脑、头戴式视频播放器、头戴式家庭影院、头戴式虚拟现实模拟器、头戴式游戏机、飞行员头盔系统、单兵作战系统、红外夜视仪、头戴医用诊断系统等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。该显示装置的实施可以参见上述像素电路的实施例,重复之处不再赘述。

[0193] 在具体实施时,在本发明实施例提供的显示装置为手机时,如图9所示,该手机可以为全面屏的手机。该全面屏的手机中的显示区域的四个角采用弧形设置,以使显示区域面积更大,提高显示效果。并且图9仅是示意出手机的显示区域的设置,在实际应用中,手机中还具有前置摄像头、听筒等部件,这些为本领域技术人员可以理解具有的,在此不作赘述。当然,该手机也可以为具有其它形状显示屏的手机,例如该手机中的显示区域的四个角采用直角设置,在此不作限定。

[0194] 本发明实施例提供的像素电路、其驱动方法、有机发光显示面板及显示装置,在将数据信号写入驱动晶体管的控制极之前,先向驱动晶体管的第一极输入统一的公共电压信号,并将该公共电压信号与驱动晶体管的阈值电压写入驱动晶体管的控制极,可以保证在驱动晶体管的控制极每次写入数据信号时,使驱动晶体管的控制极与第一极分别通过统一的电位进行跳变,避免驱动晶体管的控制极与第一极之间的寄生电容造成的差异,从而可以避免电压跳变引起的阈值电压抓取不一致的问题,因此可以保证在高低灰阶切换后第一帧的亮度一致。并且,在驱动晶体管的控制极每次写入数据信号之前,使驱动晶体管的控制极进行阈值电压的抓取工作,从而在每次写入数据信号时,可以降低数据信号的写入时间。而且在将公共电压信号写入驱动晶体管的控制极的过程中,可以使驱动晶体管流过较大的

电流,从而可以恢复驱动晶体管因偏压应力引起的阈值电压偏移,改善驱动晶体管的迟滞效应,避免残影现象出现。

[0195] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

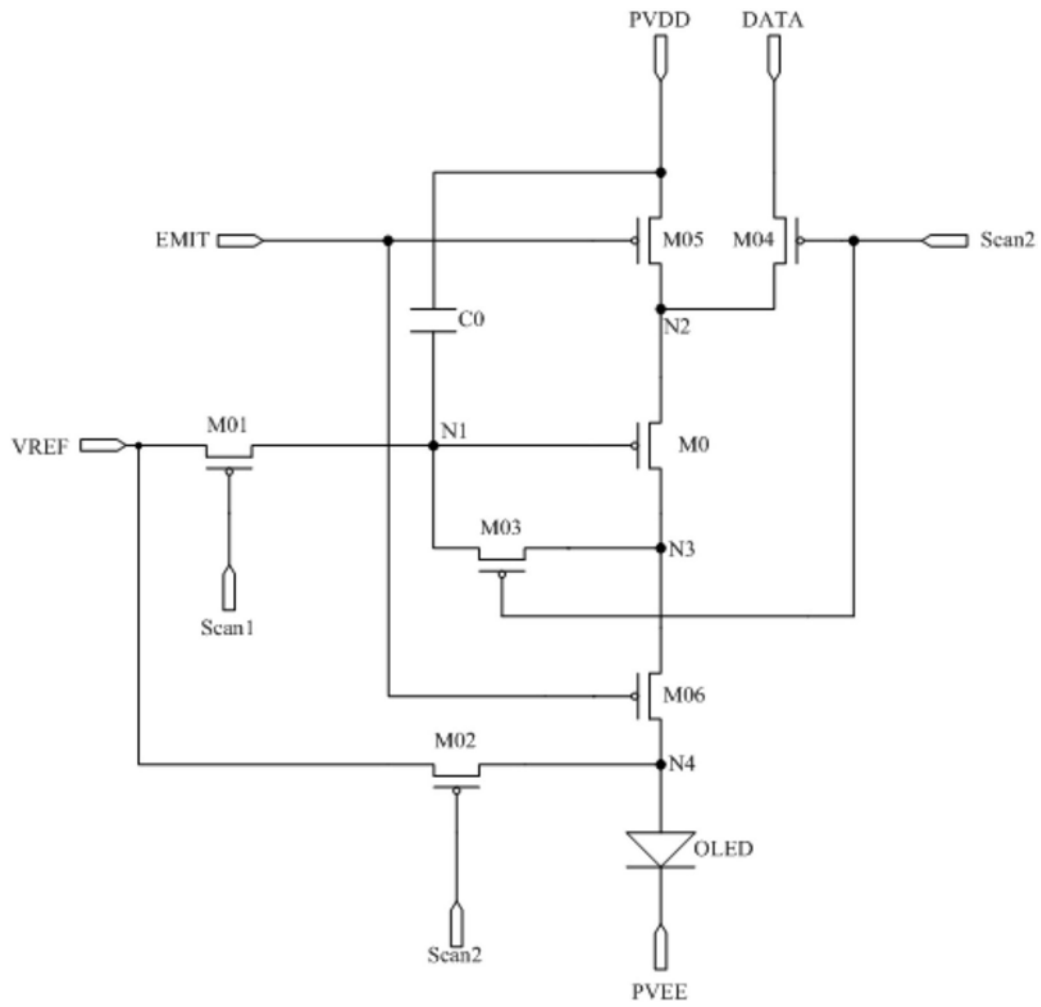


图1

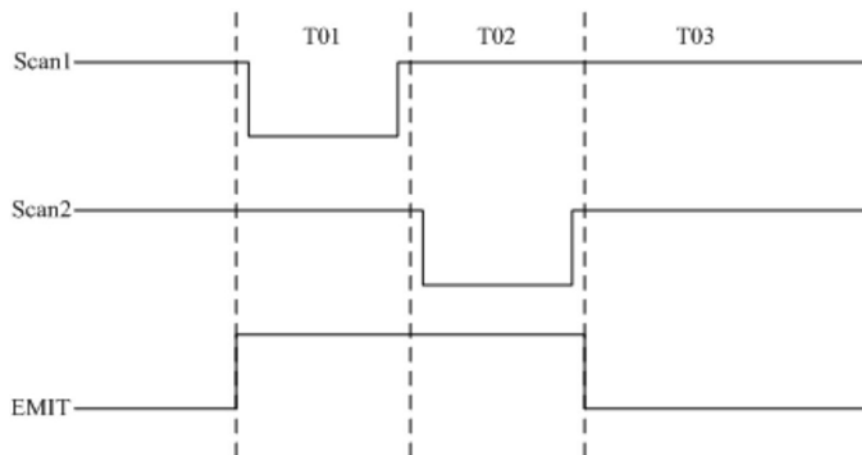


图2

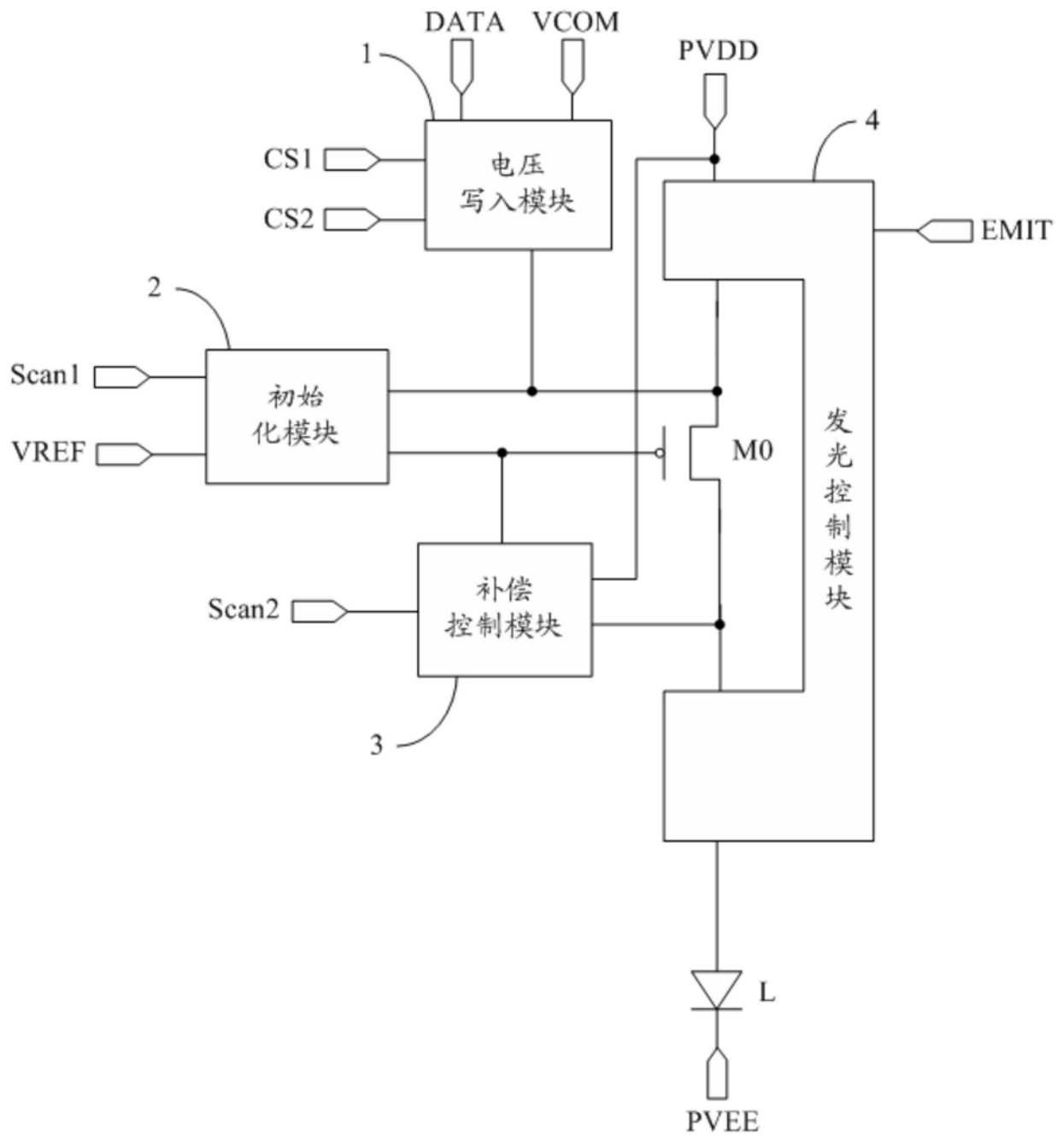


图3A

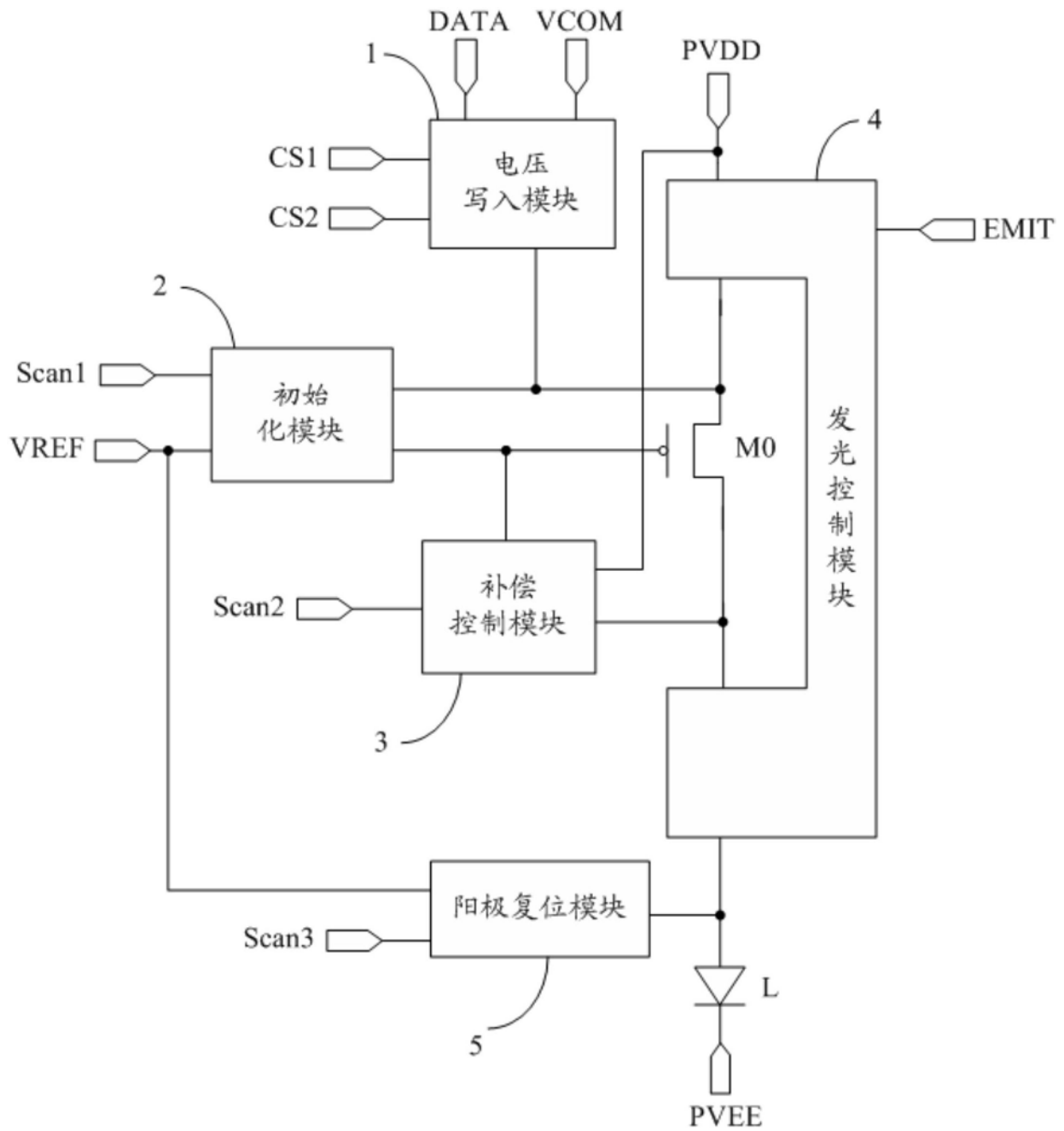


图3B

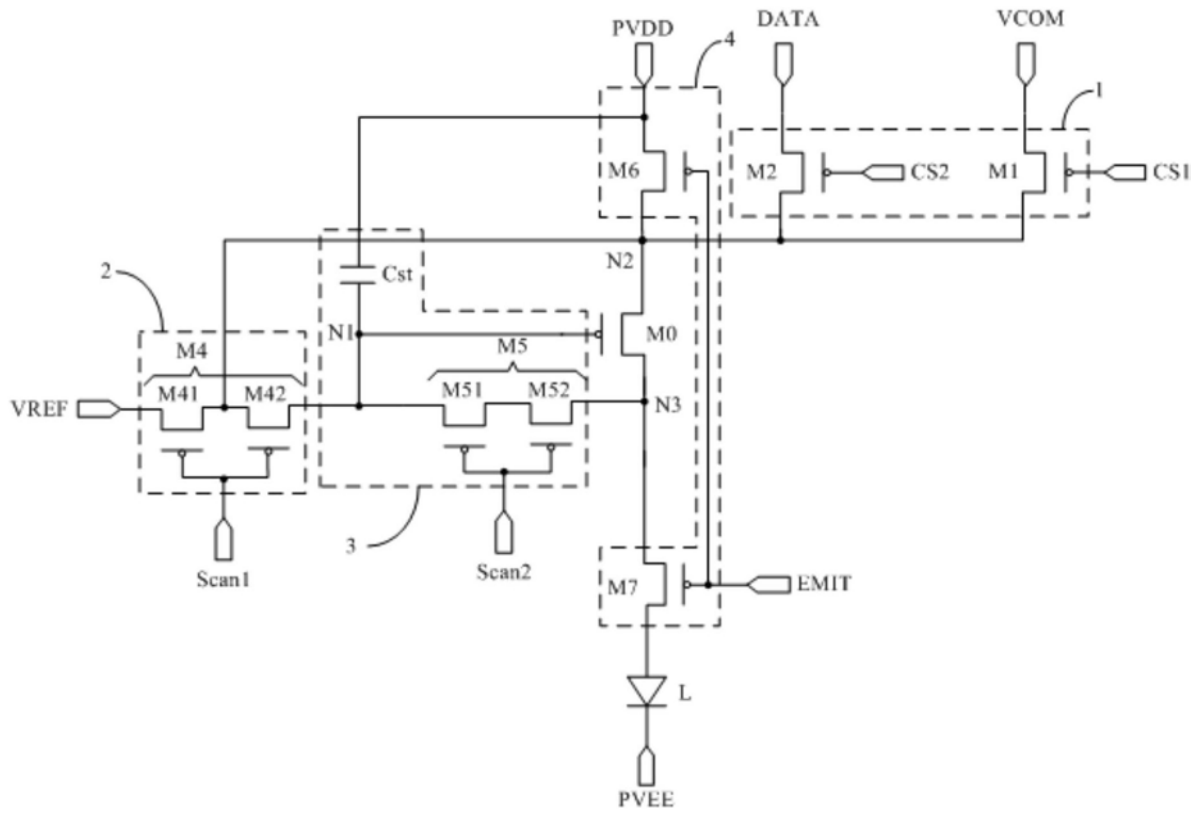


图4A

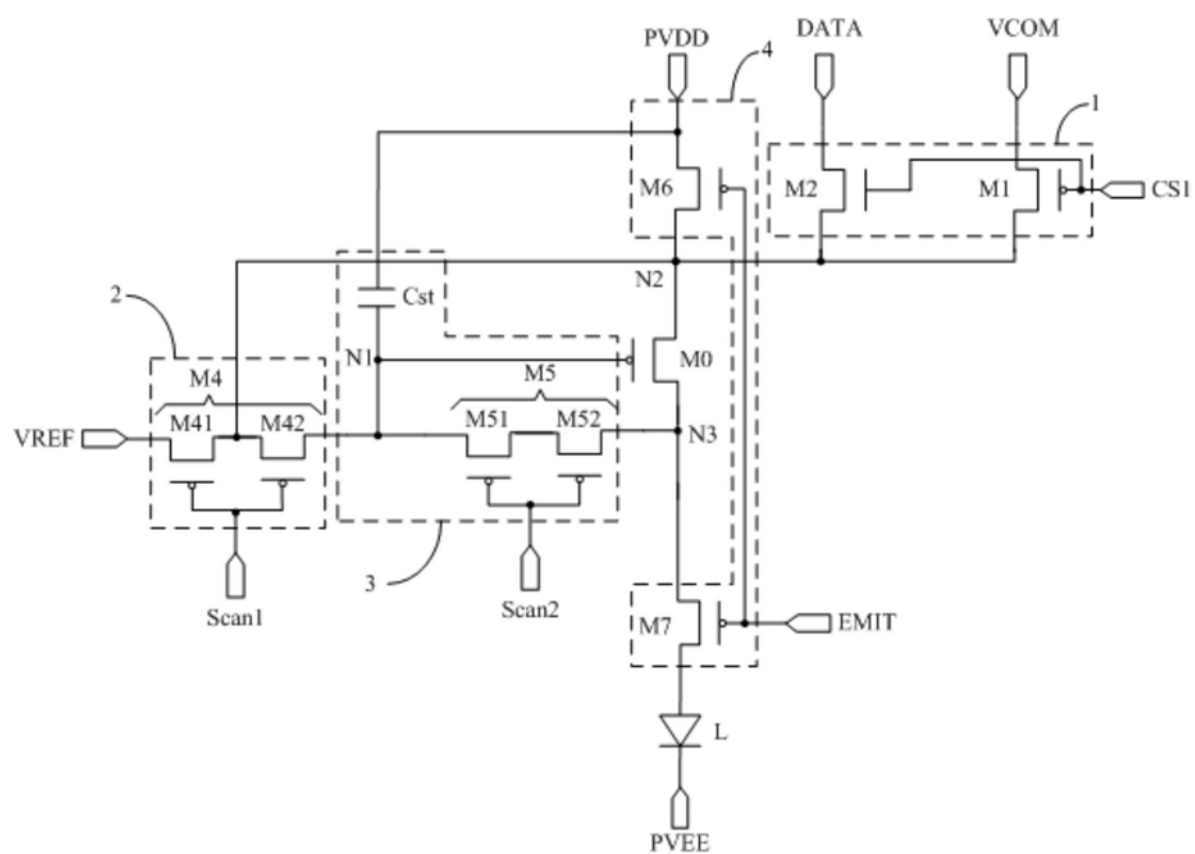


图4B

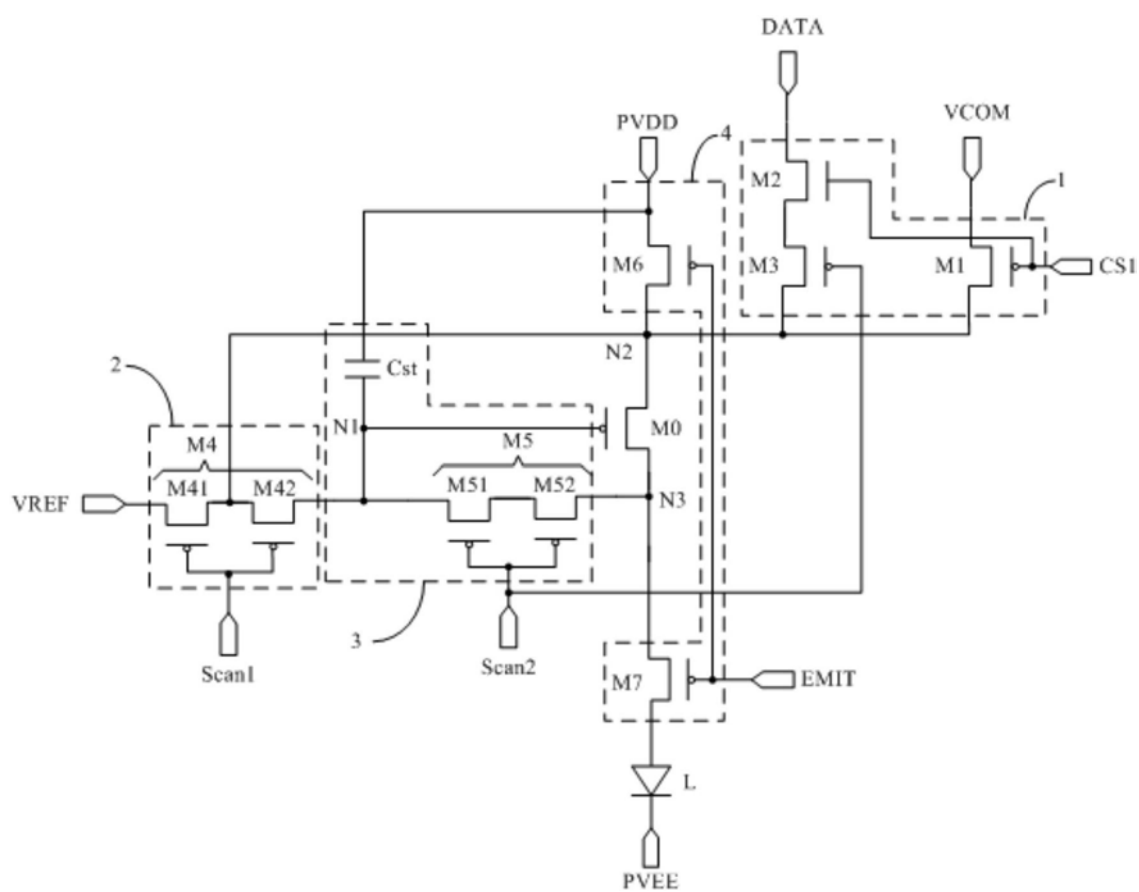


图4D

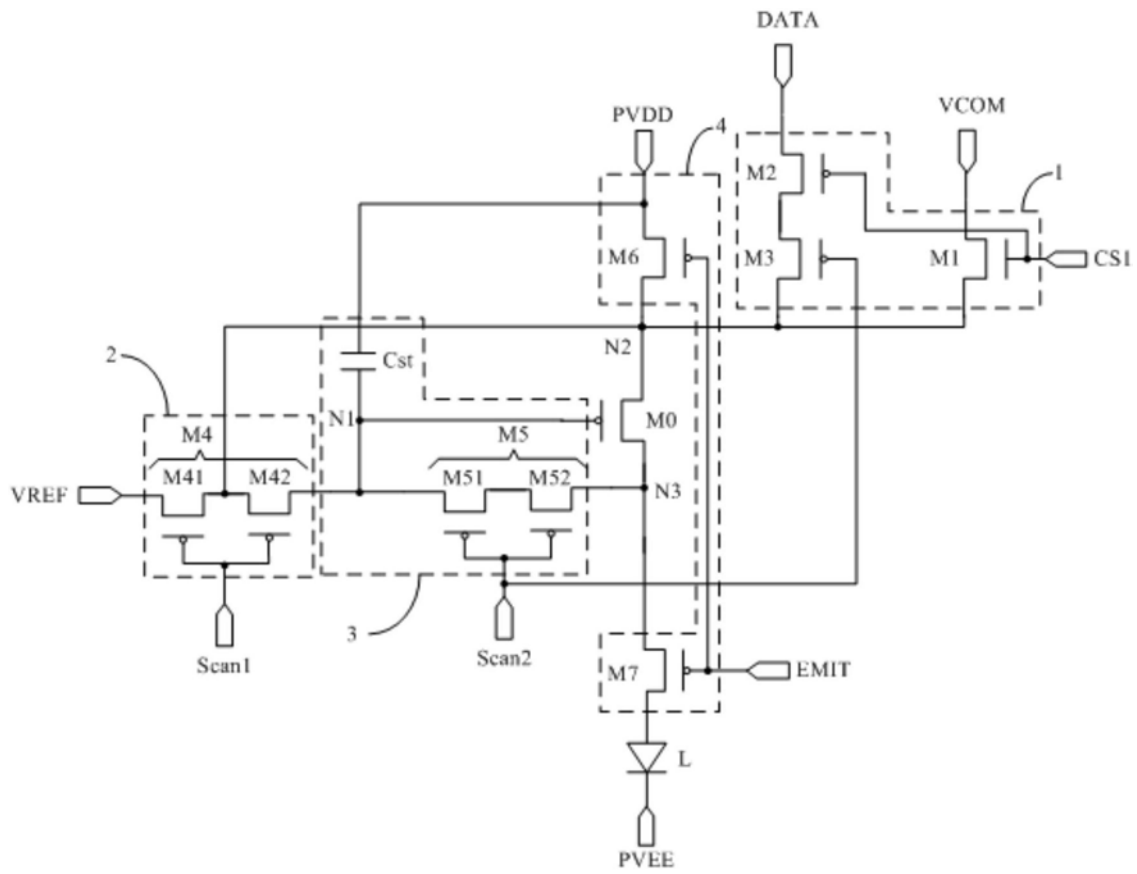


图4E

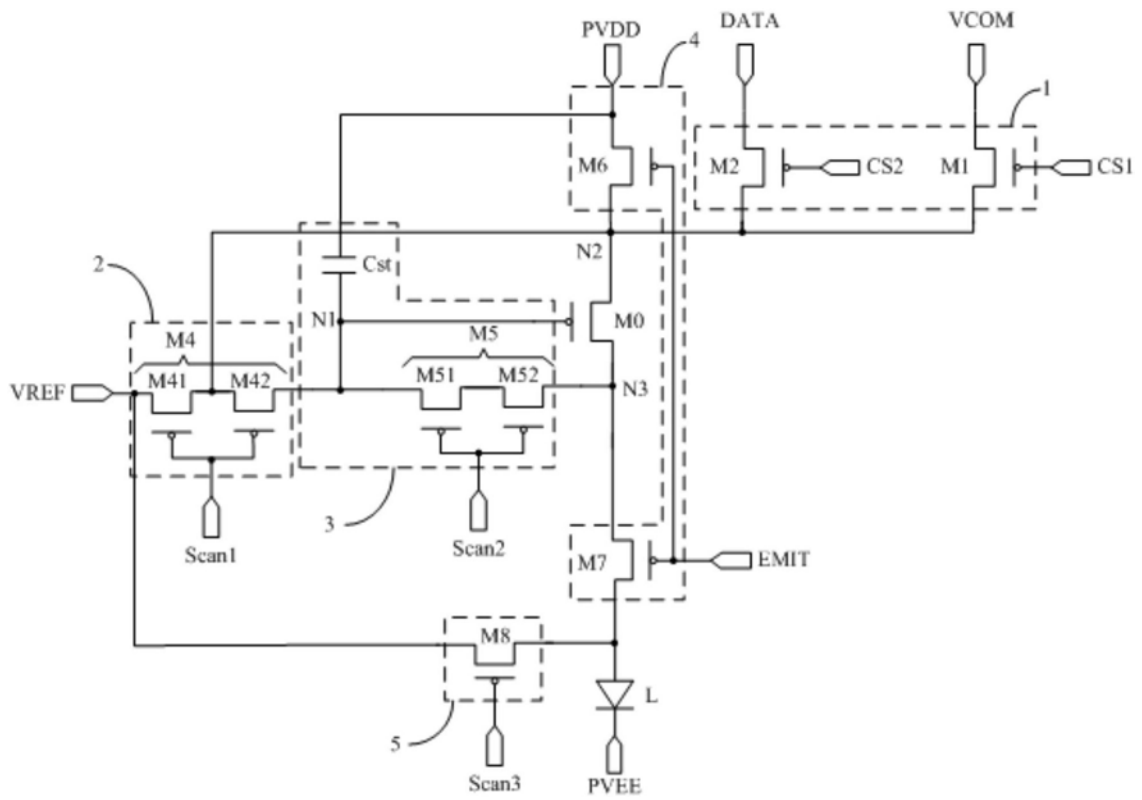


图5A

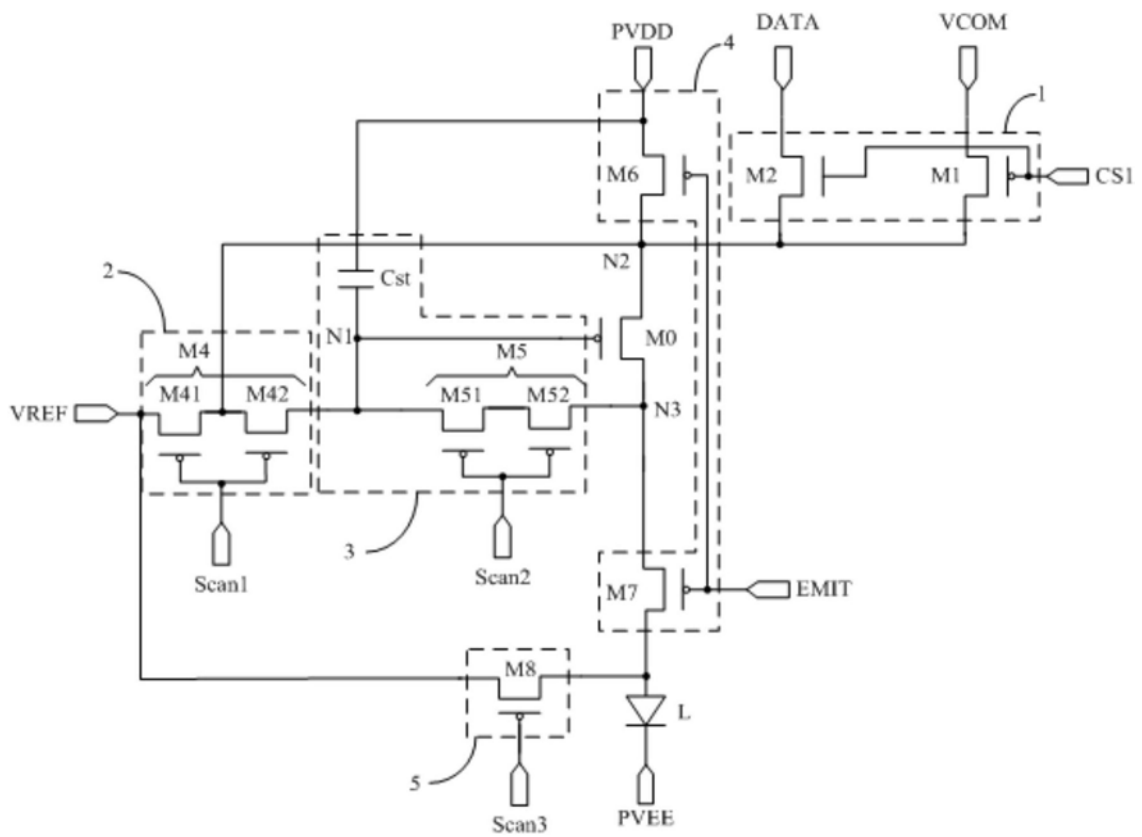


图5B

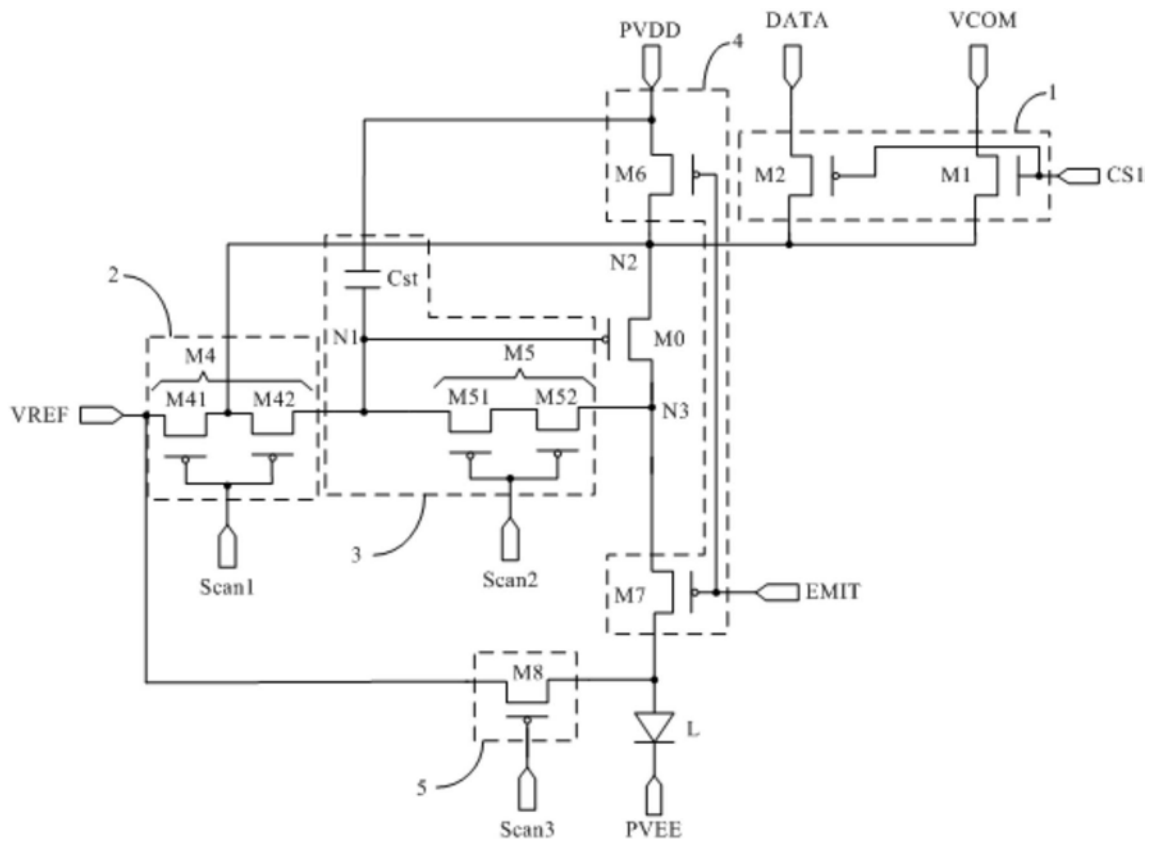


图5C

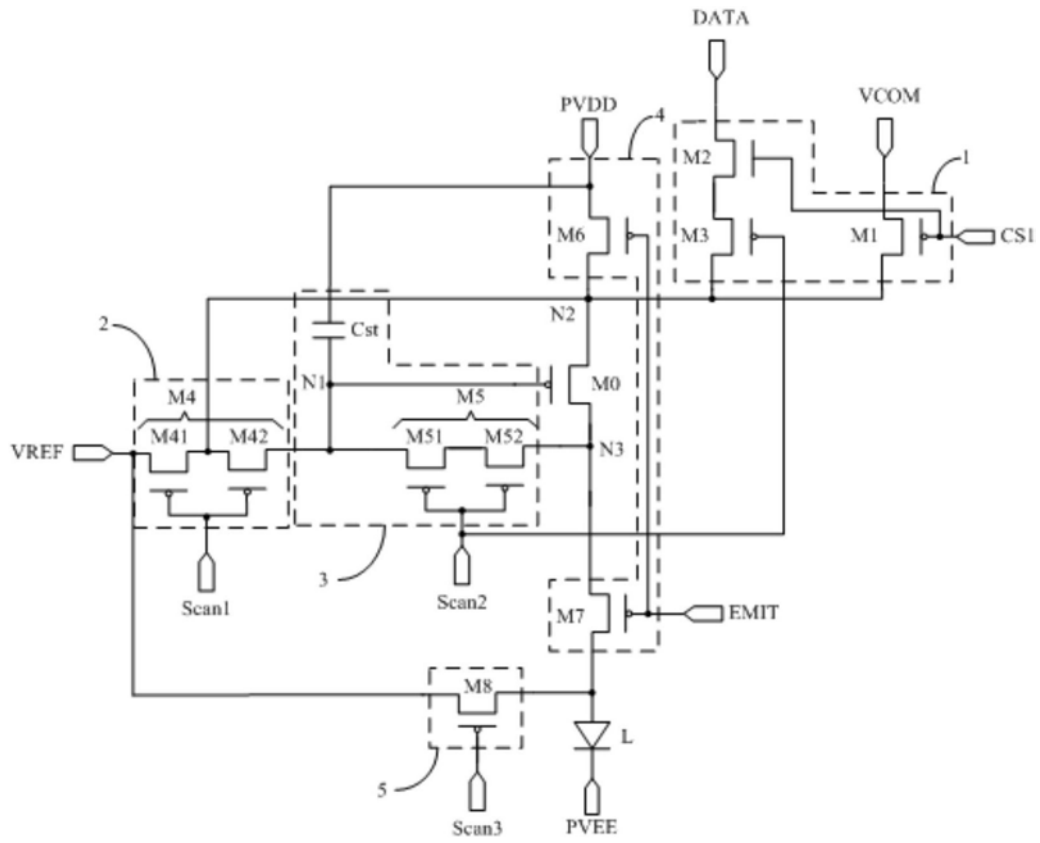


图5D

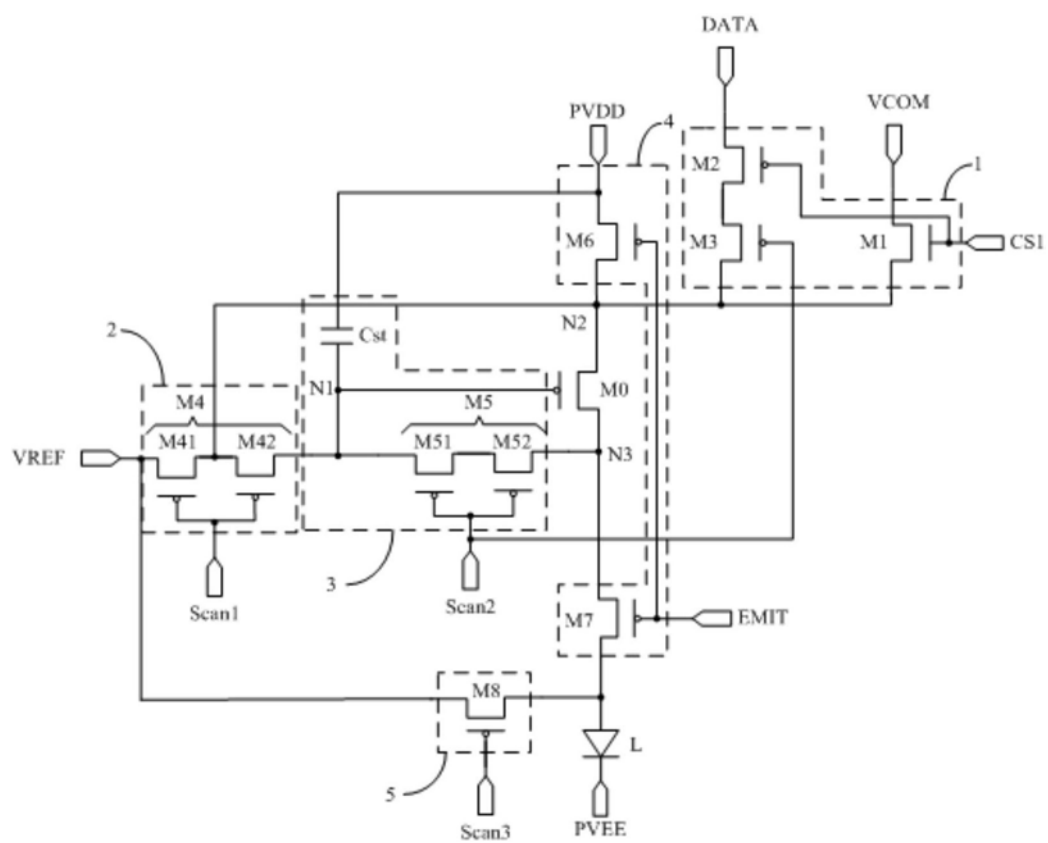


图5E

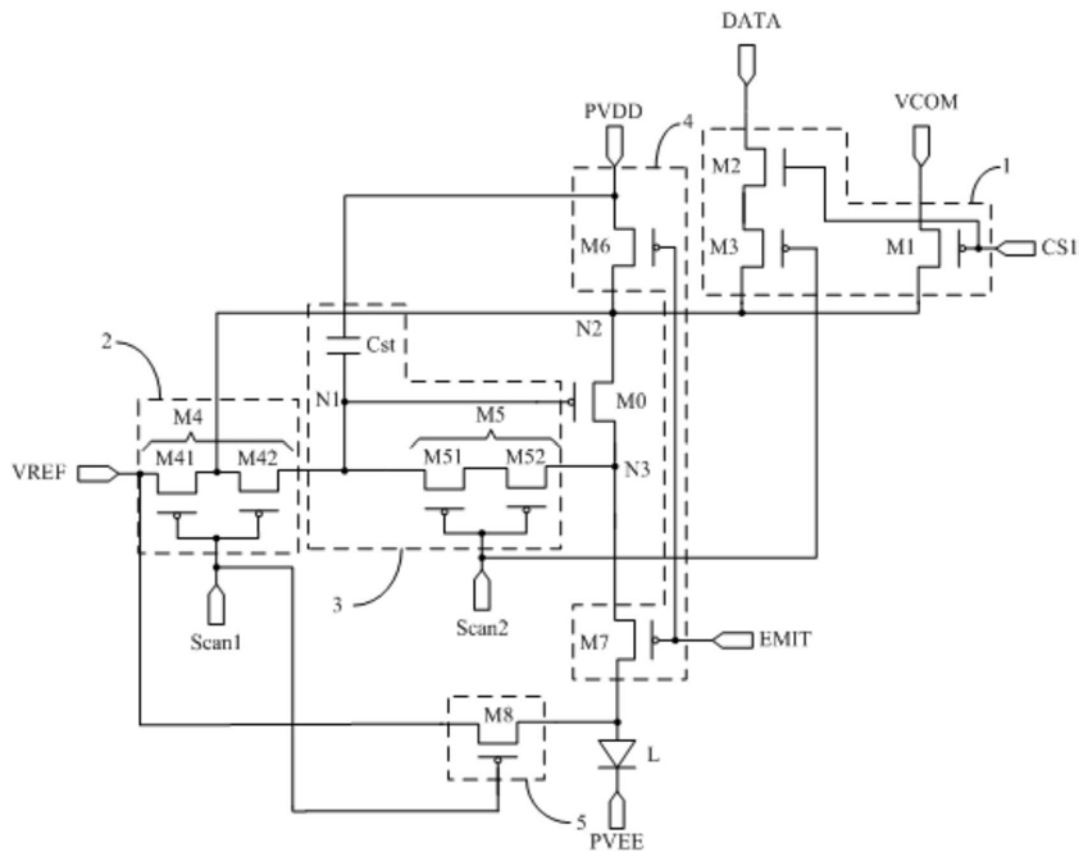


图5F

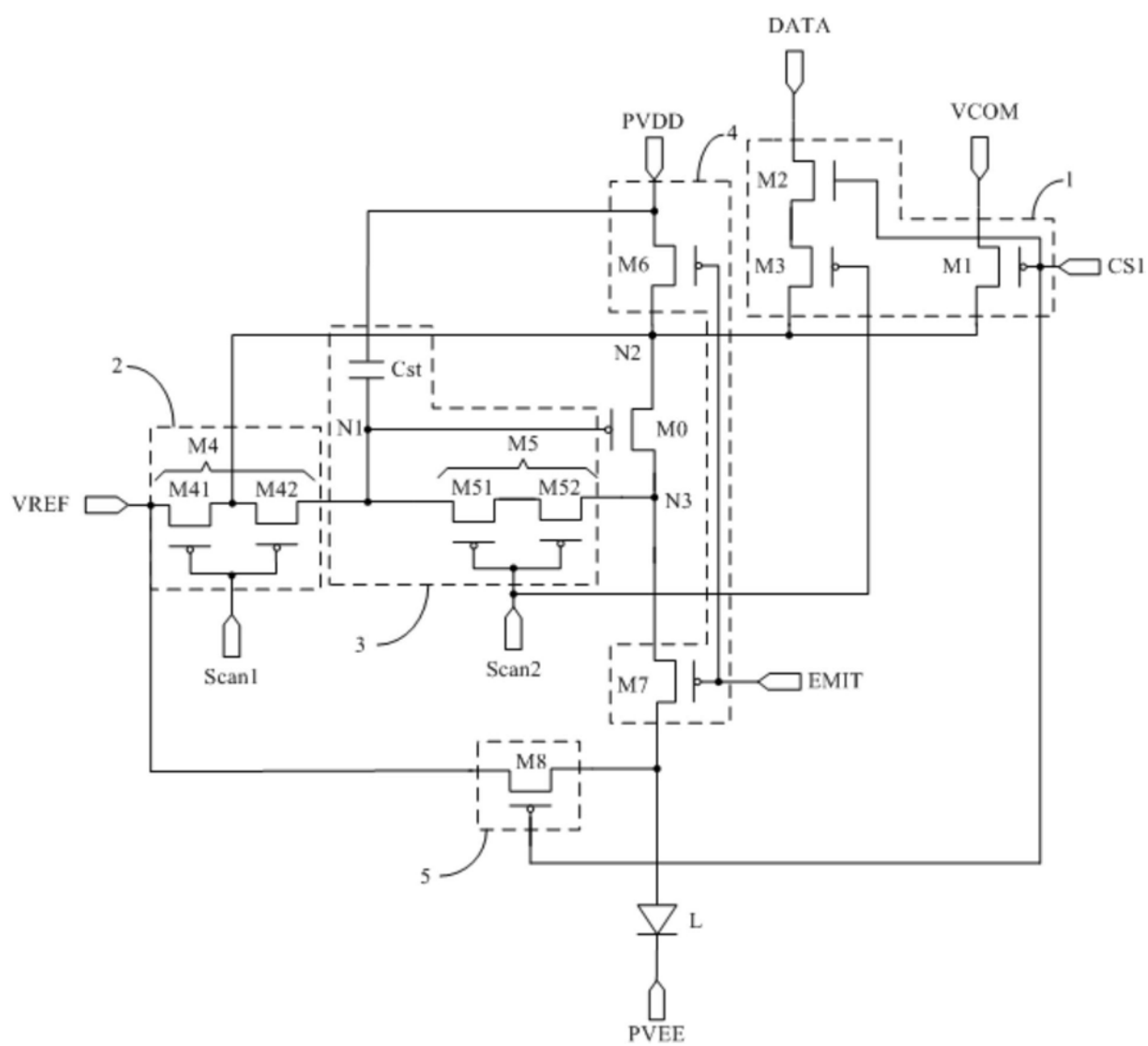


图5H

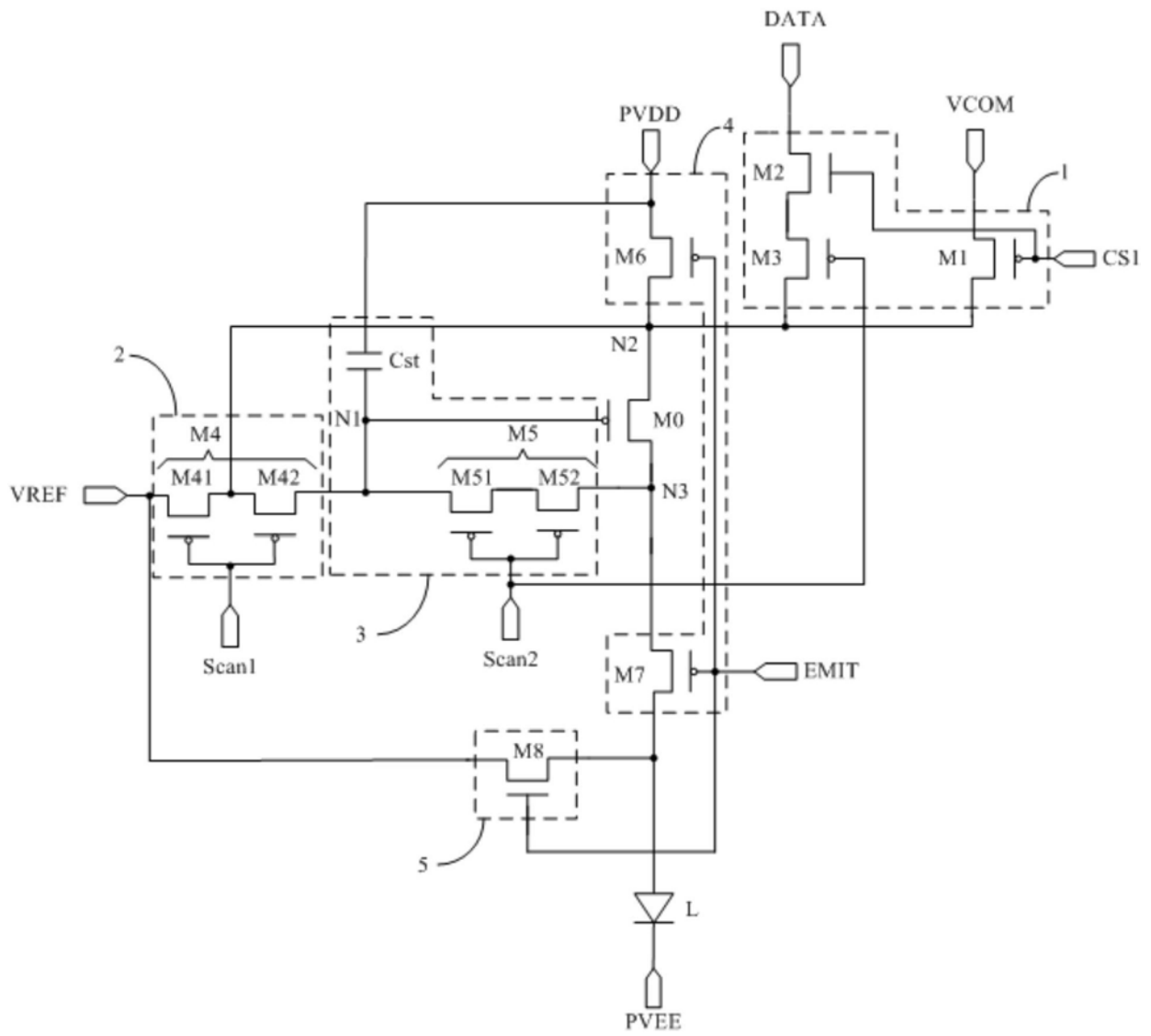


图5I

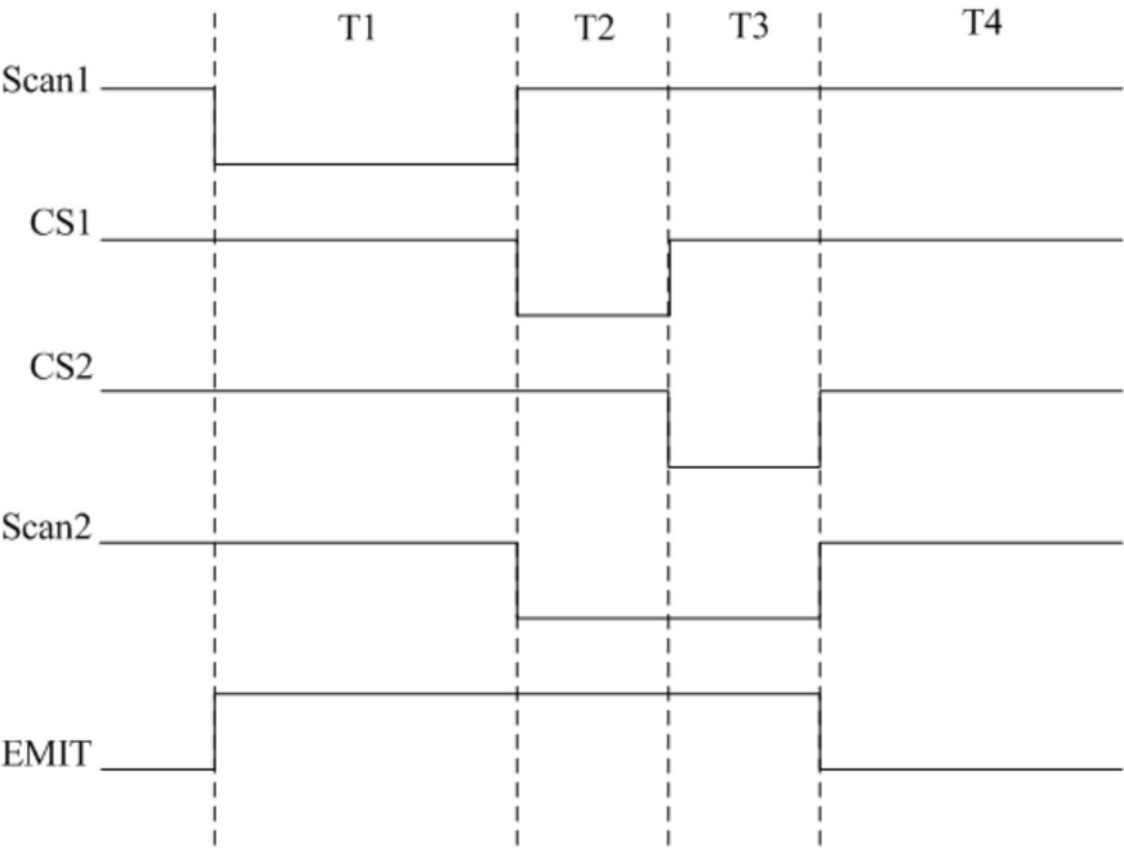


图6A

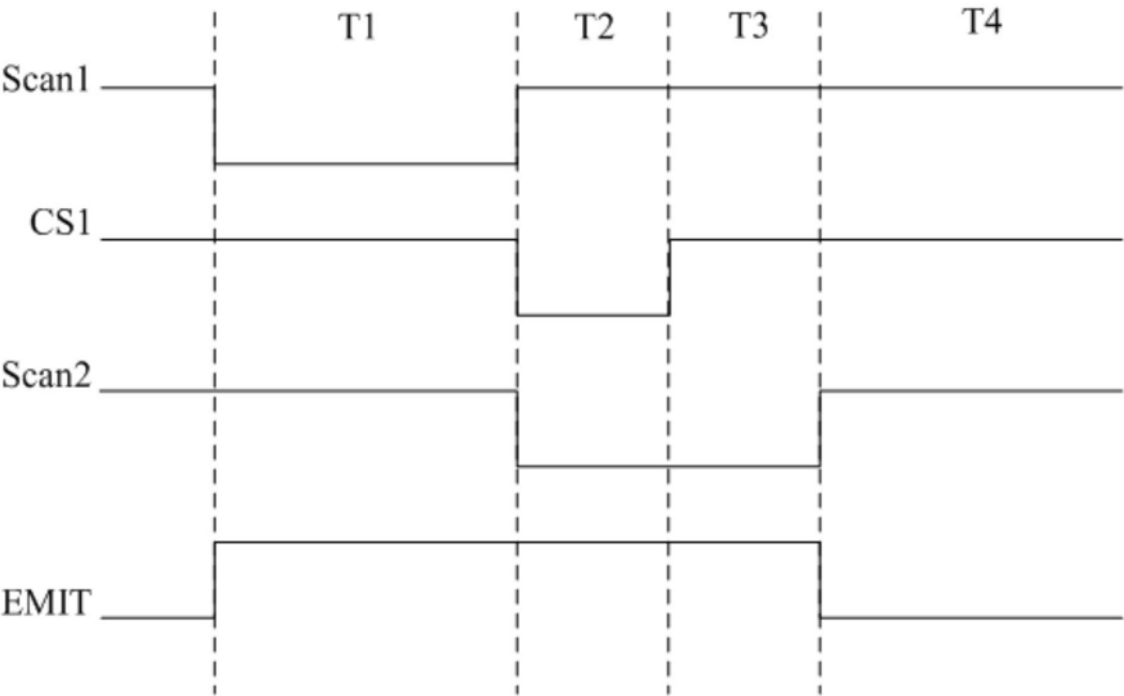


图6B

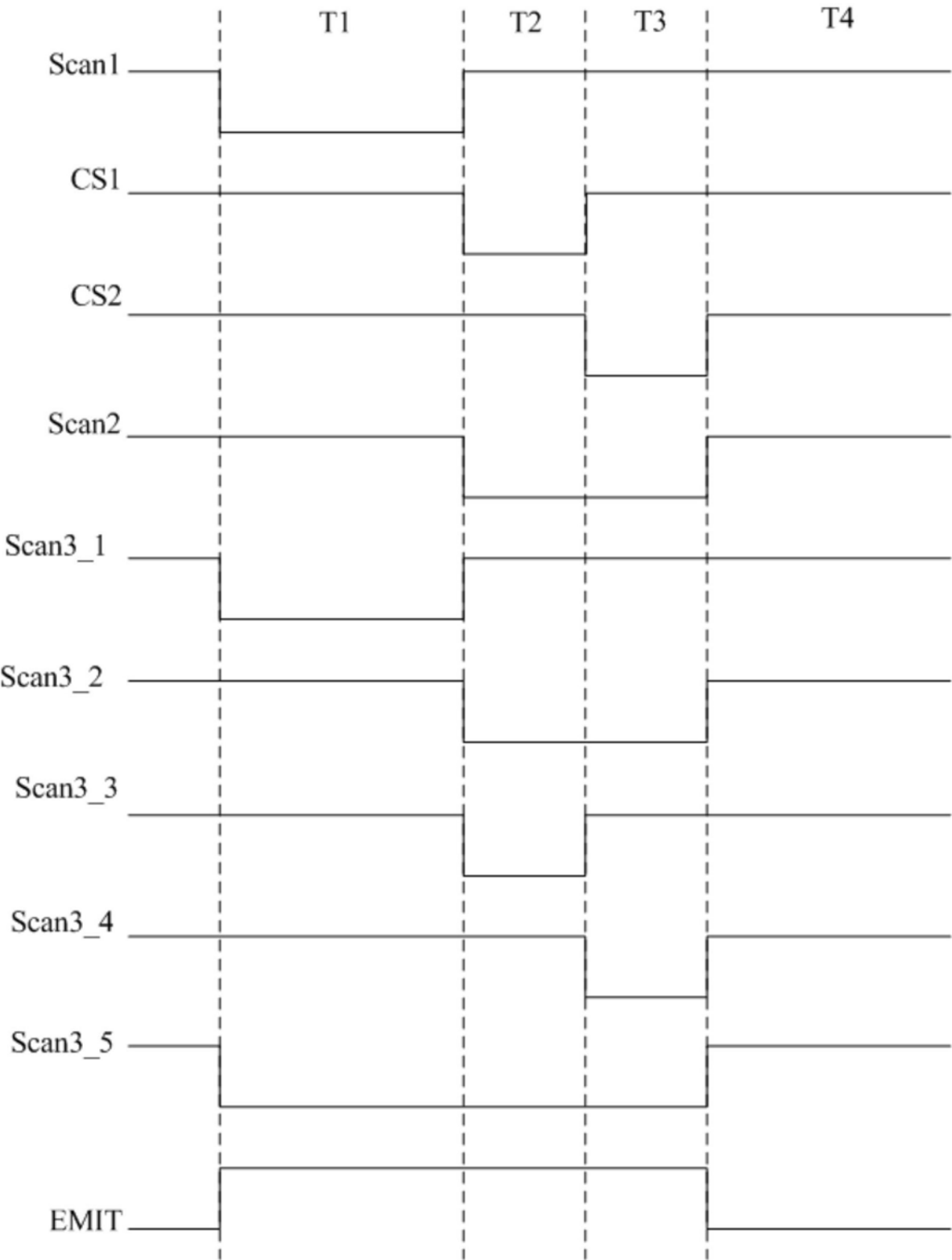


图6C

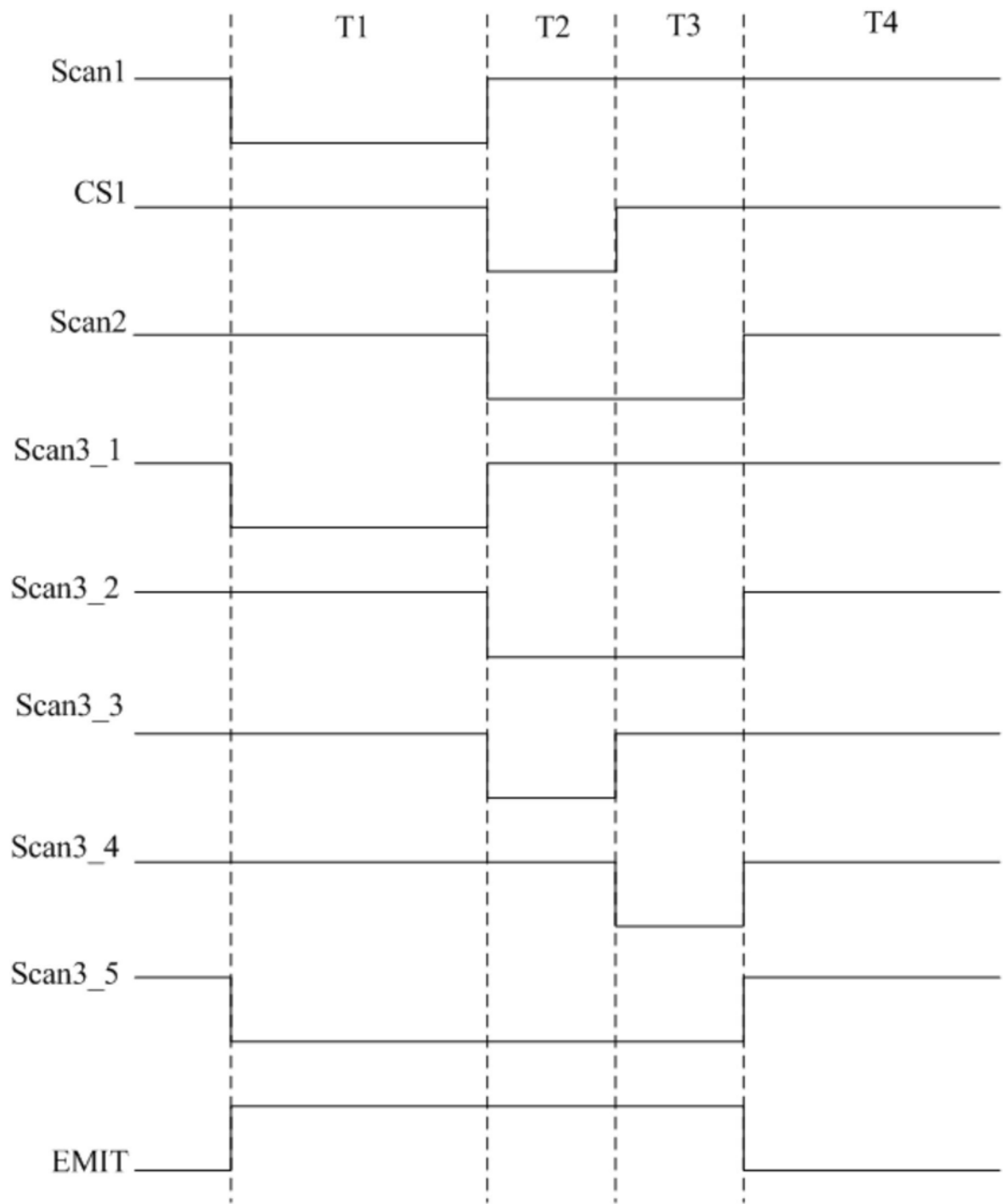


图6D

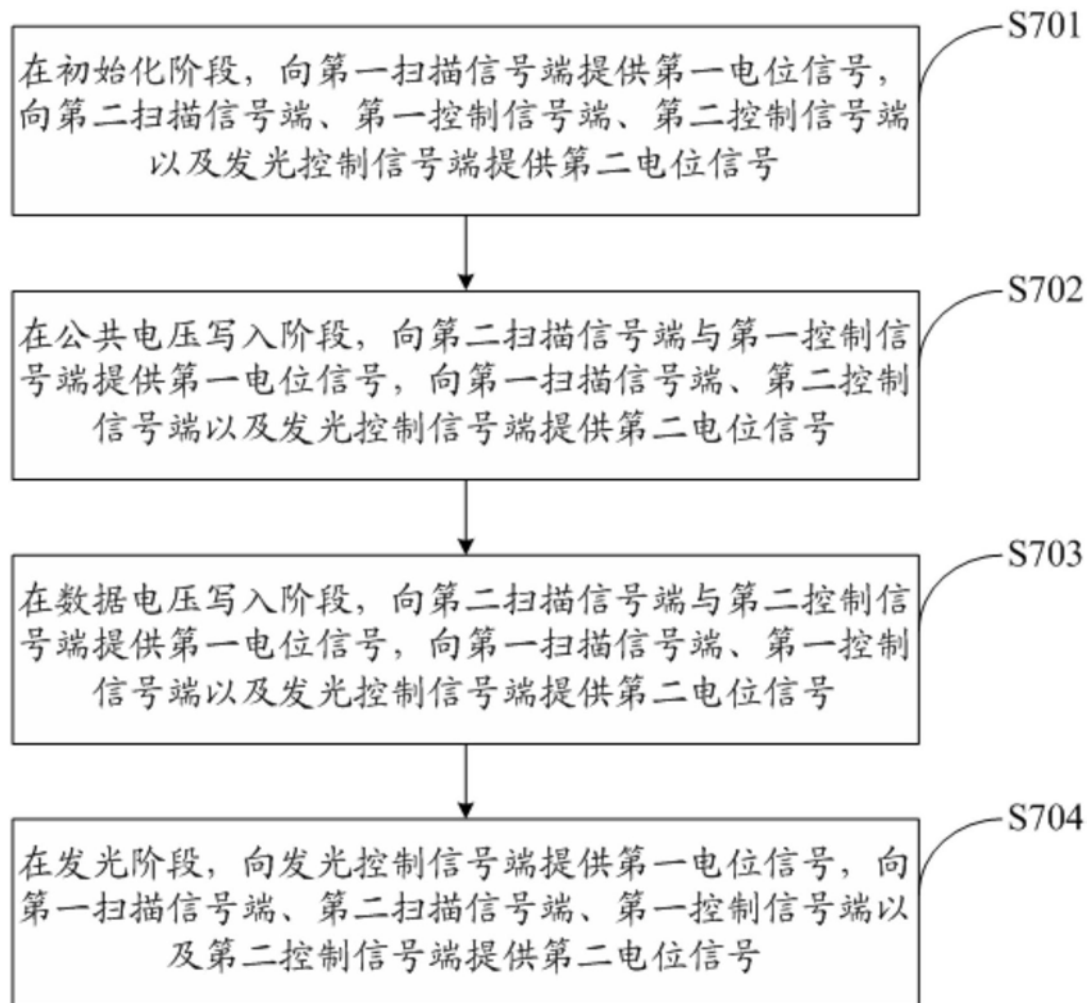


图7

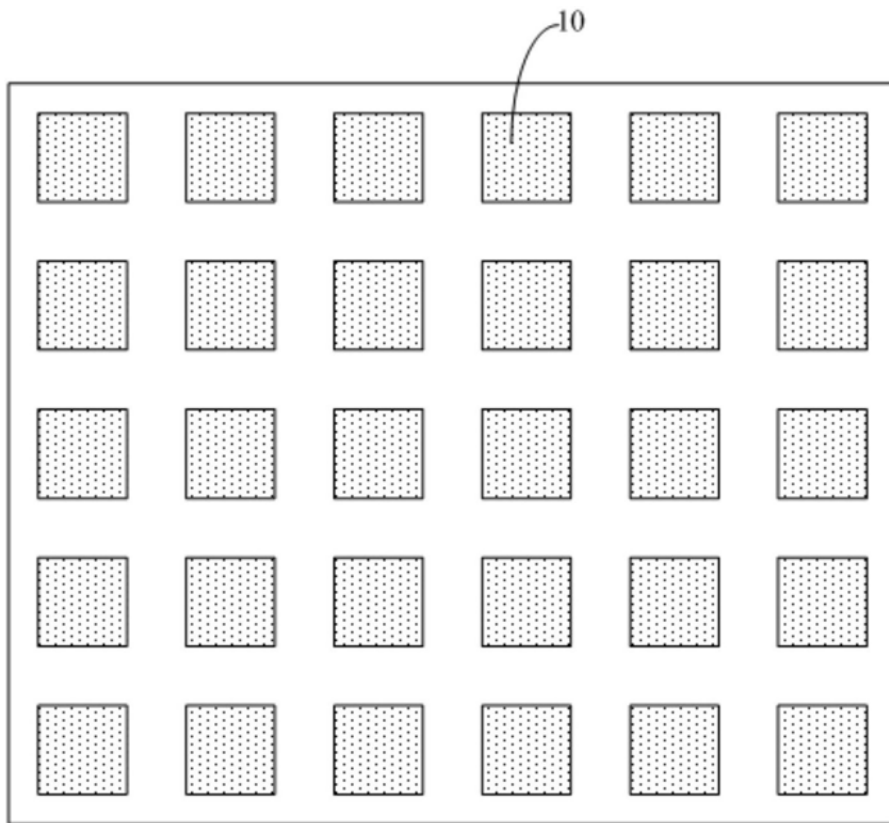


图8

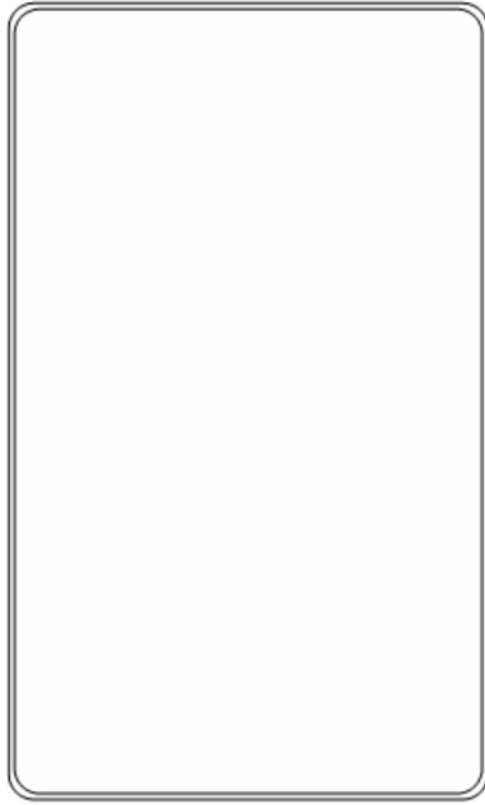


图9

专利名称(译)	像素电路、其驱动方法、有机发光显示面板及显示装置		
公开(公告)号	CN107452339A	公开(公告)日	2017-12-08
申请号	CN201710644125.1	申请日	2017-07-31
[标]申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
当前申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
[标]发明人	李玥 朱仁远 向东旭 高娅娜 陈泽源 蔡中兰		
发明人	李玥 朱仁远 向东旭 高娅娜 陈泽源 蔡中兰		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225 G09G2320/0257 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/0214 G09G3/3258 H01L27/3244 H01L51/5203		
代理人(译)	黄志华		
其他公开文献	CN107452339B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路、其驱动方法、有机发光显示面板及显示装置，在将数据信号写入驱动晶体管的控制极之前，向驱动晶体管的第一极输入统一的公共电压信号，将公共电压信号与驱动晶体管的阈值电压写入驱动晶体管的控制极，可以使驱动晶体管流过较大的电流，恢复驱动晶体管因偏压应力引起的阈值电压偏移，改善驱动晶体管的迟滞效应，避免残影现象出现，还保证在驱动晶体管的控制极每次写入数据信号时，降低数据信号的写入时间，以及使驱动晶体管的控制极与第一极分别通过统一的电位进行跳变，避免驱动晶体管的控制极与第一极之间的寄生电容造成的差异，避免电压跳变引起的阈值电压抓取不一致的问题，保证在高低灰阶切换后第一帧的亮度一致。

