



(12)发明专利申请

(10)申请公布号 CN 107393478 A

(43)申请公布日 2017. 11. 24

(21)申请号 201710737280.8

(22)申请日 2017.08.24

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 何健 许神贤

(74)专利代理机构 深圳市德力知识产权代理事务所 44265

代理人 林才桂 刘巍

(51)Int.Cl.

G09G 3/3233(2016.01)

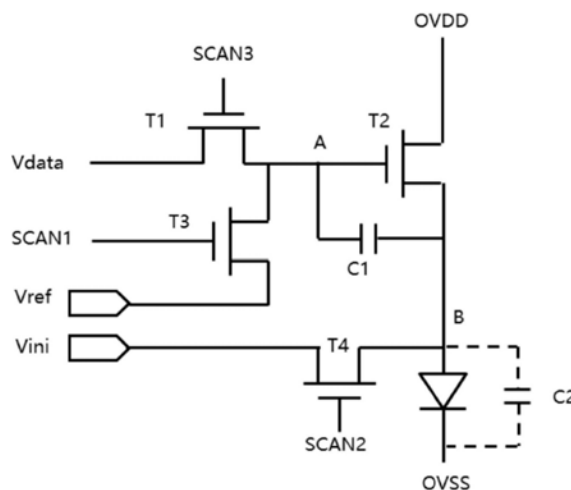
权利要求书2页 说明书4页 附图2页

(54)发明名称

像素内部补偿电路及驱动方法

(57)摘要

本发明涉及一种像素内部补偿电路及驱动方法。该像素内部补偿电路包括：第一薄膜晶体管(T1)栅极连接第三控制信号(SCAN3)，源极和漏极连接数据电压(Vdata)和第一节点(A)；第二薄膜晶体管(T2)栅极连接第一节点(A)，源极和漏极连接第二节点(B)和电源高电位(OVDD)；第三薄膜晶体管(T3)栅极连接第一控制信号(SCAN1)，源极和漏极连接第一节点(A)和参考电位(Vref)；第四薄膜晶体管(T4)栅极连接第二控制信号(SCAN2)，源极和漏极连接第二节点(B)和初始电位(Vini)；电容(C1)连接第一节点(A)和第二节点(B)；OLED连接第二节点(B)和电源低电位(OVSS)。本发明还提供了相应的驱动方法。本发明能够通过并行驱动方式有效增加阈值电压补偿的侦测时间，提升补偿效果。



1. 一种像素内部补偿电路,其特征在于,包括:

第一薄膜晶体管(T1),其栅极连接第三控制信号(SCAN3),源极和漏极分别连接数据电压(Vdata)和第一节点(A);

第二薄膜晶体管(T2),其栅极连接第一节点(A),源极和漏极分别连接第二节点(B)和电源高电位(OVDD);

第三薄膜晶体管(T3),其栅极连接第一控制信号(SCAN1),源极和漏极分别连接第一节点(A)和参考电位(Vref);

第四薄膜晶体管(T4),其栅极连接第二控制信号(SCAN2),源极和漏极分别连接第二节点(B)和初始电位(Vini);

电容(C1),其两端分别连接第一节点(A)和第二节点(B);

OLED,其阳极连接第二节点(B),阴极连接电源低电位(OVSS);

该初始电位(Vini) < OLED的开启电压,参考电位(Vref) - 初始电位(Vini) > 第二薄膜晶体管(T2)的阈值电压。

2. 如权利要求1所述的像素内部补偿电路,其特征在于,所述第一控制信号(SCAN1),第二控制信号(SCAN2),以及第三控制信号(SCAN3)的时序配置为包括重置阶段,侦测阶段,数据写入阶段,以及发光阶段。

3. 如权利要求2所述的像素内部补偿电路,其特征在于,在重置阶段,所述第一控制信号(SCAN1)为高电平,第二控制信号(SCAN2)为高电平,第三控制信号(SCAN3)为低电平。

4. 如权利要求2所述的像素内部补偿电路,其特征在于,在侦测阶段,所述第一控制信号(SCAN1)为高电平,第二控制信号(SCAN2)为低电平,第三控制信号(SCAN3)为低电平。

5. 如权利要求2所述的像素内部补偿电路,其特征在于,在数据写入阶段,所述第一控制信号(SCAN1)为低电平,第二控制信号(SCAN2)为低电平,第三控制信号(SCAN3)为高电平。

6. 如权利要求2所述的像素内部补偿电路,其特征在于,在发光阶段,所述第一控制信号(SCAN1)为低电平,第二控制信号(SCAN2)为低电平,第三控制信号(SCAN3)为低电平。

7. 如权利要求2所述的像素内部补偿电路,其特征在于,分别配置当前行像素与相邻行像素的第一控制信号(SCAN1),第二控制信号(SCAN2),以及第三控制信号(SCAN3)的时序,使当前行像素的数据写入阶段与相邻行像素的数据写入阶段相互错开。

8. 一种如权利要求1所述的像素内部补偿电路的驱动方法,其特征在于,包括:所述第一控制信号(SCAN1),第二控制信号(SCAN2),以及第三控制信号(SCAN3)的时序配置为包括重置阶段,侦测阶段,数据写入阶段,以及发光阶段。

9. 如权利要求8所述的像素内部补偿电路的驱动方法,其特征在于,在重置阶段,所述第一控制信号(SCAN1)为高电平,第二控制信号(SCAN2)为高电平,第三控制信号(SCAN3)为低电平;在侦测阶段,所述第一控制信号(SCAN1)为高电平,第二控制信号(SCAN2)为低电平,第三控制信号(SCAN3)为低电平;在数据写入阶段,所述第一控制信号(SCAN1)为低电平,第二控制信号(SCAN2)为低电平,第三控制信号(SCAN3)为高电平;在发光阶段,所述第一控制信号(SCAN1)为低电平,第二控制信号(SCAN2)为低电平,第三控制信号(SCAN3)为低电平。

10. 如权利要求8所述的像素内部补偿电路的驱动方法,其特征在于,分别配置当前行

像素与相邻行像素的第一控制信号 (SCAN1), 第二控制信号 (SCAN2), 以及第三控制信号 (SCAN3) 的时序, 使当前行像素的数据写入阶段与相邻行像素的数据写入阶段相互错开。

像素内部补偿电路及驱动方法

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素内部补偿电路及驱动方法。

背景技术

[0002] OLED显示装置按照驱动方式可以分为无源矩阵型OLED (Passive Matrix OLED, PMOLED) 和有源矩阵型OLED (Active Matrix OLED, AMOLED) 两大类。其中,AMOLED具有呈阵列式排布的像素,属于主动显示类型,发光效能高,通常用作高清晰度的大尺寸显示装置。AMOLED是电流驱动器件,亮度由流过OLED自身的电流决定,大部分已有芯片(IC)都只传输电压信号,故AMOLED像素驱动电路要完成将电压信号转变为电流信号的任务。

[0003] 有源矩阵发光二极管(简称AMOLED)是通过驱动TFT控制流过发光二极管的电流实现显示效果,驱动TFT在使用过程中由于受到光照、源漏极电压应力等因素影响,导致其阈值电压的产生偏移,进而影响流过发光二极管的电流,导致面板的显示不均。

[0004] 参见图1,其为现有像素4T1C内部补偿电路结构示意图,图2为其驱动时序示意图,4T1C指电路主要包括四个薄膜晶体管T1~T4和一个电容C1。图1所示电路中,T2为驱动TFT,其阈值电压可以表示为 V_{th_T2} ,0VDD为电源高电位,0VSS为电源低电位,SCAN1和SCAN2为控制相应TFT开关的控制信号,Vdata为数据电压,Vini为初始点位,Vref为参考电位。面板厂商常常通过内部补偿的方式对TFT阈值电压偏移进行补偿恢复,参照图2所示时序图,整个内部补偿过程可以包括重置(Reset)、侦测(Sensing)、数据写入(Data writing)、发光(Emission)四个阶段。重置阶段T3,T4开启,将A点和B点电压放电到Vini;侦测阶段T1开启,A点电压维持在参考电位Vref,受到0VDD充电影响,B点电压逐渐充电到 $V_{ref} - V_{th_T2}$,但小于OLED的开启电压,此时OLED本身的等效电容C2保持B点电压;数据写入阶段T1继续开启,数据电压Vdata写入A点;发光阶段T2开启,OLED开始发光。

[0005] 随着面板解析度不断提升,单行的扫描时间 T_{SCAN} 变得越来越短,由于数据线(Data line)的电位需要在参考电位Vref和数据电压Vdata之间切换,因此上下两行相邻像素的内部补偿过程无法重叠进行,因此 $T_{SENSE} < T_{SCAN}$,其中 T_{SENSE} 为侦测时间。阈值电压 V_{th} 的侦测过程需要满足足够长时间,否则B点无法充电完全,直接导致最终补偿失败。因此该内部补偿方式并不适用高解析度面板。

发明内容

[0006] 因此,本发明的目的在于提供一种改进的像素内部补偿电路,适合于提升阈值电压补偿的侦测时间。

[0007] 本发明的另一目的在于提供一种改进的像素内部补偿电路的驱动方法,适合于提升阈值电压补偿的侦测时间。

[0008] 为实现上述目的,本发明提供了一种像素内部补偿电路,包括:

[0009] 第一薄膜晶体管,其栅极连接第三控制信号,源极和漏极分别连接数据电压和第一节点;

- [0010] 第二薄膜晶体管,其栅极连接第一节点,源极和漏极分别连接第二节点和电源高电位;
- [0011] 第三薄膜晶体管,其栅极连接第一控制信号,源极和漏极分别连接第一节点和参考电位;
- [0012] 第四薄膜晶体管,其栅极连接第二控制信号,源极和漏极分别连接第二节点和初始电位;
- [0013] 电容,其两端分别连接第一节点和第二节点;
- [0014] OLED,其阳极连接第二节点,阴极连接电源低电位;
- [0015] 该初始电位<OLED的开启电压,参考电位-初始电位>第二薄膜晶体管的阈值电压。
- [0016] 其中,所述第一控制信号,第二控制信号,以及第三控制信号的时序配置为包括重置阶段,侦测阶段,数据写入阶段,以及发光阶段。
- [0017] 其中,在重置阶段,所述第一控制信号为高电平,第二控制信号为高电平,第三控制信号为低电平。
- [0018] 其中,在侦测阶段,所述第一控制信号为高电平,第二控制信号为低电平,第三控制信号为低电平。
- [0019] 其中,在数据写入阶段,所述第一控制信号为低电平,第二控制信号为低电平,第三控制信号为高电平。
- [0020] 其中,在发光阶段,所述第一控制信号为低电平,第二控制信号为低电平,第三控制信号为低电平。
- [0021] 其中,分别配置当前行像素与相邻行像素的第一控制信号,第二控制信号,以及第三控制信号的时序,使当前行像素的数据写入阶段与相邻行像素的数据写入阶段相互错开。
- [0022] 本发明还提供了一种如上所述的像素内部补偿电路的驱动方法,包括:所述第一控制信号,第二控制信号,以及第三控制信号的时序配置为包括重置阶段,侦测阶段,数据写入阶段,以及发光阶段。
- [0023] 其中,在重置阶段,所述第一控制信号为高电平,第二控制信号为高电平,第三控制信号为低电平;在侦测阶段,所述第一控制信号为高电平,第二控制信号为低电平,第三控制信号为低电平;在数据写入阶段,所述第一控制信号为低电平,第二控制信号为低电平,第三控制信号为高电平;在发光阶段,所述第一控制信号为低电平,第二控制信号为低电平,第三控制信号为低电平。
- [0024] 其中,分别配置当前行像素与相邻行像素的第一控制信号,第二控制信号,以及第三控制信号的时序,使当前行像素的数据写入阶段与相邻行像素的数据写入阶段相互错开。
- [0025] 综上,本发明的像素内部补偿电路及驱动方法改善现有阈值电压补偿时间受限于解析度的问题,能够通过并行驱动方式有效增加阈值电压补偿的侦测时间,提升补偿效果。

附图说明

- [0026] 下面结合附图,通过对本发明的具体实施方式详细描述,将使本发明的技术方案

及其他有益效果显而易见。

[0027] 附图中，

[0028] 图1为现有像素4T1C内部补偿电路结构示意图；

[0029] 图2为图1的驱动时序示意图；

[0030] 图3为本发明像素内部补偿电路一较佳实施例的电路示意图；

[0031] 图4为本发明像素内部补偿电路一较佳实施例的并行驱动时序示意图。

具体实施方式

[0032] 参见图3，其为本发明像素内部补偿电路一较佳实施例的电路示意图，该较佳实施例为4T1C电路，包括薄膜晶体管T1~T4，以及电容C1，三个控制信号分别是SCAN1、SCAN2和SCAN3，对应控制T3、T4和T1三个薄膜晶体管，T2为该电路中的驱动TFT。其中T1连接节点A和数据线(data line)以输入数据电压Vdata，T3连接节点A和参考电压Vref，T4连接节点B和初始电压Vini。在本发明中，数据线仅提供Vdata，不需要如现有技术中在Vdata和Vref之间切换。

[0033] 本发明的像素内部补偿电路主要包括：T1，栅极连接控制信号SCAN3，源极和漏极分别连接数据电压Vdata和节点A；T2，栅极连接节点A，源极和漏极分别连接节点B和电源高电位OVDD；T3，栅极连接控制信号SCAN1，源极和漏极分别连接节点A和参考电位Vref；T4，栅极连接控制信号SCAN2，源极和漏极分别连接节点B和初始电位Vini；电容C1，两端分别连接节点A和节点B；OLED，阳极连接节点B，阴极连接电源低电位OVSS；其中，初始电位Vini < OLED的开启电压，参考电位Vref - 初始电位Vini > T2的阈值电压Vth_T2。

[0034] 现结合图4来进一步说明本发明的像素内部补偿电路。对于每一行像素来说，无论是第N行或第N+1行像素，整个驱动过程都包括重置(Reset)、侦测(Sensing)、数据写入(Data writing)、发光(Emission)四个阶段，分别用(1)、(2)、(3)、(4)表示。

[0035] (1) 重置阶段：SCAN1和SCAN2为高电平，即T3和T4打开，SCAN3为低电平，T1关闭。节点A电压(VA)被放电到Vref电压，节点B电压(VB)被放电到Vini电压，其中Vini低于OLED发光电压阈值Vth_OLED，以确保重置阶段OLED不发光。Vref满足Vref - Vini > Vth_T2，以使T2打开，其中Vth_T2为T2的阈值电压。

[0036] (2) 侦测阶段：SCAN2转为低电平，T4关闭。由于T2打开，节点B逐渐充电，电压最终变为Vref - Vth_T2，此时T2关闭，通过OLED本身的等效电容C2保持节点B的电压；

[0037] (3) 数据写入阶段：SCAN1和SCAN2为低电平，T3和T4关闭，SCAN3转高电平，T1打开，节点A被充电至Vdata；

[0038] (4) 发光阶段：SCAN1、SCAN2和SCAN3拉低电平，T1、T2和T3关闭，OLED开始发光。

[0039] 本发明的像素内部补偿电路改进了现有4T1C内部补偿像素结构，适合于结合并行驱动方法，从而提升补偿时间。参见图4，以第N行和第N+1行像素的并行驱动时序为例来说明并行驱动方式，由于数据线仅提供Vdata，无需像图1所示现有电路一样切换，采用本发明的像素内部补偿电路，上下两行相邻像素的内部补偿过程可以重叠进行，因此可采用并行驱动方式。只需满足第N行和第N+1行的数据写入阶段相互错开，其中重置、侦测阶段由于相互独立，因此可以重叠，作为驱动TFT的T2的阈值电压Vth的侦测时间TSENSE不再受限于单行扫描时间TSCAN，可以将TSENSE设置足够长，使得节点B电压充电完全，提升阈值电压Vth补偿效果，

因此本发明可适用于高解析度面板。

[0040] 对应于上述像素内部补偿电路,本发明还相应提供了像素内部补偿电路的驱动方法,适合于结合并行驱动方式有效增加驱动TFT阈值电压 V_{th} 补偿的侦测时间,提升补偿效果。

[0041] 综上,本发明的像素内部补偿电路及驱动方法改善现有阈值电压补偿时间受限于解析度的问题,能够通过并行驱动方式有效增加阈值电压补偿的侦测时间,提升补偿效果,适用于高解析度AMOLED面板。

[0042] 以上所述,对于本领域的普通技术人员来说,可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形,而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

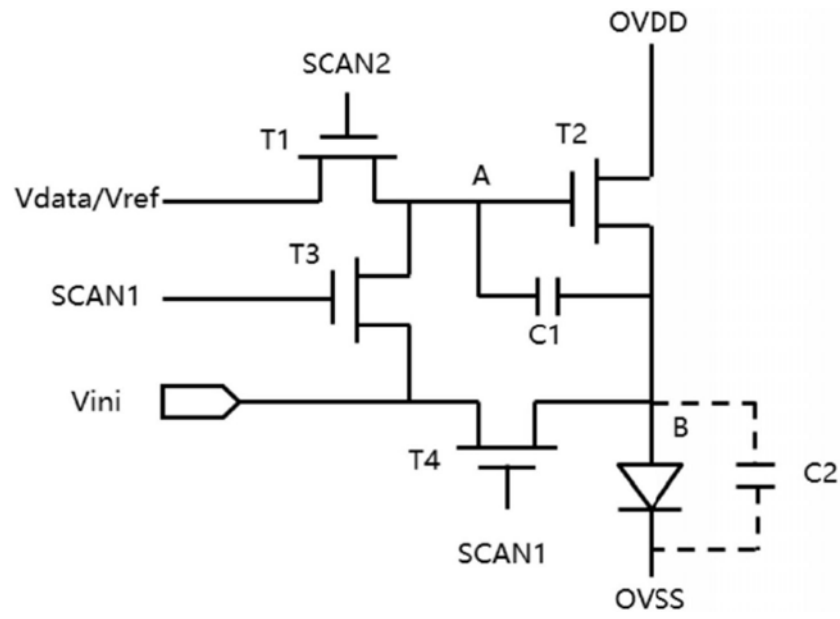


图1

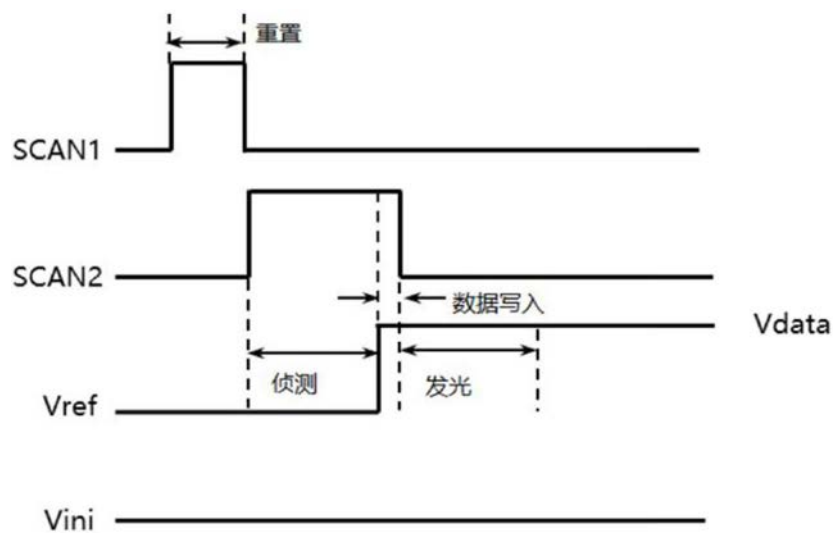


图2

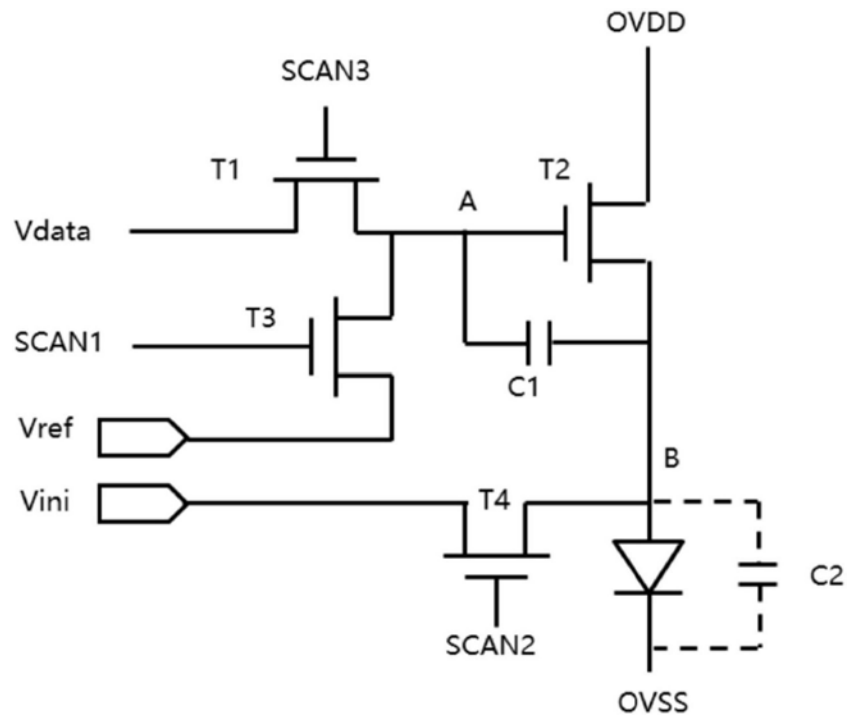


图3

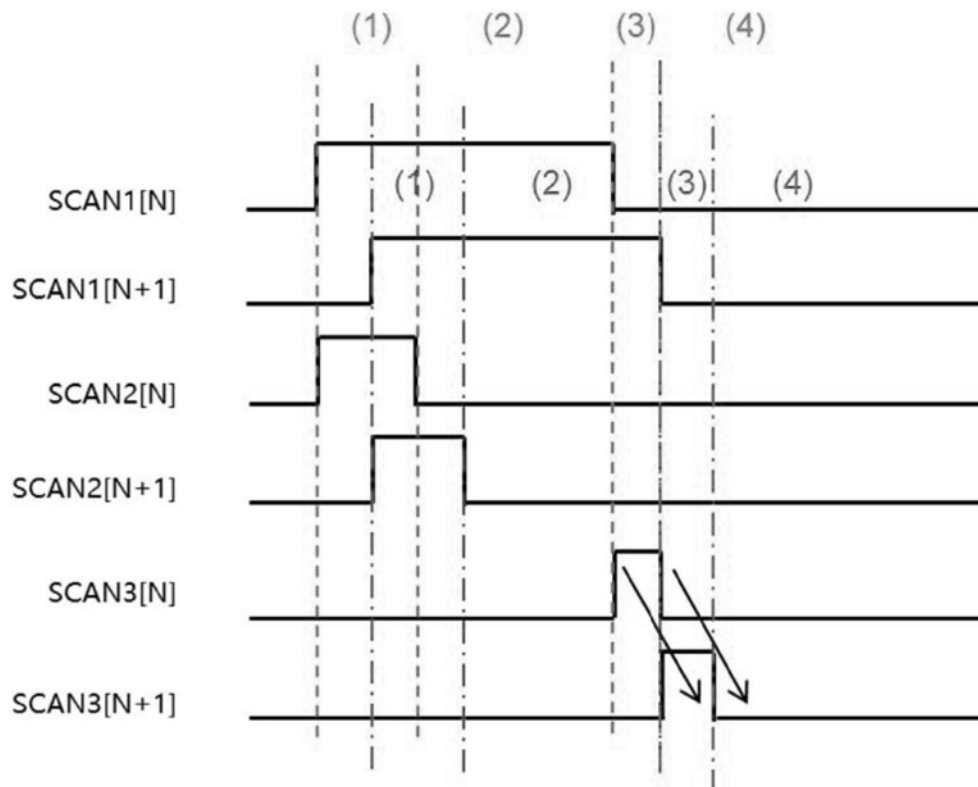


图4

专利名称(译)	像素内部补偿电路及驱动方法		
公开(公告)号	CN107393478A	公开(公告)日	2017-11-24
申请号	CN2017110737280.8	申请日	2017-08-24
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	何健 许神贤		
发明人	何健 许神贤		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233		
代理人(译)	刘巍		
其他公开文献	CN107393478B		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种像素内部补偿电路及驱动方法。该像素内部补偿电路包括：第一薄膜晶体管(T1)栅极连接第三控制信号(SCAN3)，源极和漏极连接数据电压(Vdata)和第一节点(A)；第二薄膜晶体管(T2)栅极连接第一节点(A)，源极和漏极连接第二节点(B)和电源高电位(OVDD)；第三薄膜晶体管(T3)栅极连接第一控制信号(SCAN1)，源极和漏极连接第一节点(A)和参考电位(Vref)；第四薄膜晶体管(T4)栅极连接第二控制信号(SCAN2)，源极和漏极连接第二节点(B)和初始电位(Vini)；电容(C1)连接第一节点(A)和第二节点(B)；OLED连接第二节点(B)和电源低电位(OVSS)。本发明还提供了相应的驱动方法。本发明能够通过并行驱动方式有效增加阈值电压补偿的侦测时间，提升补偿效果。

