



(12)发明专利

(10)授权公告号 CN 103959470 B

(45)授权公告日 2016.08.24

(21)申请号 201280056953.9

(22)申请日 2012.11.22

(30) 优先权数据

2012-006693 2012.01.17 JP

(85)PCT国际申请进入国家阶段日

2014.05.20

(86)PCT国际申请的申请数据

PCT/JP2012/007516 2012.11.22

(87)PCT国际申请的公布数据

W02013/108326 JA 2013.07.25

(73)专利权人 株式会社日本有机雷特显示器

地址 日本东京都

(72)发明人 篠川泰治 伊藤研

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 薛凯

(51) Int.Cl.

H01L 27/32(2006.01)

G09F 9/30(2006.01)

H01L 51/50(2006.01)

(56)对比文件

CN 1614776 A, 2005.05.11,

JP 特开2006-148040 A, 2006.06.08,

CN 101728433 A, 2010.06.09,

审查员 王鹏飞

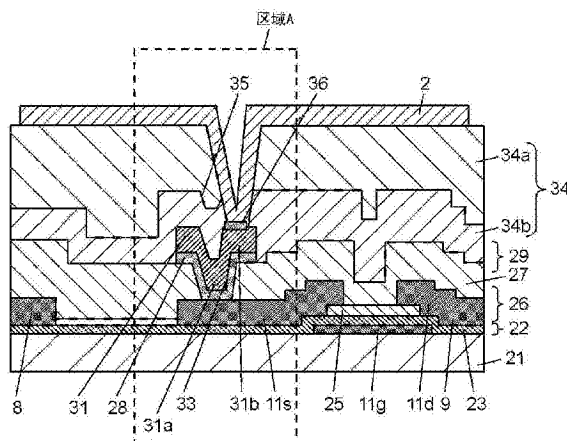
权利要求书1页 说明书10页 附图9页

(54)发明名称

薄膜晶体管阵列装置以及使用它的EL显示装置

(57)摘要

EL显示装置具有:在一对电极之间配置有发光层的发光部、和控制所述发光部的发光的薄膜晶体管阵列装置。在发光部与薄膜晶体管阵列装置之间配置层间绝缘膜,并且发光部的一方的阳极(2)介由层间绝缘膜(34)的接触孔(35)与薄膜晶体管阵列装置电连接。进一步地,薄膜晶体管阵列装置具有介由层间绝缘膜(34)的接触孔(35)与发光部的阳极(2)电连接的电流供给用的中继电极(31),并且在发光部的一方的阳极(2)与薄膜晶体管阵列装置的电流供给用的中继电极(31)的界面形成有扩散防止膜(36)。



1. 一种EL显示装置,具有:
在一对电极之间配置有发光层的发光部;
控制所述发光部的发光的薄膜晶体管阵列装置;
配置在所述发光部与所述薄膜晶体管阵列装置之间的层间绝缘膜;和
电流供给用的电极,使所述发光部的一方的电极介由所述层间绝缘膜的接触孔与所述薄膜晶体管阵列装置电连接,
在所述发光部的一方的电极与所述电流供给用的电极的界面形成扩散防止膜,并且
所述扩散防止膜由含有与构成所述发光部的一方的电极的金属材料相同的金属的氧化物构成,
所述扩散防止膜具有满足 $\text{Al}_x\text{Cu}_y\text{O}_z$ 、其中 $x > y \geq 0$ 、 $z > 0$ 的材料组成。
2. 根据权利要求1所述的EL显示装置,其中,
所述扩散防止膜的膜厚为 $0 < t \leq 6\text{nm}$ 。
3. 一种薄膜晶体管阵列装置,
在与发光部之间配置层间绝缘膜,并且具有介由所述层间绝缘膜的接触孔与所述发光部的一方的电极电连接的电流供给用的电极,
在所述发光部的一方的电极与所述电流供给用的电极的界面形成扩散防止膜,并且
所述扩散防止膜由含有与构成所述发光部的一方的电极的金属材料相同的金属的氧化物构成,
所述扩散防止膜具有满足 $\text{Al}_x\text{Cu}_y\text{O}_z$ 、其中 $x > y \geq 0$ 、 $z > 0$ 的材料组成。
4. 根据权利要求3所述的薄膜晶体管阵列装置,其中,
所述扩散防止膜的膜厚为 $0 < t \leq 6\text{nm}$ 。

薄膜晶体管阵列装置以及使用它的EL显示装置

技术领域

[0001] 本发明涉及以多晶硅或微晶硅等为活性层的薄膜晶体管阵列装置以及使用该薄膜晶体管阵列装置的EL显示装置。

背景技术

[0002] 薄膜晶体管使用于有机EL显示器或液晶显示器等的显示装置的驱动基板,目前,正在盛行将其向高性能化开发。特别是,伴随着显示器的大型化和高清晰化,对薄膜晶体管的高电流驱动能力提出了要求,其中使用晶化后的半导体薄膜(多晶硅、微晶硅)作为活性层的薄膜晶体管受到瞩目。

[0003] 作为半导体薄膜的晶化工艺,正在开发采用600℃以下的处理温度的低温工艺以取代已经成熟的采用1000℃以上的处理温度的高温工艺技术。由于低温工艺中不需要使用耐热性优越的石英等的高价基板,从而可以实现降低制造成本。

[0004] 作为低温工艺的一个环节,使用激光束加热的激光退火受到关注。激光退火是对成膜于玻璃等低耐热性绝缘基板上的非晶硅或多晶硅等非单晶性的半导体薄膜照射激光束而使局部加热融化后,在其冷却过程中使半导体薄膜晶化的技术。以该晶化后的半导体薄膜作为活性层(沟道区域)来集成薄膜晶体管。晶化后的半导体薄膜由于载流子的迁移率变高,因此可以使薄膜晶体管实现高性能化。

[0005] 作为如上所述的薄膜晶体管的结构,以将栅电极配置在半导体层之下的底栅型的结构为主流,已知的如专利文献1、2所示的结构。

[0006] 在专利文献1中,在基板上形成与晶体管连接的布线(电极),以覆盖该布线(电极)的状态通过旋转涂敷法形成由感光性聚酰亚胺构成的平坦化绝缘膜(层间绝缘膜)。然后,在该平坦化绝缘膜(层间绝缘膜)通过光刻法形成连接孔(接触孔)。之后,在平坦化绝缘膜(层间绝缘膜)上形成介由该连接孔(接触孔)与布线(电极)连接的有机EL元件。

[0007] 另外,在专利文献2中,层叠在第2金属层(电极)上的绝缘保护膜及层叠在绝缘保护膜上的绝缘平坦化膜(层间绝缘膜)设置有接触孔,该接触孔是使第2金属层(电极)与正电极(下部电极)电连接的连接头贯通于上下方向的孔状的接触孔,并且接触孔是使绝缘保护膜的內周面与绝缘平坦化膜(层间绝缘膜)的內周面没有阶梯式高低差地连接形成的向下方凸出的锥子形状。

[0008] 在先技术文献

[0009] 专利文献

[0010] 专利文献1:日本特开2001-28486号公报

[0011] 专利文献2:日本特开2009-229941号公报

发明内容

[0012] 本申请公开的EL显示装置具有:在一对电极之间配置有发光层的发光部、和控制所述发光部的发光的薄膜晶体管阵列装置。另外,在发光部与薄膜晶体管阵列装置之间配

置层间绝缘膜,并且发光部的一方的电极介由层间绝缘膜的接触孔与薄膜晶体管阵列装置电连接。进一步地,薄膜晶体管阵列装置具有介由层间绝缘膜的接触孔与发光部的电极电连接的电流供给用的电极,并且在发光部的一方的电极与薄膜晶体管阵列装置的电流供给用的电极的界面形成有扩散防止膜。

[0013] 另外,本申请公开的薄膜晶体管阵列装置在与发光部之间配置层间绝缘膜,并且具有介由层间绝缘膜的接触孔与发光部的一方的电极电连接的电流供给用的电极。另外,在发光部的一方的电极与电流供给用的电极的界面形成有扩散防止膜。

[0014] 发明效果

[0015] 根据该结构,可以实现电接触特性与相互扩散的防止性能的兼顾。

附图说明

[0016] 图1是表示一实施方式中的EL显示装置的立体图。

[0017] 图2是表示一实施方式中的EL显示装置的像素隔堤的例子的立体图。

[0018] 图3是表示一实施方式中的薄膜晶体管的像素电路的电路结构的电气电路图。

[0019] 图4是表示一实施方式中的薄膜晶体管的像素的结构的主视图。

[0020] 图5是沿图4中的5-5线切断的断面图。

[0021] 图6是沿图4中的6-6线切断的断面图。

[0022] 图7A是表示一实施方式中的薄膜晶体管阵列装置的与图5对应的主要部的制造工序的断面图。

[0023] 图7B是表示一实施方式中的薄膜晶体管阵列装置的与图5对应的主要部的制造工序的断面图。

[0024] 图7C是表示一实施方式中的薄膜晶体管阵列装置的与图5对应的主要部的制造工序的断面图。

[0025] 图7D是表示一实施方式中的薄膜晶体管阵列装置的与图5对应的主要部的制造工序的断面图。

[0026] 图7E是表示一实施方式中的薄膜晶体管阵列装置的与图5对应的主要部的制造工序的断面图。

[0027] 图7F是表示一实施方式中的薄膜晶体管阵列装置的与图5对应的主要部的制造工序的断面图。

[0028] 图8A是表示一实施方式中的薄膜晶体管阵列装置的与图6对应的主要部的制造工序的断面图。

[0029] 图8B是表示一实施方式中的薄膜晶体管阵列装置的与图6对应的主要部的制造工序的断面图。

[0030] 图8C是表示一实施方式中的薄膜晶体管阵列装置的与图6对应的主要部的制造工序的断面图。

[0031] 图8D是表示一实施方式中的薄膜晶体管阵列装置的与图6对应的主要部的制造工序的断面图。

[0032] 图8E是表示一实施方式中的薄膜晶体管阵列装置的与图6对应的主要部的制造工序的断面图。

[0033] 图8F是表示一实施方式中的薄膜晶体管阵列装置的与图6对应的主要部的制造工序的断面图。

[0034] 图8G是表示一实施方式中的薄膜晶体管阵列装置的与图6对应的主要部的制造工序的断面图。

[0035] 图8H是表示一实施方式中的薄膜晶体管阵列装置的与图6对应的主要部的制造工序的断面图。

[0036] 图9A是表示与图6的区域A对应的主要部的制造工序的断面图。

[0037] 图9B是表示与图6的区域A对应的主要部的制造工序的断面图。

[0038] 图9C是表示与图6的区域A对应的主要部的制造工序的断面图。

[0039] 图9D是表示与图6的区域A对应的主要部的制造工序的断面图。

[0040] 图9E是表示与图6的区域A对应的主要部的制造工序的断面图。

[0041] 图9F是表示与图6的区域A对应的主要部的制造工序的断面图。

[0042] 图9G是表示与图6的区域A对应的主要部的制造工序的断面图。

具体实施方式

[0043] 下面,结合图1~图8H对一实施方式中的薄膜晶体管阵列装置以及使用该薄膜晶体管阵列装置的EL显示装置予以说明。

[0044] 图1是一实施方式中的EL显示装置的立体图,图2是表示一实施方式中的EL显示装置的像素隔堤的例子立体图,图3是表示一实施方式中的薄膜晶体管的像素电路的电路结构的图。

[0045] 如图1~图3所示,EL显示装置自下层开始由薄膜晶体管阵列装置1和发光部的层叠结构构成,其中,薄膜晶体管阵列装置1配置有多个薄膜晶体管,发光部由作为下部电极的阳极2、由有机材料构成的作为发光层的EL层3、以及透明的作为上部电极的阴极4构成。由薄膜晶体管阵列装置1对该发光部进行发光控制。

[0046] 另外,发光部是在一对电极、即阳极2与阴极4之间配置有EL层3的结构,在阳极2与EL层3之间层叠地形成有空穴传输层,在EL层3与透明的阴极4之间层叠地形成有电子传输层。在薄膜晶体管阵列装置1中,多个像素5被配置成矩阵状。

[0047] 各像素5由各自所设置的像素电路6来驱动。另外,薄膜晶体管阵列装置1设置有:被配置为行状的多个栅极布线7、以与栅极布线7交叉的方式被配置为列状的作为信号布线的多个源极布线8、和与源极布线8平行地延伸的多个电源布线9(图1中省略)。

[0048] 栅极布线7在每行与像素电路6各自所包含的作为开关元件而动作的薄膜晶体管10的栅电极10g连接。源极布线8在每列与像素电路6各自所包含的作为开关元件而动作的薄膜晶体管10的源电极10s连接。电源布线9在每列与像素电路6各自所包含的作为驱动元件而动作的薄膜晶体管11的漏电极11d连接。

[0049] 如图2所示,EL显示装置各像素5由3色(红色、绿色、蓝色)的子像素5R、5G、5B构成,这些子像素5R、5G、5B被形成为在显示面上被排列成多个矩阵状(以下记为“子像素列”)。各子像素5R、5G、5B被用隔堤5a相互分离。隔堤5a形成为使与栅极布线7平行地延伸的突条和与源极布线8平行地延伸的突条相互交叉。而且,在由该突条所包围的部分(即隔堤5a的开口部)形成有子像素5R、5G、5B。

[0050] 在薄膜晶体管阵列装置1上的层同绝缘膜上且是在隔堤5a的开口部内,按每个子像素5R、5G、5B形成有阳极2。同样地,在阳极2上且是在隔堤5a的开口部内,按每个子像素5R、5G、5B形成有EL层3。在多个EL层3及隔堤5a上并且是以覆盖全部的子像素5R、5G、5B的方式连续地形成有透明的阴极4。

[0051] 进一步地,在薄膜晶体管阵列装置1中,按每个子像素5R、5G、5B形成有像素电路6。并且各子像素5R、5G、5B与相对应的像素电路6通过后边将阐述的接触孔以及中继电极电连接。另外,除EL层3的发光颜色不同这点之外,子像素5R、5G、5B具有相同的结构。因此,在以后的说明中,不再区分子像素5R、5G、5B而将其全部记为“像素5”。

[0052] 如图3所示,像素电路6由作为开关元件而动作的薄膜晶体管10、作为驱动元件而动作的薄膜晶体管11、存储对应的像素所显示的数据的电容器12构成。

[0053] 薄膜晶体管10由与栅极布线7连接的栅电极10g、与源极布线8连接的源电极10s、与电容器12及薄膜晶体管11的栅电极11g连接的漏电极10d、和半导体层(未图示)构成。当所连接的栅极布线7及源极布线8被施加电压时,该薄膜晶体管10将施加到该源极布线8的电压值作为显示数据保存在电容器12。

[0054] 薄膜晶体管11由与薄膜晶体管10的漏电极10d连接的栅电极11g、与电源布线9及电容器12连接的漏电极11d、与阳极2连接的源电极11s、和半导体层(未图示)构成。该薄膜晶体管11将与电容器12保持的电压值对应的电流从电源布线9通过源电极11s提供给阳极2。即,上述结构的EL显示装置采用对位于栅极布线7与源极布线8的交点处的每个像素5进行显示控制的有源矩阵方式。

[0055] 下面,结合图4~图6对构成薄膜晶体管阵列装置1的像素5的结构予以说明。另外,图4是表示像素5的结构的主视图。图5是沿图4中的5-5线切断的断面图。图6是沿图4中的6-6线切断的断面图。

[0056] 如图4~图6所示,像素5由基板21、作为导电层的第1金属层22、栅极绝缘膜23、半导体层24及半导体层25、作为导电层的第2金属层26、钝化膜27、由ITO等构成的导电氧化物膜28、和作为导电层的第3金属层29的层叠结构体构成。

[0057] 在层叠于基板21上的第1金属层22形成有薄膜晶体管10的栅电极10g和薄膜晶体管11的栅电极11g。另外,在基板21及第1金属层22上以覆盖栅电极10g、栅电极11g的方式形成有栅极绝缘膜23。

[0058] 半导体层24被配置在栅极绝缘膜23上(栅极绝缘膜23与第2金属层26之间)并且与栅电极10g叠合的区域内。同样,半导体层25被配置于在栅极绝缘膜23上(栅极绝缘膜23与第2金属层26之间)并且与栅电极11g叠合的区域内。

[0059] 在层叠于栅极绝缘膜23及半导体膜24、半导体膜25上的第2金属层26形成有源极布线8、电源布线9、薄膜晶体管10的源电极10s及漏电极10d、薄膜晶体管11的漏电极11d及源电极11s。源电极10s及漏电极10d形成在相互对置的位置,并且其各自与半导体层24的一部分叠合。另外,以由形成在同层的源极布线8延伸的方式形成源电极10s。同样地,漏电极11d及源电极11s形成在相互对置的位置,并且其各自与半导体层25的一部分叠合。另外,以由形成在同层的电源布线9延伸的方式形成漏电极11d。

[0060] 如上所述,薄膜晶体管10、薄膜晶体管11是栅电极10g、栅电极11g被形成在源电极10s、源电极11s以及漏电极10d、漏电极11d之下层的底栅型的晶体管结构。

[0061] 另外,栅极绝缘膜23在与漏电极10d及栅电极11g叠合的位置形成有贯通于厚度方向的接触孔30。并且,漏电极10d介由接触孔30与形成在第1金属层22的栅电极11g电连接。

[0062] 进一步地,在栅极绝缘膜23及第2金属层26上以覆盖源电极10s、源电极11s、以及漏电极10d、漏电极11d的方式形成有钝化膜27。该钝化膜27形成为介于层间绝缘膜34与薄膜晶体管10、薄膜晶体管11之间。

[0063] 在钝化膜27上层叠有导电氧化物膜28。并且,在导电氧化物膜28上层叠有第3金属层29。层叠在导电氧化物膜28上的第3金属层29形成有栅极布线7及中继电极31。导电氧化物膜28被选择性地形成在与栅极布线7及中继电极31叠合的位置,与栅极布线7叠合的部分和与中继电极31叠合的部分是非电连接的状态。

[0064] 另外,栅极绝缘膜23及钝化膜27在与栅极布线7及栅电极10g叠合的位置形成有贯通于厚度方向的接触孔32。并且,栅极布线7介由接触孔32与形成在第1金属层22的栅电极10g电连接。另外,栅极布线7与栅电极10g不直接接触,导电氧化物膜28介于栅极布线7与栅电极10g之间。

[0065] 同样地,钝化膜27在与薄膜晶体管11的源电极11s及中继电极31叠合的位置形成有贯通于厚度方向的接触孔33。并且,中继电极31介由接触孔33与形成在第2金属层26的源电极11s电连接。另外,源电极11s与中继电极31不直接接触,导电氧化物膜28介于源电极11s与中继电极31之间。

[0066] 进一步地,在钝化膜27以及第3金属层29上以覆盖栅极布线7及中继电极31的方式形成有层间绝缘膜34。所述层间绝缘膜34是层叠结构,由作用为平坦化膜的层间绝缘膜34a和作用为钝化膜的层间绝缘膜34b构成。层间绝缘膜34a由有机膜或混合膜形成,被配置在与阳极2相邻的一侧(上层)。层间绝缘膜34b由无机膜形成,被配置在与栅极布线7及中继电极31相邻的一侧(下层)。

[0067] 在层间绝缘膜34上,在与相邻的像素5的边界部分形成有隔堤5a。并且,在隔堤5a的开口部形成有以像素5为单位形成的阳极2和以颜色(子像素列)为单位或者以子像素为单位形成的EL层3。并且,在EL层3及隔堤5a上形成有透明的阴极4。

[0068] 进一步地,如图6所示,在与阳极2及中继电极31叠合的位置形成有在厚度方向贯通层间绝缘膜34的接触孔35。并且,阳极2接触孔35与形成在第3金属层29的中继电极31电连接。中继电极31具有被填充于接触孔33的中央区域31a和在接触孔33的上部周边延展的平坦区域31b。并且阳极2电连接在中继电极31的平坦区域31b。

[0069] 在此,在本发明中,发光部的阳极2由以A1作为主体的导电性的金属材料形成,薄膜晶体管阵列装置1的电流供给用的中继电极31由导电性与阳极2不同的金属材料的Cu系材料形成,并且在阳极2与中继电极31的界面形成有由以与发光部的阳极2相同的金属材料即以A1作为主体的金属材料的氧化物构成的扩散防止膜36。具体来讲,扩散防止膜36是具有如下材料组成的膜,即通过能散型X射线光谱分析装置(EDS)等测定的元素为满足: $Al_xCu_yO_z$,其中 $x>y \geq 0$ 、 $z>0$ 。

[0070] 关于在以A1作为主体的阳极2与以Cu作为主体的中继电极31的界面形成的扩散防止膜36,制作改变扩散防止膜36的膜厚的根据本发明的实施例的样本(实施例1~4)和根据比较例的样本(比较例1~3),表1是表示对这些样本比较阳极2与中继电极31的接触不良以及相互扩散量的图表。另外,关于接触不良,在表1中,将连接电阻为每单位面积小于 $1k\Omega$ 者

标示为良品(○)、1kΩ以上者标示为不良(×)。此外,关于相互扩散量,由于已经通过实验而确认到:如果小于100nm,则不容易发生起因于Al与Cu的相互扩散的电迁移(エレクトロマイグレーション)所造成的断线不良,因此将小于100nm者标示为良品(○)、100nm以上者标示为不良(×)。[表1]

[0071]

	膜厚(nm)	接触不良	相互扩散量
实施例1	1	○	○
实施例2	2	○	○
实施例3	4	○	○
实施例4	6	○	○
比较例1	8	×	○
比较例2	9	×	○
比较例3	10	×	○

[0072] 如表1所示,作为扩散防止膜36,如果形成膜厚 t 为1nm~6nm的膜,则可以得出在接触不良以及相互扩散量的评价项目中为良品。另外,由于扩散防止膜36的膜厚 t 形成得越薄,取得的接触电阻就会越低,从而其在电气特性上越有优势,因此,作为扩散防止膜36,膜厚 t 可以为 $0 < t \leq 6$ nm。但是,由于在形成扩散防止膜36之后的制造工序中的热履历会使Al与Cu的相互扩散变得容易发生,考虑到制造工序上的偏差,优选扩散防止膜36的膜厚为1nm~6nm。

[0073] 作为用于使扩散防止膜36的膜厚形成得薄的方法,例如可以如下方法来实现,即:在用干式蚀刻法形成接触孔35之后,并不向大气开放而是在真空中连续地用溅射法等形成阳极2。另外,在形成阳极2之前,通过调整以Cu为主体的氧化膜的膜厚,就可以控制扩散防止膜36的膜厚。作为调整氧化膜的膜厚的方法,可以在形成氧化膜之后,通过使用Ar等离子体进行氧化膜的物理性去除或者使用 H_2 等离子体进行还原处理等,来将氧化膜控制到所期望的膜厚。

[0074] 如上所述,在本发明中,通过在由以Al为主体的导电性材料构成的阳极2与由不同于该阳极2的导电性材料的Cu系材料构成的中继电极31的界面形成了由以Al为主体的氧化物构成的扩散防止膜36,可以防止起因于Al与Cu的相互扩散的电迁移所造成的断线不良。另外,通过将扩散防止膜36的膜厚调整至1nm~6nm,可以在得到充分的接触特性的同时,能够防止因相互扩散所导致的断线不良。

[0075] 下面,结合图7A~图7F、图8A~图8H,对制造一实施方式中的薄膜晶体管阵列装置1的制造工序予以说明。另外,图7A~图7F是表示一实施方式中的薄膜晶体管阵列装置的与图5对应的主要部的制造工序的图。图8A~图8H是表示一实施方式中的薄膜晶体管阵列装置的与图6对应的主要部的制造工序的图。

[0076] 首先,结合图7A~图7F、图8A~图8H进行说明。

[0077] 如图7A及图8A所示,准备基板21。作为基板21,一般使用玻璃、石英等绝缘性的材料。为了防止来自基板21的杂质的扩散,虽然未予以图示,但也可以在基板21的上表面形成氧化硅膜或者氮化硅膜。膜厚为100nm左右。

[0078] 接着,如图7B及图8B所示,在基板21上形成具有耐热性的第1金属层22之后,通过

光刻法、蚀刻法等进行图案化,从而形成栅电极10g、栅电极11g。作为材料,例如可以是具有耐热性的Mo、W、Ta、Ti、Ni中的任一种或者它们的合金。在本实施方式中使用Mo。优选厚度为100nm左右。

[0079] 接着,如图7C及图8C所示,在基板21及第1金属层22上形成栅极绝缘膜23,并且在栅极绝缘膜23上形成半导体层24、半导体层25。另外,栅极绝缘膜23以及半导体层24、半导体层25通过等离子体CVD法等真空状态下连续地形成。作为栅极绝缘膜23形成氧化硅膜、氮化硅膜、或者其复合膜。厚度为200nm左右。另外,半导体层24、半导体层25是50nm左右的非晶质硅膜。

[0080] 然后,例如如图8D的箭头所示,通过在半导体层25上照射准分子激光等,将半导体层25由非晶半导体层向多晶半导体层改性。作为晶化的方法,例如在400℃~500℃的炉内进行脱氢之后,通过准分子激光使其晶化,然后,在真空中进行数秒~数10秒的氢等离子体处理。具体地讲,通过照射准分子激光等使非晶半导体层的温度上升至预定的温度范围来进行晶化。在此,预定的温度范围例如为210℃~1414℃。另外,多晶半导体层内的平均晶粒粒径为20nm~60nm。

[0081] 在此,构成栅电极10g、栅电极11g的第1金属层22由于在上述的工序中被暴露于高温环境,因此需要由熔点比温度范围的上限值(1414℃)高的金属来形成。另一方面,在以后的工序中层叠的第2金属层26以及第3金属层29也可以由熔点比温度范围的下限值(210℃)低的金属形成。

[0082] 接着,如图8E所示,通过光刻法、蚀刻法等将半导体层加工成岛状的半导体层25。另外,尽管未予以图示,在栅极绝缘膜23同样地通过光刻法、蚀刻法等形成接触孔30。

[0083] 然后,如图7D及图8F所示,在栅极绝缘膜23以及半导体层24、半导体层25上形成第2金属层26,通过图案化分别加工源极布线8、电源布线9、源电极10s及源电极11s、漏电极10d及漏电极11d、以及中继电极31。此时,构成第2金属层26的材料也被填充到接触孔30,从而形成接触孔30。通过该工序,栅电极11g与漏电极10d经由第2接触孔30而电连接。作为构成第2金属层26的材料,例如可以是低电阻金属的Al、Cu、Ag中的任一种或者它们的合金。在本实施方式中使用Cu,并且厚度为300nm左右。

[0084] 另外,在源电极10s与半导体层24之间、以及漏电极10d与半导体层24之间,一般形成有低电阻的半导体层。该低电阻半导体层一般使用掺杂了磷等n型掺杂剂的非晶硅层或者掺杂了硼等p型掺杂剂的非晶硅层。厚度为20nm左右。在被晶化的半导体层24和被掺杂的非晶硅层之间还可以进一步地具有非晶硅等的半导体层。有时为了提高设备的特性而使这些膜成为必需。关于半导体层25也同样。

[0085] 然后,如图7E~图7F以及图8G所示,在栅极绝缘膜23、半导体层24及半导体层25以及第2金属层26上形成由氧化硅膜、氮化硅膜、或者这些膜的层叠膜构成的钝化膜27。另外,通过光刻法、蚀刻法等钝化膜27形成连续地贯通栅极绝缘膜23及钝化膜27的接触孔32、和在厚度方向贯通钝化膜27的接触孔33。

[0086] 在此,栅极绝缘膜23以及钝化膜27的材料和膜厚以如下方式决定,即形成在夹于第2金属层26和第3金属层29之间的钝化膜27的每单位面积的电容比形成在夹于第1金属层22和第2金属层26之间的栅极绝缘膜23的每单位面积的电容小。具体地讲,优选形成在钝化膜27的每单位面积的电容容量为小于 $1.5 \times 10^{-4}(\text{F}/\text{m}^2)$ 。另一方面,优选形成在栅极绝缘膜

23的每单位面积的电容容量为 $1.5 \times 10^{-4}(\text{F}/\text{m}^2)$ 以上。

[0087] 进一步地,如图6以及图8H所示,在钝化膜27上形成导电氧化物膜28,在导电氧化物膜28上形成第3金属层29。然后,第3金属层29通过图案化被加工为栅极布线7以及中继电极31。作为构成导电氧化物膜28的材料,使用含有铟及锡的氧化物膜、或者含有铟及锌的氧化物膜中的任一者。另一方面,作为构成第3金属层29的材料,由于需要其为低电阻,因此可以是与第2金属层26相同的金属。特别是在本发明中,优选由价格低廉的可以实现低电阻的Cu系材料。厚度为300nm左右。

[0088] 此时,构成导电氧化物膜28以及第3金属层29的材料也被填充到接触孔32、接触孔33,从而形成接触孔32、接触孔33。由此,介由接触孔32使栅极布线7与栅电极10g电连接,介由接触孔33使源电极11s与中继电极31电连接。

[0089] 下面,结合图9A~图9G,对形成图6的区域A的工序予以详细地说明。具体地讲,对使用自对准工艺来加工中继电极31和阳极2的连接部的例子予以说明。

[0090] 首先,由上述图8A~图8H的制造工序来制作图9A所示的结构。

[0091] 接着,如图9B所示,在钝化膜27以及中继电极31上形成层间绝缘膜34b。层间绝缘膜34b通过等离子体CVD法等形式形成。作为层间绝缘膜34b,而形成氧化硅膜、氮化硅膜、或者它们的复合膜。厚度为200nm左右,起到作为钝化膜的作用。

[0092] 然后,如图9C所示,在层间绝缘膜34b上形成层间绝缘膜34a。由于层间绝缘膜34a起到作为平坦化膜的作用,因此优选可以形成厚膜的涂敷材料,并且用旋转涂敷机(スピンドコーター)或狭缝涂敷机(スリットコーター)来形成。作为层间绝缘膜34a而优选是感光性材料,可以使用丙烯酸树脂或聚酰亚胺树脂等有机材料或者具有Si-O键的SOG材料等的混合材料。厚度为4000nm左右。

[0093] 接着,如图9D所示,通过光刻法加工感光性材料的层间绝缘膜34a,从而形成贯通层间绝缘膜34a的接触孔35。之后,对由涂敷材料构成的层间绝缘膜34a在230℃左右进行烧成、硬化。由无机膜构成的层间绝缘膜34b在层间绝缘膜34a的烧成时起到防止中继电极31被从层间绝缘膜34a产生的水分等的气体腐蚀的作用。

[0094] 下面,结合图9E~图9G,对形成扩散防止膜36的工序予以说明。

[0095] 首先,如图9E所示,将图案化后的接触孔35作为掩模使用,通过干式蚀刻来加工层间绝缘膜34b,形成至使接触孔35贯通层间绝缘膜34b。

[0096] 接着,如图9F所示,在接触孔35内的中继电极31上形成以Cu为主体的氧化膜31a。接着,如图9G所示,构成阳极2的材料填充接触孔35,介由该接触孔35使阳极2与中继电极31电连接。作为阳极2的材料,虽然可以使用例如Mo、Al、Ag、Au、Cu等的导电性金属或者它们的合金、PEDOT:PSS等有机导电性材料、氧化锌、或掺铅氧化铟中的任一种材料,但优选以价格低廉的反射率高的Al作为主成分的金属。由这些材料构成的膜通过真空蒸镀法、电子束蒸镀法、RF溅射法、或者印刷法等制成,形成电极图案。

[0097] 此时,虽然以Cu为主体的氧化膜31a连接着以Al为主体的阳极2,但由于Al比Cu离子化倾向大,从而形成由以Al为主体的氧化物构成的扩散防止膜36。另外,为了加速氧化还原反应,也可以追加烧成工序。

[0098] 在此,在上述制造工序中,图9E~图9G的工序通过进行以层间绝缘膜34a为掩模的自对准,可以回避光刻胶剥离时的药液的影响等,进而还可以实现掩模的削减,使制造工序

的简化、制造成本的削减成为可能。

[0099] 如图9G所示,在形成阳极2之后,接着通过在上述薄膜晶体管阵列装置1上依次层叠隔堤5a、EL层3、以及透明的阴极4来制作EL显示装置。

[0100] 具体地讲,首先在与层间绝缘膜34上的各像素5的边界对应的位置形成隔堤5a。在阳极2上并且在隔堤5a的开口部内,按每种颜色(子像素列)或者按每个子像素形成EL层3。该EL层3是层叠了空穴注入层、空穴传输层、发光层、电子传输层、以及电子注入层等的各层来构成的。例如,分别作为空穴注入层可以使用铜酞青、作为空穴传输层可以使用联苯胺(ナフチルジアミン(d-NPD(Bis[N-(1-Naphthyl)-N-Phenyl]benzidine))、作为发光层可以使用三(8-羟基喹啉)铝(Alq3(tris(8-hydroxyquinoline)aluminum))、作为电子传输层可以使用噻唑衍生物、作为电子注入层可以使用Alq3。另外,这些材料仅仅是一个示例,也可以使用其它材料。

[0101] 透明的阴极4是在EL层3上连续地形成的具有透明性的电极。作为透明的阴极4的材料,可以使用例如ITO、SnO₂、In₂O₃、ZnO或者它们的组合等。

[0102] 另外,在本实施方式中,虽然例示了构成像素5的薄膜晶体管是2个的情形,但为了补偿像素5内的薄膜晶体管的偏差而由3个以上的多个薄膜晶体管构成的情形也可以采用同样的结构。另外,在本实施方式中,虽然例示了用于驱动有机EL元件的像素结构,但并不局限于此,可以适用于所有使用液晶、无机EL等、TFT构成的薄膜晶体管阵列装置。

[0103] 如上所述,本实施方式中的EL显示装置具有:在一对电极之间配置有发光层的发光部、和控制发光部的发光的薄膜晶体管阵列装置1。另外,在发光部与薄膜晶体管阵列装置1之间配置层间绝缘膜,并且发光部的一方的电极介由层间绝缘膜的接触孔与薄膜晶体管阵列装置1电连接。进一步地,薄膜晶体管阵列装置1具有介由层间绝缘膜的接触孔与发光部的电极电连接的电流供给用的电极,并且在发光部的一方的电极与薄膜晶体管阵列装置1的电流供给用的电极的界面形成有扩散防止膜36。

[0104] 根据该结构,可以在得到充分的接触特性的同时,实现防止因相互扩散造成的断线不良。

[0105] 产业上的可利用性

[0106] 根据以上所述的本发明,在使用EL显示装置的薄膜晶体管阵列装置中对于提高特性方面是有用的。

[0107] 附图符号说明

[0108]	1	薄膜晶体管阵列装置
[0109]	2	阳极
[0110]	3	EL层
[0111]	4	阴极
[0112]	5	像素
[0113]	6	像素电路
[0114]	7	栅极布线
[0115]	8	源极布线
[0116]	9	电源布线
[0117]	10,11	薄膜晶体管

[0118]	21	基板
[0119]	22	第1金属层
[0120]	23	栅极绝缘膜
[0121]	24,25	半导体层
[0122]	26	第2金属层
[0123]	27	钝化膜
[0124]	28	导电氧化物膜
[0125]	29	第3金属层
[0126]	30,32,33,35	接触孔
[0127]	31	中继电极
[0128]	34,34a,34b	层间绝缘膜
[0129]	36	扩散防止膜。

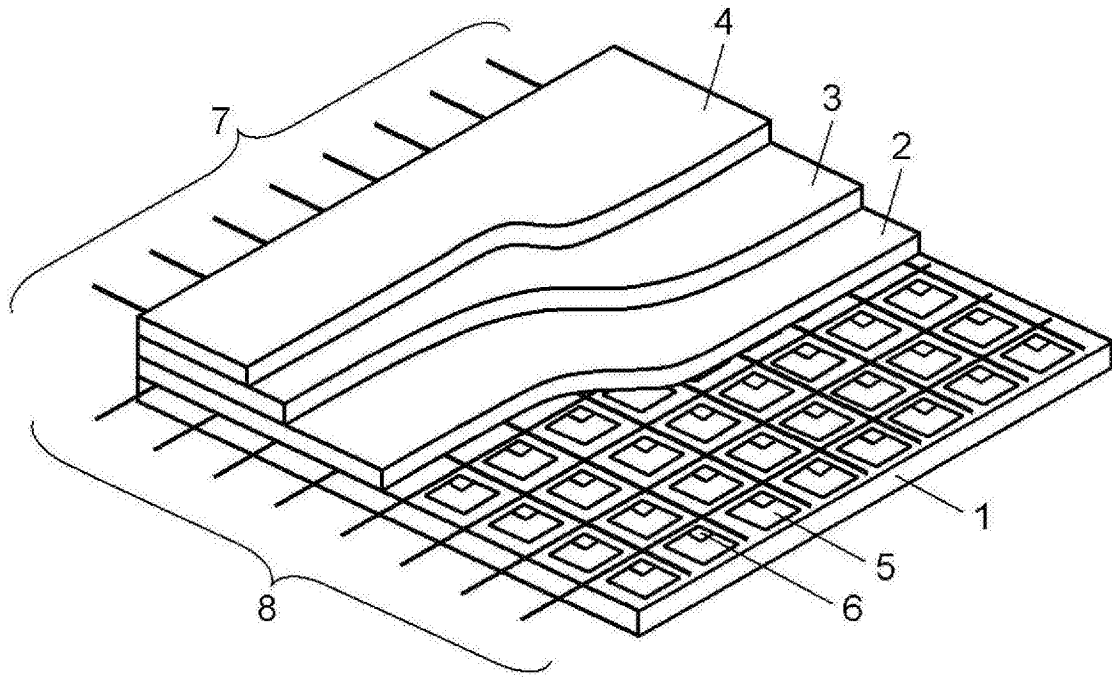


图1

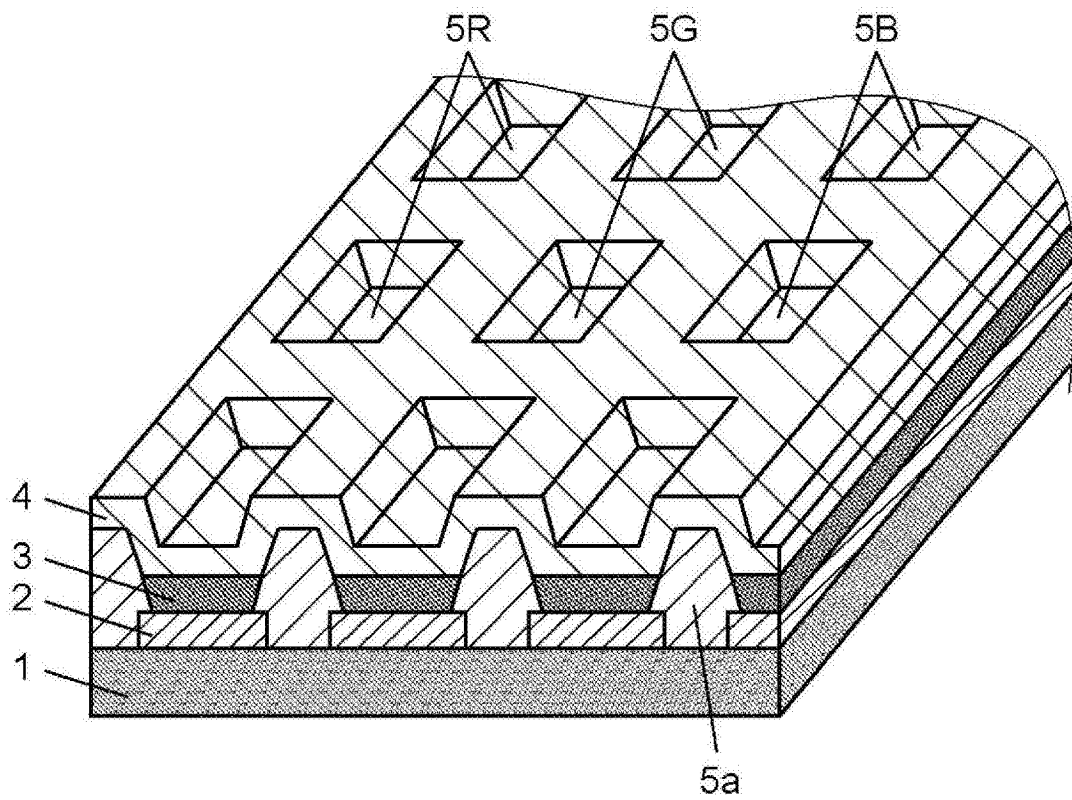


图2

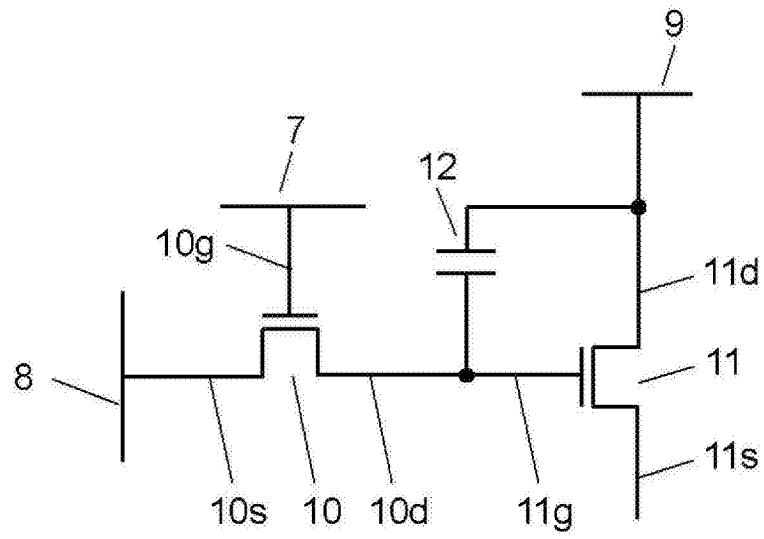


图3

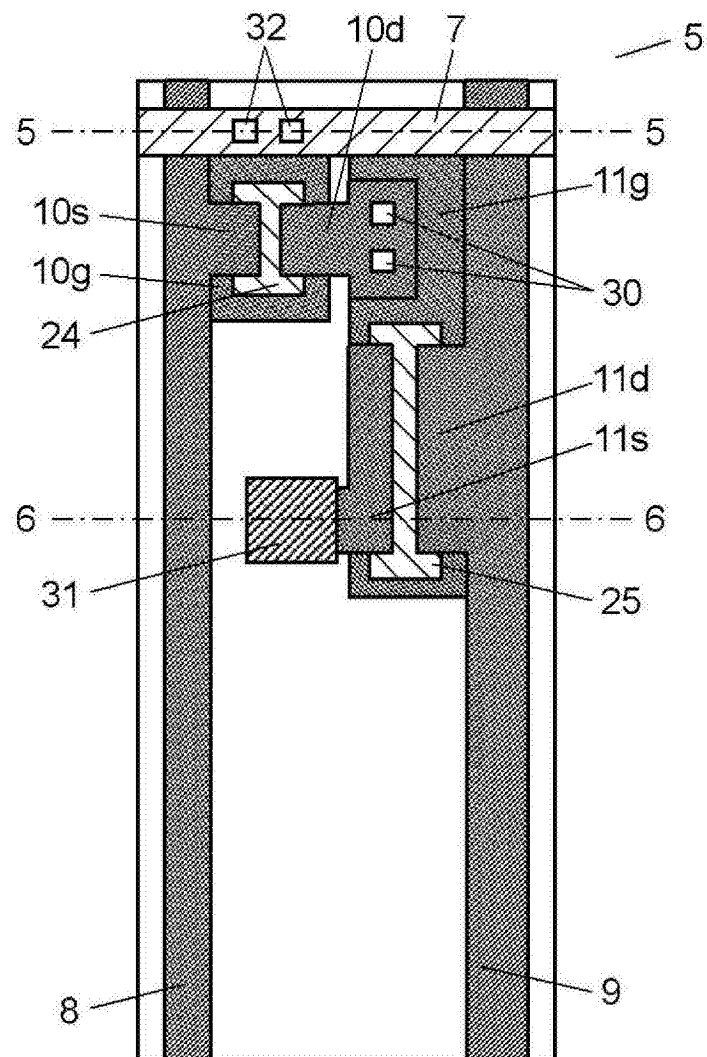


图4

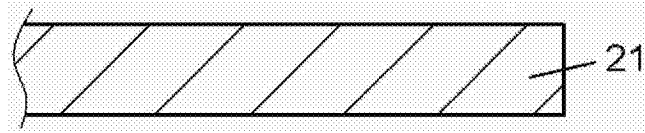


图7A

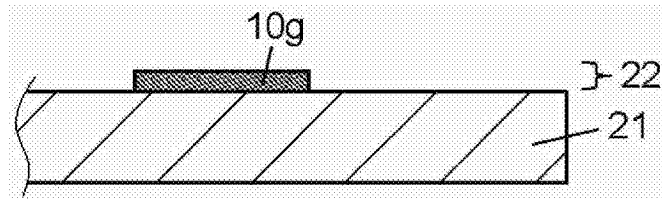


图7B

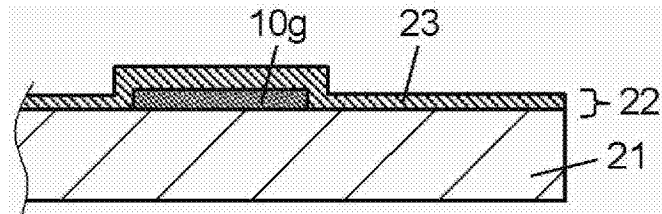


图7C

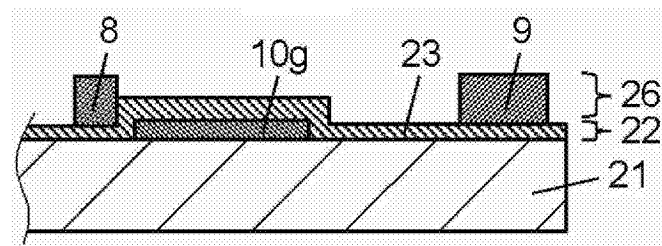


图7D

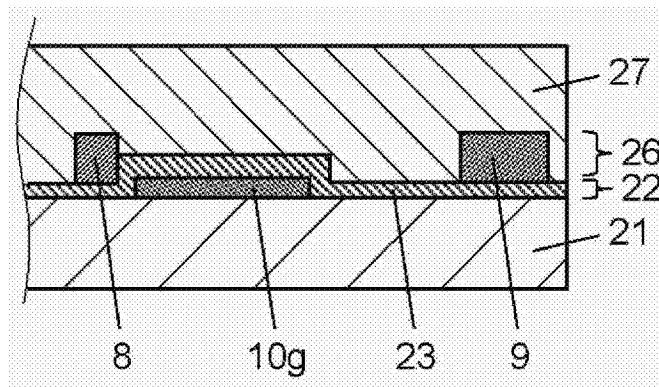


图7E

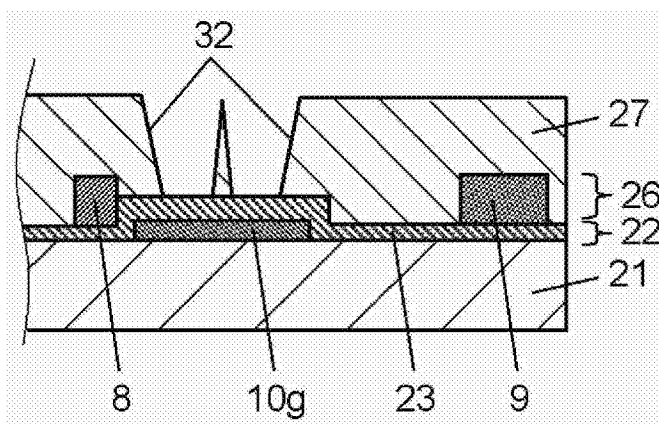


图7F

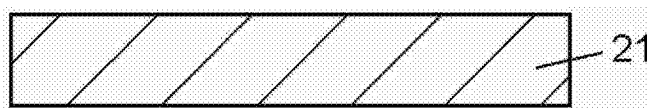


图8A

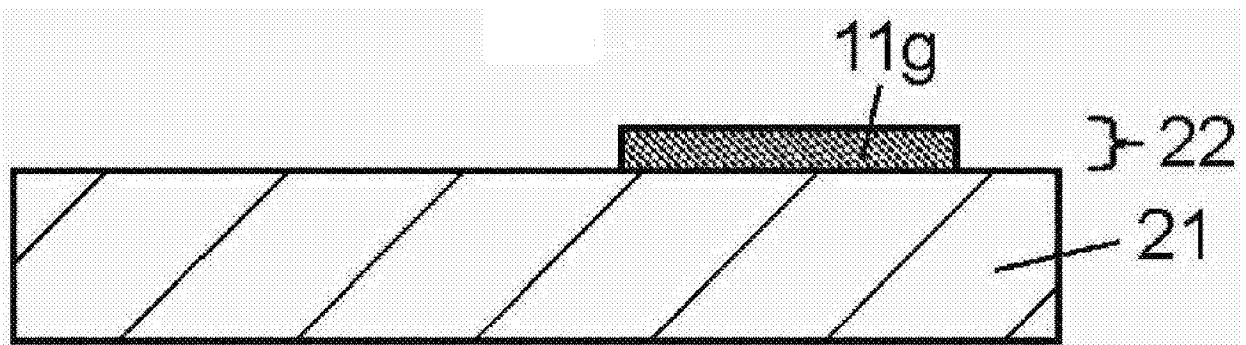


图8B

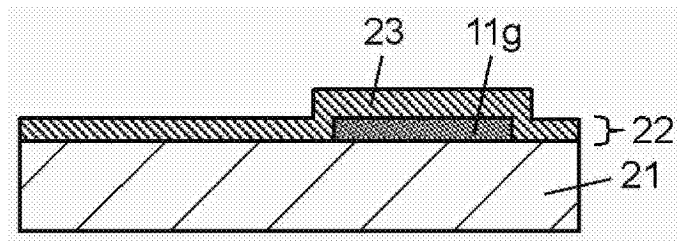


图8C

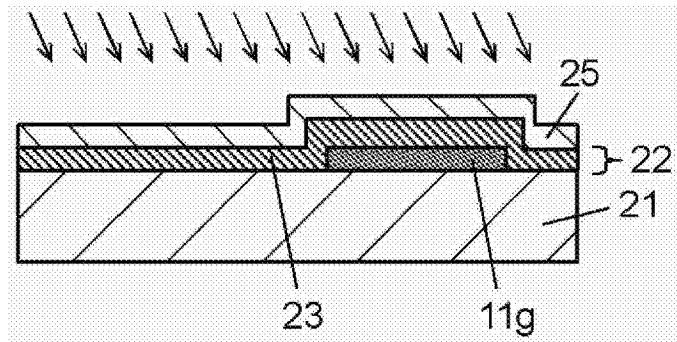


图8D

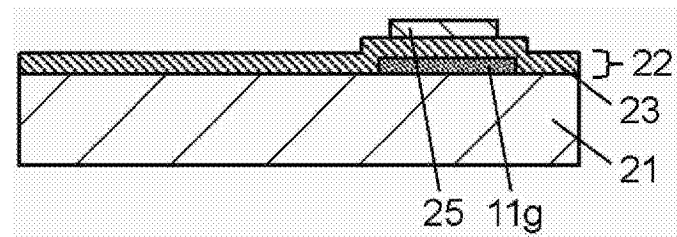


图8E

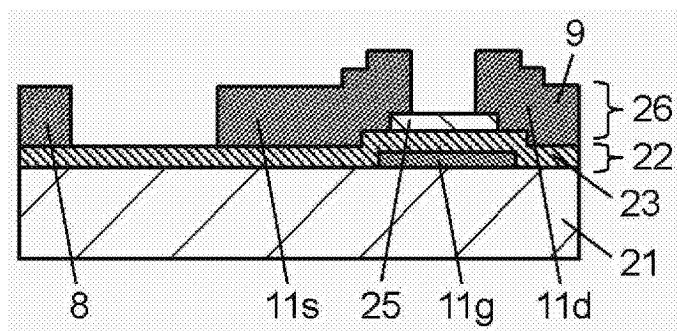


图8F

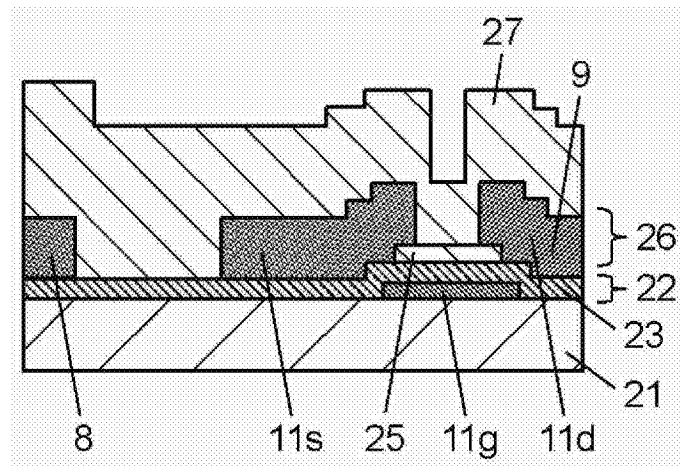


图8G

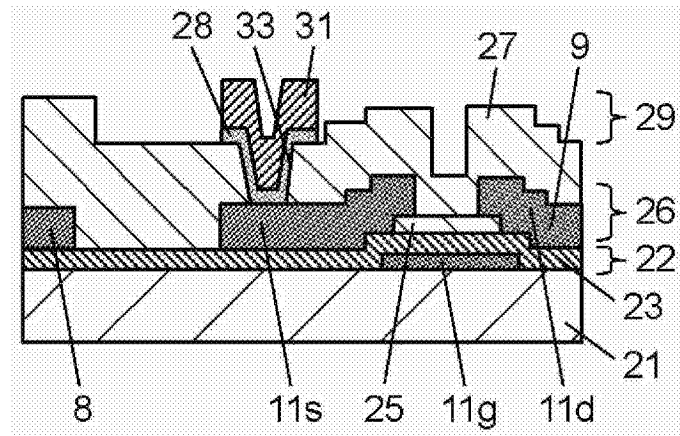


图8H

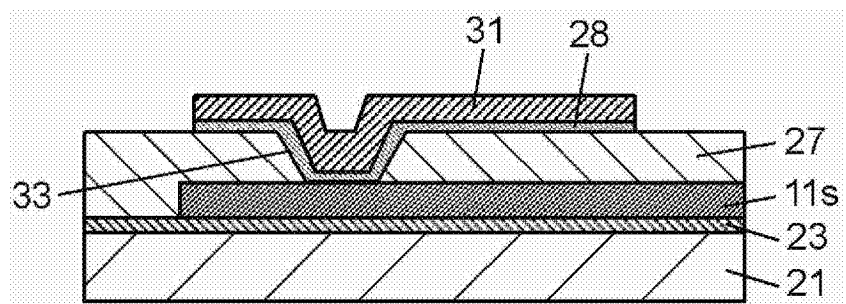


图9A

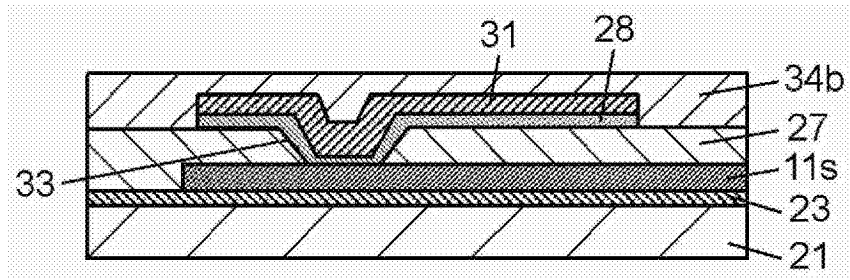


图9B

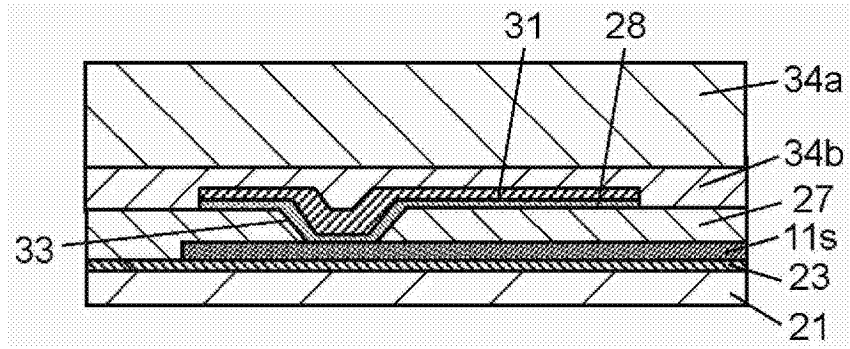


图9C

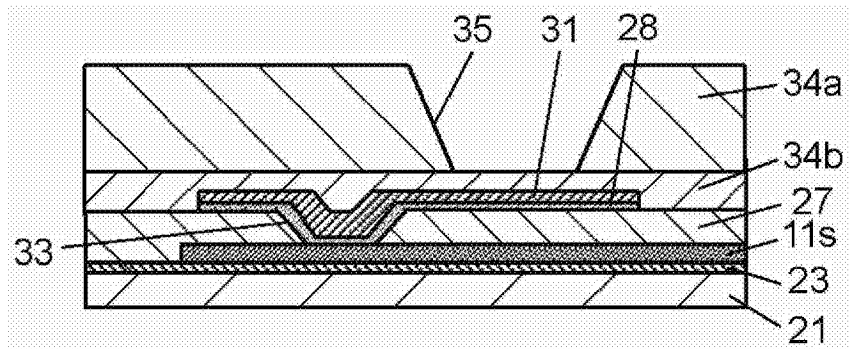


图9D

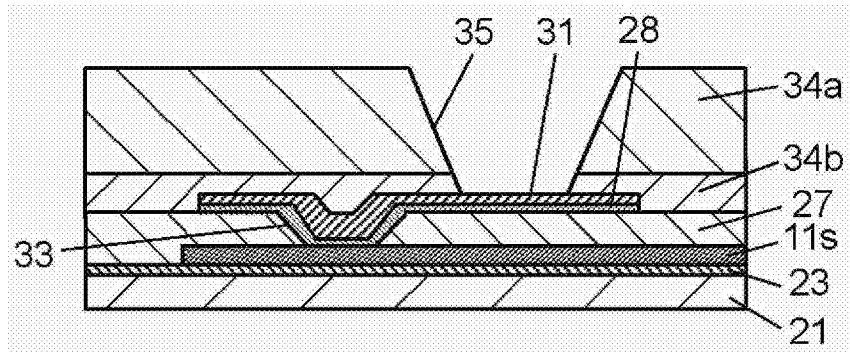


图9E

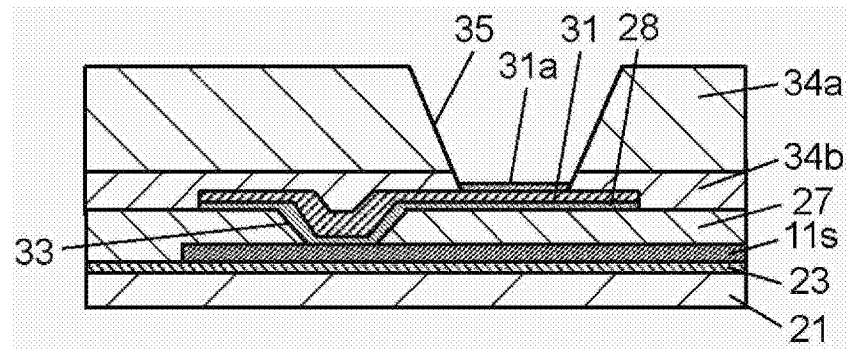


图9F

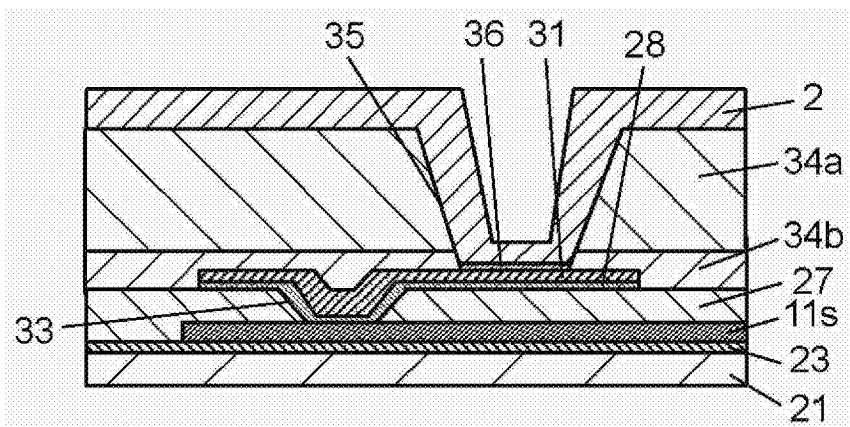


图9G

专利名称(译)	薄膜晶体管阵列装置以及使用它的EL显示装置		
公开(公告)号	CN103959470B	公开(公告)日	2016-08-24
申请号	CN201280056953.9	申请日	2012-11-22
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	株式会社日本有机雷特显示器		
[标]发明人	篠川泰治 伊藤研		
发明人	篠川泰治 伊藤研		
IPC分类号	H01L27/32 G09F9/30 H01L51/50		
CPC分类号	H01L27/3258 H01L27/124 H01L27/3248		
代理人(译)	薛凯		
审查员(译)	王鹏飞		
优先权	2012006693 2012-01-17 JP		
其他公开文献	CN103959470A		
外部链接	Espacenet SIPO		

摘要(译)

EL显示装置具有：在一对电极之间配置有发光层的发光部、和控制所述发光部的发光的薄膜晶体管阵列装置。在发光部与薄膜晶体管阵列装置之间配置层间绝缘膜，并且发光部的一方的阳极(2)介由层间绝缘膜(34)的接触孔(35)与薄膜晶体管阵列装置电连接。进一步地，薄膜晶体管阵列装置具有介由层间绝缘膜(34)的接触孔(35)与发光部的阳极(2)电连接的电

流供给用的中继电极(31)，并且在发光部的一方的阳极(2)与薄膜晶体管阵列装置的电流供给用的中继电极(31)的界面形成有扩散防止膜(36)。

