



(12)发明专利申请

(10)申请公布号 CN 109215575 A

(43)申请公布日 2019.01.15

(21)申请号 201711375430.1

(22)申请日 2017.12.19

(30)优先权数据

10-2017-0083267 2017.06.30 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 金奎珍

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 康建峰 杨铁成

(51)Int.Cl.

G09G 3/3225(2016.01)

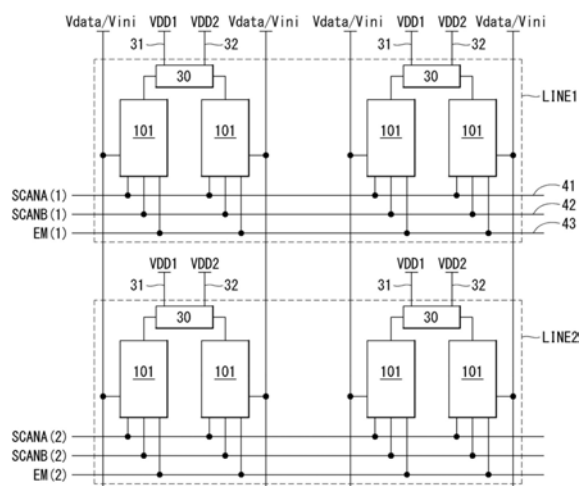
权利要求书2页 说明书13页 附图16页

(54)发明名称

显示面板和使用该显示面板的电致发光显示器

(57)摘要

本公开涉及显示面板和使用该显示面板的电致发光显示器。该显示面板包括：子像素，其包括发光元件和用于驱动发光元件的驱动元件，发光元件在驱动阶段期间通过驱动元件中的电流而发光；以及电力切换电路，被配置为在有源时段和消隐间隔中的驱动阶段期间将第一驱动电压提供给子像素，以及在有源时段的数据写入阶段和在消隐间隔的复位阶段、感测阶段和数据写入阶段期间将第二驱动电压提供给子像素。



1. 一种显示面板,其在包括有源时段和消隐间隔的帧时段期间显示帧数据,并且基于在所述消隐间隔中对像素的电特性进行感测的结果来调制输入图像的数据,所述显示面板包括:

子像素,其包括发光元件和用于驱动所述发光元件的驱动元件,所述发光元件在驱动阶段期间通过所述驱动元件中的电流而发光;以及

电力切换电路,被配置为在所述有源时段和消隐间隔中的驱动阶段期间将第一驱动电压提供给所述子像素,以及在所述有源时段的数据写入阶段和在所述消隐间隔的复位阶段、感测阶段和数据写入阶段期间将第二驱动电压提供给所述子像素。

2. 根据权利要求1所述的显示面板,其中,所述第一驱动电压被提供给第一电力线,并且所述第二驱动电压被提供给与所述第一电力线分开的第二电力线。

3. 根据权利要求1所述的显示面板,其中,所述子像素还包括连接至所述驱动元件的电容器,在所述有源时段和消隐间隔的驱动阶段期间所述第一驱动电压被提供至所述电容器的第一电极和所述驱动元件的第一电极,并且在所述消隐间隔的复位、感测和数据写入阶段期间所述第二驱动电压被提供至所述电容器的所述第一电极,

其中,所述子像素的所述电容器的第二电极经由第一节点连接至所述驱动元件的栅极,并且所述驱动元件的所述第一电极连接至所述电容器的所述第一电极且所述驱动元件的第二电极连接至第二节点。

4. 根据权利要求3所述的显示面板,还包括:

第一电力线,所述第一驱动电压被提供给所述第一电力线,并且全部像素线的子像素共同连接至所述第一电力线;以及

多个第二电力线,所述第二驱动电压被提供给所述多个第二电力线,并且所述多个第二电力线在所述像素线间分开。

5. 根据权利要求4所述的显示面板,其中,所述电力切换电路包括:

第一像素驱动电压开关元件,其在所述驱动阶段中响应于限定所述驱动阶段的持续时间的发光开关信号而导通,并且将所述第一电力线连接至所述子像素;以及

第二像素驱动电压开关元件,其响应于限定所述有源时段的数据写入阶段的持续时间以及所述消隐间隔的重置阶段、感测阶段和数据写入阶段的持续时间的第一扫描信号而导通,并且将所述第一电力线连接至所述子像素。

6. 根据权利要求5所述的显示面板,其中,所述子像素还包括:

第一开关元件,其响应于限定所述感测阶段的持续时间的第二扫描信号而导通并且将所述第一节点连接至所述第二节点;

第二开关元件,其响应于所述第一扫描信号而导通并且将数据线连接至所述第一节点;

第三开关元件,其响应于所述发光开关信号而导通并且将所述第二节点连接至第三节点;以及

第四开关元件,其响应于所述第一扫描信号而导通并且将被施加预定复位电压的第三电力线连接至所述第三节点,

其中,所述第三节点连接至所述第三开关元件、所述第四开关元件和所述发光元件的阳极,并且在所述数据写入阶段期间所述输入图像的数据电压被提供给所述数据线,并且

在所述复位阶段期间所述复位电压被提供给所述数据线。

7. 根据权利要求1所述的显示面板, 其中, 在所述消隐间隔的输入写入阶段和先前有源时段的数据驱动阶段中, 同一先前帧数据被写入到要在所述消隐间隔中感测的子像素, 并且在下一有源时段的数据写入阶段中, 当前帧数据被写入到所感测的子像素。

8. 一种电致发光显示器, 其包括根据权利要求1-7中任一项所述的显示面板。

9. 根据权利要求8所述的电致发光显示器, 其中, 所述显示面板包括:

第一子像素和第二子像素, 其连接至不同的数据线, 并且共同连接至第一栅极线、第二栅极线和第三栅极线;

数据驱动器, 被配置为在所述有源时段的数据写入阶段和所述消隐间隔的数据写入阶段期间将所述输入图像的数据电压提供给所述数据线, 以及在所述重置阶段期间将预定重置电压提供给所述数据线; 以及

栅极驱动器, 被配置为向所述第一栅极线提供第一扫描信号, 向所述第二栅极线提供第二扫描信号, 以及向所述第三栅极线提供发光开关信号, 其中, 所述第一扫描信号限定所述有源时段的数据写入阶段的持续时间以及所述消隐间隔的重置阶段、感测阶段和数据写入阶段的持续时间, 所述第二扫描信号限定所述感测阶段的持续时间, 所述发光开关信号限定所述驱动阶段的持续时间。

10. 根据权利要求8所述的电致发光显示器, 还包括输出所述第一驱动电压和所述第二驱动电压的电源电路,

所述电源电路包括输出所述第一驱动电压的第一输出端和输出所述第二驱动电压的第二输出端,

其中, 所述第一驱动电压和所述第二驱动电压以同一电压电平从所述电源电路输出。

11. 根据权利要求8所述的电致发光显示器, 还包括输出所述第一驱动电压和所述第二驱动电压的电源电路,

所述电源电路用过单个输出通道向单个配线输出单个驱动电压,

其中, 所述单个配线被分成第一支配线和第二支配线, 所述第一驱动电压通过所述第一支配线提供至所述子像素, 并且所述第二驱动电压通过所述第二支配线提供至所述子像素。

12. 根据权利要求8所述的电致发光显示器, 还包括:

第一电力线, 所述第一驱动电压被提供给所述第一电力线, 并且全部像素线的子像素共同连接至所述第一电力线; 以及

多个第二电力线, 所述第二驱动电压被提供给所述多个第二电力线, 并且所述多个第二电力线在所述像素线间分开并且连接至所述子像素,

其中, 当通过像素驱动电压线将所述第二驱动电压提供至布置在单个像素线上的子像素时, 所述第一驱动电压被提供至除所述单个像素线之外的其他像素线上的子像素。

显示面板和使用该显示面板的电致发光显示器

[0001] 本申请要求于2017年6月30日提交的韩国专利申请第10-2017-0083267号的优先权权益,出于所有目的将其全部内容通过引用并入本文,如同在本文中完全阐述一样。

技术领域

[0002] 本发明涉及能够实时补偿各个像素中的驱动元件的电特性的变化的显示面板和使用该显示面板的电致发光显示器。

背景技术

[0003] 根据发光层的材料,电致发光显示器大致分为无机发光显示器和有机发光显示器。其中,有源矩阵有机发光显示器包括作为自身发光的典型发光二极管的有机发光二极管(以下称为“OLED”),并且具有响应时间快、发光效率高、高亮度、宽视角的优点。

[0004] 有机发光显示器中的每个像素包括OLED、电容器、驱动元件、开关元件等。驱动元件和开关元件可以由MOSFET(金属氧化物半导体场效应晶体管)TFT(薄膜晶体管)实现。驱动元件根据图像的数据通过借助随图像数据的灰度级变化的栅极-源极电压调节OLED中的电流来调整像素的亮度。

[0005] 当用作驱动元件的晶体管工作在饱和区域时,在驱动元件的漏极与源极之间流动的驱动电流 I_{ds} 表示为:

$$[0006] \quad I_{ds} = 1/2 * (\mu L * C * W / L) * (V_{gs} - V_{th})^2$$

[0007] 其中 μ 是电子迁移率, C 是栅极绝缘膜的电容, W 是驱动元件的沟道宽度, L 是驱动元件的沟道长度。 V_g 是驱动元件的栅极-源极电压, V_{th} 是驱动元件的阈值电压(或临界电压)。驱动TFT的栅极-源极电压 V_{gs} 根据数据电压被编程(或设置)。驱动元件的流向OLED的漏极-源极电流 I_{ds} 根据编程的栅极-源极电压 V_{gs} 被确定。

[0008] 理想地,驱动元件的电特性(例如,阈值电压 V_{th} 、驱动TFT的电子迁移率 μ 和OLED的阈值电压)对于每个像素应该是相同的,这是因为它们用作用于确定OLED中的电流的因素。然而,由于包括处理变化、时间变化等的各种原因,电特性可能在像素间变化。像素的电特性的这种变化可能导致图像质量的下降和寿命的降低。

[0009] 为了补偿驱动元件的电特性的变化,可以应用内部补偿和外部补偿。在内部补偿方法中,可以实时地对每个像素补偿驱动元件的电特性的变化。在外部补偿方法中,通过感测每个像素的驱动电压并且基于感测的电压通过外部电路对输入图像的数据进行调制来补偿像素的驱动元件的电特性的变化。

[0010] 然而,传统的内部和外部补偿方法具有IR降效应的问题。IR降导致当电流 I 流过电阻器 R 时发生的像素的驱动电压的下降。该电压降随着屏幕上的位置而变化。因此,根据显示面板的屏幕上的位置,像素间可能存在亮度差异。

发明内容

[0011] 本发明致力于提供一种显示面板,其能够补偿各个像素中的驱动元件的电特性的

变化,并且使施加至像素的电力的电压降的影响最小化。

[0012] 根据一个实施例,提供一种显示面板,其在包括有源时段和消隐间隔的帧时段期间显示帧数据,并且基于在消隐间隔中对像素的电特性进行感测的结果来调制输入图像的数据,显示面板包括:子像素,其包括发光元件和用于驱动发光元件的驱动元件,发光元件在驱动阶段期间通过驱动元件中的电流而发光;以及电力切换电路,被配置为在有源时段和消隐间隔中的驱动阶段期间将第一驱动电压提供给子像素,以及在有源时段的数据写入阶段和在消隐间隔的复位阶段、感测阶段和数据写入阶段期间将第二驱动电压提供给子像素。

[0013] 根据另一个实施例,提供一种电致发光显示器,其包括根据本公开的实施例的显示面板。

附图说明

[0014] 包括附图以提供对本发明的进一步理解并且附图被并入且构成本申请的一部分,附图示出了本发明的实施方式,并且与说明书一起用于解释本发明的原理。在附图中:

[0015] 图1是示出根据本发明的示例性实施方式的电致发光显示器的框图;

[0016] 图2是根据本发明的示例性实施方式的外部补偿电路的电路图;

[0017] 图3是示出像素阵列的一部分的视图;

[0018] 图4是示出由IR降引起的电压降的视图;

[0019] 图5是示出施加至子像素的电容器的两端的电压的视图;

[0020] 图6至图8是在显示面板的一部分上的LOG (Line OnGlass (玻璃上线),即形成在玻璃基底上的配线)线和第二VDD线的一部分的放大图;

[0021] 图9和图10是示出由VDD线上的IR降引起的电压降的视图;

[0022] 图11A和图11B是示出根据本发明的示例性实施方式的电源电路与显示面板之间的VDD路径的视图;

[0023] 图12是示出根据本发明的示例性实施方式的第一和第二VDD线的视图;

[0024] 图13是示出其中所有像素线上的像素由公共VDD驱动的示例的视图;

[0025] 图14是示出其中感测阶段中施加至像素线的VDD和驱动阶段中施加至像素线的VDD分开的示例的视图;

[0026] 图15是示出根据本发明的示例性实施方式的VDD切换电路和像素电路的电路图;

[0027] 图16是示出垂直消隐间隔中的子像素感测阶段的波形图;

[0028] 图17是示出在垂直消隐间隔中将先前帧数据重新写入子像素的示例的视图;

[0029] 图18是示出有源时段的子像素数据写入阶段的波形图;

[0030] 图19是示出有源时段的数据写入阶段和驱动阶段的电路图;

[0031] 图20是示出在数据写入阶段和驱动阶段中施加至像素电路的VDD以及存储电容器的电压的视图;

[0032] 图21是示出在垂直消隐间隔的复位阶段和感测阶段中像素电路如何工作的电路图;以及

[0033] 图22是示出有源时段和垂直消隐间隔的视图。

具体实施方式

[0034] 通过参考以下示例性实施方式的详细描述和附图,可以更容易地理解本发明的各个方面和特征以及实现本发明的方法。然而,本发明可以以许多不同的形式实施,并且不应被解释为限于本文所阐述的示例性实施方式。相反,提供这些示例性实施方式使得本公开将是彻底和完整的,并且将向本领域技术人员全面地传达本发明的概念,并且本发明由所附权利要求限定。

[0035] 附图中所示的用于描述本发明的示例性实施方式的形状、尺寸、比例、角度、数量等仅仅是示例,而限于附图中所示的那些。在整个说明书中相同的附图标记表示相同的元件。在描述本发明时,将省略对相关公知技术的详细描述,以避免不必要地模糊本发明。

[0036] 当使用术语“包括”、“具有”、“由...组成”等时,只要没有使用术语“仅”,则可以添加其他部分。除非明确说明,单数形式可以解释为复数形式。

[0037] 即使没有明确说明,元件也可被解释为包括误差容限。

[0038] 当使用术语“上”、“上方”、“下面”、“旁边”等来描述两个部分之间的位置关系时,只要没有使用术语“紧接”或“直接”,则可以将一个或多个部分定位在这两个部分之间。

[0039] 应当理解,尽管术语第一、第二等可以用于描述各种元件,但这些元件的功能或结构不应该受这些术语的限制。

[0040] 本发明的各种示例性实施方式的特征可以部分地或全部地彼此耦合或组合,并且可以在技术上以各种方式相互作用或一起工作。示例性实施方式可以独立地或彼此结合地执行。

[0041] 在本发明的电致发光显示器中,像素电路可以包括n型TFT (NMOS) 和p型TFT (PMOS) 中的一种或更多种。TFT是具有栅极、源极和漏极的三电极器件。源极是向晶体管提供载流子的电极。TFT中的载流子从源极流动。漏极是载流子离开TFT的电极。也就是说,TFT中的载流子从源极流至漏极。在n型TFT的情况下,载流子是电子,因此源极电压低于漏极电压,使得电子从源极向漏极流动。在n型TFT中,电流从漏极向源极流动。在p型TFT (PMOS) 的情况下,载流子是空穴,因此源极电压高于漏极电压,使得空穴从源极向漏极流动。在p型TFT中,由于空穴从源极向漏极流动,所以电流从源极向漏极流动。应当注意,TFT的源极和漏极位置不固定。例如,源极和漏极可以根据所施加的电压互换。因此,本发明不应受到TFT的源极和漏极的限制。在下面的描述中,TFT的源极和漏极将被称为第一电极和第二电极。

[0042] 施加至像素电路的栅极信号在栅极导通电压与栅极关断电压之间摆动。栅极导通电压被设置为高于TFT的阈值电压,并且栅极关断电压被设置为低于TFT的阈值电压。TFT响应于栅极导通电压而导通,并响应于栅极关断电压而关断。在n型TFT中,栅极导通电压可以是栅极高电压VGH,并且栅极关断电压可以是栅极低电压VGL。在p型TFT中,栅极导通电压可以是栅极低电压VGL,并且栅极关断电压可以是栅极高电压VGH。

[0043] 在下文中,将参照附图详细描述本发明的各种示例性实施方式。将关于包括有机发光材料的有机发光显示器来描述以下示例性实施方式。然而,本发明的技术思想不限于有机发光显示器,而是可以应用于包括无机发光材料的无机发光显示器。无机发光显示器的示例可以包括但不限于量子点显示器。

[0044] 图1是示出根据本发明的示例性实施方式的电致发光显示器的框图。图2是根

据本发明的示例性实施方式的外部补偿电路的电路图。图3是示出像素阵列的一部分的视图。

[0045] 参照图1和图2,根据本发明的示例性实施方式的电致发光显示器包括显示面板100和显示面板驱动电路。

[0046] 显示面板100包括在屏幕上显示输入图像的有源区域AA。像素阵列被布置在有源区域AA中。像素阵列包括信号线和像素。信号线包括数据线102和与数据线102交叉的栅极线104。用于向像素提供电力(例如,VDD、Vini和VSS)的电源线和电极可以被布置在像素阵列中。像素包括以矩阵形式布置的像素。在图3中,LINE 1和LINE 2表示像素线。像素线LINE1和LINE2各自包括像素阵列中的共享栅极线的1个像素线。

[0047] 每个像素可以被分成用于颜色表示的红色子像素、绿色子像素和蓝色子像素。每个像素还可以包括白色子像素。每个子像素101包括像素电路。像素电路包括发光元件、驱动元件、多个开关元件和电容器。像素电路包括补偿电路,其能够通过使用开关元件来实时地补偿各个像素中的驱动元件的电特性的变化。驱动元件和开关元件可以由PMOS TFT来实现,但不限于此。

[0048] 显示面板100还可以包括:VDD线,用于将像素驱动电压VDD提供至子像素101;Vini配线,用于向子像素101提供复位电压Vini以使像素电路复位;VSS配线和VSS电极,用于向子像素101提供低电势供电电压VSS;被施加VGH的VGH配线;被施加VGL的VGL配线等。VDD线被分成施加VDD1的第一VDD线31和施加VDD2的第二VDD线32。

[0049] 供电电压(例如,VDD、Vini和VSS)从电源电路150产生。电源电路150通过使用DC-DC转换器、电荷泵、调节器等来产生用于驱动像素所需的功率。电源电路150可以被实现为但不限于PMIC(电源模块集成电路)。供电电压可以设置为但不限于 $VDD = VDD1 = VDD2 = 4.5V$, $VSS = -2.5V$, $Vini = -3.5V$, $VGH = 7.0V$, 并且 $VGL = -5.5V$ 。供电电压可以根据显示面板100的驱动特性或型号而变化。

[0050] 可以在显示面板100的屏幕上设置触摸传感器(未示出)。可以使用触摸传感器或通过像素来感测触摸输入。触摸传感器可以实现为设置在显示面板的屏幕上的单元上型触摸传感器或外挂式触摸传感器,或者内置于像素阵列中的单元内式触摸传感器。

[0051] 显示面板驱动电路包括数据驱动器110、栅极驱动器120、VDD切换电路30等。显示面板驱动电路还可以包括设置在数据驱动器110与数据线102之间的去多路复用器112。

[0052] 在定时控制器(TCON)130的控制下,显示面板驱动电路将输入图像的数据写入显示面板100的像素。显示面板驱动电路还可以包括用于驱动触摸传感器的触摸传感器驱动器。图1中省略了触摸传感器驱动器。在移动装置中,显示面板驱动电路、定时控制器130和电源电路150可以集成在单个集成电路中。

[0053] 同一像素线上的相邻子像素101共同地连接至VDD切换电路30。这意味着相邻的子像素共享单个VDD切换电路30。VDD切换电路30在有源时段AT的驱动阶段期间将VDD1提供至子像素101(参见图22),并且在有源时段的数据写入阶段期间以及在垂直消隐间隔VB的复位阶段和感测阶段期间将VDD2提供至子像素101(参见图22)。

[0054] 有源时段是将数据中的1帧写入屏幕上的所有像素的时间。垂直消隐间隔是在第(N-1)有源时段与第N有源时段之间的给定时间段。在垂直消隐间隔期间,定时控制器130不接收下一帧数据(第N帧数据)。

[0055] 驱动阶段是将VDD1提供至驱动元件的时间,并且由驱动元件的栅极-源极电压 V_{gs} 生成的电流 I_{ds} 流向发光二极管。在驱动阶段,子像素的发光元件可以发光。

[0056] 数据写入阶段是将VDD2提供至存储电容器 C_{st} 的第一电极的时间,并且从数据驱动器110生成的数据电压 V_{data} 被施加至存储电容器 C_{st} 的第二电极和驱动元件的栅极。

[0057] 感测阶段被分配在垂直消隐间隔内。用于使子像素复位的复位阶段在感测阶段之前。在感测阶段,子像素的电特性(例如,驱动元件的阈值电压)被感测。

[0058] 显示面板驱动电路在每个有源时段中将当前帧的数据写入所有子像素。显示面板驱动电路在垂直消隐间隔中感测预设像素线上的子像素的驱动元件的电特性,并将第(N-1)帧数据(即先前帧数据)重新写入所感测的子像素。可以在垂直消隐间隔中感测一个或更多个像素线,然后可以在下一垂直消隐间隔中感测其它像素线。

[0059] 显示面板驱动电路可以以慢驱动模式工作。在慢驱动模式下,对输入图像进行分析,并且如果输入图像在预设时间段内没有改变,则显示装置的功耗降低。在慢驱动模式下,当静止图像显示超过一定量的时间时,通过降低像素的刷新速率(或帧速率)来延长数据写入像素的间隔,从而降低功耗。慢驱动模式不限于输入静止图像的情况。例如,当显示装置以待机模式工作或者超过给定时间量时没有用户命令或输入图像被输入至显示面板驱动电路时,显示面板驱动电路可以以慢驱动模式工作。

[0060] 数据驱动器110借助于数模转换器(DAC)22将从定时控制器130接收的每帧的输入图像的数据信号(数字数据)转换成模拟数据电压。定时控制器130将由补偿部分131调制的补偿数据传送至数据驱动器110。从数据驱动器110输出的数据电压 V_{data} 通过去多路复用器112提供至数据线102。数据驱动器110可以包括图2所示的感测部分20。

[0061] 去多路复用器112设置在数据驱动器110与数据线102之间,并将从数据驱动器110输出的数据电压 V_{data} 分配给数据线102。由于去多路复用器112,数据驱动器110的输出通道的数量可以减少到数据线的数量的一半。

[0062] 在定时控制器130的控制下,栅极驱动器120将栅极信号输出至栅极线104。栅极驱动器120可以通过由移位寄存器使信号移位来将栅极信号顺序地提供至栅极线104。栅极信号包括:扫描信号 $SCANA(1)$ 至 $SCANB(2)$,用于选择要写入数据的像素线;以及发光开关信号(以下称为“EM信号”) $EM(1)$ 和 $EM(2)$,其限定充载数据电压的像素的发光时间。在图3中, $SCANA(1)$ 、 $SCANB(1)$ 和 $EM(1)$ 是提供至第一像素线 $LINE 1$ 的子像素101的栅极信号。 $SCANA(2)$ 、 $SCANB(2)$ 和 $EM(2)$ 是提供至第二像素线 $LINE 2$ 的子像素101的栅极信号。栅极线104包括:第一栅极线41,其被施加第一扫描信号 $SCANA(1)$ 和 $SCANA(2)$;第二栅极线42,其被施加 $SCANB(1)$ 和 $SCANB(2)$;以及第三栅极线43,其被施加EM信号 $EM(1)$ 和 $EM(2)$ 。

[0063] 可以使用相同的制造工艺将子像素的像素电路、去多路复用器112、栅极驱动器120和电源切换电路140直接形成在显示面板100的基板上。像素电路、去多路复用器112、栅极驱动器120和电源切换电路140的晶体管可以被实现为NMOS或PMOS晶体管,或者实现为相同类型的晶体管。

[0064] 定时控制器130从主机系统(未示出)接收输入图像的数字数据和与数字数据同步的定时信号。定时信号包括垂直同步信号 V_{sync} 、水平同步信号 H_{sync} 、时钟信号 $DCLK$ 和数据使能信号 DE 。主机系统可以是以下中的任何一个:TV(电视)系统、机顶盒、导航系统、个人计算机PC、家庭影院系统和移动装置系统。

[0065] 定时控制器130基于在垂直消隐间隔中接收的子像素感测结果来选择补偿值,通过该补偿值来调制输入图像的数字数据,并将其发送至数据驱动器110。因此,数据驱动器110通过DAC 22将基于子像素感测结果调制的数据转换成数据电压,并将其输出至数据线102。

[0066] 定时控制器130可以通过将输入帧频率(Hz)乘以*i*倍(*i*是大于0的正整数)来控制显示面板驱动器110、112、120和140的操作定时。输入帧频率在NTSC(国家电视标准委员会)系统中为60Hz,在PAL(逐行倒相)系统中为50Hz。在慢驱动模式下,定时控制器130可以将帧频率降低至1Hz至30Hz的频率,以降低像素的刷新速率。

[0067] 定时控制器130基于从主机系统接收的定时信号Vsync、Hsync和DE通过生成用于控制数据驱动器110的数据定时控制信号、用于控制去多路复用器112的开关控制信号、以及用于控制栅极驱动器120的栅极定时控制信号来控制显示面板驱动电路的操作定时。从定时控制器130输出的栅极定时控制信号可以通过电平移位器转换成栅极导通电压或栅极关断电压,并被提供至栅极驱动器120。电平移位器将栅极定时控制信号的低电平电压转换成栅极低电压VGL,并将栅极定时控制信号的高电平电压转换成栅极高电压VGH。

[0068] 栅极驱动器120可以形成在有源区域AA外部的边框区域BZ中。VDD切换电路30可以形成在边框区域BZ中或分布在有源区域AA内。

[0069] 通过感测每个像素的电特性并基于感测结果产生用于补偿子像素的电特性的变化的补偿值,在产品出货之前创建查找表。该补偿值可以被分成用于补偿驱动元件的阈值电压的补偿值(偏移)和用于补偿驱动元件的迁移率的补偿值(增益)。补偿值的查找表存储在存储器132上。存储器132可以是但不限于闪速存储器。

[0070] 当电力施加至电致发光显示器时,来自存储器132的补偿值被发送至定时控制器130的补偿部分131的存储器。补偿部分131的存储器可以是但不限于DDR SDRAM(双倍数据速率同步动态RAM)或SDRAM。

[0071] 如图2所示,数据驱动器110包括:DAC 22;感测部分20;第一开关元件SW1,设置在DAC 22的输出端与数据线102之间;第二开关元件SW2,用于向数据线102提供Vini;以及第三开关元件SW3,设置在数据线102与感测部分20的输入端之间。开关元件SW1、SW2、SW3可以在定时控制器130的控制下导通/断开。

[0072] 在有源时段中,第一开关元件SW1可以导通,并且将从DAC 22输出的数据电压Vdata提供至数据线102。第一开关元件SW1在垂直消隐间隔期间保持在断开状态。

[0073] 在垂直消隐间隔的复位阶段,第二开关元件SW2将Vini提供至数据线102。在垂直消隐间隔的感测阶段中,第三开关元件SW3导通,以将数据线102连接至感测部分20。第二和第三开关元件SW2和SW3在有源时段期间保持在断开状态。

[0074] 感测部分20在每一帧的垂直消隐间隔中实时感测子像素的电特性(例如,驱动元件的阈值电压)。感测部分20借助于模数转换器(以下称为“ADC”)将子像素感测结果转换成数字数据,并将其发送至补偿部分131。感测部分20可以实现为公知的电压感测电路或电流感测电路。

[0075] 补偿部分131将从感测部分20接收的子像素感测结果输入至查找表中,基于感测结果选择补偿值,通过补偿值对输入图像的数据进行调制,并且输出经补偿的数据。可以向输入图像的数据添加用于补偿驱动元件的阈值电压的补偿值,并且可以将用于补偿驱动元

件的迁移率的补偿值乘以输入图像的数据。从补偿部分131输出的补偿数据被发送至数据驱动器110。因此,根据本发明的电致发光显示器可以通过在每一帧的垂直消隐阶段中实时感测子像素的电特性并基于感测结果补偿输入图像的数据来实时补偿子像素的电特性的变化。

[0076] 将结合图4至图10来描述影响像素的IR降。

[0077] 如图4所示,IR降是指当电流I流过电阻R时发生的电压降。在图4中, V_{ext} 是外部输入电压,并且 V_{in} 是提供至负载的实际输入电压。 V_{out} 是已经通过负载的输出电压 V_{out} 。实际输入电压 V_{in} 为 $V_{in}=V_{ext}-IR$ 。

[0078] 像素电路包括存储驱动元件的栅极-源极电压的存储电容器 C_{st} 。如图5所示,VDD被施加至存储电容器 C_{st} 的第一电极,并且 $VDD-V_{gs}=VDD-DATA-V_{th}$ 被施加至其第二电极。DATA是与像素的灰度级/输入图像中的数据对应的电压。 V_{gs} 是驱动元件的栅极-源极电压,并且 V_{th} 是驱动元件的阈值电压。

[0079] 图6至图8是显示面板100的一部分上的LOG线和VDD线的视图。在图6至图8中,“D-IC”表示移动装置的驱动IC。电源电路150、定时控制器130、数据驱动器110等可以集成在驱动IC D-IC中。

[0080] 参照图6至图8,显示面板100中的VDD线包括:LOG线70,其通过PCB(或FPCB)从电源电路150接收VDD;以及连接至LOG线70的网格状VDD线72。LOG线70的电阻比VDD线72的电阻高。

[0081] VDD线72包括图7所示的垂直配线72a和图8所示的水平配线72b。垂直配线72a和水平配线72b彼此交叉,在其之间具有绝缘层,并且经由在至少一些交点处穿过绝缘层的接触孔连接在一起。在图8至图10中,接触孔可以形成在位置B、C、D和E处。

[0082] 通过LOG线的电阻发生输入IR降。由于LOG线具有高电阻,所以电压VDD可以因输入IR降而变化。如果驱动位置B、C、D和E处的像素所需的电流分别为 I_b 、 I_c 、 I_d 和 I_e ,则LOG线上位置A处的电流 I_a 为 $I_b+I_c+I_d+I_e$ 。因此,位置A处的电压为 $V_a=VDD-(R_a*I_a)=VDD-\{R_a*(I_b+I_c+I_d+I_e)\}$ 。这里,IR降为 $R_a*(I_b+I_c+I_d+I_e)$ 。 R_a 是LOG线在位置A处的电阻。IR降是随着所有像素所需的电流量而变化的电压,并且由于IR降是随着所有像素所需的电流量而变化的电压,所以输入IR降比VDD线72上的IR降更陡。

[0083] VDD线72上的IR降可以被划分为在垂直配线72a上发生的垂直IR降,以及在水平配线72b上发生的水平IR降。如图7所示,垂直IR降是出现在垂直配线72a上的IR降。在分析除了水平配线72b之外的VDD线72上的垂直降时,流过位置B的电流等于位置B处所需的电流 I_b 与位置C处所需的电流 I_c 之和。位置B处的电压 V_b 是 $V_b=V_a-\{R_b*(I_b+I_c)\}$ 。 R_b 是位置B处的电阻。

[0084] 如图8所示,水平IR降是在水平配线72b上出现的IR降。在分析除垂直配线72a之外的VDD线72上的水平降时,流过位置B的电流等于位置B处所需的电流 I_b 与位置D处所需的电流 I_d 之和。位置B处的电压 V_b 是 $V_b=V_a-\{R_b*(I_b+I_d)\}$ 。

[0085] 在电致发光显示器中,受在其他像素上发生的VDD的IR降的影响,像素的亮度可能变化。例如,如图9所示,当所有像素以白电平接通时,施加至位置P1处的接通像素的VDD中的电压降较陡。相反,当一些像素接通而大多数像素断开时,施加至位置P1处的接通像素的VDD的电压降相对较浅。

[0086] 恒定电流需要通过像素的驱动元件流向发光元件,以便所有像素在相同的灰度级下发射具有相同亮度的光。在高PPI(像素每英寸)模式的情况下,如图10所示,VDD线的电阻较高,并且随着其下降到显示面板100上的较低位置P1和P2,IR降变得较陡。IR降根据显示面板上的位置引起施加至驱动元件的VDD的电压降并且引起流过发光元件的电流的变化,这可能导致不均匀的亮度。

[0087] 当VDD施加至显示面板100上的顶部位置P0时,IR降使得VDD在中间位置P1处下降至 $VDD-\alpha$,并在底部位置P2处进一步下降至 $VDD-\beta$ 。

[0088] 在本发明的电致发光显示器中,VDD分为驱动阶段的 $VDD=VDD1$ 和感测阶段及数据写入阶段的 $VDD=VDD2$,并且子像素的电特性的变化由外部补偿来补偿。在本发明中,在数据在有源时段中被写入子像素并且子像素的电特性在垂直消隐间隔中被感测的情况下,VDD($=VDD2$)被施加至子像素。因此,本发明的电致发光显示器在感测和数据写入阶段中没有IR降的影响的情况下防止各个子像素的驱动元件的栅极-源极电压 V_{gs} 变化,并且能够准确地感测各个像素的驱动元件的电特性,这是因为在感测阶段没有IR降的影响。本发明的电致发光显示器能够通过基于子像素感测结果补偿VDD线上的IR降并补偿输入图像数据来在屏幕上以均匀亮度显示图像,而不需要额外开发用于补偿IR降的算法或补偿电路。

[0089] 图11A和11B是示出根据本发明的示例性实施方式的电源电路150与显示面板100之间的VDD路径的视图。

[0090] 如图11A所示,本发明的电源电路150可以通过单独的输出通道输出VDD1和VDD2,并将其提供至显示面板100。VDD1通过电源电路150的第一输出端CH1提供,并被提供至PCB上的第一VDD线132。PCB上的第一VDD线132连接至显示面板100上的第一VDD线31。VDD2通过电源电路150的第二输出端CH2提供,并被提供至PCB上的第二VDD线路134。PCB上的第二VDD线134连接至显示面板100上的第二VDD线32。尽管在图11A的情况下VDD1和VDD2可以以相同的电压电平从电源电路150输出,它们也可以以不同的电平输出。电压VDD1和VDD2可以根据显示面板的驱动特性或应用来确定。

[0091] 如图11B所示,本发明的电源电路150可以通过单个通道输出VDD1和VDD2,并将其提供至显示面板100。通过电源电路150的第一输出端CH1输出的VDD被提供至PCB上的单个配线50。单个配线50被分成两个分支配线136和138。施加至第一分支配线136的VDD被提供至显示面板100上的第一VDD线31。施加至第二分支配线138的VDD2被提供至显示面板100上的第二VDD线32。

[0092] 图11B中的单个输入配线50应设计为具有最小电阻。流过单个输入配线50的电阻 R_t 的电流 I_t 为 $I_t=I_1+I_2$ 。节点X处的电压等于 $(V_x)=R_t*I_t=R_t*(I_1+I_2)$ 。流过第一分支配线136的电流 I_1 可以导致在数据写入阶段和感测阶段中提供至子像素的VDD1的变化。因此,单个输入配线50的电阻 R_t 应设置为小于分支配线46和48的电阻 R_1 和 R_2 的1%,以将通过分支配线 I_1 的电流 I_1 所引起的VDD2的变化抑制成小于1%。然而,本发明不限于此。

[0093] 图12是示出根据本发明的示例性实施方式的第一和第二VDD线的视图。

[0094] 参照图12,第一VDD线31在显示图像的有源区域AA中的像素阵列上以网格状图案形成,并连接至所有子像素。VDD切换电路30将在驱动阶段中被施加VDD1的第一VDD线31连接至子像素。VDD切换电路30在驱动阶段将第二VDD线32与子像素断开。

[0095] 第二VDD线32包括形成在各个像素线上的多个VDD线321至324。VDD线321至324在

像素线间分开。在数据写入和感测阶段，VDD切换电路30将第一像素线上的子像素101连接至被施加VDD2的2-1VDD线321。VDD切换电路30将第二像素线上的子像素101连接至被施加VDD2的2-2VDD线322。在数据写入和感测阶段，VDD切换电路30依次将第二VDD线321至324顺序地连接至各个像素线。VDD切换电路30将第一VDD线31与在数据写入和感测阶段中操作的子像素断开。

[0096] 图13是示出其中所有像素线上的像素由公共VDD驱动的示例的视图。图14是示出在感测阶段中施加至像素线的VDD和在驱动阶段中施加至像素线的VDD分开的示例的视图。

[0097] 如图13所示，从电源电路150输出的公共VDD被通过输入电阻 R_{in} 提供至在驱动阶段中操作的子像素132。此外，公共VDD通过输入电阻 R_{in} 提供至在复位阶段、感测阶段或数据写入阶段中操作的子像素131。在这种情况下，施加至在复位阶段、感测阶段或数据写入阶段中操作的子像素131的VDD的IR降被在驱动阶段中操作的子像素132增加。在图13中，“ I_{dr} ”是流过在驱动阶段中操作的子像素132的驱动元件的电流，并且“ I_{sc} ”是流过在复位阶段、感测阶段或数据写入阶段中操作的子像素131的驱动元件的电流。如果 $I_{sc} = I_{dr}$ ，则提供至图13所示的子像素131的电压 V_{sc} 是 $V_{sc} = VDD_{PMIC} - (I_{sc} * N * M * \text{子像素的数量} * R_{in})$ 。这里， VDD_{PMIC} 是从电源电路150输出的VDD。 $N * M$ 是显示面板100的分辨率。

[0098] 参照图14，电源电路150通过使用VDD开关元件在复位阶段、感测阶段或数据写入阶段中将VDD2提供至第二VDD线32。当VDD2被通过第二VDD线32提供至布置在像素线上的子像素时，驱动阶段的VDD1被提供至除了被施加VDD2的像素线之外的其它像素线上的子像素。

[0099] 如图14所示，从电源电路150输出的VDD2通过第一输入电阻 R_{in1} 提供至在复位阶段、感测阶段或数据写入阶段中操作的子像素141。从电源电路150输出的用于驱动阶段的VDD1被通过第二输入电阻 R_{in2} 提供至在驱动阶段中操作的子像素142。假设 $I_{sc} = I_{dr}$ ，则提供至图14所示的子像素141的电压 V_{sc} 是 $V_{sc} = VDD_{PMIC} - (I_{sc} * R_{in1})$ 。因此，从图14看出，由于提供至子像素141的VDD2不受其他子像素的影响，所以不存在由IR降引起的电压降。

[0100] 图15是示出根据本发明的示例性实施方式的VDD切换电路和像素电路的电路图。图16是示出垂直消隐间隔中的子像素感测阶段的波形图。图17是示出在垂直消隐间隔中将先前帧数据重新写入子像素的示例的视图。图18是示出有源时段中的子像素数据写入阶段的波形图。

[0101] 参照图15至图18，VDD切换电路30包括连接至相邻的第一和第二子像素101A和101B的第一和第二开关元件M1和M2。第一子像素101A和第二子像素101B连接至不同的数据线102并且共同连接至多个栅极线41至43。

[0102] 在本发明中，VDD切换电路30的VDD开关元件M1和M2被第一和第二子像素101A和101B共享，因此VDD切换电路30所需的开关元件的数量可以减小并且VDD切换电路30所需的面积可以减小。

[0103] 像素电路包括发光元件EL、驱动元件DT、存储电容器 C_{st} 和多个开关元件T1至T4。VDD开关元件M1和M2以及开关元件T1至T4以及像素电路的驱动元件DT可以由PMOS TFT实现。

[0104] 子像素的发光元件EL在电流 I_{ds} 流过驱动元件DT的驱动阶段DRV中发光。除了有源时段AT的数据写入阶段WRA以及垂直消隐间隔VB的复位阶段INI、感测阶段SEN和数据写入

阶段WRV之外,驱动阶段DRV占据1帧中的大部分。

[0105] 如图16所示,垂直消隐间隔VB包括复位阶段INI、感测阶段SEN、数据写入阶段WRV和驱动阶段DRV。如图18所示,有源时段AT包括数据写入阶段WRA和驱动阶段DRV。在垂直消隐间隔VB之后的有源时段AT中感测的子像素的数据写入阶段WRA中,当前帧数据被写入子像素。另一方面,在垂直消隐间隔VB的数据写入阶段WRV中,先前的帧数据被重新写入子像素。这意味着写入先前有源时段AT中感测的子像素的数据和在垂直消隐间隔VB中写入的数据相同。

[0106] 第一VDD开关元件M1在驱动阶段DRV中响应于EM信号EM(N)导通。第一VDD开关元件M1将第一VDD线31连接至驱动阶段DRV的子像素,并将VDD1提供至子像素的驱动元件DT和存储电容器Cst。第一VDD开关元件M1包括:栅极,其连接至被施加EM信号EM(N)的第三栅极线43;第一电极,其连接至第一VDD线31;以及第二电极,其连接至像素电路的驱动元件DT和存储电容器Cst。

[0107] 第二VDD开关元件M2响应于第一扫描信号SCANA(N)而导通。第二VDD开关元件M2将第二VDD线32连接至数据写入阶段或感测阶段的子像素,并将VDD2提供至子像素的驱动元件DT和存储电容器Cst。第二VDD开关元件M2包括:栅极,其连接至被施加第一扫描信号SCANA(N)的第一栅极线41;第一电极,其连接至第二VDD线32;以及第二电极,其连接至像素电路的驱动元件DT和存储电容器Cst。

[0108] 像素电路的发光元件EL可以被实现为OLED。OLED包括在阳极和阴极之间形成的有机化合物层。有机化合物层可以包括但不限于空穴注入层HIL、空穴传输层HTL、发光层EML、电子传输层ETL和电子注入层EIL。当OLED接通时,穿过空穴传输层HTL的空穴和穿过电子传输层ETL的电子移动到发光层EML,形成激子。因此,发光层EML产生可见光。OLED通过在驱动阶段DRV中产生并由驱动元件DT的栅极-源极电压V_{gs}调节的电流发光。OLED的阳极经由第三节点n3连接至第三和第四开关元件T3和T4。OLED的阴极连接至被施加VSS的VSS电极。在驱动阶段,OLED的电流路径通过像素电路的第一VDD开关元件M1和第三开关元件T3被切换。

[0109] 存储电容器Cst的第一电极在数据写入阶段和感测阶段中通过VDD切换电路30连接至第二VDD线32,并且在驱动阶段中通过VDD切换电路30连接至第一VDD线31。存储电容器Cst的第二电极经由第一节点n1连接至驱动元件DT的栅极、第一开关元件T1的第一电极和第二开关元件T2的第二电极。

[0110] 第一开关元件T1在感测阶段响应于第二扫描信号SCANB(N)导通。在感测阶段第一开关元件T1将第一节点n1连接至第二节点n2。第二节点n2连接至第一开关元件T2的第二电极、驱动元件D2的第二电极和第三开关元件T3的第一电极。第一开关元件T1包括:栅极,其连接至被施加第二扫描信号SCANB(N)的第二栅极线42;第一电极,其连接至第一节点n1;以及第二电极,其连接至第二节点n2。

[0111] 第二开关元件T2在有源时段AT的数据写入阶段WRA以及垂直消隐间隔VB的复位阶段INI、感测阶段SEN和数据写入阶段WRV中响应于第一扫描信号SCANA(N)导通,并将数据线102连接至第一节点n1。第二开关元件T2包括:栅极,其连接至被施加第一扫描信号SCANA(N)的第一栅极线41;第一电极,其连接至数据线102;以及第二电极,其连接至第一节点n1。

[0112] 第三开关元件T3在驱动阶段DRV中响应于EM信号EM(N)导通,并将第二节点n2连接至第三节点n3。第三开关元件T3包括:栅极,其连接至被施加EM信号EM(N)的第三栅极线43;

第一电极,其连接至第二节点n2;以及第二电极,其经由第三节点n3连接至发光元件EL的阳极。

[0113] 第四开关元件T4在有源时段AT的数据写入阶段WRA以及垂直消隐间隔VB的复位阶段INI、感测阶段SEN和数据写入阶段WRV中响应于第一扫描信号SCANA(N)导通,并将Vini配线连接至第三节点n3。第四开关元件T4在复位阶段INI、感测阶段SEN以及数据写入阶段WRA和WRV中将Vini配线连接至发光元件EL的阳极,以使发光元件EL的寄生电容放电,从而防止子像素的运动模糊。第四开关元件T4包括:栅极,其连接至第一栅极线41;第一电极,其连接至Vini配线;以及第二电极,其连接至第三节点n3。

[0114] 参照图16和图17,在垂直消隐间隔VB中,生成第一扫描信号SCANA(N)作为限定复位阶段INI、感测阶段SEN和数据写入阶段WRV的栅极导通电压的脉冲。在垂直消隐间隔VB中,生成第二扫描信号SCANB(N)作为限定感测阶段SEN的栅极导通电压的脉冲。第二扫描信号SCANB(N)仅在感测阶段SEN中的栅极导通电压下生成,并且在垂直消隐间隔VB的剩余时间期间和有源时段AT期间保持在栅极关断电压。生成EM信号EM(N)作为在垂直消隐间隔VB的复位阶段INI、感测阶段SEN和数据写入阶段WRV中的栅极关断电压的脉冲,并在驱动阶段DRV中在栅极导通电压下生成。

[0115] 如图21所示,在复位阶段INI中,像素电路的第二VDD开关元件M2和第二开关元件T2和第四开关元件T4响应于第一扫描信号SCANA(N)导通。在复位阶段INI中,Vini被提供至数据线102。因此,在复位阶段INI中,像素电路的存储电容器Cst的第一电极和驱动元件DT的第一电极被复位为VDD2减去IR降,并且第一节点n1和第三节点n3被复位为Vini。

[0116] 如图21所示,在感测阶段SEN中,像素电路的第二VDD开关元件M2和第一、第二和第四开关元件T1、T2和T4响应于扫描信号SCANA(N)和SCANB(N)导通。在感测阶段INI中,VDD2减去IR降被提供至像素电路的存储电容器Cst的第一电极和驱动元件DT的第一电极,并且它们保持导通直到驱动元件DT的栅极-源极电压Vgs达到阈值电压Vth并且阈值电压Vth被存储在存储电容器Cst中。在感测阶段SEN中感测的驱动元件DT的阈值电压Vth通过第一和第二开关元件T1和T2以及数据线102被转换成感测部分20中的数字数据,然后被传送至补偿部分131。

[0117] 在数据写入阶段WRV中,像素电路的第二VDD开关元件M2和第一、第二和第四开关元件T1、T2和T4响应于第一扫描信号SCANA(N)导通。在数据写入阶段WRV中,先前帧的数据电压Vdata被提供至数据线102,并且输入图像的数据被写入子像素。在数据写入阶段WRV中,通过将数据电压Vdata补偿等于驱动元件DT的阈值电压Vth的量而产生的数据电压Vdata+Vth被存储在存储电容器Cst中。在数据写入阶段WRV中,驱动元件DT的Vgs变为存储在存储电容器Cst中的电压Vdata+Vth。在数据写入阶段WRV中,写入子像素的数据与先前的有源时段的先前帧数据相同。该数据是如图17所示的先前帧数据。

[0118] 在垂直消隐间隔VB的驱动阶段DRV中,像素电路的第一VDD开关元件M1和第三开关元件T3响应于EM信号EM(N)导通。在这种情况下,驱动元件DT通过栅极-源极电压Vgs生成电流Ids。发光元件EL通过来自驱动元件DT的电流Ids接通并发光。在驱动阶段DRV中提供至像素电路的VDD1包括由IR降引起的电压降 α 。在驱动阶段DRV中,当VDD1- α 施加至存储电容器Cst的第一电极和驱动元件DT的第一电极时,第一节点n1处的电压减小 α ,导致驱动元件DT的Vgs没有变化。因此,在驱动阶段DRV中发光元件EL在不受IR降的影响的情况下被驱动。

[0119] 参照图17,在第(N-1)有源阶段VB(N-1)期间,先前帧数据被写入子像素PIX(N)。子像素PIX(N)是要在垂直消隐间隔VB中感测的任意子像素。当在第(N-1)有源时段AT(N-1)期间将数据写入所有像素之后,当子像素PIX(N)被复位然后在第(N-1)垂直消隐间隔VB(N-1)中被感测时,数据被从子像素PIX(N)擦除,因此子像素PIX(N)关断。在存在垂直消隐间隔VB(N-1)的1帧期间,在垂直消隐间隔VB(N-1)的感测阶段SEN之后,应将与先前帧数据相同的数据重新写入子像素PIX(N),使得所感测的子像素PIX(N)的亮度可以保持恒定。

[0120] 参照图18,有源时段AT包括由第一扫描信号SCANA(N)限定的数据写入阶段WRA和由EM信号EM(N)限定的驱动阶段WRA。

[0121] 在有源时段AT中,生成第一扫描信号SCANA(N)作为限定大约1个水平时间的数据写入阶段WRA的栅极导通电压的脉冲。在数据写入阶段WRA中,第二扫描信号SCANB(N)和EM信号EM(N)是栅极关断电压。第二扫描信号SCANB(N)在有源时段AT期间被保持在栅极关断电压。如图19所示,第二VDD开关元件M2和第二开关元件T2在数据写入阶段WRV中导通。在数据写入阶段WRV中,将当前帧数据的数据电压Vdata提供至数据线102,并将数据写入子像素。数据电压Vdata等于 $VDD - (DATA - V_{th})$ 。DATA是与数据中的灰度级对应的电压。因此,VDD2被施加至存储电容器Cst和驱动元件DT的第一电极,并且数据电压Vdata被提供至连接至存储电容器Cst的第二电极的第一节点和驱动元件的栅极。

[0122] 在有源时段AT的驱动阶段DRV中,如图19所示,第一VDD开关元件M1和第三开关元件T3响应于EM信号EM(N)导通。在这种情况下,驱动元件DT通过栅极-源极电压Vgs产生电流Ids。发光元件EL通过来自驱动元件DT的电流Ids接通并发光。在驱动阶段DRV中被提供至像素电路的VDD1包括由IR降引起的电压降 α 。在驱动阶段DRV中,当向存储电容器Cst的第一电极和驱动元件DT的第一电极施加VDD1- α 时,第一节点n1处的电压减小 α ,导致驱动元件DT的Vgs没有变化。因此,在驱动阶段DRV中发光元件EL在不受IR降的影响的情况下被驱动。

[0123] 图20是示出在数据写入阶段WRA或WRB以及驱动阶段DRV施加至像素电路的VDD和存储电容器的电压的视图。

[0124] 参照图20,VDD2=VDD被施加至存储电容器Cst的第一电极和驱动元件DT的第一电极,并且 $Vdata = VDD - (DATA - V_{th})$ 被施加至存储电容器Cst的第二电极。因此,存储电容器Cst的电压为 $Vgs = DATA + V_{th}$ 。

[0125] 在驱动阶段DRV中,VDD1=VDD- α (其为VDD减去由IR降引起的电压降 α)被施加至存储电容器Cst的第一电极和驱动元件DT的第一电极,并且由于第一和第二开关元件T1和T2断开,存储电容器Cst的第二电极浮置。由于第一节点n1浮置,所以当存储电容器Cst的第一电极电压改变 α 时,存储电容器Cst的第二电极电压改变 α 。因此,存储电容器Cst的两端之间的电势差保持不变,即使驱动阶段DRV中的VDD变化亦如此。因此,Vgs保持在与感测阶段中存储的电压相同的电压。

[0126] 图22是示出根据由VESA(视频电子标准协会)制定的显示定时标准的有源时段和垂直消隐间隔的视图。

[0127] 参见图22,垂直同步信号Vsync限定1帧。水平同步信号Hsync限定1个水平时间。数据使能信号DE限定包括要在屏幕上显示的像素dta的有效数据的持续时间。

[0128] 数据使能信号DE与要在显示面板100的像素阵列上显示的有效数据同步。数据使能信号DE的1个脉冲间隔为1个水平时间,并且数据使能信号DE的高逻辑部分表示1个像素

线的数据输入定时。1个水平时间是将数据写入显示面板100上的像素的1个像素线所需的时间。

[0129] 定时控制器130在有源时段AT期间接收数据使能信号DE和输入图像的数据。在垂直消隐间隔VB期间不提供数据使能信号DE和输入图像数据。在有源时段AT期间,定时控制器130接收要写入所有像素的1帧数据。1帧是有源时段AT和垂直消隐间隔VB之和。

[0130] 从数据使能信号DE可以看出,在垂直消隐间隔VB期间显示装置没有接收到输入数据。垂直消隐间隔VB包括垂直同步时间VS、垂直前沿FP和垂直后沿BP。垂直同步时间VS是从Vsync的下降沿到上升沿的时间,其表示图像的开始(或结束)定时。垂直前沿FP是最后一个DE的下降沿(即一帧的最后一行的数据定时)与垂直消隐间隔VB的开始之间的时间。垂直后沿BP是垂直消隐间隔VB的结束与第一DE的上升沿之间的时间,其是一帧的第一行的数据定时。

[0131] 如上所述,在本发明中,驱动电压VDD被划分为用于驱动阶段的 $VDD = VDD1$ 和用于感测阶段和数据写入阶段的 $VDD = VDD2$,并且通过外部补偿来补偿子像素的电特性的变化。在本发明中,当数据在有源时段中被写入子像素并且子像素的电特性在垂直消隐间隔中被感测时, $VDD (= VDD1)$ 被施加至子像素。因此,本发明的电致发光显示器在感测和数据写入阶段中在没有IR降的影响的情况下防止各个子像素的驱动元件的栅极-源极电压 V_{gs} 的变化,并且能够准确地感测各个子像素的驱动元件的电特性,这是因为在感测阶段中没有IR降的影响。

[0132] 虽然已经参考其多个说明性实施方式描述了实施方式,但是应当理解,本领域技术人员可以设计出许多其它修改和实施方式,这些修改和实施方式将落入本公开的原理的范围内。更具体地,在本公开、附图和所附权利要求的范围内,可以对主题组合布置的组成部分和/或布置进行各种变化和修改。除了组成部分和/或布置中的变化和修改之外,替代用途对于本领域技术人员也是明显的。

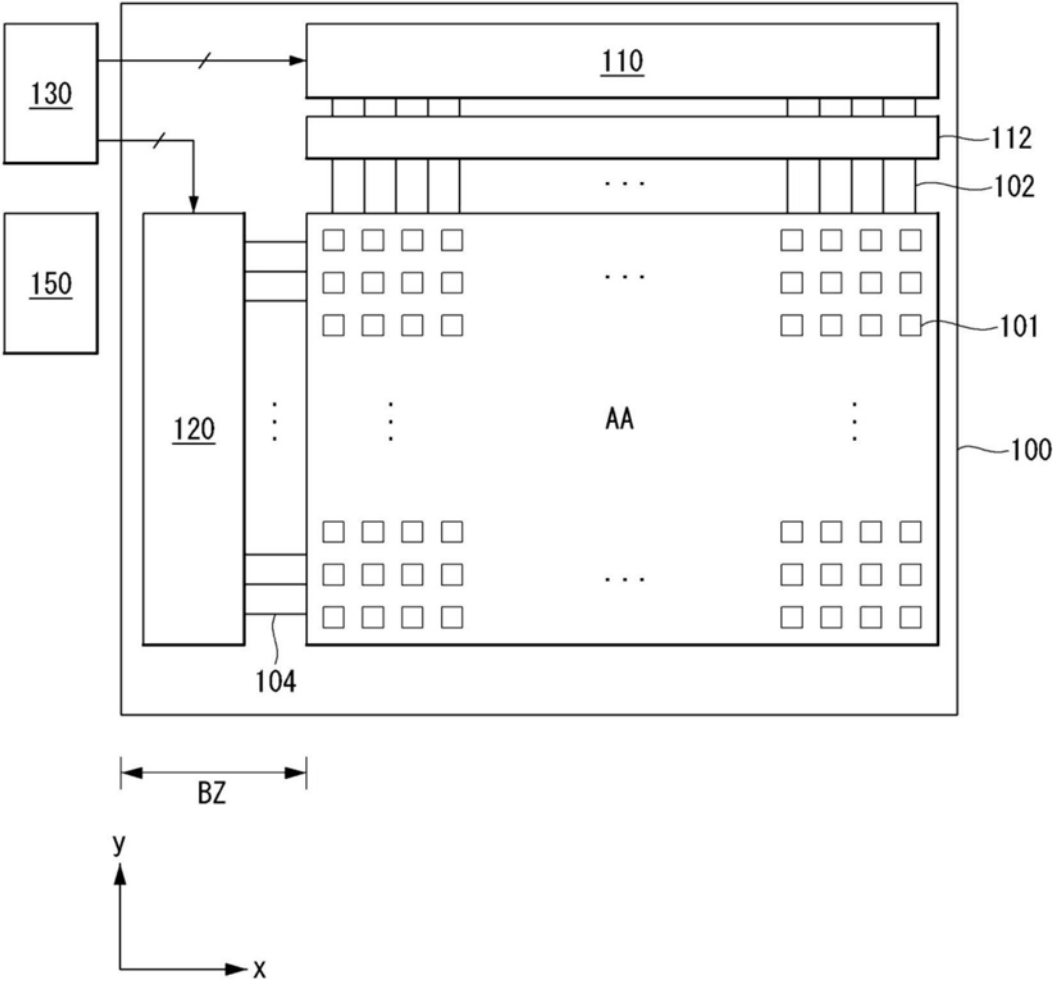


图1

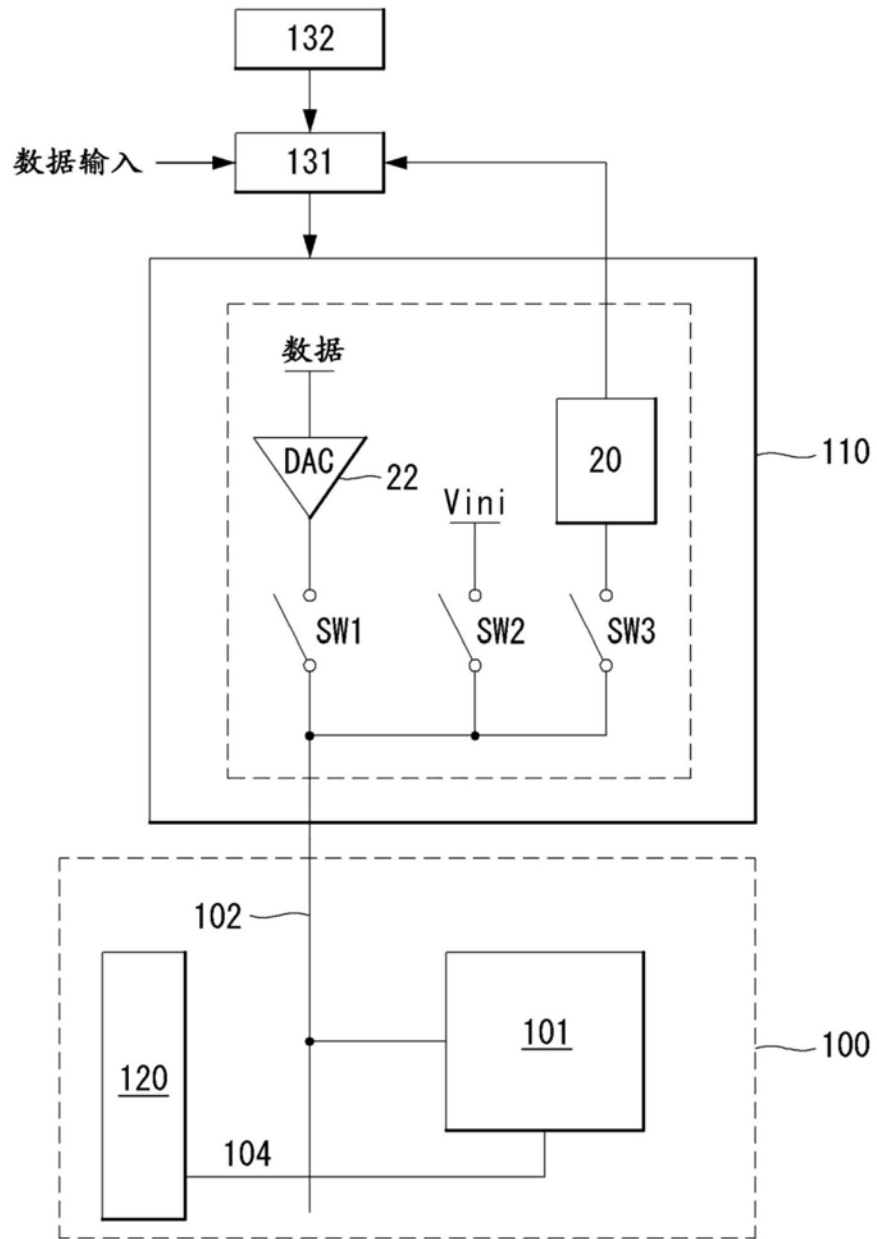


图2

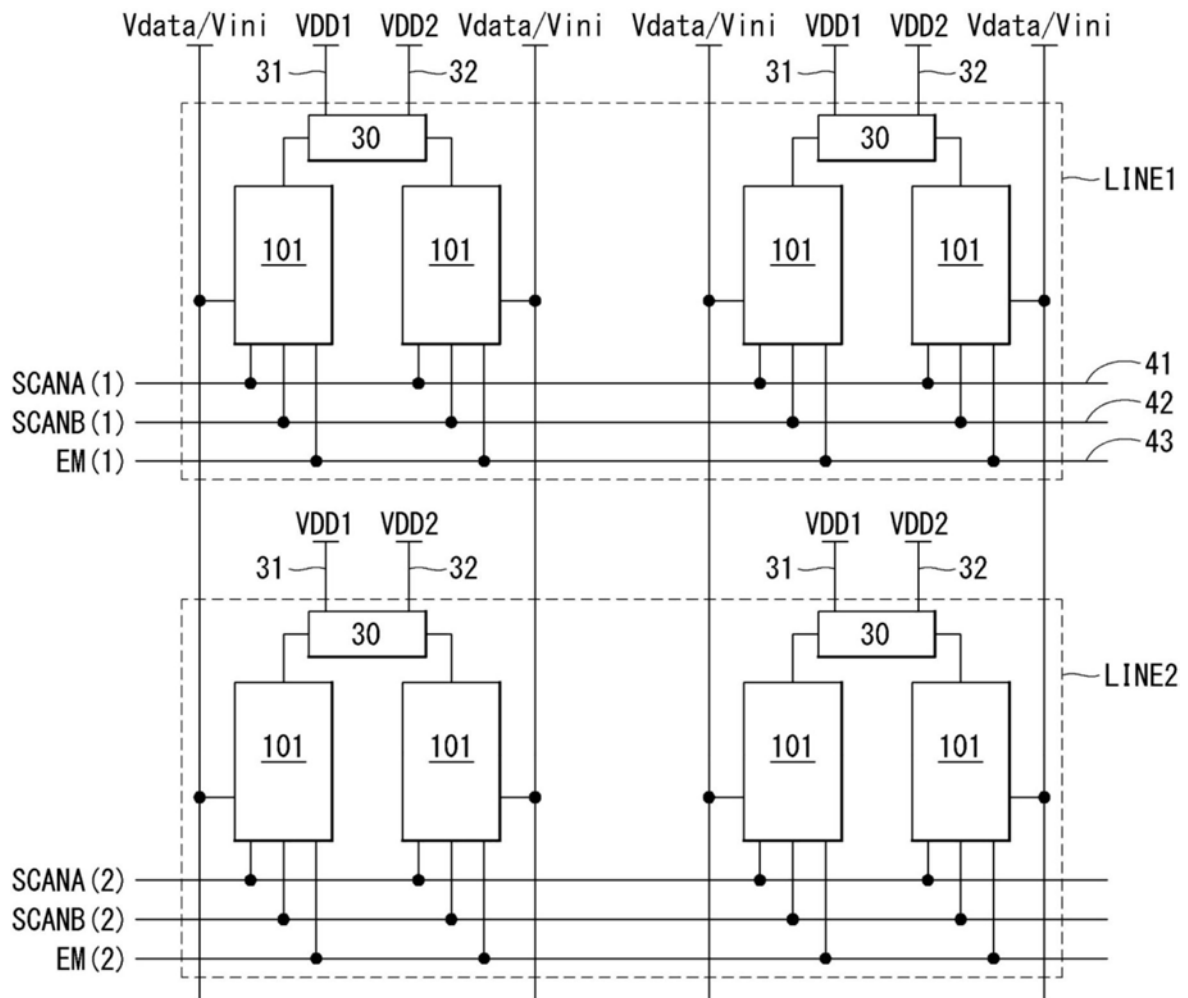


图3

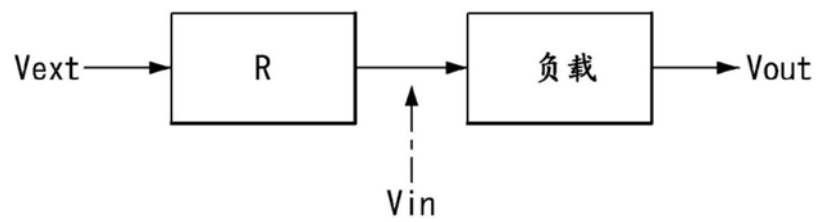


图4

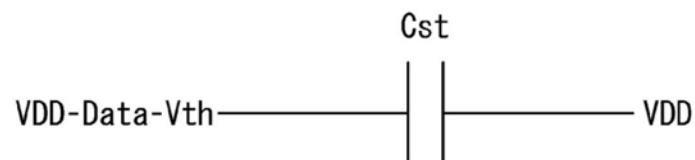


图5

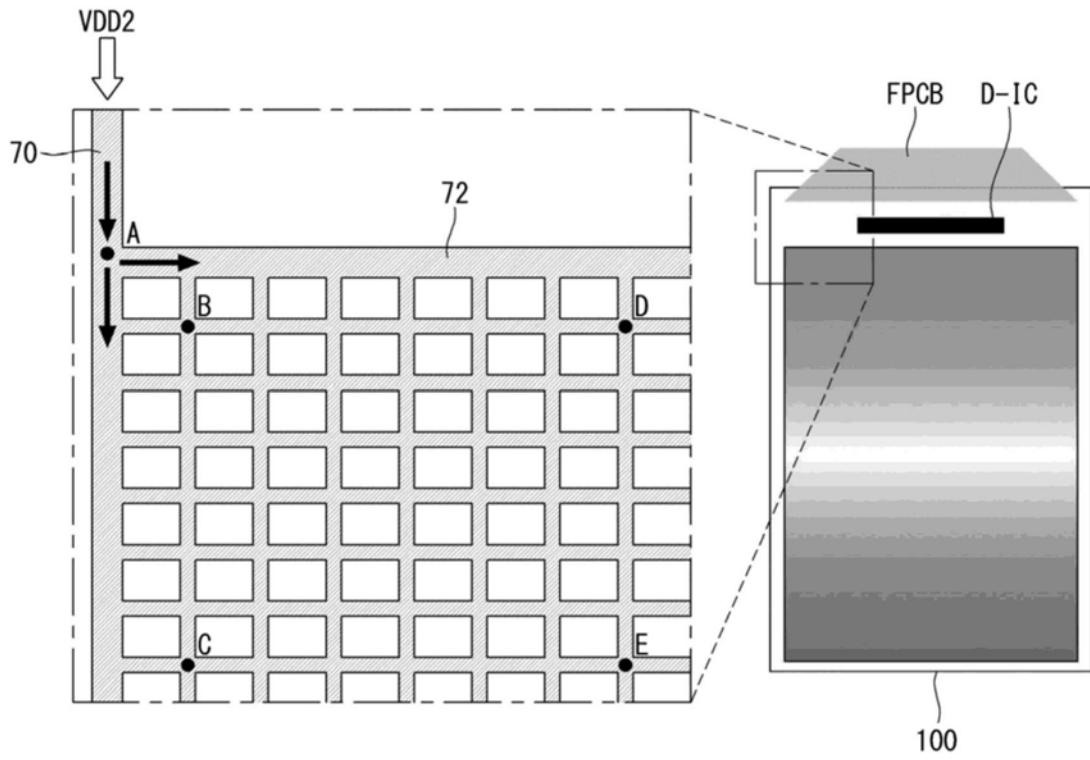


图6

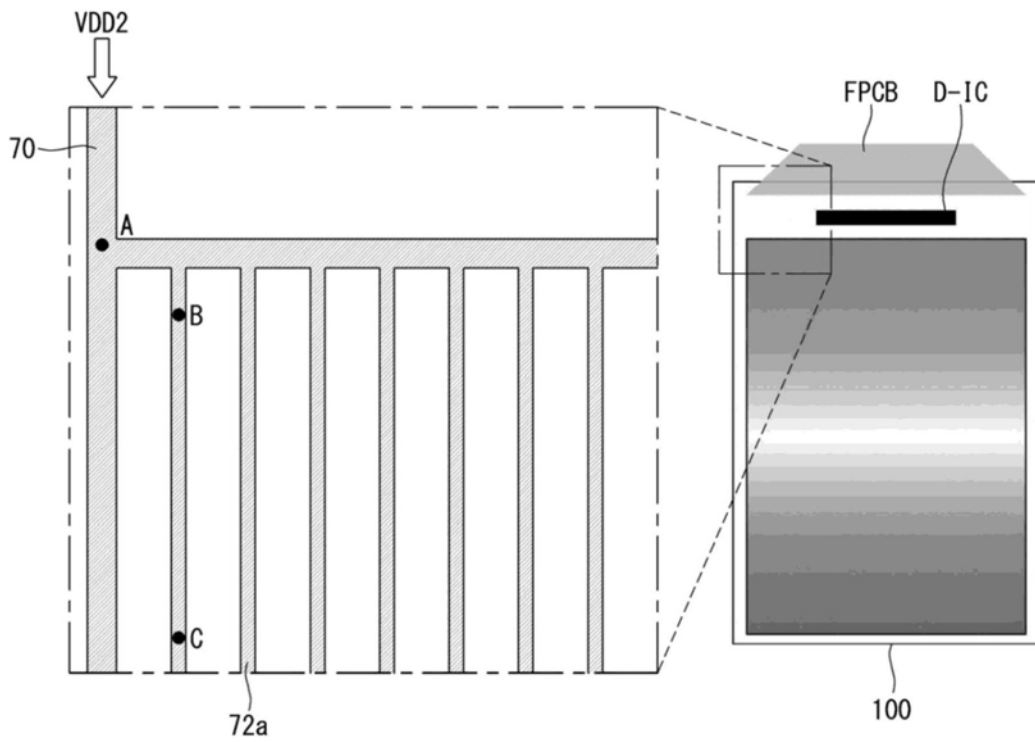


图7

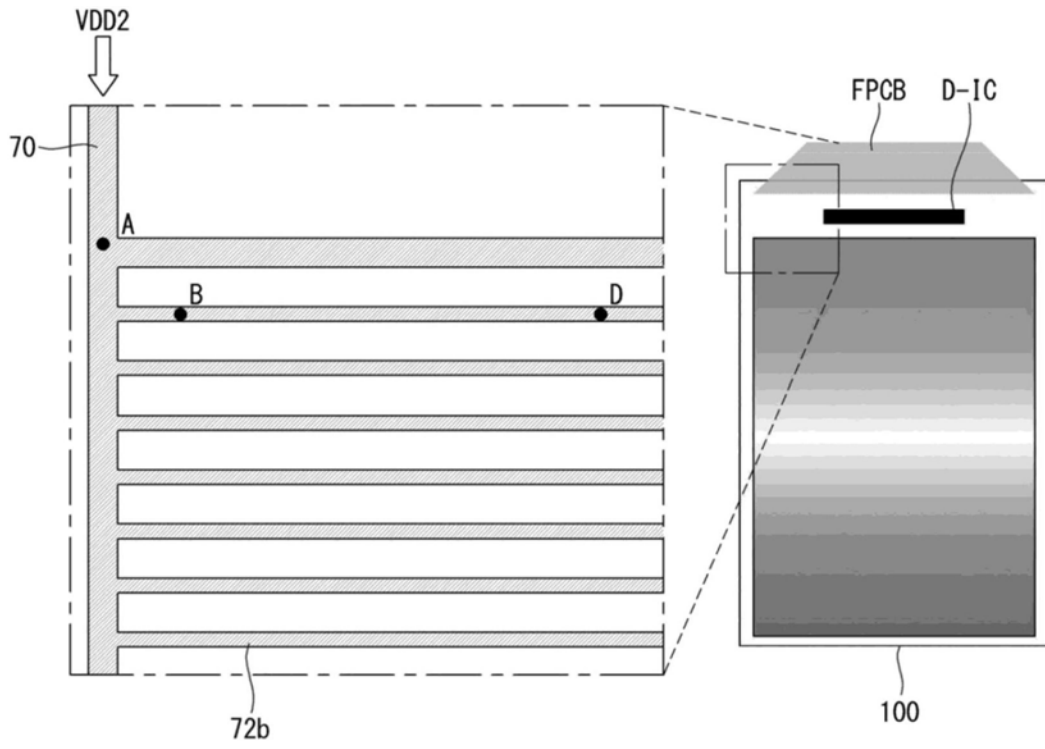


图8

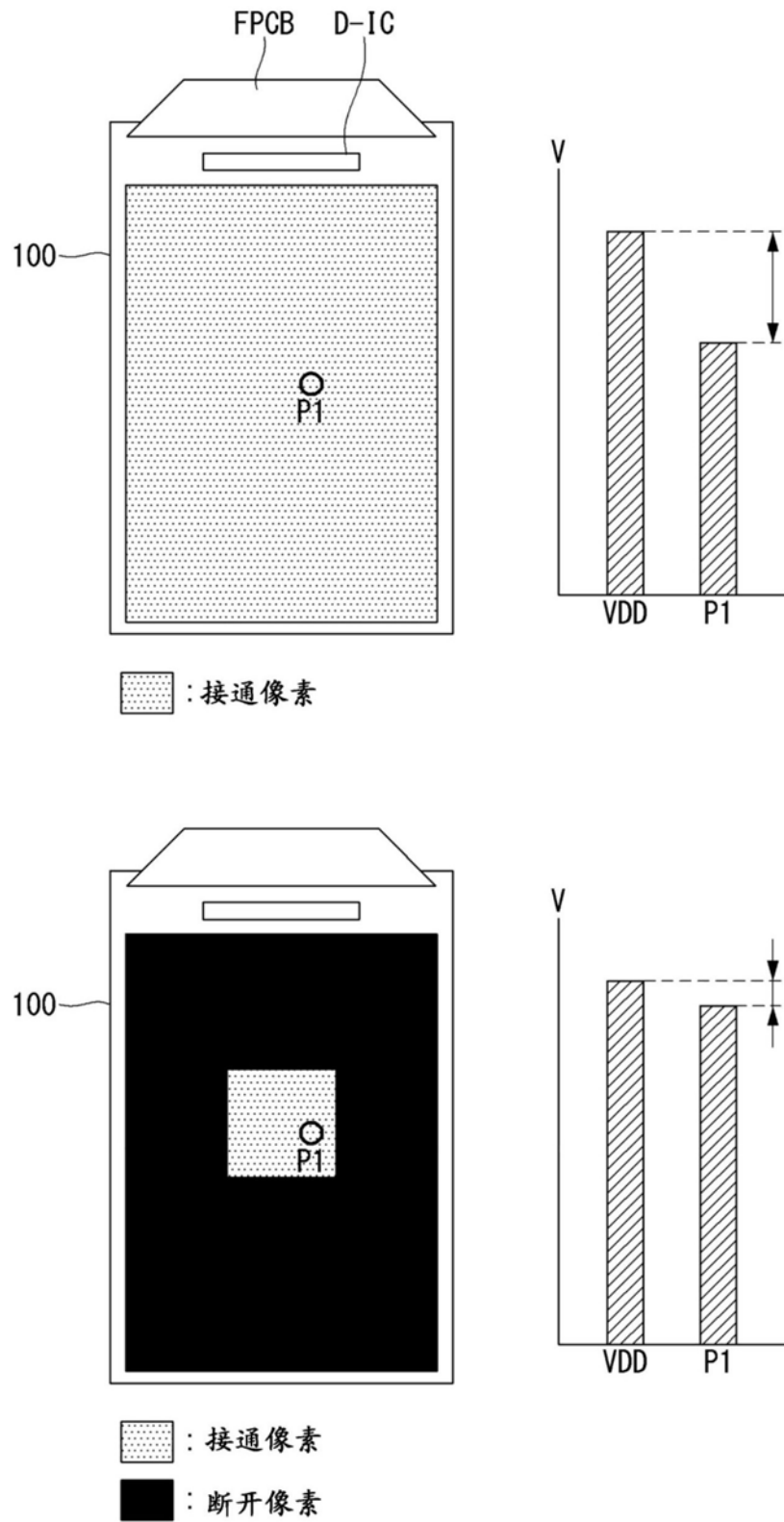


图9

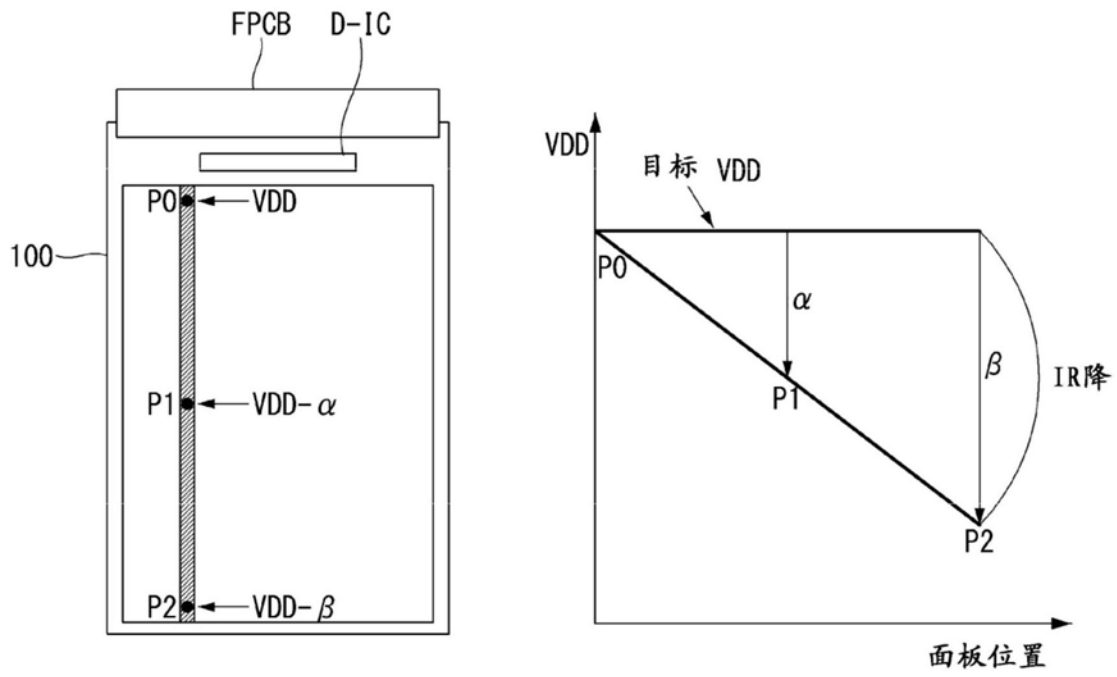


图10

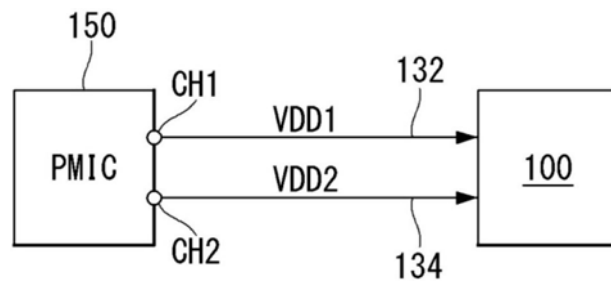


图11A

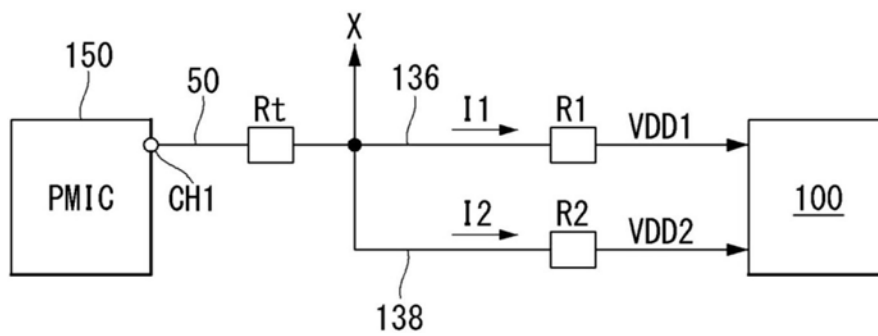


图11B

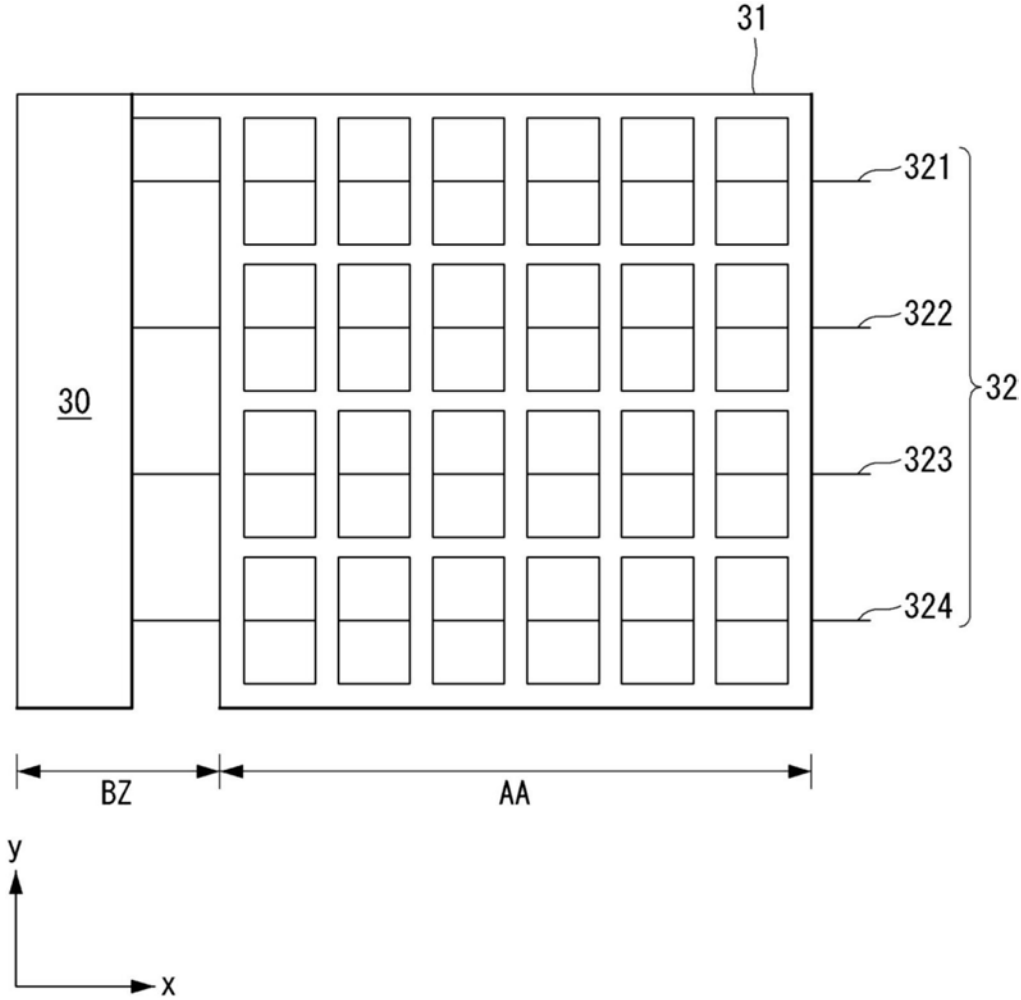


图12

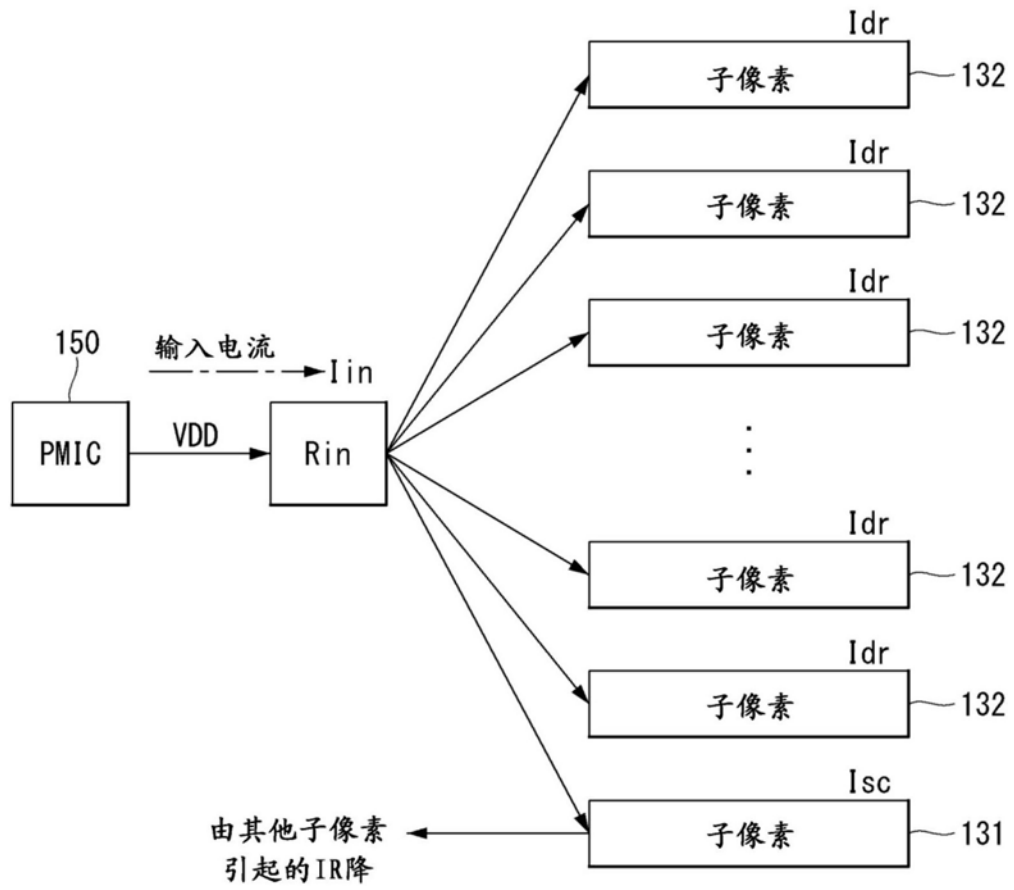


图13

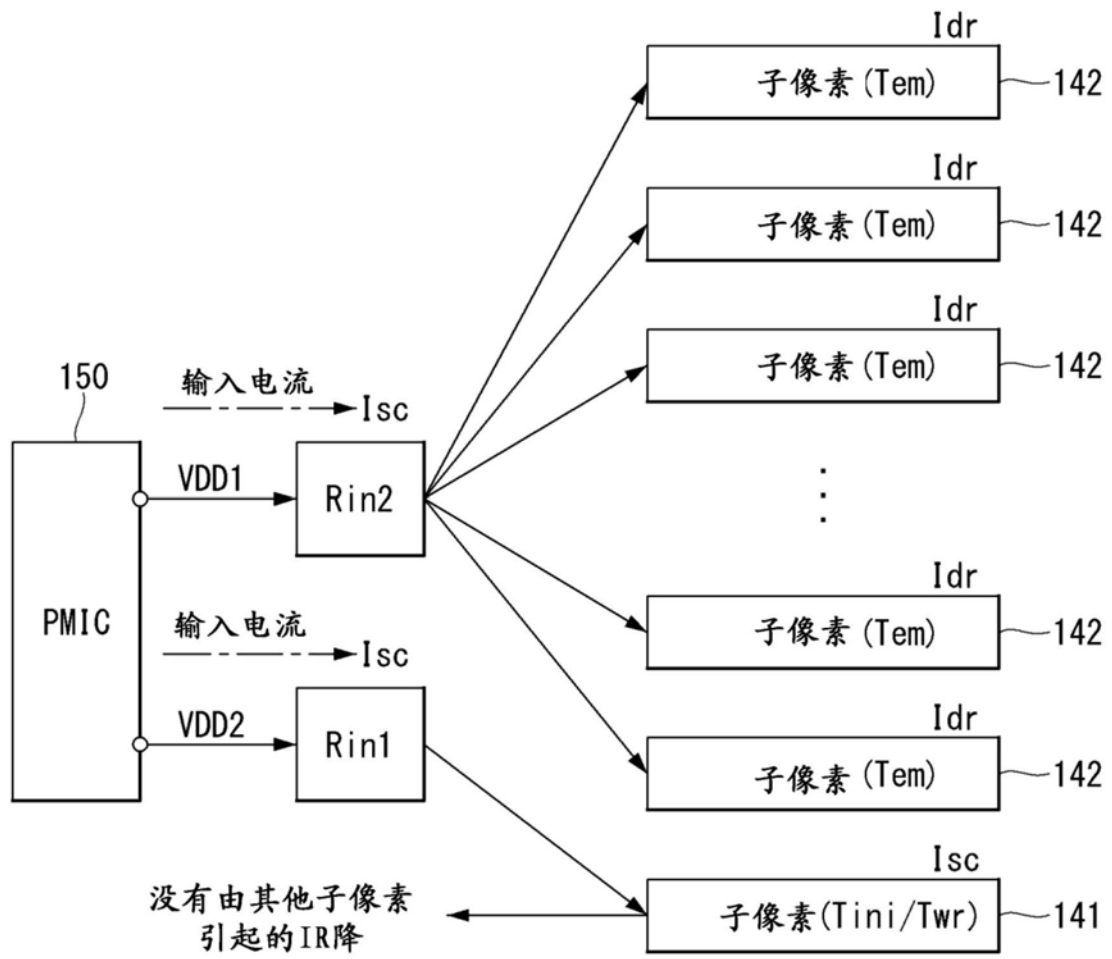


图14

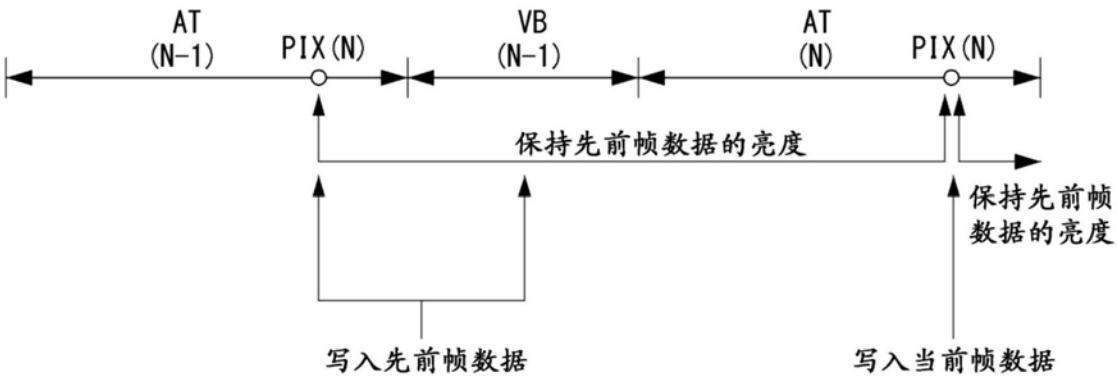


图17

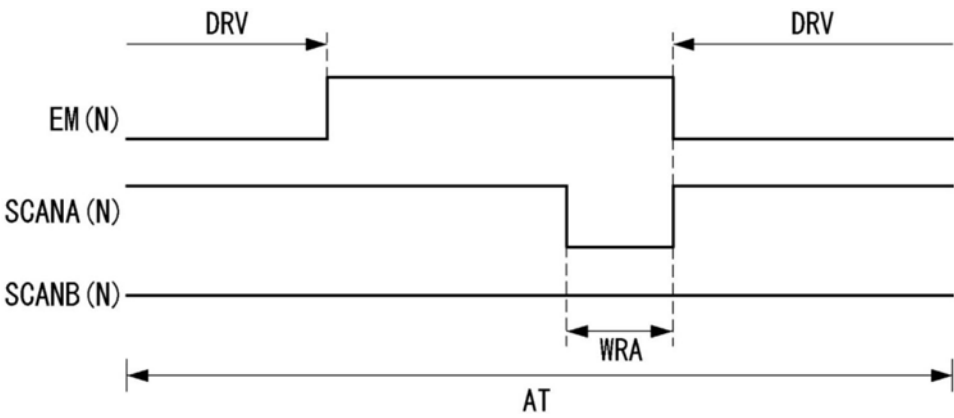


图18

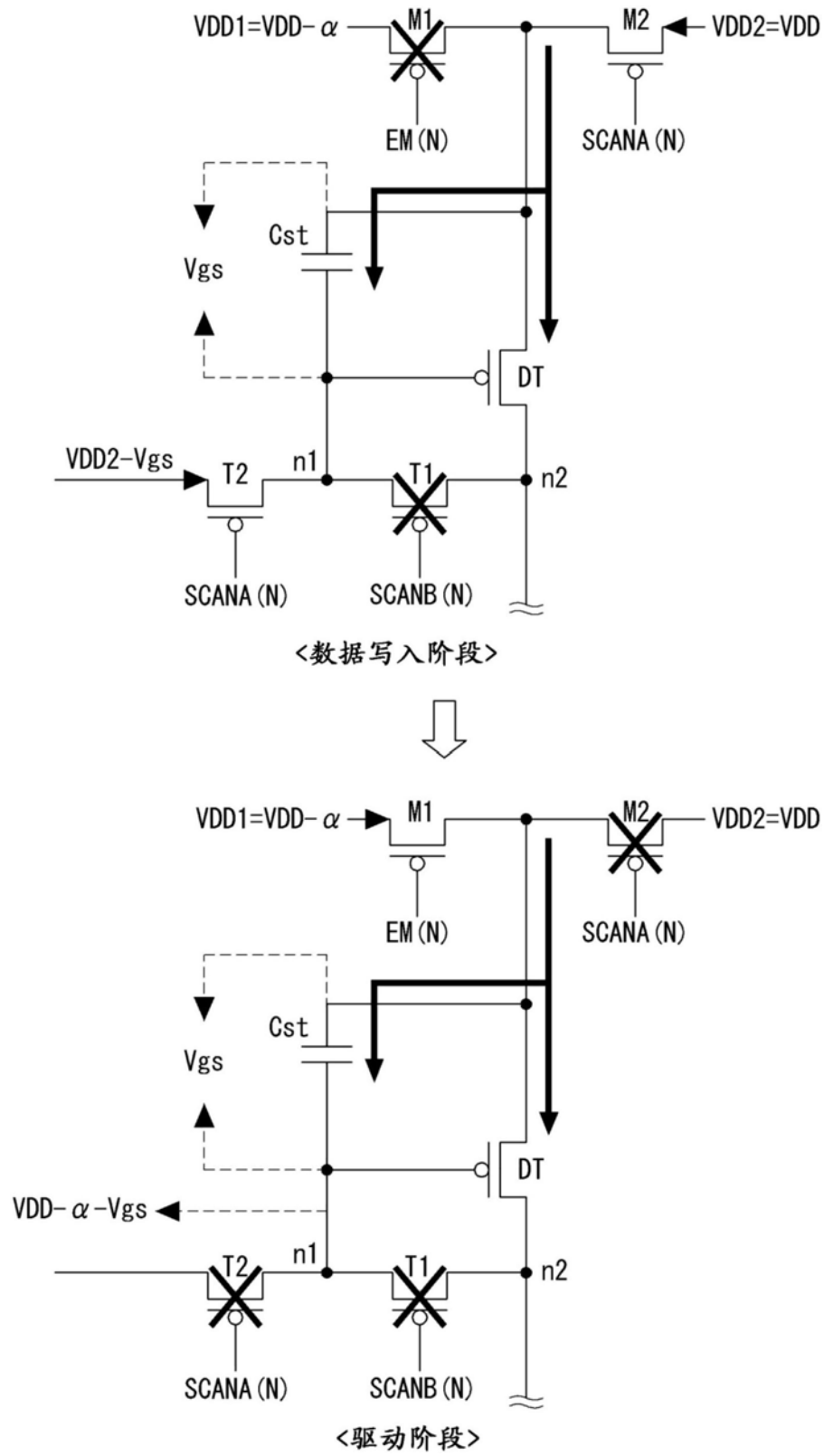


图19

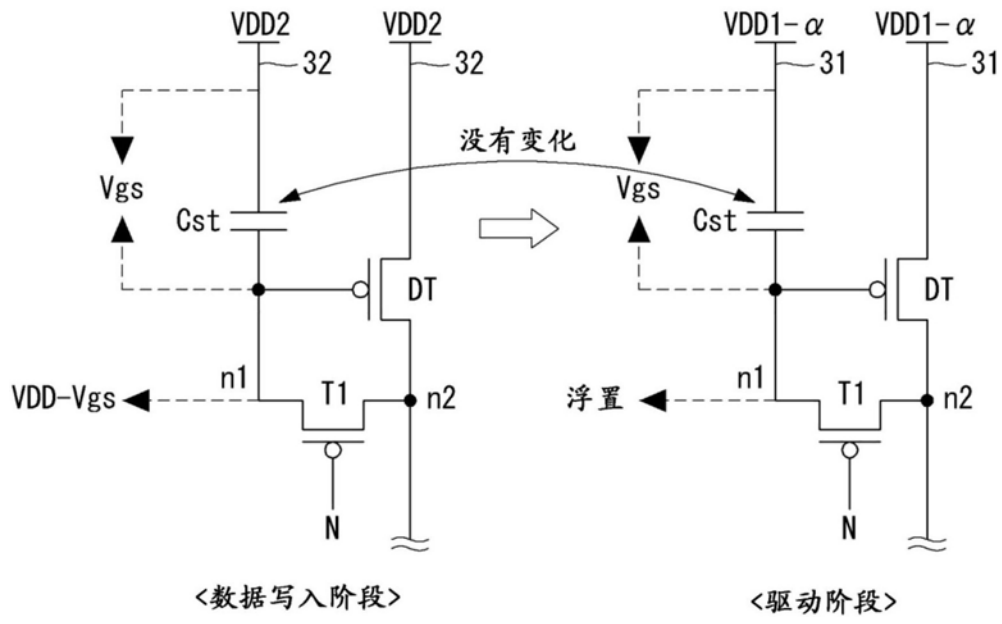


图20

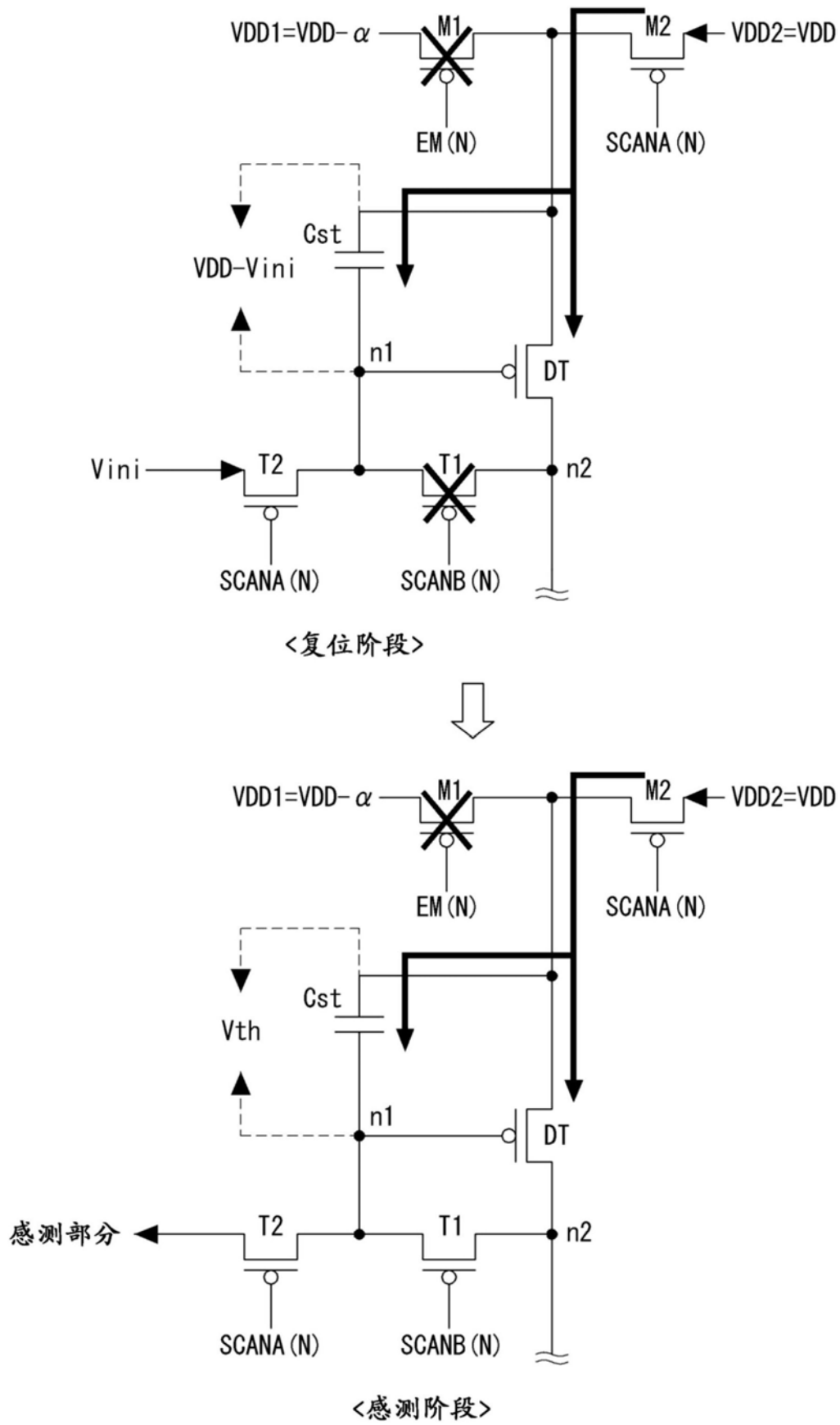


图21

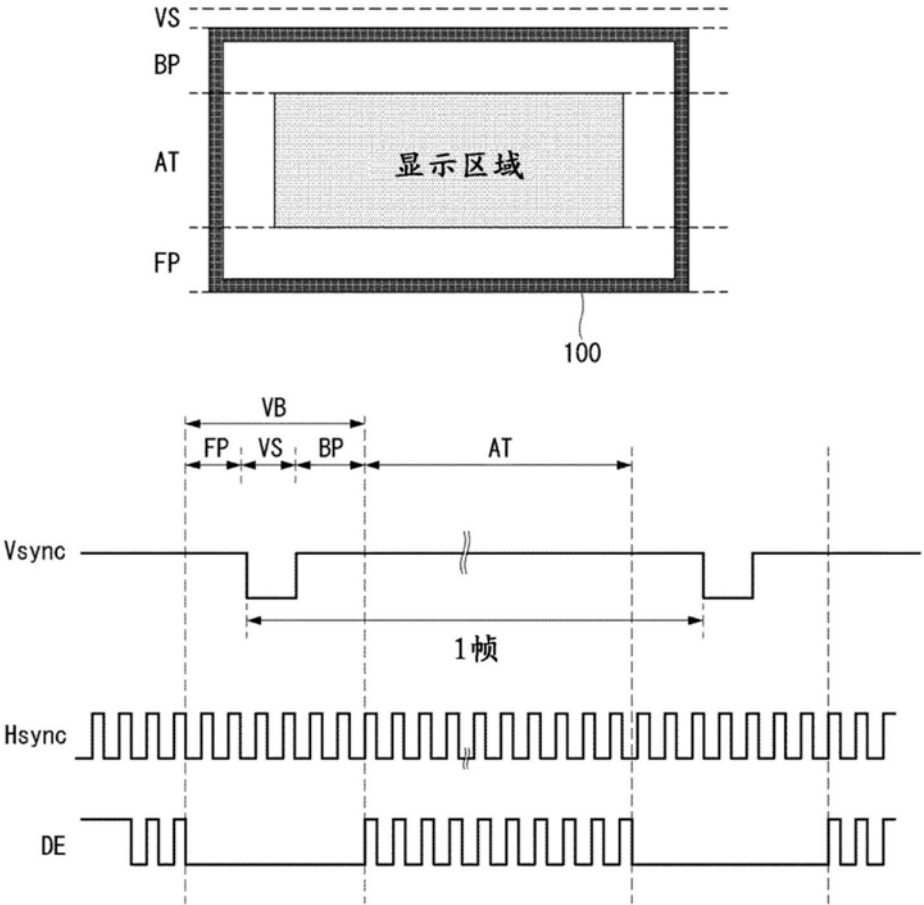


图22

专利名称(译)	显示面板和使用该显示面板的电致发光显示器		
公开(公告)号	CN109215575A	公开(公告)日	2019-01-15
申请号	CN2017111375430.1	申请日	2017-12-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	金奎珍		
发明人	金奎珍		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225 G09G3/3233 G09G3/3275 G09G2300/0814 G09G2300/0819 G09G2310/0289 G09G2310/0291 G09G2310/0294 G09G2310/061 G09G2320/0295 G09G2320/045 G09G2320/0223 G09G2320/04 G09G3/3258 G09G3/3266 G09G2320/0204		
代理人(译)	康建峰 杨铁成		
优先权	1020170083267 2017-06-30 KR		
外部链接	Espacenet SIPO		

摘要(译)

本公开涉及显示面板和使用该显示面板的电致发光显示器。该显示面板包括：子像素，其包括发光元件和用于驱动发光元件的驱动元件，发光元件在驱动阶段期间通过驱动元件中的电流而发光；以及电力切换电路，被配置为在有源时段和消隐间隔中的驱动阶段期间将第一驱动电压提供给子像素，以及在有源时段的数据写入阶段和在消隐间隔的复位阶段、感测阶段和数据写入阶段期间将第二驱动电压提供给子像素。

