



(12)发明专利申请

(10)申请公布号 CN 107293256 A

(43)申请公布日 2017. 10. 24

(21)申请号 201710582226.0

(22)申请日 2017.07.17

(71)申请人 武汉天马微电子有限公司

地址 430074 湖北省武汉市东湖新技术开发
区东一产业园流芳园路8号

(72)发明人 朱在稳 林鸿 何水 世良贤二
东海林功 蔡中兰

(74)专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51)Int.Cl.

G09G 3/3208(2016.01)

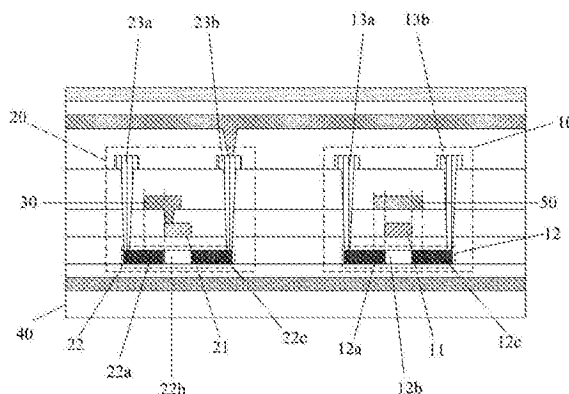
权利要求书1页 说明书7页 附图9页

(54)发明名称

一种像素电路、电致发光显示面板及显示装置

(57)摘要

本发明公开了一种像素电路、电致发光显示面板及显示装置,包括:驱动晶体管、多个开关晶体管、以及与各开关晶体管一一对应设置的多个第一辅助电极;通过对第一辅助电极的设置,将第一辅助电极与对应开关晶体管中的栅极电连接,使得第一辅助电极与对应开关晶体管中的栅极具有相同电位,因有源层的电位与栅极的电位不同,使得在第一辅助电极和有源层之间可以形成电容,加之栅极与有源层之间形成的电容,形成并联的栅极电容;在驱动晶体管中,因不存在与栅极电连接的第一辅助电极,使得驱动晶体管中的栅极电容小于各开关晶体管中的栅极电容,进而使得驱动晶体管的亚阈值摆幅大于各开关晶体管的亚阈值摆幅,从而提高显示画面的均一性。



1. 一种像素电路,包括:驱动晶体管、多个开关晶体管、以及与各所述开关晶体管一一对应设置的多个第一辅助电极;其中,

所述第一辅助电极与对应所述开关晶体管中的栅极电连接;且所述第一辅助电极在所述衬底基板上的正投影与对应所述开关晶体管中的有源层在所述衬底基板上的正投影具有重叠区域,在所述重叠区域所述第一辅助电极和所述有源层之间形成电容。

2. 如权利要求1所述的像素电路,其特征在于,所述第一辅助电极在所述衬底基板上的正投影与对应所述开关晶体管中靠近源极一端的有源层在所述衬底基板上的正投影具有第一重叠区域,在所述第一重叠区域所述第一辅助电极和所述有源层之间形成第一电容;和/或,

所述第一辅助电极在所述衬底基板上的正投影与对应所述开关晶体管中靠近漏极一端的有源层在所述衬底基板上的正投影图案具有第二重叠区域,在所述第二重叠区域所述第一辅助电极和所述有源层之间形成第二电容。

3. 如权利要求1所述的像素电路,其特征在于,所述第一辅助电极与对应所述开关晶体管中的栅极通过过孔电连接。

4. 如权利要求1所述的像素电路,其特征在于,还包括:第二辅助电极;所述第二辅助电极与所述驱动晶体管中的栅极构成存储电容。

5. 如权利要求4所述的像素电路,其特征在于,各所述开关晶体管中的栅极位于各所述开关晶体管中的有源层与源漏电极之间的膜层;所述驱动晶体管中的栅极位于所述驱动晶体管中的有源层与源漏电极之间的膜层;

各所述第一辅助电极与对应所述开关晶体管中的源漏电极同材质且同层设置。

6. 如权利要求5所述的像素电路,其特征在于,所述第二辅助电极设置于所述驱动晶体管中的栅极与源漏电极之间的膜层。

7. 如权利要求4所述的像素电路,其特征在于,各所述开关晶体管中的栅极位于各所述开关晶体管中的有源层与源漏电极之间的膜层;所述驱动晶体管中的栅极位于所述驱动晶体管中的有源层与源漏电极之间的膜层;

各所述第一辅助电极均设置于对应所述开关晶体管中的栅极与源漏电极之间的膜层。

8. 如权利要求4所述的像素电路,其特征在于,各所述开关晶体管中的栅极位于各所述开关晶体管中的有源层与所述衬底基板之间的膜层;所述驱动晶体管中的栅极位于所述驱动晶体管中的有源层与所述衬底基板之间的膜层;

各所述第一辅助电极均设置于所述衬底基板与对应所述开关晶体管中的栅极之间的膜层。

9. 如权利要求7或8所述的像素电路,其特征在于,各所述第一辅助电极与所述第二辅助电极同材质且同层设置。

10. 一种电致发光显示面板,其特征在于,包括:呈阵列排布的多个如权利要求1-9任一项所述的像素电路。

11. 一种显示装置,其特征在于,包括:如权利要求10所述的电致发光显示面板。

一种像素电路、电致发光显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤指一种像素电路、电致发光显示面板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Display,OLED)显示器,是一种电流驱动的显示器,所以需要稳定的电流来驱动其发光;而由于工艺制程和器件老化等原因,OLED显示器中一般采用具有对驱动晶体管的阈值电压(V_{th})进行补偿的像素补偿电路来驱动OLED发光,通过阈值电压的补偿,可以有效改善因驱动晶体管的阈值电压漂移而导致的显示不均的问题。

[0003] 但是,如何在现有补偿像素电路的基础上,进一步地提高显示画面的均一性,是本领域技术人员亟待解决的技术问题。

发明内容

[0004] 本发明实施例提供了一种像素电路、电致发光显示面板及显示装置,用以解决如何提高显示画面的均一性。

[0005] 本发明实施例提供了一种像素电路,包括:驱动晶体管、多个开关晶体管、以及与各所述开关晶体管一一对应设置的多个第一辅助电极;其中,

[0006] 所述第一辅助电极与对应所述开关晶体管中的栅极电连接;且所述第一辅助电极在所述衬底基板上的正投影与对应所述开关晶体管中的有源层在所述衬底基板上的正投影具有重叠区域,在所述重叠区域所述第一辅助电极和所述有源层之间形成电容。

[0007] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述第一辅助电极在所述衬底基板上的正投影与对应所述开关晶体管中靠近源极一端的有源层在所述衬底基板上的正投影具有第一重叠区域,在所述第一重叠区域所述第一辅助电极和所述有源层之间形成第一电容;和/或,

[0008] 所述第一辅助电极在所述衬底基板上的正投影与对应所述开关晶体管中靠近漏极一端的有源层在所述衬底基板上的正投影图案具有第二重叠区域,在所述第二重叠区域所述第一辅助电极和所述有源层之间形成第二电容。

[0009] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述第一辅助电极与对应所述开关晶体管中的栅极通过过孔电连接。

[0010] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,还包括:第二辅助电极;所述第二辅助电极与所述驱动晶体管中的栅极构成存储电容。

[0011] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,各所述开关晶体管中的栅极位于各所述开关晶体管中的有源层与源漏电极之间的膜层;所述驱动晶体管中的栅极位于所述驱动晶体管中的有源层与源漏电极之间的膜层;

[0012] 各所述第一辅助电极与对应所述开关晶体管中的源漏电极同材质且同层设置。

[0013] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述第二辅

助电极设置于所述驱动晶体管中的栅极与源漏电极之间的膜层。

[0014] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,各所述开关晶体管中的栅极位于各所述开关晶体管中的有源层与源漏电极之间的膜层;所述驱动晶体管中的栅极位于所述驱动晶体管中的有源层与源漏电极之间的膜层;

[0015] 各所述第一辅助电极均设置于对应所述开关晶体管中的栅极与源漏电极之间的膜层。

[0016] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,各所述开关晶体管中的栅极位于各所述开关晶体管中的有源层与所述衬底基板之间的膜层;所述驱动晶体管中的栅极位于所述驱动晶体管中的有源层与所述衬底基板之间的膜层;

[0017] 各所述第一辅助电极均设置于所述衬底基板与对应所述开关晶体管中的栅极之间的膜层。

[0018] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,各所述第一辅助电极与所述第二辅助电极同材质且同层设置。

[0019] 本发明实施例还提供了一种电致发光显示面板,包括:呈阵列排布的多个如本发明实施例提供的上述像素电路。

[0020] 本发明实施例还提供了一种显示装置,包括:如本发明实施例提供的上述电致发光显示面板。

[0021] 本发明有益效果如下:

[0022] 本发明实施例提供一种像素电路、电致发光显示面板及显示装置,包括:驱动晶体管、多个开关晶体管、以及与各开关晶体管一一对应设置的多个第一辅助电极;其中,第一辅助电极与对应开关晶体管中的栅极电连接;且第一辅助电极在衬底基板上的正投影与对应开关晶体管中的有源层在衬底基板上的正投影具有重叠区域,在重叠区域第一辅助电极和有源层之间形成电容。因此,通过将第一辅助电极与对应开关晶体管中的栅极电连接,使得第一辅助电极与对应开关晶体管中的栅极具有相同电位,因有源层的电位与栅极的电位不同,使得在第一辅助电极和有源层之间可以形成电容,栅极与有源层之间也可以形成电容,从而形成并联的栅极电容;而在驱动晶体管中,因不存在与栅极电连接的第一辅助电极,使得驱动晶体管中串联之后的总的栅极电容小于各开关晶体管中并联之后的总的栅极电容,进而使得驱动晶体管的亚阈值摆幅大于各开关晶体管的亚阈值摆幅,从而提高了显示画面的均一性。

附图说明

[0023] 图1为本发明实施例中提供的像素补偿电路的结构示意图;

[0024] 图2至图6分别为本发明实施例中提供的部分像素电路的层级结构的示意图;

[0025] 图7至图9分别为本发明实施例中提供的开关晶体管中栅极电容的组成示意图;

[0026] 图10和图11分别为本发明实施例中提供的驱动晶体管中栅极电容的组成示意图;

[0027] 图12a和图12b分别为本发明实施例中提供的电致发光显示面板的结构示意图;

[0028] 图13为本发明实施例提供的一种显示装置的结构示意图。

具体实施方式

[0029] 下面将结合附图,对本发明实施例提供的一种像素电路、电致发光显示面板及显示装置的具体实施方式进行详细地说明。需要说明的是,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0030] 为了进一步提高OLED显示器的显示画面的均一性,可以通过调整驱动晶体管和开关晶体管的亚阈值摆幅的方式来实现;其中,亚阈值摆幅,是指漏极电流变化一个数量级时所需要的栅极电压增量,即在相同电压的变化量时电流的变化量越小,亚阈值摆幅的数值越大,显示画面越均一;因此,可以通过增加驱动晶体管的亚阈值摆幅,或减少开关晶体管的亚阈值摆幅来提高显示画面的均一性。

[0031] 并且,根据亚阈值摆幅的定义和理论计算可知,晶体管的亚阈值摆幅与栅极电容存在一定的对应关系,如公式(1)和公式(2)所示,且将公式(1)求导后可以得到公式(2);其中, I_D 表示晶体管的漏极电流, W 表示晶体管中的沟道宽度, L 表示晶体管中的沟道长度, μ 表示晶体管的有源层中的载流子迁移率, V_g 表示晶体管的栅极电压, V_{th} 表示晶体管的阈值电压, V_D 表示晶体管的漏极电压, C 表示栅极电容;并且,在公式(2)中,等式左边表示亚阈值摆幅,等式右边表示各参数之间的关系。

$$[0032] \quad I_D = \frac{W}{L} \cdot \mu \cdot C \cdot \left[(V_g - V_{th}) \cdot V_D - \frac{1}{2} \cdot V_D^2 \right] \quad (1)$$

$$[0033] \quad \frac{\partial V_g}{\partial I_D} = \frac{L}{W \cdot \mu \cdot C \cdot V_D} \quad (2)$$

[0034] 因此,从公式(2)可以得知,当晶体管的栅极电容 C 增加时,晶体管的亚阈值摆幅减小;而当晶体管的栅极电容 C 减小时,晶体管的亚阈值摆幅增加;同时,晶体管的亚阈值摆幅影响着显示画面的均一性,即驱动晶体管的亚阈值摆幅在相同电压的变化量时漏极电流的变化量越小,亚阈值摆幅的数值越大,显示画面越均一;基于此,本发明实施例提供了一种像素电路,通过增加各开关晶体管的栅极电容,来减小各开关晶体管的亚阈值摆幅,间接地提高了驱动晶体管的亚阈值摆幅,从而提高了整个显示画面的均一性。

[0035] 具体地,本发明实施例提供的上述像素电路,如图1所示,且与图1对应的部分像素电路的层级结构示意图如图2至图6所示,可以包括:驱动晶体管10、多个开关晶体管20、以及与各开关晶体管20一一对应设置的多个第一辅助电极30,图2至图6中仅示出了一个开关晶体管20和驱动晶体管10的层级结构;其中,

[0036] 第一辅助电极30与对应开关晶体管20中的栅极21电连接;且第一辅助电极30在衬底基板40上的正投影与对应开关晶体管20中的有源层22在衬底基板40上的正投影具有重叠区域,在重叠区域第一辅助电极30和有源层22之间形成电容。

[0037] 本发明实施例提供的上述像素电路,通过将第一辅助电极30与对应开关晶体管20中的栅极21电连接,使得第一辅助电极30与对应开关晶体管20中的栅极21具有相同电位,因有源层22的电位与栅极21的电位不同,使得在第一辅助电极30和有源层22之间可以形成电容(如图7至图9中所示的 C_1 和/或 C_2),栅极21与有源层22之间也可以形成电容(如图7至图9中所示的 C_g),从而形成并联的栅极电容 C_m (C_m 的具体计算过程可见下文);而在驱动晶体管10中,因不存在与栅极11电连接的第一辅助电极,使得驱动晶体管10中串联之后的总的栅极电容 C_n (C_n 的具体计算过程可见下文)小于各开关晶体管20中并联之后的总的栅极电容

C_m ,进而使得驱动晶体管10的亚阈值摆幅大于各开关晶体管20的亚阈值摆幅,从而提高了显示画面的均一性。

[0038] 在具体实施时,第一辅助电极在衬底基板上的正投影,与对应开关晶体管中的有源层在衬底基板上的正投影,具有重叠区域的方式可以有多种,因此,在本发明实施例提供的上述像素电路中,如图2至图6所示,第一辅助电极30在衬底基板40上的正投影与对应开关晶体管20中靠近源极23a一端的有源层22a在衬底基板40上的正投影具有第一重叠区域,在第一重叠区域第一辅助电极30和有源层(即靠近源极23a一端的有源层22a)之间形成第一电容 C_1 ;和/或,

[0039] 第一辅助电极30在衬底基板40上的正投影与对应开关晶体管20中靠近漏极23b一端的有源层22c在衬底基板40上的正投影图案具有第二重叠区域,在第二重叠区域第一辅助电极30和有源层(即靠近漏极23b一端的有源层22c)之间形成第二电容 C_2 。

[0040] 具体地,第一种,与图2所示的结构对应的栅极电容的组成示意图如图7所示,第一辅助电极30在衬底基板40上的正投影与对应开关晶体管20中靠近源极23a一端的有源层22a在衬底基板40上的正投影具有第一重叠区域,使得在第一重叠区域第一辅助电极30和有源层(即靠近源极23a一端的有源层22a)之间形成第一电容 C_1 ;再加上栅极21与有源层(即有源层22中与栅极21正对的部分22b)之间形成的电容 C_g ,因此,第一电容 C_1 与电容 C_g 形成并联电容;因并联电容等于各电容之和,所以当以 C_{m1} 表示开关晶体管20的栅极电容时,此时 $C_{m1}=C_1+C_g$ 。

[0041] 具体地,第二种,与图3所示的结构对应的栅极电容的组成示意图如图8所示,第一辅助电极30在衬底基板40上的正投影与对应开关晶体管20中靠近漏极23b一端的有源层22c在衬底基板40上的正投影图案具有第二重叠区域,使得在第二重叠区域第一辅助电极30和有源层(即靠近漏极23b一端的有源层22c)之间形成第二电容 C_2 ;再加上栅极21与有源层(即有源层22中与栅极21正对的部分22b)之间形成的电容 C_g ,因此,第二电容 C_2 与电容 C_g 形成并联电容;因并联电容等于各电容之和,所以当以 C_{m2} 表示开关晶体管20的栅极电容时,此时 $C_{m2}=C_2+C_g$ 。

[0042] 具体地,第三种,与图4所示的结构对应的栅极电容的组成示意图如图9所示,第一辅助电极30在衬底基板40上的正投影,不仅与对应开关晶体管20中靠近源极23a一端的有源层22a在衬底基板40上的正投影具有第一重叠区域,还与对应开关晶体管20中靠近漏极23b一端的有源层22c在衬底基板40上的正投影图案具有第二重叠区域,因此,在第一重叠区域内第一辅助电极30和有源层(即靠近源极23a一端的有源层22a)之间形成第一电容 C_1 ,在第二重叠区域第一辅助电极30和有源层(即靠近漏极23b一端的有源层22c)之间形成第二电容 C_2 ,再加上栅极21与有源层(即有源层22中与栅极21正对的部分22b)之间形成的电容 C_g ,因此,第一电容 C_1 、第二电容 C_2 与电容 C_g 形成并联电容;因并联电容等于各电容之和,所以当以 C_{m3} 表示开关晶体管20的栅极电容时,此时 $C_{m3}=C_1+C_2+C_g$ 。

[0043] 进一步地,为了实现第一辅助电极与对应晶体管中的栅极电连接,在本发明实施例提供的上述像素电路中,如图2至图6所示,第一辅助电极30与对应开关晶体管20中的栅极21一般通过过孔电连接。

[0044] 在具体实施时,为了间接增加驱动晶体管的亚阈值摆幅,则无需改变驱动晶体管的栅极电容;因此,在本发明实施例提供的上述像素电路中,如图2至图6所示,还可以包括:

第二辅助电极50;第二辅助电极50与驱动晶体管10中的栅极11构成存储电容 C_s 。

[0045] 具体地,为了能够简化制作工艺,可以在制作第一辅助电极时,同时制作第二辅助电极,且第一辅助电极的面积大小可以与第二辅助电极的面积大小相同,以简化制作掩模板的工艺和制作难度;因此,在本发明实施例提供的上述像素电路中,如图2至图4所示的驱动晶体管,第二辅助电极50在衬底基板40上的正投影与有源层12在衬底基板40上的正投影具有重叠区域,具体的栅极电容的组成如图10所示,其中,第二辅助电极50与靠近源极13a一端的有源层12a形成的电容用 C_3 表示,第二辅助电极50与靠近漏极13b一端的有源层12c形成的电容用 C_4 表示,且栅极11与有源层(即有源层12中与栅极11正对的部分12b)之间形成的电容为 C_g ,因此,因并联电容等于各电容之和,串联电容等于各电容的倒数之和,所以当以 C_{n1} 表示驱动晶体管10的栅极电容时,此时 $C_{n1}=C_3+C_4+(1/C_s+1/C_g)$;且 $C_1=C_3$, $C_2=C_4$ 。

[0046] 同时,在第二辅助电极在衬底基板上的正投影与有源层在衬底基板上的正投影具有重叠区域时,同样可以如图2至图4所示,可以仅在有源层的一侧与第二辅助电极具有重叠区域,还可以在有源层的两侧均与第二辅助电极具有重叠区域,在此不作具体限定。

[0047] 当然,在制作第二辅助电极时,也可以使得第二辅助电极的面积大小与第一辅助电极的面积大小不相同,因此,在本发明实施例提供的上述像素电路中,如图5和图6所示的驱动晶体管,第二辅助电极50在衬底基板40上的正投影与有源层12在衬底基板40上的正投影无重叠区域,即只有第二辅助电极50与驱动晶体管10中的栅极11构成的存储电容 C_s ,以及栅极11与有源层(即有源层12中与栅极11正对的部分12b)之间形成的电容 C_g ,以免第二辅助电极50与有源层12之间形成的电容对栅极信号产生影响;但需要说明的是,因开关晶体管20的第一辅助电极30与对应开关晶体管20中的栅极22电连接,使得第一辅助电极30与对应开关晶体管20中的栅极21为同一电位,因此第一电容 C_1 和第二电容 C_2 对栅极信号的影响要远小于驱动晶体管10中的 C_3 和 C_4 对栅极信号的影响;因此,因并联电容等于各电容之和,串联电容等于各电容的倒数之和,所以当以 C_{n2} 表示驱动晶体管10的栅极电容时,此时 $C_{n2}=1/C_s+1/C_g$ 。

[0048] 综上,通过上述描述可知,开关晶体管20的栅极电容可以为: $C_{m1}=C_1+C_g$ 、 $C_{m2}=C_2+C_g$ 、 $C_{m3}=C_1+C_2+C_g$ 、并且驱动晶体管10的栅极电容可以为: $C_{n1}=C_3+C_4+(1/C_s+1/C_g)$,且 $C_1=C_3$, $C_2=C_4$ 、以及 $C_{n2}=1/C_s+1/C_g$;因此,不管 C_s 、 C_1 (或 C_3)、 C_2 (或 C_4)与 C_g 的数值谁大谁小,但 $1/C_s+1/C_g$ 一定小于 C_g ,所以最终开关晶体管20的栅极电容一定大于驱动晶体管10的栅极电容,因此,开关晶体管20的亚阈值摆幅一定小于驱动晶体管10的亚阈值摆幅,因此,提高了显示画面的显示的均一性。

[0049] 当然,对于各电容,如 C_1 、 C_2 、 C_3 和 C_4 的数值大小,以及开关晶体管中栅极在衬底基板上的正投影与有源层在衬底基板上的正投影的重叠比例大小,均可以按照实际的需要进行相应地设计和调整,只要能够通过栅极电容的设计,增加驱动晶体管的亚阈值摆幅,提高显示画面的显示均一性即可,在此不作具体限定。

[0050] 在具体实施时,像素电路中的各开关晶体管与驱动晶体管可以为顶栅型晶体管,也可以为底栅型晶体管,同时,因不同类型的晶体管中,栅极与有源层和源漏电极之间的位置关系不同,因此,第一辅助电极和第二辅助电极的位置也会随之发生变化,所以需要分情况进行讨论,具体情况如下:

[0051] 具体地,当各开关晶体管与驱动晶体管为顶栅型晶体管时,在本发明实施例提供

的上述像素电路中,如图2至图4所示,各开关晶体管20中的栅极21位于各开关晶体管20中的有源层22与源漏电极之间的膜层;驱动晶体管10中的栅极11位于驱动晶体管10中的有源层12与源漏电极之间的膜层;并且,各第一辅助电极30可以均设置于对应开关晶体管20中的栅极21与源漏电极之间的膜层;同时,因第二辅助电极50也位于驱动晶体管10中的栅极11与源漏电极之间的膜层,所以,第一辅助电极30与第二辅助电极50可以同材质且同层设置,以简化制作流程,降低制作成本。

[0052] 当然,在本发明实施例提供的上述像素电路中,当各开关晶体管20与驱动晶体管10为顶栅型晶体管时,还可以如图5所示,即各开关晶体管20中的栅极21位于各开关晶体管20中的有源层22与源漏电极之间的膜层,驱动晶体管10中的栅极11位于驱动晶体管10中的有源层12与源漏电极之间的膜层;并且,各第一辅助电极30可以与对应开关晶体管20中的源漏电极同材质且同层设置;因此,由于第二辅助电极50设置于驱动晶体管10中的栅极11与源漏电极之间的膜层,可以在制作第二辅助电极50时不需要改变掩模板的图案,只是在制作源漏电极时改变掩模板的图案,使得在制作源漏电极时同时制作各第一辅助电极30,以简化制作工艺,降低制作成本。

[0053] 具体地,当各开关晶体管与驱动晶体管为底栅型晶体管时,在本发明实施例提供的上述像素电路中,如图6所示,各开关晶体管20中的栅极21位于各开关晶体管20中的有源层22与衬底基板40之间的膜层;驱动晶体管10中的栅极11位于驱动晶体管10中的有源层12与衬底基板40之间的膜层;并且,各第一辅助电极30可以均设置于衬底基板40与对应开关晶体管20中的栅极21之间的膜层;同时,因第二辅助电极50也位于栅极11与衬底基板40之间的膜层,所以,第一辅助电极30与第二辅助电极50可以同材质且同层设置,以简化制作流程,降低制作成本。

[0054] 在具体实施时,在本发明实施例提供的上述像素电路中,图2至图6所示的部分像素电路的层级结构示意图,是与图1所示的像素电路对应的,其中,开关晶体管20可以对应于像素电路中的第五开关晶体管T5,所以其漏极23b与发光单元的阳极电连接;当然,像素电路的结构并不限于图1所示的结构,还可以是其他结构;若在像素电路中驱动晶体管与发光二极管之间未设置开关晶体管时,则发光单元的阳极与驱动晶体管的漏极电连接,在此不作具体限定。

[0055] 基于同一发明构思,本发明实施例还提供了一种电致发光显示面板,可以包括:呈阵列排布的多个如本发明实施例提供的上述像素电路;具体地,如图12a所示的侧视图,以及如图12b所示的俯视图,且图12b中未示出封装基板,电致发光显示面板100包括:相对而置的阵列基板101和封装基板102,呈阵列排布的多个像素电路103设置于阵列基板101面向封装基板102的一侧。

[0056] 基于同一发明构思,本发明实施例还提供了一种显示装置,可以包括:如本发明实施例提供的上述电致发光显示面板。该显示装置可以为:手机(如图13所示)、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。该显示装置的实施可以参见上述电致发光显示面板的实施例,重复之处不再赘述。

[0057] 本发明实施例提供了一种像素电路、电致发光显示面板及显示装置,包括:驱动晶体管、多个开关晶体管、以及与各开关晶体管一一对应设置的多个第一辅助电极;其中,第一辅助电极与对应开关晶体管中的栅极电连接;且第一辅助电极在衬底基板上的正投影与

对应开关晶体管中的有源层在衬底基板上的正投影具有重叠区域,在重叠区域第一辅助电极和有源层之间形成电容。因此,通过将第一辅助电极与对应开关晶体管中的栅极电连接,使得第一辅助电极与对应开关晶体管中的栅极具有相同电位,因有源层的电位与栅极的电位不同,使得在第一辅助电极和有源层之间可以形成电容,栅极与有源层之间也可以形成电容,从而形成并联的栅极电容;而在驱动晶体管中,因不存在与栅极电连接的第一辅助电极,使得驱动晶体管中串联之后的总的栅极电容小于各开关晶体管中并联之后的总的栅极电容,进而使得驱动晶体管的亚阈值摆幅大于各开关晶体管的亚阈值摆幅,从而提高了显示画面的均一性。

[0058] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

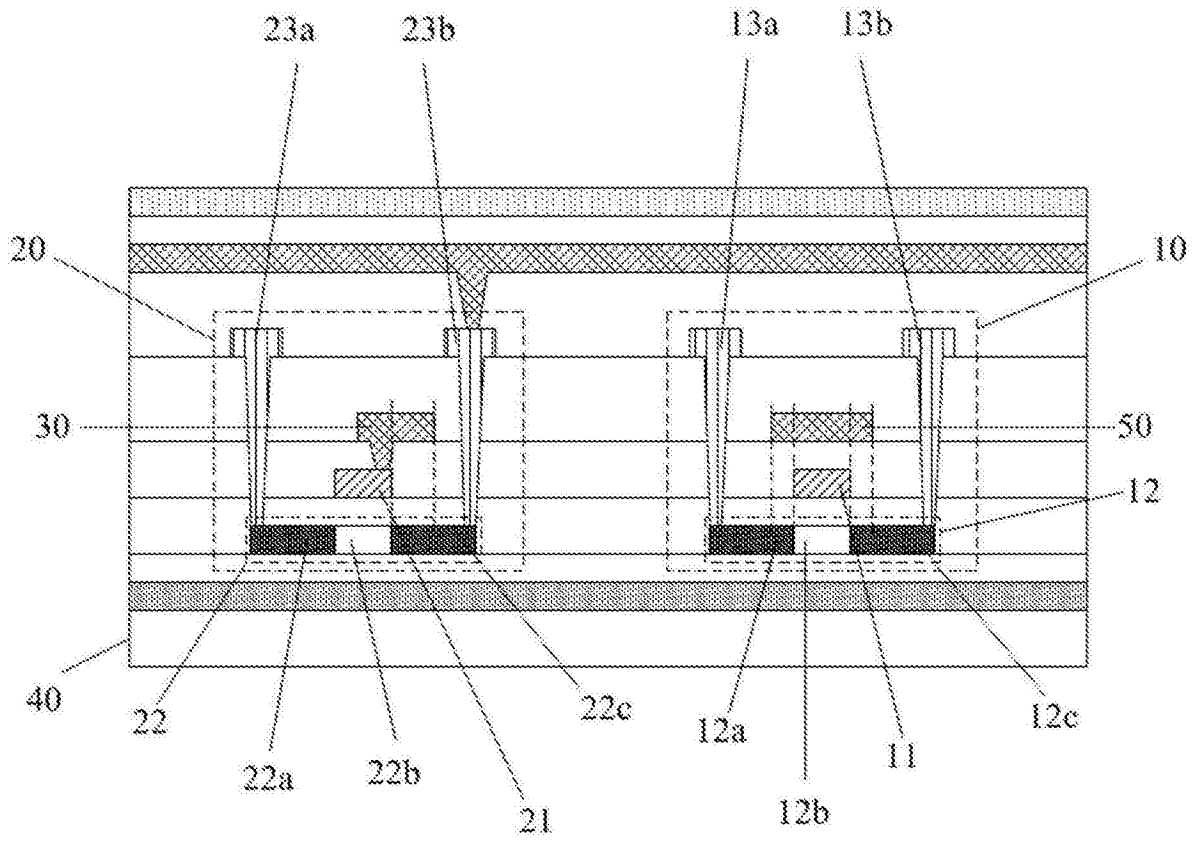


图3

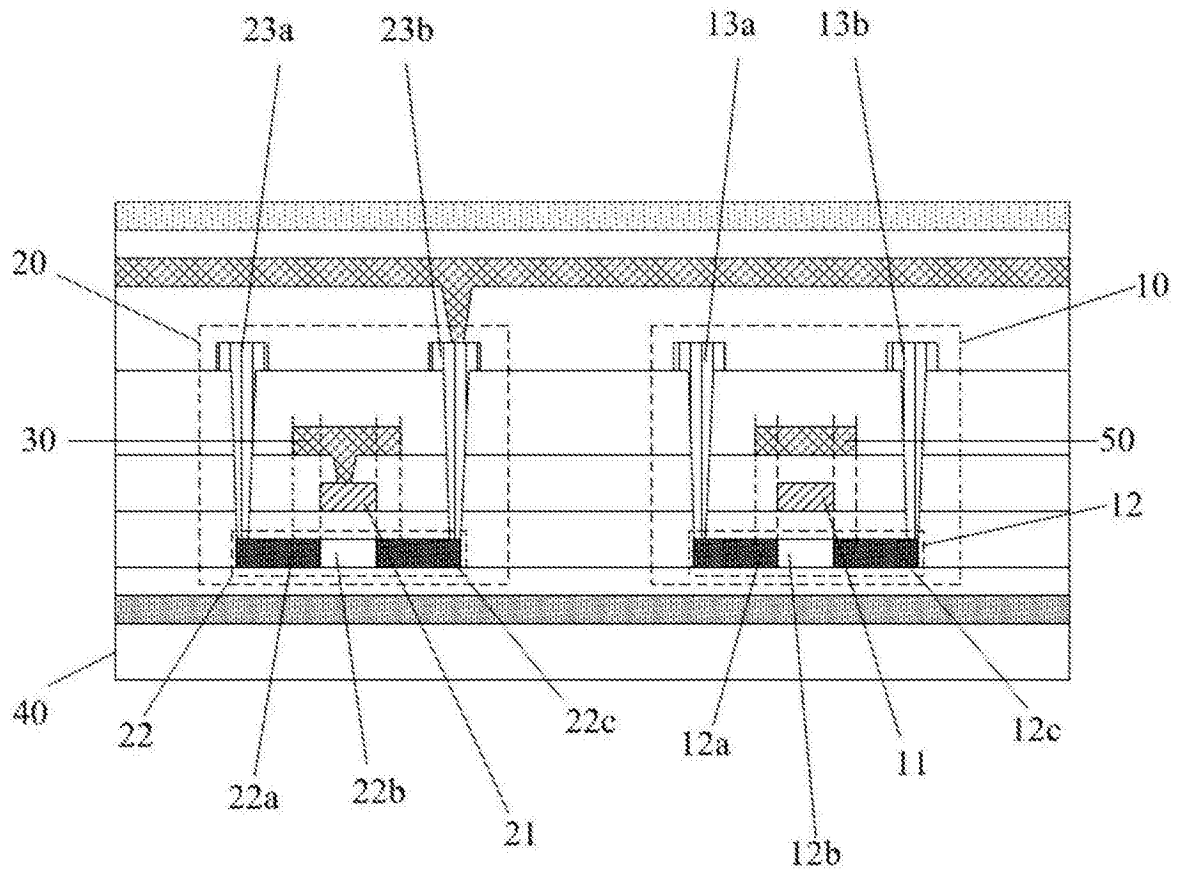


图4

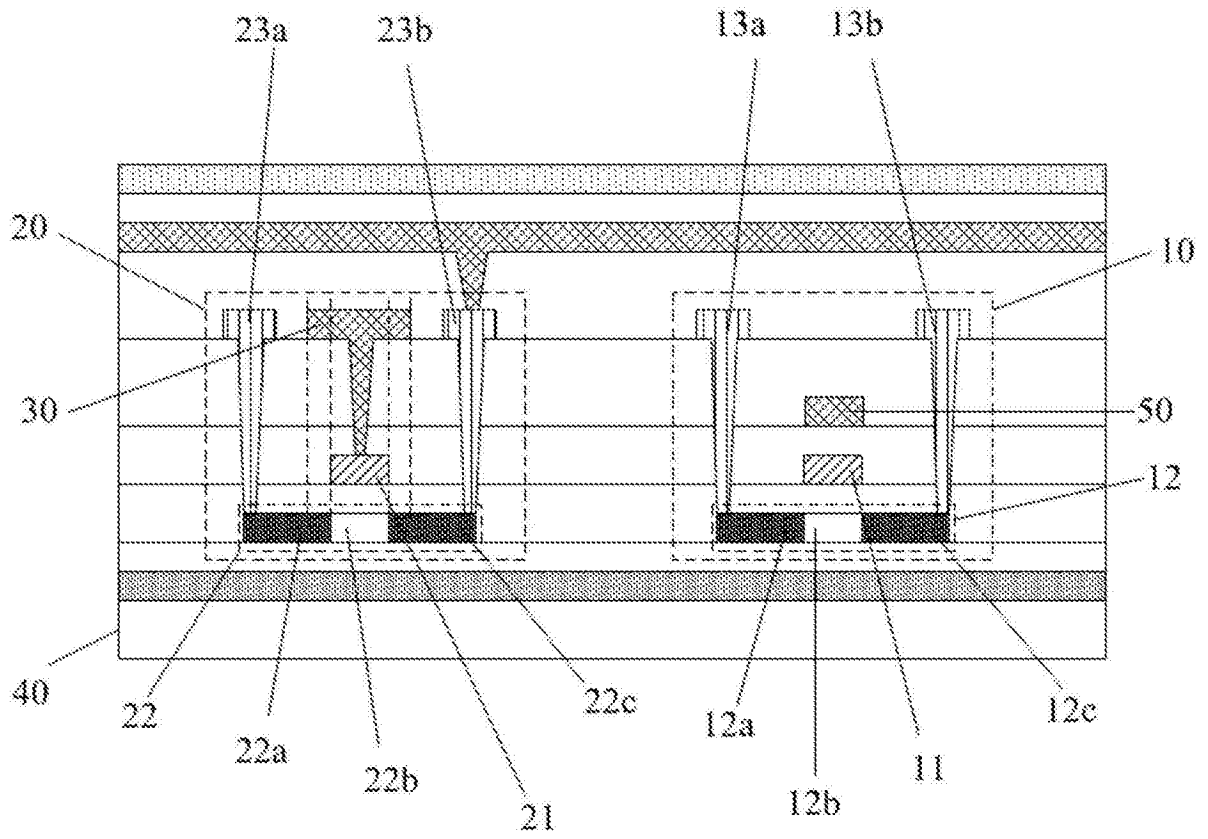


图5

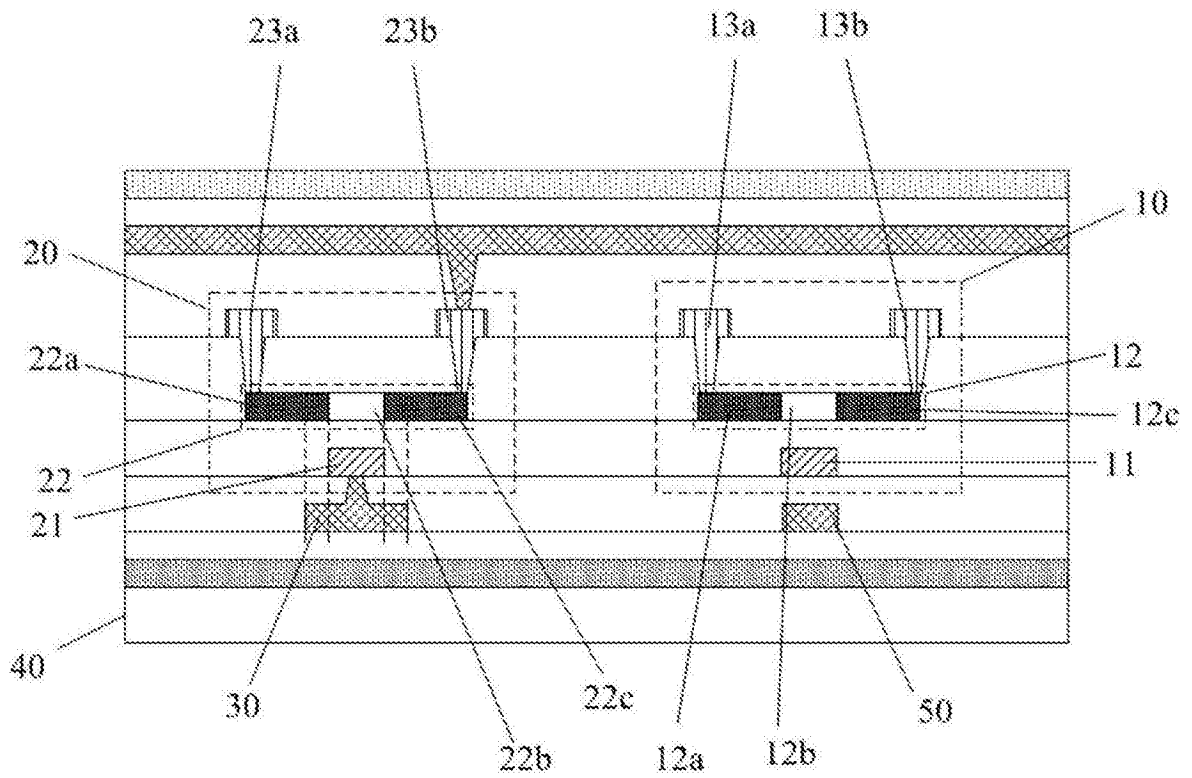


图6

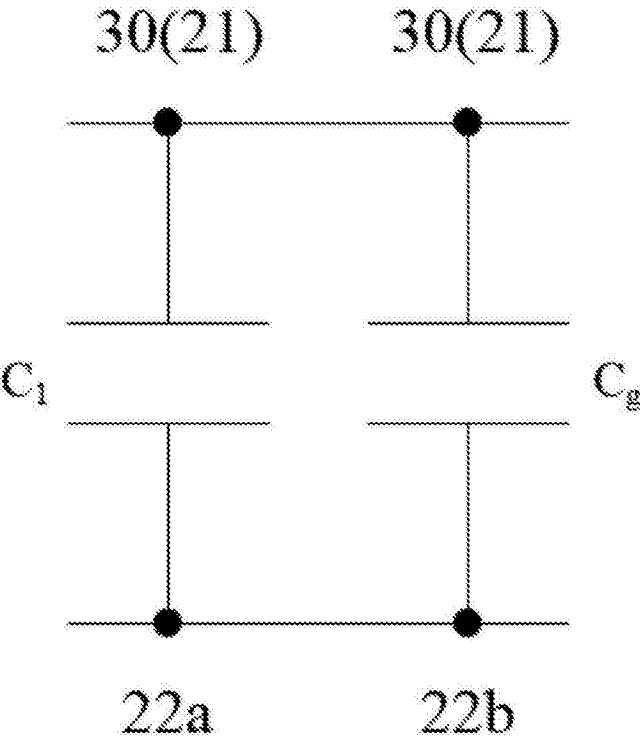


图7

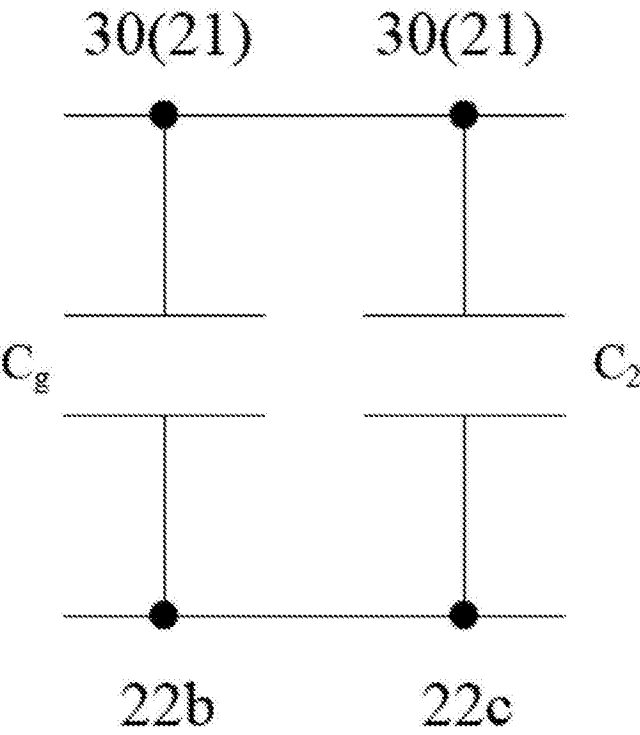


图8

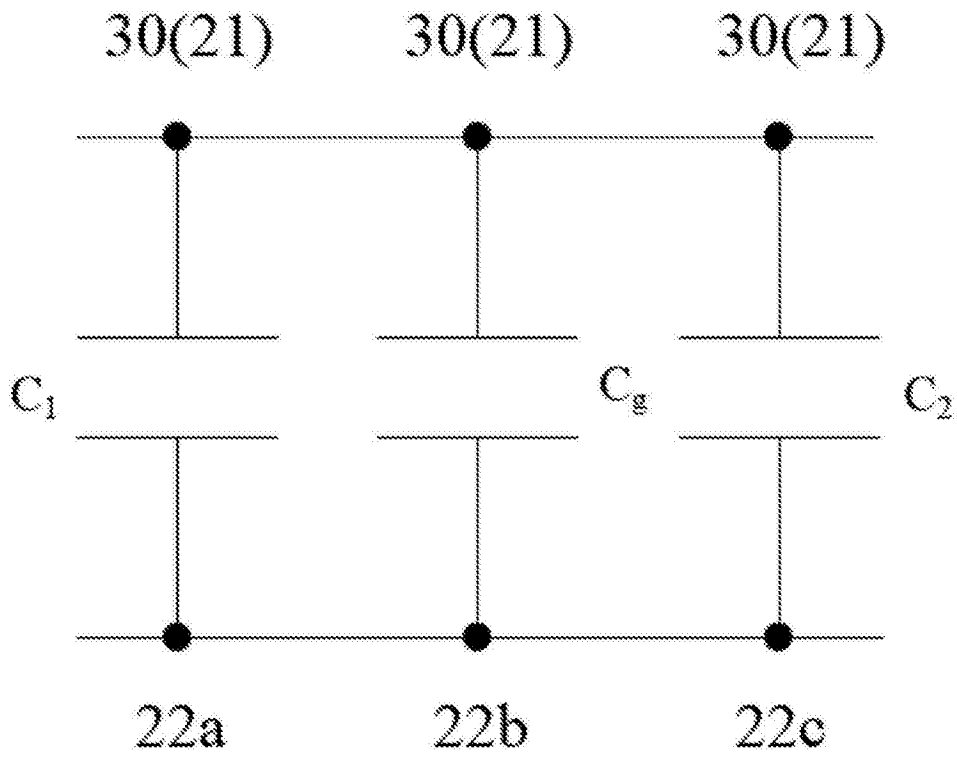


图9

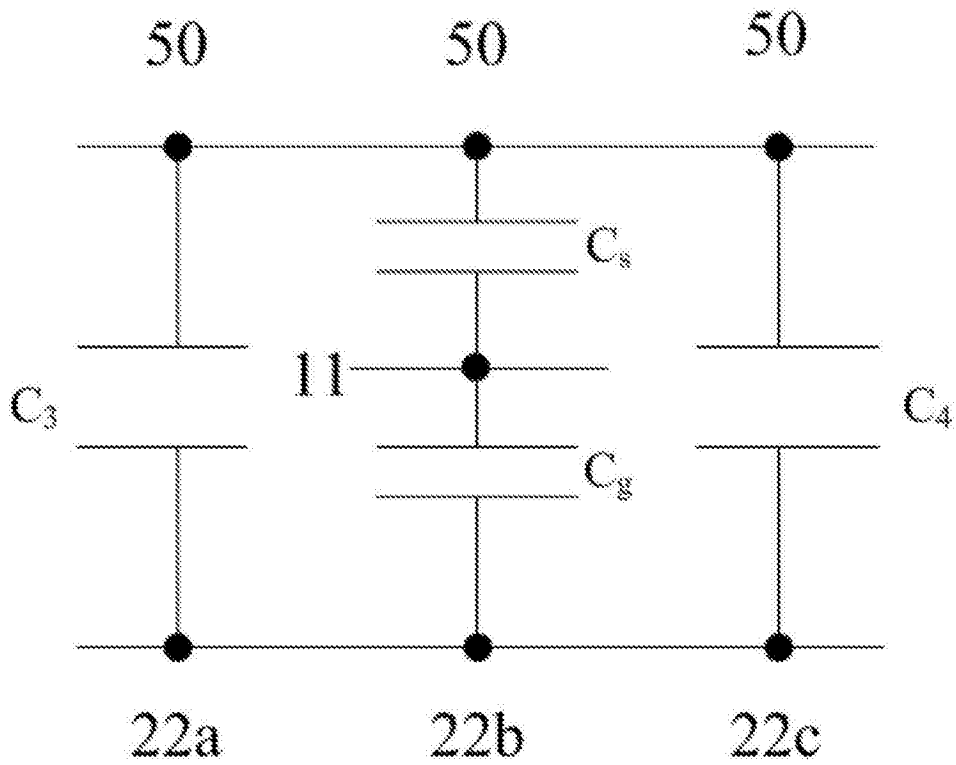


图10

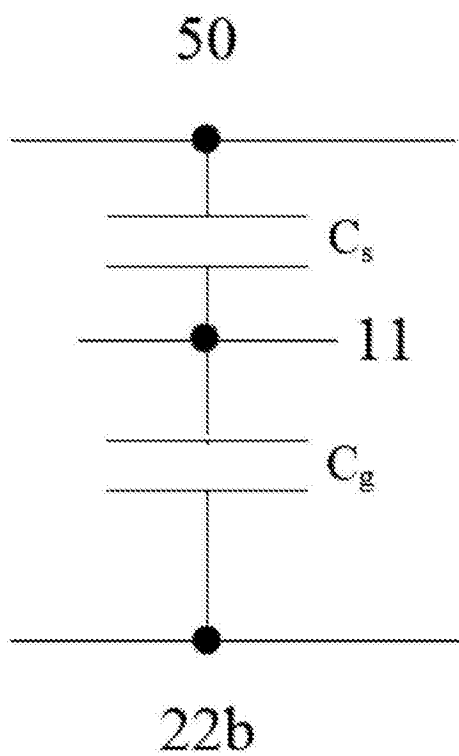


图11

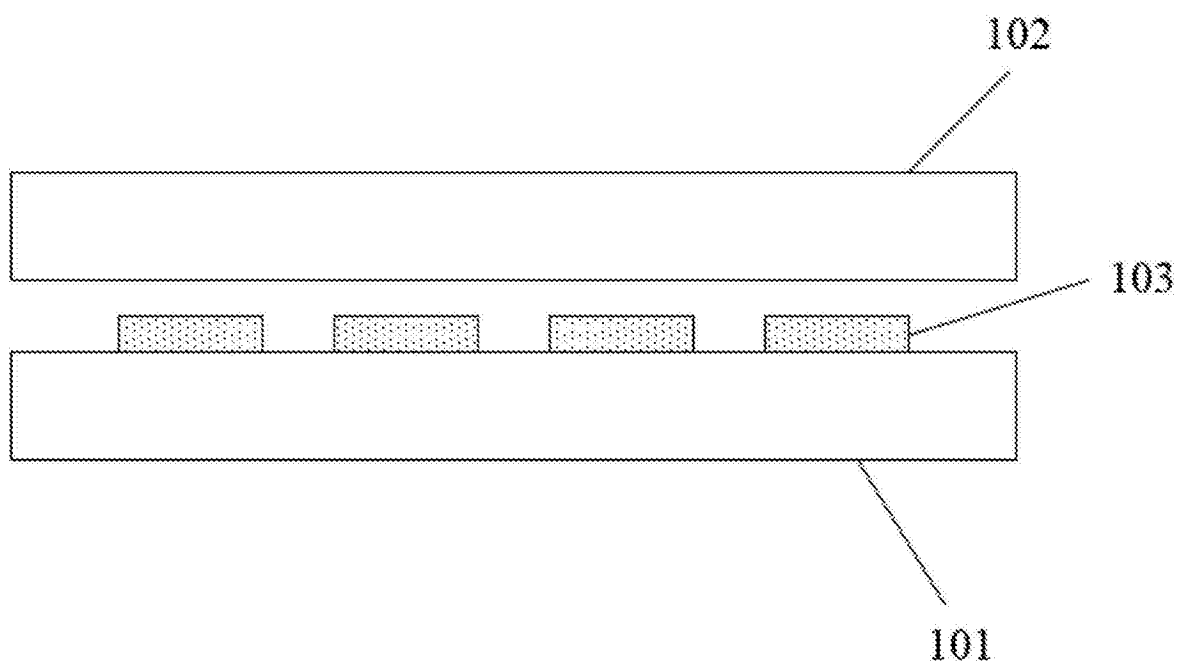


图12a

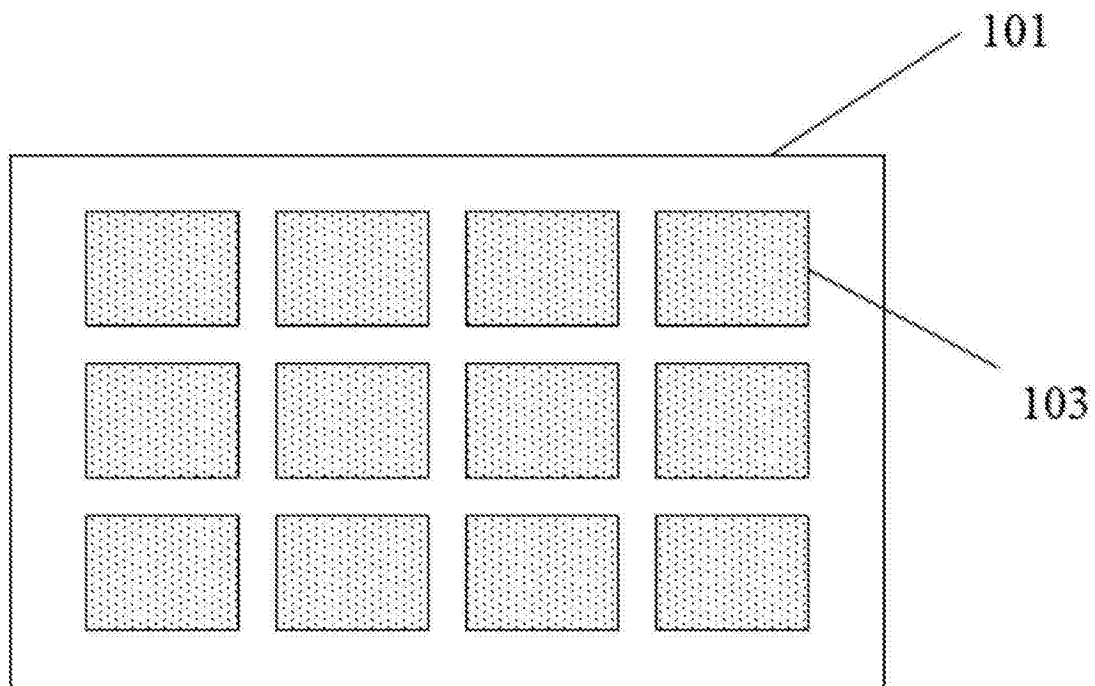


图12b

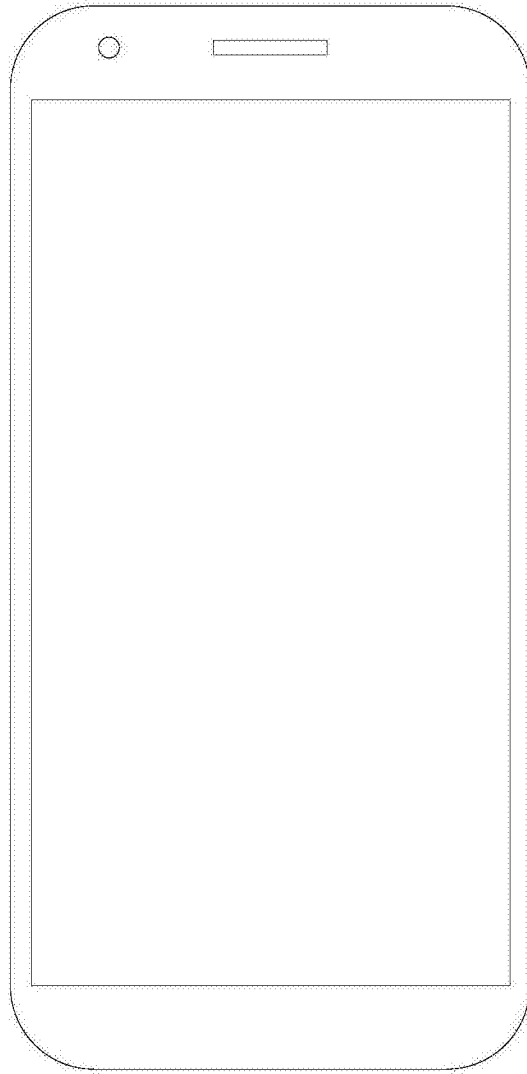


图13

专利名称(译)	一种像素电路、电致发光显示面板及显示装置		
公开(公告)号	CN107293256A	公开(公告)日	2017-10-24
申请号	CN201710582226.0	申请日	2017-07-17
[标]申请(专利权)人(译)	武汉天马微电子有限公司		
申请(专利权)人(译)	武汉天马微电子有限公司		
当前申请(专利权)人(译)	武汉天马微电子有限公司		
[标]发明人	朱在稳 林鸿 何水 世良贤二 东海林功 蔡中兰		
发明人	朱在稳 林鸿 何水 世良贤二 东海林功 蔡中兰		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208 G09G3/3233 G09G2300/0852 G09G2310/0243 G09G2310/0251 G09G2310/0262 H01L27/3262 H01L27/3265 H01L51/5203		
代理人(译)	黄志华		
其他公开文献	CN107293256B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路、电致发光显示面板及显示装置，包括：驱动晶体管、多个开关晶体管、以及与各开关晶体管一一对应设置的多个第一辅助电极；通过对第一辅助电极的设置，将第一辅助电极与对应开关晶体管中的栅极电连接，使得第一辅助电极与对应开关晶体管中的栅极具有相同电位，因有源层的电位与栅极的电位不同，使得在第一辅助电极和有源层之间可以形成电容，加之栅极与有源层之间形成的电容，形成并联的栅极电容；在驱动晶体管中，因不存在与栅极电连接的第一辅助电极，使得驱动晶体管中的栅极电容小于各开关晶体管中的栅极电容，进而使得驱动晶体管的亚阈值摆幅大于各开关晶体管的亚阈值摆幅，从而提高显示画面的均一性。

