



(12)发明专利申请

(10)申请公布号 CN 107154239 A

(43)申请公布日 2017.09.12

(21)申请号 201710524482.4

(22)申请日 2017.06.30

(71)申请人 武汉天马微电子有限公司

地址 430074 湖北省武汉市东湖新技术开发
区东一产业园流芳园路8号

(72)发明人 冷传利 李元 周星耀

(74)专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51)Int.Cl.

G09G 3/3208(2016.01)

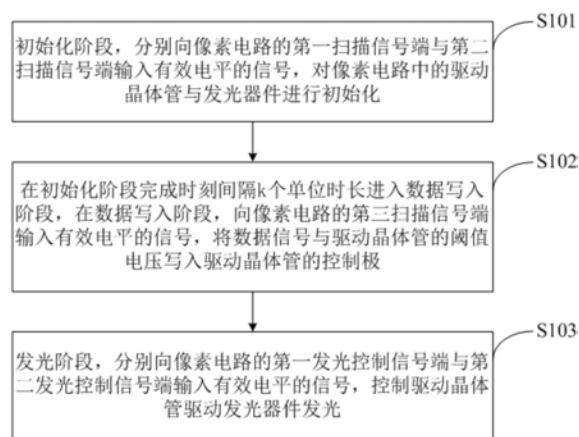
权利要求书2页 说明书13页 附图13页

(54)发明名称

一种像素电路、驱动方法、有机发光显示面
板及显示装置

(57)摘要

本发明公开了一种像素电路、驱动方法、有机发光显示面板及显示装置,在初始化阶段对像素电路中的驱动晶体管与发光器件进行初始化;在数据写入阶段将数据信号与驱动晶体管的阈值电压写入驱动晶体管的控制极;在发光阶段控制驱动晶体管驱动发光器件发光;并且在初始化阶段完成时刻间隔k个单位时长才进入数据写入阶段。由于在初始化阶段完成之后,且在数据写入阶段进入之前,具有k个扫描一行像素对应的时长的时间段,相当于延长了对驱动晶体管进行初始化的时间,给了驱动晶体管内部电场充分恢复的时间,从而在进入数据写入阶段时驱动晶体管的特性可以恢复正常,使相邻两帧显示之间无影响,进而使显示亮度均匀,提高显示效果。



1. 一种像素电路的驱动方法,其特征在于,包括:

初始化阶段,分别向所述像素电路的第一扫描信号端与第二扫描信号端输入有效电平的信号,对所述像素电路中的驱动晶体管与发光器件进行初始化;

在所述初始化阶段完成时刻间隔 k 个单位时长进入数据写入阶段,在所述数据写入阶段,向所述像素电路的第三扫描信号端输入有效电平的信号,将数据信号与所述驱动晶体管的阈值电压写入所述驱动晶体管的控制极;其中, k 为大于或等于4的正整数,所述单位时长为扫描一行像素对应的时长;

发光阶段,分别向所述像素电路的第一发光控制信号端与第二发光控制信号端输入有效电平的信号,控制所述驱动晶体管驱动所述发光器件发光。

2. 如权利要求1所述的驱动方法,其特征在于,所述驱动方法还包括:在所述初始化阶段,向所述第一发光控制信号端输入有效电平的信号,将第一电源端的信号输入所述驱动晶体管;和/或,

在所述初始化阶段之后且在所述数据写入阶段之前,所述驱动方法还包括:放电阶段;在所述放电阶段,向所述第一发光控制信号端输入有效电平的信号,将第一电源端的信号输入所述驱动晶体管。

3. 如权利要求1所述的驱动方法,其特征在于,所述驱动方法还包括:在所述数据写入阶段,向所述第二扫描信号端输入有效电平的信号,对所述发光器件进行初始化;和/或,

在所述初始化阶段之后且在所述数据写入阶段之前,还包括:放电阶段;在所述放电阶段,向所述第二扫描信号端输入有效电平的信号,对所述发光器件进行初始化。

4. 如权利要求1所述的驱动方法,其特征在于,所述第一扫描信号端的信号与所述第三扫描信号端的信号分别由不同的栅极驱动电路输入;或者,

所述第一扫描信号端的信号与所述第三扫描信号端的信号由同一栅极驱动电路输入。

5. 一种采用如权利要求1-4任一项所述的驱动方法驱动的像素电路,其特征在于,包括:驱动晶体管、第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、存储电容以及发光器件;其中,

所述第一晶体管的控制极与所述第一扫描信号端相连,第一极与初始化信号端相连,第二极与所述驱动晶体管的控制极相连;

所述第二晶体管的控制极与所述第二扫描信号端相连,第一极与所述初始化信号端相连,第二极与所述发光器件的第一端相连;

所述第三晶体管的控制极与所述第三扫描信号端相连,第一极与数据信号端相连,第二极与所述驱动晶体管的第一极相连;

所述第四晶体管的控制极与所述第三扫描信号端相连,第一极与所述驱动晶体管的第二极相连,第二极与所述驱动晶体管的控制极相连;

所述第五晶体管的控制极与所述第一发光控制信号端相连,第一极与第一电源端相连,第二极与所述驱动晶体管的第一极相连;

所述第六晶体管的控制极与所述第二发光控制信号端相连,第一极与所述驱动晶体管的第二极相连,第二极与所述发光器件的第一端相连;

所述发光器件的第二端与第二电源端相连;

所述存储电容的第一端与所述第一电源端相连,第二端与所述驱动晶体管的控制极相

连。

6. 如权利要求5所述的像素电路,其特征在于,所述第一发光控制信号端为所述第三扫描信号端;或者,所述第一发光控制信号端为所述第二发光控制信号端。

7. 如权利要求6所述的像素电路,其特征在于,在所述第一发光控制信号端为所述第三扫描信号端时,在所述第三扫描信号端输入信号的有效电平为低电平时,第三晶体管为P型晶体管,第五晶体管为N型晶体管;或者,

在所述第一发光控制信号端为所述第三扫描信号端时,在所述第三扫描信号端输入信号的有效电平为高电平时,第三晶体管为N型晶体管,第五晶体管为P型晶体管。

8. 如权利要求5所述的像素电路,其特征在于,所述第二扫描信号端为所述第二发光控制信号端;或者,所述第二扫描信号端为所述第一扫描信号端。

9. 如权利要求8所述的像素电路,其特征在于,在所述第二扫描信号端为所述第二发光控制信号端时,在所述第二发光控制信号端输入的信号的有效电平为低电平时,第二晶体管为N型晶体管,第六晶体管为P型晶体管;或者,

在所述第二扫描信号端为所述第二发光控制信号端时,在所述第二发光控制信号端输入的信号的有效电平为高电平时,第二晶体管为P型晶体管,第六晶体管为N型晶体管。

10. 如权利要求5所述的像素电路,其特征在于,所有晶体管均为P型晶体管。

11. 一种有机发光显示面板,其特征在于,包括如权利要求5-10任一项所述的像素电路。

12. 如权利要求11所述的有机发光显示面板,其特征在于,还包括:两个栅极驱动电路,各所述像素电路的第一扫描信号端连接一个栅极驱动电路,各所述像素电路的第三扫描信号端连接另一个栅极驱动电路。

13. 如权利要求11所述的有机发光显示面板,其特征在于,还包括:一个栅极驱动电路,各所述像素电路的第一扫描信号端与第三扫描信号端连接同一个栅极驱动电路。

14. 一种显示装置,其特征在于,包括:如权利要求11-13任一项所述的有机发光显示面板。

一种像素电路、驱动方法、有机发光显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种像素电路、驱动方法、有机发光显示面板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)是当今平板显示器研究领域的热点之一,与液晶显示器(Liquid Crystal Display,LCD)相比,OLED显示器具有低能耗、自发光、宽视角及响应速度快等优点。目前,在手机、平板电脑、数码相机等显示领域,OLED显示器已经开始取代传统的LCD显示器。与LCD利用稳定的电压控制亮度不同,OLED属于电流驱动,需要稳定的电流来控制其发光。一般OLED显示器通过其像素中的像素电路的驱动晶体管来驱动OLED发光。

[0003] 目前像素电路的工作过程一般包括三个阶段,分别为:对像素电路中的驱动晶体管进行初始化的初始化阶段、写入数据信号的数据写入阶段以及驱动OLED发光的发光阶段。其中,一般初始化阶段与数据写入阶段的时长分别为扫描一行像素对应的时长,且初始化阶段与数据写入阶段对应扫描相邻两行像素所用的时间。一般驱动OLED发光时驱动晶体管长时间处于同一偏压下,会导致驱动晶体管的阈值电压与迁移率产生漂移。然而,由于在初始化阶段中一般仅是通过向驱动晶体管的栅极施加初始化电压以对驱动晶体管进行初始化,而初始化阶段完成后即进入数据写入阶段,而驱动晶体管内部电场在扫描一行像素对应的时长内不能完全恢复,因此驱动晶体管特性的漂移在初始化阶段内并不能完全恢复正常,从而在进入数据写入阶段时驱动晶体管的特性仍然具有漂移,进而会造成显示亮度不均以及导致显示异常的问题。例如,OLED显示器由显示棋盘格画面切换至显示128灰阶画面时,在128灰阶画面中可以观察到明显的残影(Image retention)现象。

发明内容

[0004] 本发明实施例提供一种像素电路、驱动方法、有机发光显示面板及显示装置,用以解决现有技术中由于驱动晶体管特性的漂移在进入数据写入阶段时不能完全恢复正常,造成显示亮度不均以及导致显示异常的问题。

[0005] 因此,本发明实施例提供了一种像素电路的驱动方法,包括:

[0006] 初始化阶段,分别向所述像素电路的第一扫描信号端与第二扫描信号端输入有效电平的信号,对所述像素电路中的驱动晶体管与发光器件进行初始化;

[0007] 在所述初始化阶段完成时刻间隔k个单位时长进入数据写入阶段,在所述数据写入阶段,向所述像素电路的第三扫描信号端输入有效电平的信号,将数据信号与所述驱动晶体管的阈值电压写入所述驱动晶体管的控制极;其中,k为大于或等于4的正整数,所述单位时长为扫描一行像素对应的时长;

[0008] 发光阶段,分别向所述像素电路的第一发光控制信号端与第二发光控制信号端输入有效电平的信号,控制所述驱动晶体管驱动所述发光器件发光。

[0009] 优选地,在本发明实施例提供的上述驱动方法中,所述驱动方法还包括:在所述初始化阶段,向所述第一发光控制信号端输入有效电平的信号,将第一电源端的信号输入所述驱动晶体管;和/或,

[0010] 在所述初始化阶段之后且在所述数据写入阶段之前,所述驱动方法还包括:放电阶段;在所述放电阶段,向所述第一发光控制信号端输入有效电平的信号,将第一电源端的信号输入所述驱动晶体管。

[0011] 优选地,在本发明实施例提供的上述驱动方法中,所述驱动方法还包括:在所述数据写入阶段,向所述第二扫描信号端输入有效电平的信号,对所述发光器件进行初始化;和/或,

[0012] 在所述初始化阶段之后且在所述数据写入阶段之前,还包括:放电阶段;在所述放电阶段,向所述第二扫描信号端输入有效电平的信号,对所述发光器件进行初始化。

[0013] 优选地,在本发明实施例提供的上述驱动方法中,所述第一扫描信号端的信号与所述第三扫描信号端的信号分别由不同的栅极驱动电路输入;或者,

[0014] 所述第一扫描信号端的信号与所述第三扫描信号端的信号由同一栅极驱动电路输入。

[0015] 相应地,本发明实施例还提供了一种采用本发明实施例提供的上述任一种驱动方法驱动的像素电路,包括:驱动晶体管、第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、存储电容以及发光器件;其中,

[0016] 所述第一晶体管的控制极与所述第一扫描信号端相连,第一极与初始化信号端相连,第二极与所述驱动晶体管的控制极相连;

[0017] 所述第二晶体管的控制极与所述第二扫描信号端相连,第一极与所述初始化信号端相连,第二极与所述发光器件的第一端相连;

[0018] 所述第三晶体管的控制极与所述第三扫描信号端相连,第一极与数据信号端相连,第二极与所述驱动晶体管的第一极相连;

[0019] 所述第四晶体管的控制极与所述第三扫描信号端相连,第一极与所述驱动晶体管的第二极相连,第二极与所述驱动晶体管的控制极相连;

[0020] 所述第五晶体管的控制极与所述第一发光控制信号端相连,第一极与第一电源端相连,第二极与所述驱动晶体管的第一极相连;

[0021] 所述第六晶体管的控制极与所述第二发光控制信号端相连,第一极与所述驱动晶体管的第二极相连,第二极与所述发光器件的第一端相连;

[0022] 所述发光器件的第二端与第二电源端相连;

[0023] 所述存储电容的第一端与所述第一电源端相连,第二端与所述驱动晶体管的控制极相连。

[0024] 优选地,在本发明实施例提供的上述像素电路中,所述第一发光控制信号端为所述第三扫描信号端;或者,所述第一发光控制信号端为所述第二发光控制信号端。

[0025] 优选地,在本发明实施例提供的上述像素电路中,在所述第一发光控制信号端为所述第三扫描信号端时,在所述第三扫描信号端输入信号的有效电平为低电平时,第三晶体管为P型晶体管,第五晶体管为N型晶体管;或者,

[0026] 在所述第一发光控制信号端为所述第三扫描信号端时,在所述第三扫描信号端输

入信号的有效电平为高电平时,第三晶体管为N型晶体管,第五晶体管为P型晶体管。

[0027] 优选地,在本发明实施例提供的上述像素电路中,所述第二扫描信号端为所述第二发光控制信号端;或者,所述第二扫描信号端为所述第一扫描信号端。

[0028] 优选地,在本发明实施例提供的上述像素电路中,在所述第二扫描信号端为所述第二发光控制信号端时,在所述第二发光控制信号端输入的信号的有效电平为低电平时,第二晶体管为N型晶体管,第六晶体管为P型晶体管;或者,

[0029] 在所述第二扫描信号端为所述第二发光控制信号端时,在所述第二发光控制信号端输入的信号的有效电平为高电平时,第二晶体管为P型晶体管,第六晶体管为N型晶体管。

[0030] 优选地,在本发明实施例提供的上述像素电路中,所有晶体管均为P型晶体管。

[0031] 相应地,本发明实施例还提供了一种有机发光显示面板,包括本发明实施例提供的上述任一种像素电路。

[0032] 优选地,在本发明实施例提供的上述有机发光显示面板中,还包括:两个栅极驱动电路,各所述像素电路的第一扫描信号端连接一个栅极驱动电路,各所述像素电路的第三扫描信号端连接另一个栅极驱动电路。

[0033] 优选地,在本发明实施例提供的上述有机发光显示面板中,还包括:一个栅极驱动电路,各所述像素电路的第一扫描信号端与第三扫描信号端连接同一个栅极驱动电路。

[0034] 相应地,本发明实施例还提供了一种显示装置,包括:本发明实施例提供的上述任一种有机发光显示面板。

[0035] 本发明有益效果如下:

[0036] 本发明实施例提供的像素电路、驱动方法、有机发光显示面板及显示装置,在初始化阶段对像素电路中的驱动晶体管与发光器件进行初始化;在数据写入阶段将数据信号与驱动晶体管的阈值电压写入驱动晶体管的控制极;在发光阶段控制驱动晶体管驱动发光器件发光;并且在初始化阶段完成时刻间隔 k 个单位时长才进入数据写入阶段, k 为大于或等于4的正整数,单位时长为扫描一行像素对应的时长。因此,在上述驱动方法中,由于在初始化阶段完成之后,且在数据写入阶段进入之前,具有 k 个扫描一行像素对应的时长的时间段,相当于延长了对驱动晶体管进行初始化的时间,给了驱动晶体管内部电场充分恢复的时间,从而在进入数据写入阶段时驱动晶体管的特性可以恢复正常,使相邻两帧显示之间无影响,进而使显示亮度均匀,提高显示效果。

附图说明

[0037] 图1为本发明实施例提供的像素电路的驱动方法的流程图;

[0038] 图2a为本发明实施例提供的像素电路的结构示意图之一;

[0039] 图2b为本发明实施例提供的像素电路的结构示意图之二;

[0040] 图3a为本发明实施例一中的时序图;

[0041] 图3b为本发明实施例二中的时序图;

[0042] 图3c为本发明实施例三中的时序图;

[0043] 图4a为本发明实施例四中像素电路的结构示意图;

[0044] 图4b为本发明实施例五中像素电路的结构示意图;

[0045] 图5a为本发明实施例六中像素电路的结构示意图;

- [0046] 图5b为本发明实施例七中像素电路的结构示意图；
- [0047] 图6a为本发明实施例提供的有机发光显示面板的结构示意图之一；
- [0048] 图6b为本发明实施例提供的有机发光显示面板的结构示意图之二；
- [0049] 图7为本发明实施例提供的显示装置的结构示意图。

具体实施方式

[0050] 为了使本发明的目的,技术方案和优点更加清楚,下面结合附图,对本发明实施例提供的像素电路、驱动方法、有机发光显示面板及显示装置的具体实施方式进行详细地说明。应当理解,下面所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。并且在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0051] 本发明实施例提供了一种像素电路的驱动方法,该像素电路具有第一扫描信号端、第二扫描信号端、第三扫描信号端、数据信号端、第一发光控制信号端以及第二发光控制信号端;其中,该像素电路用于在第一扫描信号端与第二扫描信号端的信号的控制下对该像素电路中的驱动晶体管与发光器件进行初始化;该像素电路还用于在第三扫描信号端的信号的控制下将数据信号端的数据信号与像素电路中的驱动晶体管的阈值电压写入该驱动晶体管的控制极;该像素电路还用于在第一发光控制信号端与第二发光控制信号端的信号的控制下控制驱动晶体管驱动连接的发光器件发光。

[0052] 本发明实施例提供的像素电路的驱动方法,如图1所示,具体可以包括如下步骤:

[0053] S101、初始化阶段,分别向像素电路的第一扫描信号端与第二扫描信号端输入有效电平的信号,对像素电路中的驱动晶体管与发光器件进行初始化;

[0054] S102、在初始化阶段完成时刻间隔 k 个单位时长进入数据写入阶段,在数据写入阶段,向像素电路的第三扫描信号端输入有效电平的信号,将数据信号与驱动晶体管的阈值电压写入驱动晶体管的控制极;其中, k 为大于或等于4的正整数,单位时长为扫描一行像素对应的时长;

[0055] S103、发光阶段,分别向像素电路的第一发光控制信号端与第二发光控制信号端输入有效电平的信号,控制驱动晶体管驱动发光器件发光。

[0056] 本发明实施例提供的上述像素电路的驱动方法,包括:初始化阶段、数据写入阶段以及发光阶段;其中,在初始化阶段对像素电路中的驱动晶体管与发光器件进行初始化;在数据写入阶段将数据信号与驱动晶体管的阈值电压写入驱动晶体管的控制极;在发光阶段控制驱动晶体管驱动发光器件发光;并且在初始化阶段完成时刻间隔 k 个单位时长才进入数据写入阶段, k 为大于或等于4的正整数,单位时长为扫描一行像素对应的时长。因此,在上述驱动方法中,由于在初始化阶段完成之后,且在数据写入阶段进入之前,具有 k 个扫描一行像素对应的时长的时间段,相当于延长了对驱动晶体管进行初始化的时间,给了驱动晶体管内部电场充分恢复的时间,从而在进入数据写入阶段时驱动晶体管的特性可以恢复正常,使相邻两帧显示之间无影响,进而使显示亮度均匀,提高显示效果。

[0057] 在具体实施时,在本发明实施例提供的上述驱动方法中,在各信号端输入有效电平的信号时,可以控制像素电路中对应的晶体管导通。

[0058] 在具体实施时,可以使 $k=4$,或者也可以使 $k=6$,或者也可以使 $k=9$ 等。由于在实际应用中, k 与扫描一行像素的时长有关,而不同类型的有机发光显示面板中像素的行数不

尽相同,因此扫描一行像素的时长也不尽相同。例如,FHD(Full High Definition,全高清)类型的有机发光显示面板中可以使 $k=4$ 或者也可以使 $k=9$ 。因此, k 的取值需要根据有机发光显示面板中的像素的行数进行相应的设置,在此不作限定。

[0059] 在具体实施时,在本发明实施例提供的上述驱动方法中,初始化阶段与数据写入阶段所用的时长分别为扫描一行像素所用的时长。

[0060] 在显示最黑画面时,驱动晶体管处于正向偏压下,由于驱动晶体管处于正向偏压下时其特性漂移会较严重且不易恢复,在具体实施时,在本发明实施例提供的上述驱动方法中,所述驱动方法还可以包括:在所述初始化阶段,向所述第一发光控制信号端输入有效电平的信号,将第一电源端的信号输入所述驱动晶体管。

[0061] 或者,在具体实施时,在所述初始化阶段之后且在所述数据写入阶段之前,所述驱动方法还可以包括:放电阶段;在所述放电阶段,向所述第一发光控制信号端输入有效电平的信号,将第一电源端的信号输入所述驱动晶体管。

[0062] 在具体实施时,在本发明实施例提供的上述驱动方法中,所述驱动方法还包括:在所述初始化阶段,向所述第一发光控制信号端输入有效电平的信号,将第一电源端的信号输入所述驱动晶体管。并且在所述初始化阶段之后且在所述数据写入阶段之前,所述驱动方法还包括:放电阶段;在所述放电阶段,向所述第一发光控制信号端输入有效电平的信号,将第一电源端的信号输入所述驱动晶体管。这样可以在数据写入阶段之前将第一电源端的信号提供给驱动晶体管,以使驱动晶体管处于强的负偏压作用下,从而可以进一步使驱动晶体管的特性有效恢复。

[0063] 为了避免发光器件在初始化阶段进行的初始化不充分,在具体实施时,在本发明实施例提供的上述驱动方法中,在所述初始化阶段之后且在所述数据写入阶段之前,还可以包括:放电阶段;在所述放电阶段,向所述第二扫描信号端输入有效电平的信号,对所述发光器件进行初始化。

[0064] 或者,在具体实施时,上述驱动方法还可以包括:在所述数据写入阶段,向所述第二扫描信号端输入有效电平的信号,对所述发光器件进行初始化。

[0065] 在具体实施时,在本发明实施例提供的上述驱动方法中,在所述初始化阶段之后且在所述数据写入阶段之前,还包括:放电阶段;在所述放电阶段,向所述第二扫描信号端输入有效电平的信号,对所述发光器件进行初始化。并且该驱动方法还包括:在所述数据写入阶段,向所述第二扫描信号端输入有效电平的信号,对所述发光器件进行初始化。这样可以在发光阶段之前进一步对发光器件进行初始化。

[0066] 在具体实施时,第一扫描信号端的信号与第三扫描信号端的信号可以采用不同的方式输入,在本发明实施例提供的上述驱动方法中,第一扫描信号端的信号与第三扫描信号端的信号分别由不同的栅极驱动电路输入。具体地,一个栅极驱动电路依次向每一行像素中像素电路的第一扫描信号端输入对应的信号,另一个栅极驱动电路依次向每一行像素中像素电路的第三扫描信号端输入对应的信号,这两个栅极驱动电路是相互独立的。

[0067] 或者,在具体实施时,第一扫描信号端的信号与第三扫描信号端的信号由同一栅极驱动电路输入。具体地,采用一个栅极驱动电路依次向每一行像素中像素电路的第一扫描信号端与第三扫描信号端输入对应的信号,可以降低栅极驱动电路的占用面积。

[0068] 下面结合像素电路的具体结构对上述驱动方法进行说明。

[0069] 具体地,本发明实施例提供一种采用上述任一种驱动方法驱动的像素电路,如图2a与图2b所示,像素电路具体可以包括:驱动晶体管M0、第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、存储电容Cst以及发光器件L;其中,

[0070] 第一晶体管M1的控制极与第一扫描信号端S1相连,第一极与初始化信号端Vinit相连,第二极与驱动晶体管M0的控制极相连。并且,第一晶体管M1在第一扫描信号端S1输入的信号为有效电平时处于导通状态,以将初始化信号端Vinit的初始化信号提供给驱动晶体管M0的控制极。

[0071] 第二晶体管M2的控制极与第二扫描信号端S2相连,第一极与初始化信号端Vinit相连,第二极与发光器件L的第一端相连。并且,第二晶体管M2在第二扫描信号端S2输入的信号为有效电平时处于导通状态,以将初始化信号提供给发光器件L的第一端。

[0072] 第三晶体管M3的控制极与第三扫描信号端S3相连,第一极与数据信号端Data相连,第二极与驱动晶体管M0的第一极相连。并且,第三晶体管M3在第三扫描信号端S3输入的信号为有效电平时处于导通状态,以数据信号端Data的数据信号提供给驱动晶体管M0的第一极。

[0073] 第四晶体管M4的控制极与第三扫描信号端S3相连,第一极与驱动晶体管M0的第二极相连,第二极与驱动晶体管M0的控制极相连。并且,第四晶体管M4在第三扫描信号端S3输入的信号为有效电平时处于导通状态,以使驱动晶体管M0的第二极与驱动晶体管M0的控制极导通。

[0074] 第五晶体管M5的控制极与第一发光控制信号端EM1相连,第一极与第一电源端PVDD相连,第二极与驱动晶体管M0的第一极相连。并且,第五晶体管M5在第一发光控制信号端EM1输入的信号为有效电平时处于导通状态,以将第一电源端PVDD的信号提供给驱动晶体管M0的第一极。

[0075] 第六晶体管M6的控制极与第二发光控制信号端EM2相连,第一极与驱动晶体管M0的第二极相连,第二极与发光器件L的第一端相连。并且,第六晶体管M6在第二发光控制信号端EM2输入的信号为有效电平时处于导通状态,以使驱动晶体管M0的第二极与发光器件L的第一端导通。

[0076] 发光器件L的第二端与第二电源端PVEE相连;

[0077] 存储电容Cst的第一端与第一电源端PVDD相连,第二端与驱动晶体管M0的控制极相连。并且,存储电容Cst用于保持其两端的电压稳定。

[0078] 在具体实施时,如图2a与图2b所示,驱动晶体管M0可以为P型晶体管;其中,该P型晶体管的栅极为驱动晶体管M0的控制极,源极为驱动晶体管M0的第一极,漏极为驱动晶体管M0的第二极。当然,驱动晶体管也可以为N型晶体管。在实际应用中,驱动晶体管的类型需要根据实际应用环境来设计确定,在此不作限定。

[0079] 在具体实施时,如图2a所示,驱动晶体管M0为P型晶体管,第一至第六晶体管M1~M6均为P型晶体管。这样可以统一制备工艺,简化制备工艺流程。或者,如图2b所示,驱动晶体管M0为P型晶体管,第一至第六晶体管M1~M6均为N型晶体管。在实际应用中,第一至第六晶体管的类型需要根据实际应用环境来设计确定,在此不作限定。

[0080] 在具体实施时,第一电源端的电压 V_{dd} 一般为正值,第二电源端的电压 V_{ee} 一般接地

或为负值,初始信号端的电压 V_{init} 一般为负值。在实际应用中,上述具体数值需要根据实际应用情况来设计确定,在此不作限定。

[0081] 在具体实施时,发光器件的第一端为正极,第二端为负极。并且,发光器件一般为有机发光二极管,其在驱动晶体管处于饱和状态时的电流的作用下实现发光。

[0082] 在具体实施时,P型晶体管在高电平作用下截止,在低电平作用下导通;N型晶体管在高电平作用下导通,在低电平作用下截止。

[0083] 需要说明的是,上述各晶体管可以是薄膜晶体管(TFT,Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS,Metal Oxide Semiconductor),在此不作限定。在具体实施时,这些晶体管的控制极为其栅极,并根据晶体管的类型以及输入的信号的不同,可以将第一极作为晶体管的源极或漏极,以及将第二极作为晶体管的漏极或源极。

[0084] 下面结合图2a所示的像素电路对上述驱动方法进行详细说明。下述描述中以1表示高电平,0表示低电平。需要说明的是,1和0是逻辑电平,其仅是为了更好的解释本发明实施例的具体工作过程,而不是在具体实施时施加在各晶体管的控制极上的电压。下面以 $k=4$, $s1$ 代表第一扫描信号端 $S1$ 输入的信号, $s2$ 代表第二扫描信号端 $S2$ 输入的信号, $s3$ 代表第三扫描信号端 $S3$ 输入的信号, $em1$ 代表第一发光控制信号端 $EM1$ 输入的信号, $em2$ 代表第二发光控制信号端 $EM2$ 输入的信号为例进行说明。

[0085] 实施例一、

[0086] 向图2a所示的像素电路的各信号端对应输入图3a所示的信号,图3a中主要包括:初始化阶段 $T1$ 、数据写入阶段 $T2$ 以及发光阶段 $T3$,并且初始化阶段 $T1$ 与数据写入阶段 $T2$ 之间具有间隔4个单位时长 t_0 的 $T0$ 阶段。

[0087] 在初始化阶段 $T1$, $s1=0$ 、 $s2=0$ 、 $s3=1$ 、 $em1=1$ 、 $em2=1$,因此,第一扫描信号端 $S1$ 与第二扫描信号端 $S2$ 输入的分别是有效电平的信号,第一晶体管 $M1$ 与第二晶体管 $M2$ 导通,第三至第六晶体管 $M3\sim M6$ 均截止。导通的第一晶体管 $M1$ 将初始化信号端 V_{init} 的初始化信号提供给驱动晶体管 $M0$ 的控制极,以对驱动晶体管 $M0$ 进行初始化,并且存储电容 C_{st} 存储初始化信号。导通的第二晶体管 $M2$ 将初始化信号提供给发光器件 L ,以对发光器件 L 进行初始化。

[0088] 在初始化阶段 $T1$ 之后,并且在数据写入阶段 $T2$ 之前,具有4个单位时长的 $T0$ 阶段,在该 $T0$ 阶段, $s1=1$ 、 $s2=1$ 、 $s3=1$ 、 $em1=1$ 、 $em2=1$,因此,无有效电平的信号输入,第一至第六晶体管 $M1\sim M6$ 均截止。由于存储电容 C_{st} 存储有初始化信号,因此可以持续对驱动晶体管 $M0$ 的控制极进行初始化,以使驱动晶体管 $M0$ 的内部电场在 $T0$ 阶段可以完全恢复正常,从而可以使驱动晶体管 $M0$ 的特征恢复正常后再进入数据写入阶段 $T2$ 。

[0089] 在数据写入阶段 $T2$, $s1=1$ 、 $s2=1$ 、 $s3=0$ 、 $em1=1$ 、 $em2=1$,因此,第三扫描信号端 $S3$ 输入的是有效电平的信号,第三晶体管 $M3$ 与第四晶体管 $M4$ 均导通,第一晶体管 $M1$ 、第二晶体管 $M2$ 、第五晶体管 $M5$ 以及第六晶体管 $M6$ 均截止。导通的第三晶体管 $M3$ 将数据信号端 $Data$ 的数据信号提供给驱动晶体管 $M0$ 的第一极。导通的第四晶体管 $M4$ 使驱动晶体管 $M0$ 的控制极与驱动晶体管 $M0$ 的第二极导通,以使驱动晶体管 $M0$ 处于二极管连接状态,从而使数据信号通过处于二极管连接状态的驱动晶体管 $M0$ 对存储电容 C_{st} 进行充电,直至驱动晶体管 $M0$ 的控制极的电压变为: $V_{data}-|V_{th}|$ 时为止,从而将数据信号的电压 V_{data} 与驱动晶体管 $M0$ 的阈值电压 V_{th} 成功写入驱动晶体管 $M0$ 的控制极。

[0090] 在发光阶段T3, $s1=1$ 、 $s2=1$ 、 $s3=1$ 、 $em1=0$ 、 $em2=0$, 因此, 第一发光控制信号端EM1与第二发光控制信号端EM2输入的分别是有效电平的信号, 第五晶体管M5与第六晶体管M6均导通, 第一至第四晶体管M1~M4均截止。导通的第五晶体管M5将第一电源端PVDD的信号提供给驱动晶体管M0的第一极, 使驱动晶体管M0的第一极的电压为 V_{dd} 。由于驱动晶体管M0的控制极的电压为 $V_{data}-|V_{th}|$, 此时驱动晶体管M0处于饱和状态, 根据饱和状态电流特性可知, 流过驱动晶体管M0且用于驱动发光器件L发光的工作电流 I_L 满足公式: $I_L=K(V_{sg}-|V_{th}|)^2=K(V_{dd}-V_{data}+|V_{th}|-|V_{th}|)^2=K(V_{dd}-V_{data})^2$; 其中, V_{sg} 为驱动晶体管M0的源栅电压, K 为结构参数, 相同结构中此数值相对稳定, 可以算作常量。导通的第六晶体管M6将驱动晶体管M0的第二极与发光器件L的第一端导通, 以使驱动晶体管M0产生的工作电流 I_L 输出给发光器件L, 以驱动发光器件L发光。

[0091] 本发明实施例一正是由于在初始化阶段T1之后且在数据写入阶段T2之前, 具有 k 个单位时长的时间段T0, 并在该T0阶段中, 可以持续对驱动晶体管M0的控制极进行初始化, 给了驱动晶体管M0的内部电场充分恢复的时间, 以使驱动晶体管M0的内部电场在T0阶段可以完全恢复正常, 从而可以使驱动晶体管M0的特征恢复正常后再进入数据写入阶段T2, 进而避免相邻两帧显示之间的影响, 使显示亮度均匀, 提高显示效果。

[0092] 实施例二、

[0093] 向图2a所示的像素电路的各信号端对应输入图3b所示的信号, 图3b中主要包括: 初始化阶段T1、数据写入阶段T2以及发光阶段T3, 并且初始化阶段T1与数据写入阶段T2之间具有间隔4个单位时长 t_0 的放电阶段T0。

[0094] 在初始化阶段T1, $s1=0$ 、 $s2=0$ 、 $s3=1$ 、 $em1=0$ 、 $em2=1$, 因此, 第一扫描信号端S1、第二扫描信号端S2以及第一发光控制信号端EM1输入的分别是有效电平的信号, 第一晶体管M1、第二晶体管M2以及第五晶体管M5均导通, 第三晶体管M3、第四晶体管M4以及第六晶体管M6均截止。导通的第二晶体管M2将初始化信号提供给发光器件L, 以对发光器件L进行初始化。导通的第一晶体管M1将初始化信号端Vinit的初始化信号提供给驱动晶体管M0的控制极, 以对驱动晶体管M0进行初始化, 并且存储电容Cst存储初始化信号。导通的第五晶体管M5将第一电源端PVDD的信号提供给驱动晶体管M0的第一极, 由于驱动晶体管M0在初始化信号的作用下导通以将第一电源端PVDD的信号输入其第二极, 因此驱动晶体管M0可以处于较强的负偏压作用下, 从而可以使驱动晶体管M0的特性有效恢复。

[0095] 在初始化阶段T1之后, 并且在数据写入阶段T2之前的放电阶段T0, $s1=1$ 、 $s2=1$ 、 $s3=1$ 、 $em1=0$ 、 $em2=1$, 因此, 第一发光控制信号端EM1输入的是有效电平的信号, 第五晶体管M5导通, 第一至第四晶体管M1~M4以及第六晶体管M6均截止。导通的第五晶体管M5继续将第一电源端PVDD的信号提供给驱动晶体管M0的第一极, 由于驱动晶体管M0在初始化信号的作用下导通以将第一电源端PVDD的信号输入其第二极, 因此驱动晶体管M0可以处于较强的负偏压作用下, 从而可以进一步使驱动晶体管M0的特性有效恢复。并且由于存储电容Cst存储有初始化信号, 因此可以持续对驱动晶体管M0的控制极进行初始化, 以使驱动晶体管M0的内部电场在T0阶段可以完全恢复正常, 从而可以使驱动晶体管M0的特征恢复正常后再进入数据写入阶段T2。

[0096] 在数据写入阶段T2, $s1=1$ 、 $s2=1$ 、 $s3=0$ 、 $em1=1$ 、 $em2=1$, 因此, 第三扫描信号端S3输入的是有效电平的信号, 第三晶体管M3与第四晶体管M4均导通, 第一晶体管M1、第二晶

体管M2、第五晶体管M5以及第六晶体管M6均截止。导通的第三晶体管M3将数据信号端Data的数据信号提供给驱动晶体管M0的第一极。导通的第四晶体管M4使驱动晶体管M0的控制极与驱动晶体管M0的第二极导通,以使驱动晶体管M0处于二极管连接状态,从而使数据信号通过处于二极管连接状态的驱动晶体管M0对存储电容Cst进行充电,直至驱动晶体管M0的控制极的电压变为: $V_{data}-|V_{th}|$ 时为止,从而将数据信号的电压 V_{data} 与驱动晶体管M0的阈值电压 V_{th} 成功写入驱动晶体管M0的控制极。因此,可以看出,实施例二中的数据写入阶段T2的工作过程与实施例一中的数据写入阶段T2的工作过程基本相同。

[0097] 在发光阶段T3, $s1=1$ 、 $s2=1$ 、 $s3=1$ 、 $em1=0$ 、 $em2=0$,因此,第一发光控制信号端EM1与第二发光控制信号端EM2输入的分别是有效电平的信号,第五晶体管M5与第六晶体管M6均导通,第一至第四晶体管M1~M4均截止。导通的第五晶体管M5将第一电源端PVDD的信号提供给驱动晶体管M0的第一极,使驱动晶体管M0的第一极的电压为 V_{dd} 。由于驱动晶体管M0的控制极的电压为 $V_{data}-|V_{th}|$,此时驱动晶体管M0处于饱和状态,根据饱和状态电流特性可知,流过驱动晶体管M0且用于驱动发光器件L发光的工作电流 I_L 满足公式: $I_L=K(V_{sg}-|V_{th}|)^2=K(V_{dd}-V_{data}+|V_{th}|-|V_{th}|)^2=K(V_{dd}-V_{data})^2$;其中, V_{sg} 为驱动晶体管M0的源栅电压,K为结构参数,相同结构中此数值相对稳定,可以算作常量。导通的第六晶体管M6将驱动晶体管M0的第二极与发光器件L的第一端导通,以使驱动晶体管M0产生的工作电流 I_L 输出给发光器件L,以驱动发光器件L发光。因此,可以看出,实施例二中的发光阶段T3的工作过程与实施例一中的发光阶段T3的工作过程基本相同。

[0098] 实施例二在实施例一的基础上,在初始化阶段T1以及间隔的k个单位时长的放电阶段T0中均对第一发光控制信号端EM1输入有效电平的信号,从而在初始化阶段T1与放电阶段T0将第一电源端PVDD的信号提供给驱动晶体管M0,以使驱动晶体管M0处于强的负偏压作用下,从而可以进一步使驱动晶体管M0的特性有效恢复。

[0099] 实施例三、

[0100] 向图2a所示的像素电路的各信号端对应输入图3c所示的信号,图3c中主要包括:初始化阶段T1、数据写入阶段T2以及发光阶段T3,并且初始化阶段T1与数据写入阶段T2之间具有间隔4个单位时长 t_0 的放电阶段T0。

[0101] 在初始化阶段T1, $s1=0$ 、 $s2=0$ 、 $s3=1$ 、 $em1=1$ 、 $em2=1$,因此,第一扫描信号端S1与第二扫描信号端S2输入的分别是有效电平的信号,第一晶体管M1与第二晶体管M2导通,第三至第六晶体管M3~M6均截止。导通的第一晶体管M1将初始化信号端Vinit的初始化信号提供给驱动晶体管M0的控制极,以对驱动晶体管M0进行初始化,并且存储电容Cst存储初始化信号。导通的第二晶体管M2将初始化信号提供给发光器件L,以对发光器件L进行初始化。因此,可以看出,实施例三中的初始化阶段T1的工作过程与实施例一中的初始化阶段T1的工作过程基本相同。

[0102] 在初始化阶段T1之后,并且在数据写入阶段T2之前的放电阶段T0, $s1=1$ 、 $s2=0$ 、 $s3=1$ 、 $em1=1$ 、 $em2=1$,因此,第二扫描信号端S2输入的是有效电平的信号,第二晶体管M2导通,第一晶体管M1以及第三至第六晶体管M3~M6均截止。导通的第二晶体管M2将初始化信号提供给发光器件L,继续对发光器件L进行初始化。并且由于存储电容Cst存储有初始化信号,因此可以持续对驱动晶体管M0的控制极进行初始化,以使驱动晶体管M0的内部电场在T0阶段可以完全恢复正常,从而可以使驱动晶体管M0的特征恢复正常后再进入数据写入

阶段T2。

[0103] 在数据写入阶段T2, $s1=1$ 、 $s2=0$ 、 $s3=0$ 、 $em1=1$ 、 $em2=1$, 因此, 第二扫描信号端S2与第三扫描信号端S3输入的分别是有效电平的信号, 第二至第四晶体管M2~M4均导通, 第一晶体管M1、第五晶体管M5以及第六晶体管M6均截止。导通的第二晶体管M2将初始化信号提供给发光器件L, 继续对发光器件L进行初始化。导通的第三晶体管M3将数据信号端Data的数据信号提供给驱动晶体管M0的第一极。导通的第四晶体管M4使驱动晶体管M0的控制极与驱动晶体管M0的第二极导通, 以使驱动晶体管M0处于二极管连接状态, 从而使数据信号通过处于二极管连接状态的驱动晶体管M0对存储电容Cst进行充电, 直至驱动晶体管M0的控制极的电压变为: $V_{data}-|V_{th}|$ 时为止, 从而将数据信号的电压 V_{data} 与驱动晶体管M0的阈值电压 V_{th} 成功写入驱动晶体管M0的控制极。

[0104] 在发光阶段T3, $s1=1$ 、 $s2=1$ 、 $s3=1$ 、 $em1=0$ 、 $em2=0$, 因此, 第一发光控制信号端EM1与第二发光控制信号端EM2输入的分别是有效电平的信号, 第五晶体管M5与第六晶体管M6均导通, 第一至第四晶体管M1~M4均截止。导通的第五晶体管M5将第一电源端PVDD的信号提供给驱动晶体管M0的第一极, 使驱动晶体管M0的第一极的电压为 V_{dd} 。由于驱动晶体管M0的控制极的电压为 $V_{data}-|V_{th}|$, 此时驱动晶体管M0处于饱和状态, 根据饱和状态电流特性可知, 流过驱动晶体管M0且用于驱动发光器件L发光的工作电流 I_L 满足公式: $I_L=K(V_{sg}-|V_{th}|)^2=K(V_{dd}-V_{data}+|V_{th}|-|V_{th}|)^2=K(V_{dd}-V_{data})^2$; 其中, V_{sg} 为驱动晶体管M0的源栅电压, K 为结构参数, 相同结构中此数值相对稳定, 可以算作常量。导通的第六晶体管M6将驱动晶体管M0的第二极与发光器件L的第一端导通, 以使驱动晶体管M0产生的工作电流 I_L 输出给发光器件L, 以驱动发光器件L发光。因此, 可以看出, 实施例三中的发光阶段T3的工作过程与实施例一中的发光阶段T3的工作过程基本相同。

[0105] 实施例三在实施例一的基础上, 在间隔的 k 个单位时长的放电阶段T0与数据写入阶段T2中均对第二扫描信号端S2输入有效电平的信号, 以在 $k+2$ 个单位时间内对发光器件L进行初始化, 从而在发光阶段T3之前持续对发光器件L进行初始化, 进一步避免相邻两帧显示对发光器件L发光的影响, 提高显示效果。

[0106] 向图2b所示的像素电路的各信号端输入的信号分别与上述实施例一、实施例二以及实施例三中的信号的相位相反, 具体工作过程与上述工作过程相同, 在此不作详述。

[0107] 实施例四、

[0108] 通过实施例一可以看出, 可以向第一发光控制信号端与第二发光控制信号端输入相同的信号, 以控制第五晶体管与第六晶体管的导通与截止。因此, 在具体实施时, 在本发明实施例提供的上述像素电路中, 第一发光控制信号端可以为第二发光控制信号端。这样可以减少信号线的设置, 简化电路布局结构。具体地, 如4a所示, 第五晶体管M5的控制极与第六晶体管M6的控制极相连并与第二发光控制信号端EM2连接。其余晶体管的连接关系均与图2a所示的像素电路对应晶体管的连接关系相同, 在此不作详述。

[0109] 在具体实施时, 在上述像素电路中, 在第二发光控制信号端EM2的信号的有效电平为低电平时, 如图4a所示, 第五晶体管M5与第六晶体管M6为P型晶体管。或者, 在第二发光控制信号端的信号的有效电平为高电平时, 第五晶体管与第六晶体管为N型晶体管。

[0110] 在具体实施时, 在上述像素电路中, 第一至第四晶体管可以根据其控制极接收的信号来确定为N型晶体管或P型晶体管, 在此不作限定。

[0111] 实施例五、

[0112] 通过实施例二可以看出,向第一发光控制信号端输入的信号与向第三扫描信号端输入的信号相位是相反的,因此,在具体实施时,在本发明实施例提供的上述像素电路中,第一发光控制信号端也可以为第三扫描信号端。这样可以减少信号线的设置,简化电路布局结构。具体地,如4b所示,第五晶体管M5的控制极与第三晶体管M3的控制极相连并与第三扫描信号端S3连接。其余晶体管的连接关系均与图2a所示的像素电路对应晶体管的连接关系相同,在此不作详述。

[0113] 在具体实施时,在上述像素电路中,在第一发光控制信号端为第三扫描信号端S3时,在第三扫描信号端S3的信号的有效电平为低电平时,如图4b所示,第三晶体管M3为P型晶体管,第五晶体管M5为N型晶体管。

[0114] 或者,在第一发光控制信号端为第三扫描信号端时,在第三扫描信号端的信号的有效电平为高电平时,第三晶体管为N型晶体管,第五晶体管为P型晶体管。

[0115] 在具体实施时,在上述像素电路中,第一晶体管、第二晶体管、第四晶体管以及第六晶体管可以根据其控制极接收的信号来确定为N型晶体管或P型晶体管,在此不作限定。

[0116] 实施例六、

[0117] 通过实施例一可以看出,可以向第一扫描信号端与第二扫描信号端输入相同的信号,以控制第一晶体管与第二晶体管的导通与截止。因此,在具体实施时,在本发明实施例提供的上述像素电路中,第二扫描信号端可以为第一扫描信号端。这样可以减少信号线的设置,简化电路布局结构。具体地,如5a所示,第一晶体管M1的控制极与第二晶体管M2的控制极相连并与第一扫描信号端S1连接。其余晶体管的连接关系均与图2a所示的像素电路对应晶体管的连接关系相同,在此不作详述。

[0118] 在具体实施时,在上述像素电路中,在第一扫描信号端S1的信号的有效电平为低电平时,如图5a所示,第一晶体管M1与第二晶体管M2为P型晶体管。

[0119] 或者,在第一扫描信号端的信号的有效电平为高电平时,第一晶体管与第二晶体管均为N型晶体管。

[0120] 在具体实施时,在上述像素电路中,第三至第六晶体管可以根据其控制极接收的信号来确定为N型晶体管或P型晶体管,在此不作限定。

[0121] 实施例七、

[0122] 通过实施例三可以看出,向第二扫描信号端输入的信号与向第二发光控制信号端输入的信号相位是相反的,因此,在具体实施时,在本发明实施例提供的上述像素电路中,第二扫描信号端可以为第二发光控制信号端。这样可以减少信号线的设置,简化电路布局结构。具体地,如5b所示,第二晶体管M2的控制极与第六晶体管M6的控制极相连并与第二发光控制信号端EM2连接。其余晶体管的连接关系均与图2a所示的像素电路对应晶体管的连接关系相同,在此不作详述。

[0123] 在具体实施时,在上述像素电路中,在第二扫描信号端为第二发光控制信号端EM2时,在第二发光控制信号端EM2的信号的有效电平为低电平时,如图5b所示,第二晶体管M2为N型晶体管,第六晶体管M6为P型晶体管。

[0124] 或者,在第二扫描信号端为第二发光控制信号端时,在第二发光控制信号端的信号的有效电平为高电平时,第二晶体管为P型晶体管,第六晶体管为N型晶体管。

[0125] 在具体实施时,在上述像素电路中,第一晶体管以及第三至第五晶体管可以根据其控制极接收的信号来确定为N型晶体管或P型晶体管,在此不作限定。

[0126] 基于同一发明构思,本发明实施例还提供了一种有机发光显示面板,包括:本发明实施例提供的上述任一种像素电路。

[0127] 在具体实施时,在本发明实施例提供的上述有机发光显示面板中,还包括:两个栅极驱动电路,各像素电路的第一扫描信号端连接一个栅极驱动电路,各像素电路的第三扫描信号端连接另一个栅极驱动电路。这样可以避免输入第一扫描信号端的信号与输入第三扫描信号端的信号之间的相互干扰,提高每个栅极驱动电路的稳定性。并且在实际制备时,可以将这两个栅极驱动电路分别设置在有机发光显示面板的两侧,从而使有机发光显示面板做到两边对称和窄边框的美观设计。

[0128] 具体地,如图6a所示,有机发光显示面板还包括:M个第一栅线gate1_m($m=1,2,3\cdots M$,M为有机发光显示面板包括的像素的总行数)与M个第二栅线gate2_m、与各第一栅线gate1_m连接的第一栅极驱动电路GOA1以及与各第二栅线gate2_m连接的栅极驱动电路GOA2;每一行像素电路的第一扫描信号端对应连接一条第一栅线gate1_m,每一行像素电路的第三扫描信号端对应连接一条第二栅线gate2_m。

[0129] 其中,第一栅极驱动电路GOA1具体可以包括级联的M个移位寄存器SR(1_m);其中,第1级移位寄存器SR(1_1)的输入信号端与第一起始信号端STV1相连;除第1级移位寄存器SR(1_1)之外,其余各级移位寄存器SR(1_m)的输入信号端分别与上一级移位寄存器SR(1_{m-1})的输出信号端相连;并且第一栅极驱动电路GOA1中的第m个移位寄存器SR(1_m)与第m行像素对应的第一栅线gate1_m连接。

[0130] 第二栅极驱动电路GOA2具体可以包括级联的M个移位寄存器SR(2_m);其中,第1级移位寄存器SR(2_1)的输入信号端与第二起始信号端STV2相连;除第1级移位寄存器SR(2_1)之外,其余各级移位寄存器SR(2_m)的输入信号端分别与上一级移位寄存器SR(2_{m-1})的输出信号端相连;并且第二栅极驱动电路GOA2中的第m个移位寄存器SR(2_m)与第m行像素对应的第二栅线gate2_m连接;m为大于或等于1且小于或等于M的整数;第一起始信号端STV1的信号的有效电平与第二起始信号端STV2的信号的有效电平间隔k个单位时长。

[0131] 在具体实施时,在本发明实施例提供的上述有机发光显示面板中,各像素电路的第一扫描信号端与第三扫描信号端连接同一个栅极驱动电路。这样采用一个栅极驱动电路向每一行像素中像素电路的第一扫描信号端与第三扫描信号端输入信号,可以简化栅极驱动电路的结构,降低栅极驱动电路的占用面积,从而在实际制备时,可以使有机发光显示面板做到窄边框的美观设计。

[0132] 具体地,如图6b(图6b以 $k=4$ 为例)所示,有机发光显示面板还包括:M个第一栅线gate1_m($m=1,2,3\cdots M$,M为有机发光显示面板包括的像素的总行数)、M个第二栅线gate2_m、与各第一栅线gate1_m与各第二栅线gate2_m连接的栅极驱动电路GOA;每一行像素电路的第一扫描信号端对应连接一条第一栅线gate1_m,每一行像素电路的第三扫描信号端对应连接一条第二栅线gate2_m。

[0133] 栅极驱动电路GOA具体可以包括级联的M+k个移位寄存器;其中,第1级移位寄存器SR(1)的输入信号端与起始信号端STV相连;除第1级移位寄存器SR(1)之外,其余各级移位寄存器的输入信号端分别与上一级移位寄存器的输出信号端相连;

[0134] 第 n 级移位寄存器SR(n)与第 n 行像素对应的第一栅线gate1_ n 连接,第 $n+k$ 级移位寄存器SR($n+k$)与第 n 行像素对应的第二栅线gate1_ n 连接, n 为大于或等于1且小于或等于 M 的整数。

[0135] 进一步地,在具体实施时,在本发明实施例提供的上述有机发光显示面板中,在第一发光控制信号端为第三扫描信号端时,每一行像素电路的第一发光控制信号端对应连接一条第二栅线。

[0136] 进一步地,在具体实施时,在本发明实施例提供的上述有机发光显示面板中,在第二扫描信号端为第一扫描信号端时,每一行像素电路的第二扫描信号端对应连接一条第一栅线。

[0137] 进一步地,在具体实施时,在本发明实施例提供的上述有机发光显示面板中,发光显示面板还可以包括:多条发光控制信号线、数据线,初始化信号线,第一电源线、第二电源线等多种功能的信号线。在实际应用中,这些信号线的设置与现有技术相同,在此不作详述。

[0138] 基于同一发明构思,本发明实施例还提供了一种显示装置,如图7所示,包括本发明实施例提供的上述任一种有机发光显示面板。该显示装置解决问题的原理与前述有机发光显示面板相似,因此该显示装置的实施可以参见有机发光显示面板的实施,重复之处在此不再赘述。

[0139] 在具体实施时,本发明实施例提供的上述显示装置,可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。

[0140] 本发明实施例提供的像素电路、驱动方法、有机发光显示面板及显示装置,在初始化阶段对像素电路中的驱动晶体管与发光器件进行初始化;在数据写入阶段将数据信号与驱动晶体管的阈值电压写入驱动晶体管的控制极;在发光阶段控制驱动晶体管驱动发光器件发光;并且在初始化阶段完成时刻间隔 k 个单位时长才进入数据写入阶段, k 为大于或等于4的正整数,单位时长为扫描一行像素对应的时长。因此,在上述驱动方法中,由于在初始化阶段完成之后,且在数据写入阶段进入之前,具有 k 个扫描一行像素对应的时长的时间段,相当于延长了对驱动晶体管进行初始化的时间,给了驱动晶体管内部电场充分恢复的时间,从而在进入数据写入阶段时驱动晶体管的特性可以恢复正常,使相邻两帧显示之间无影响,进而使显示亮度均匀,提高显示效果。

[0141] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

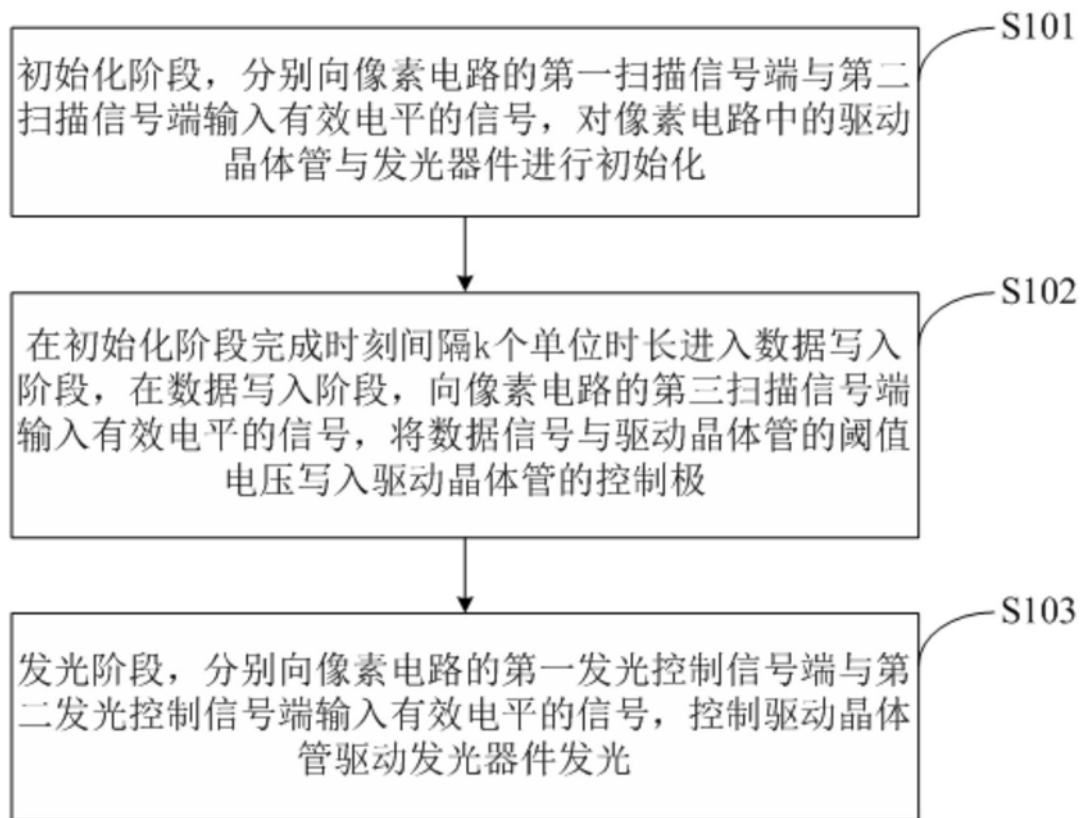


图1

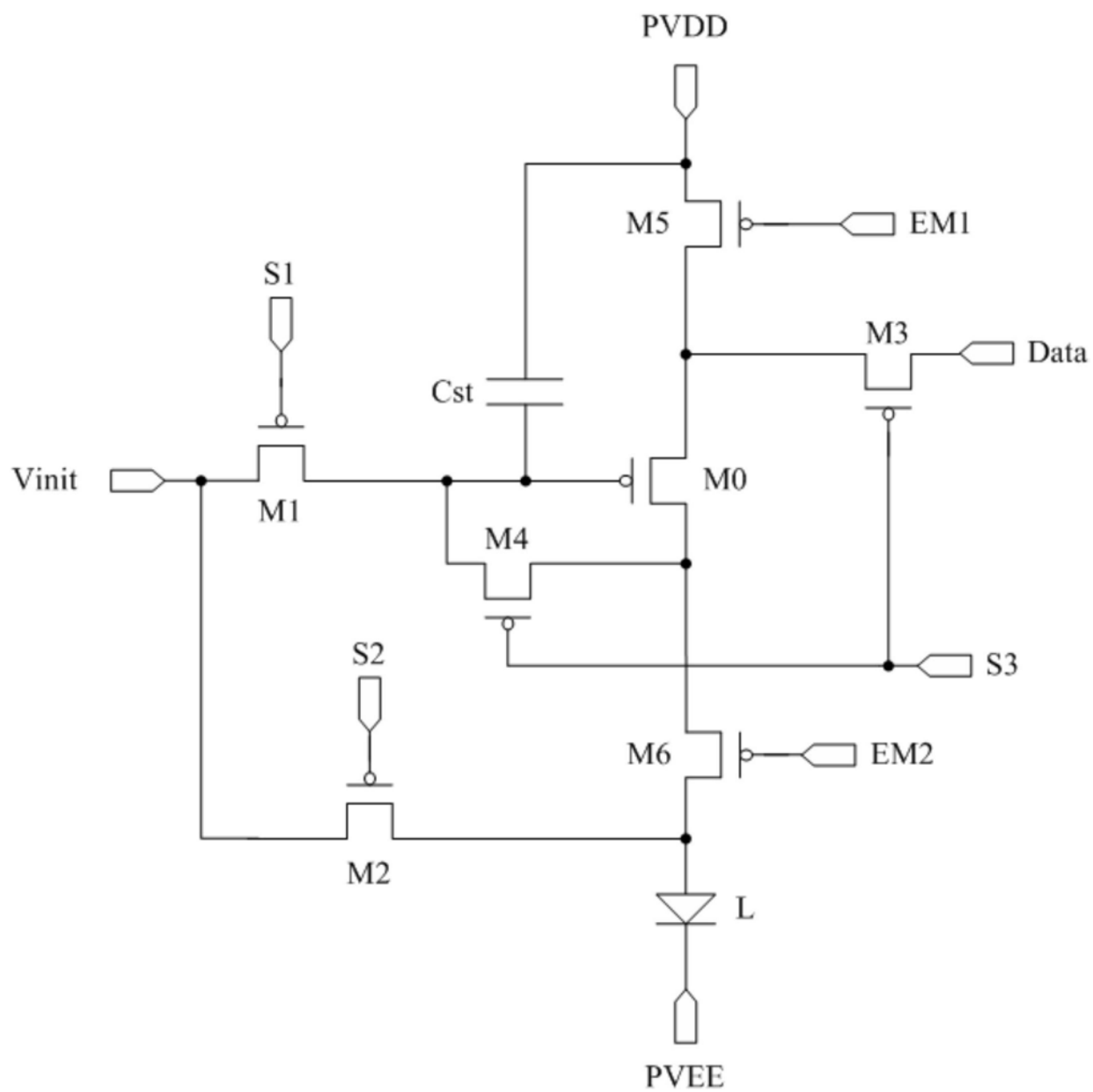


图2a

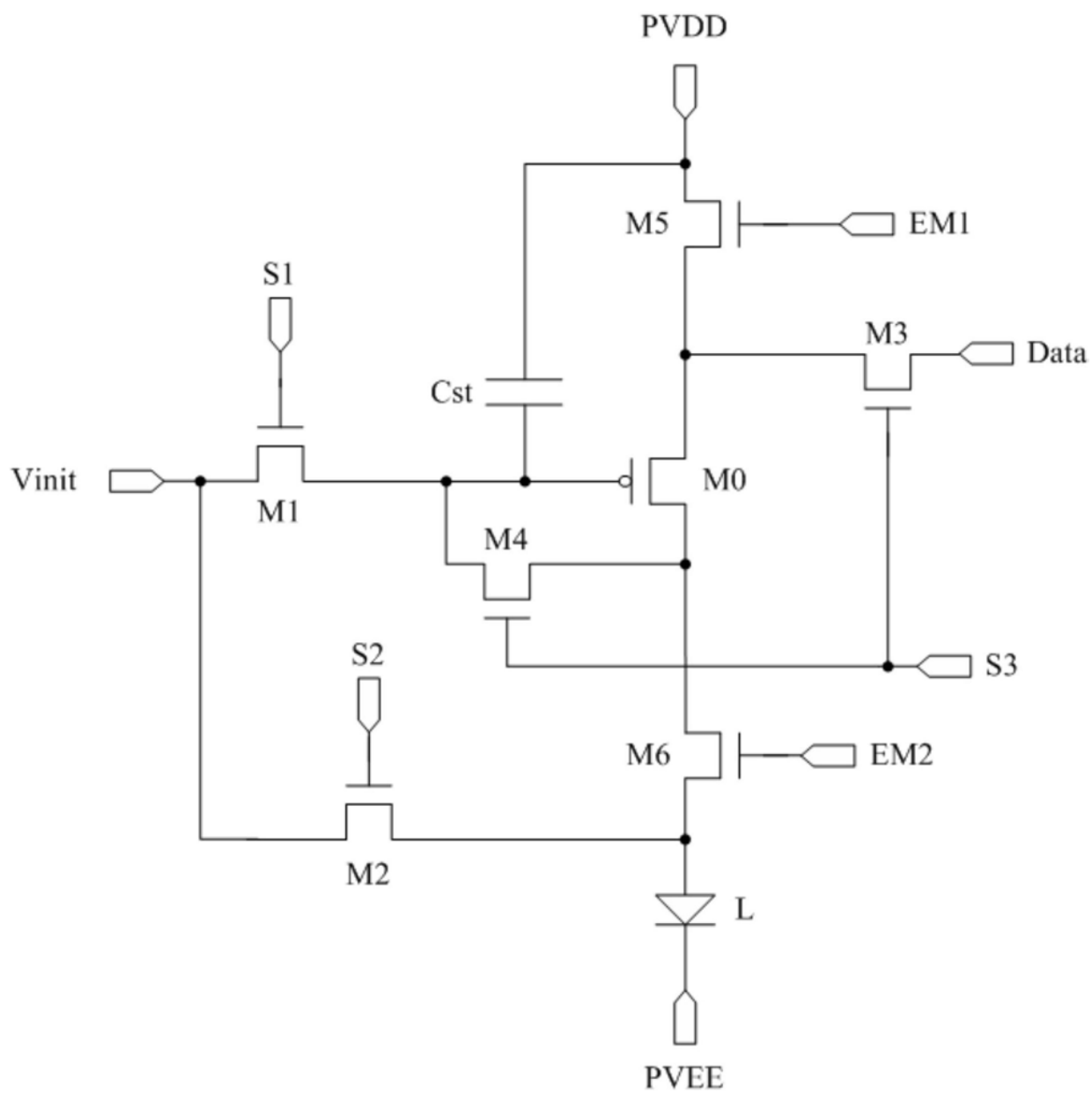


图2b

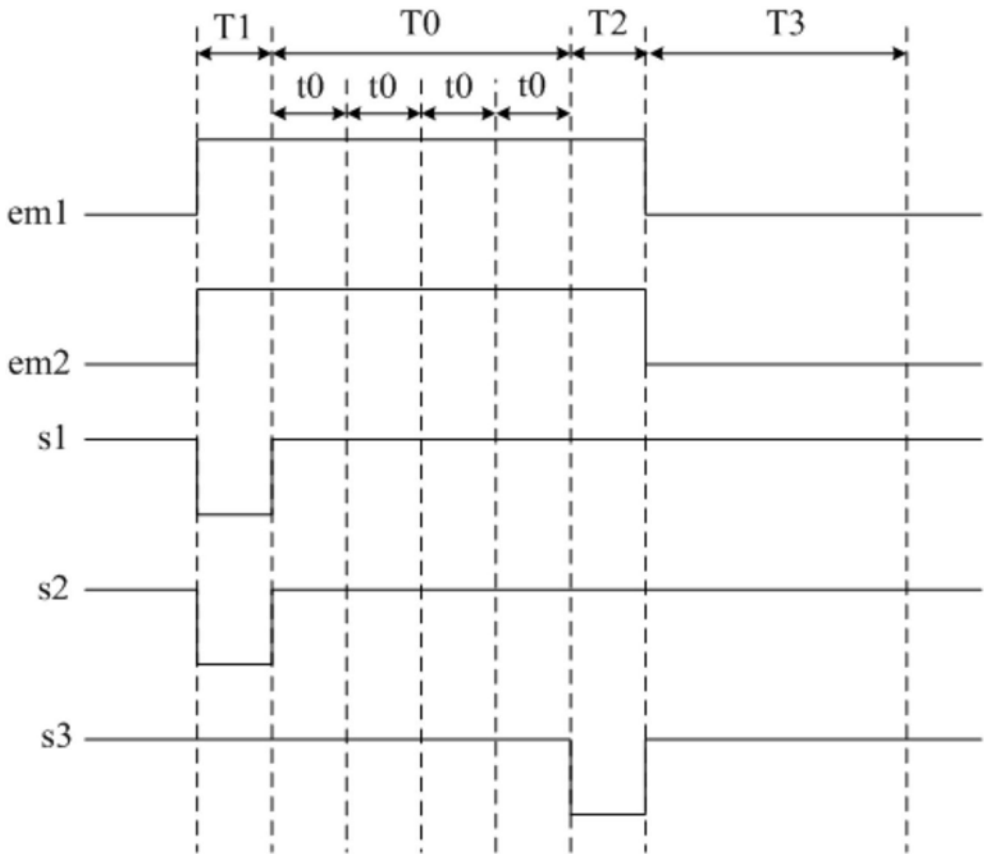


图3a

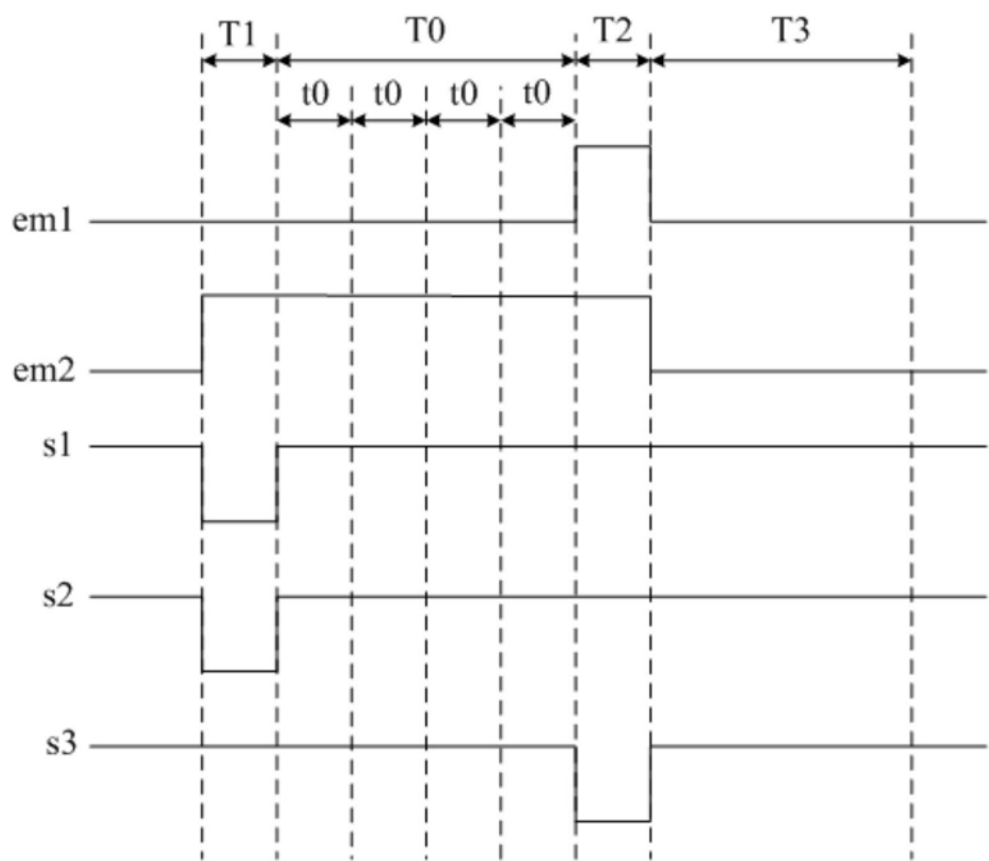


图3b

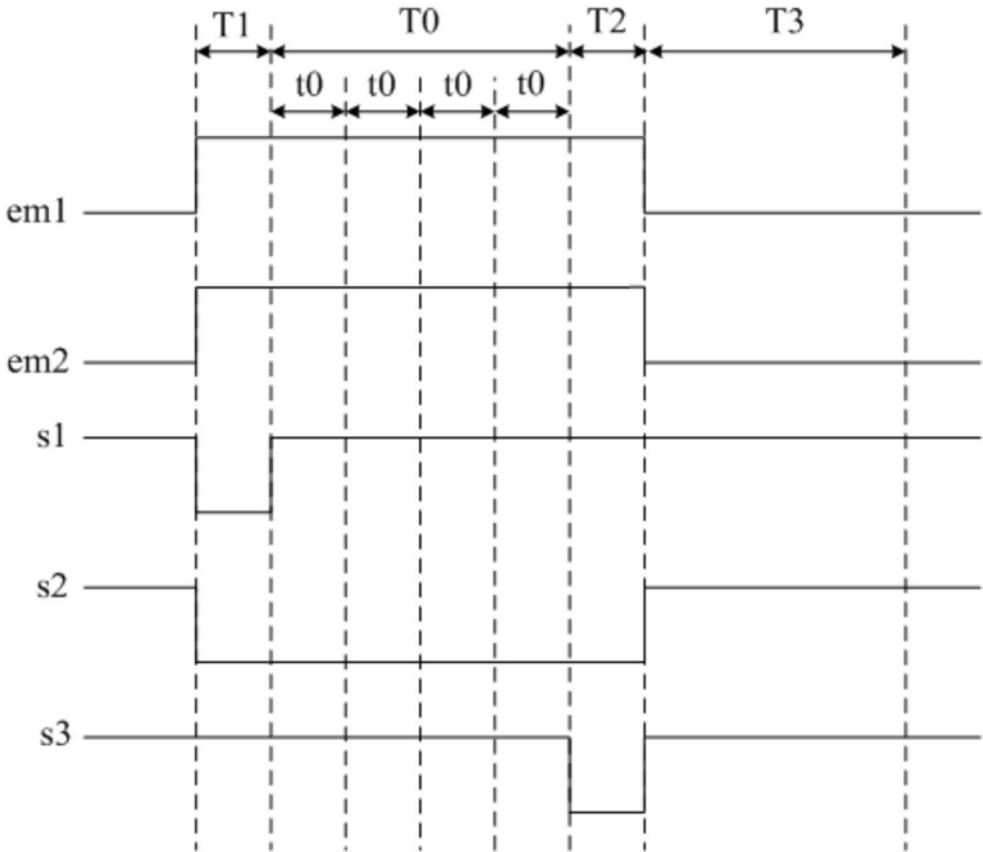


图3c

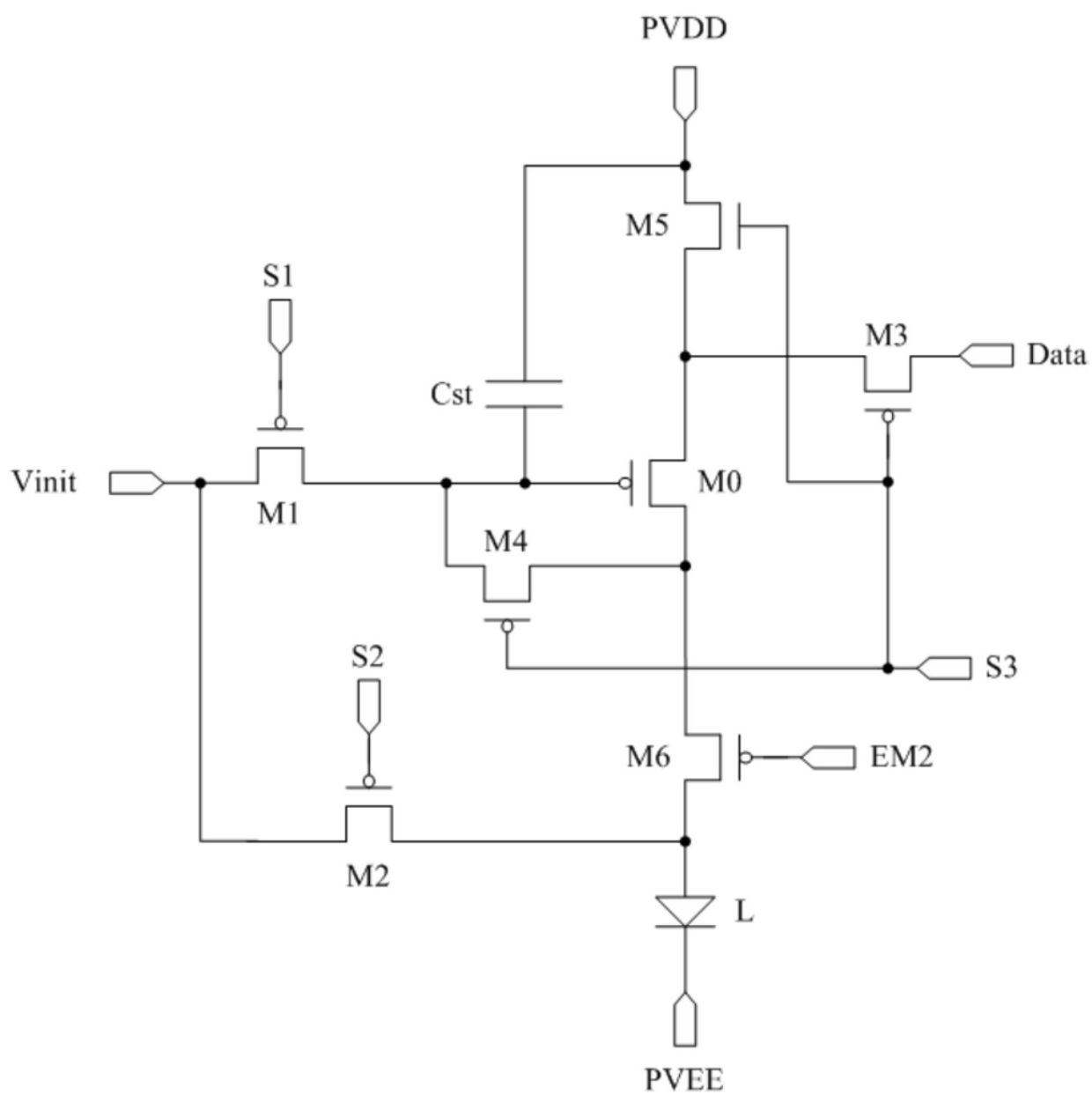


图4b

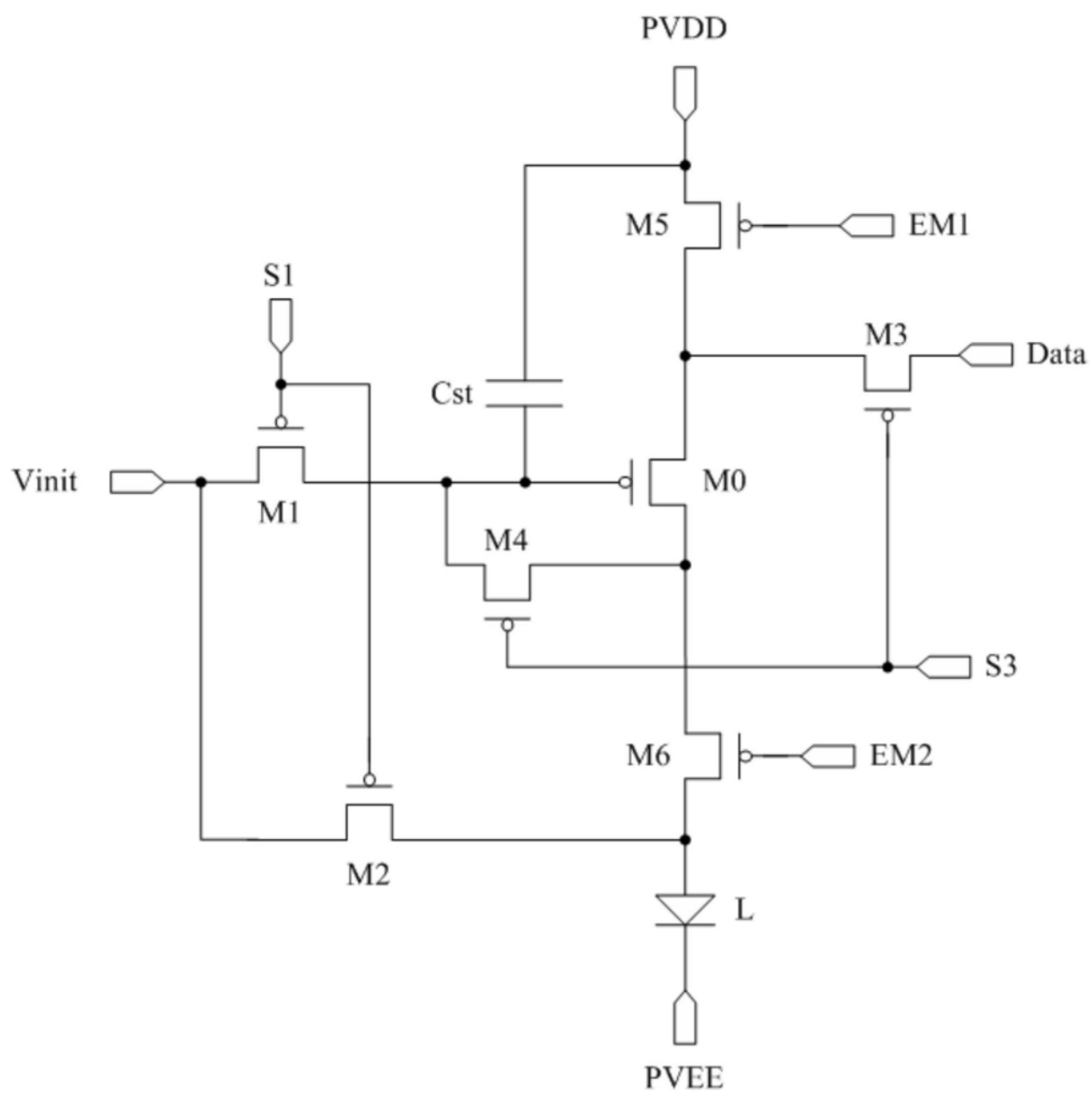


图5a

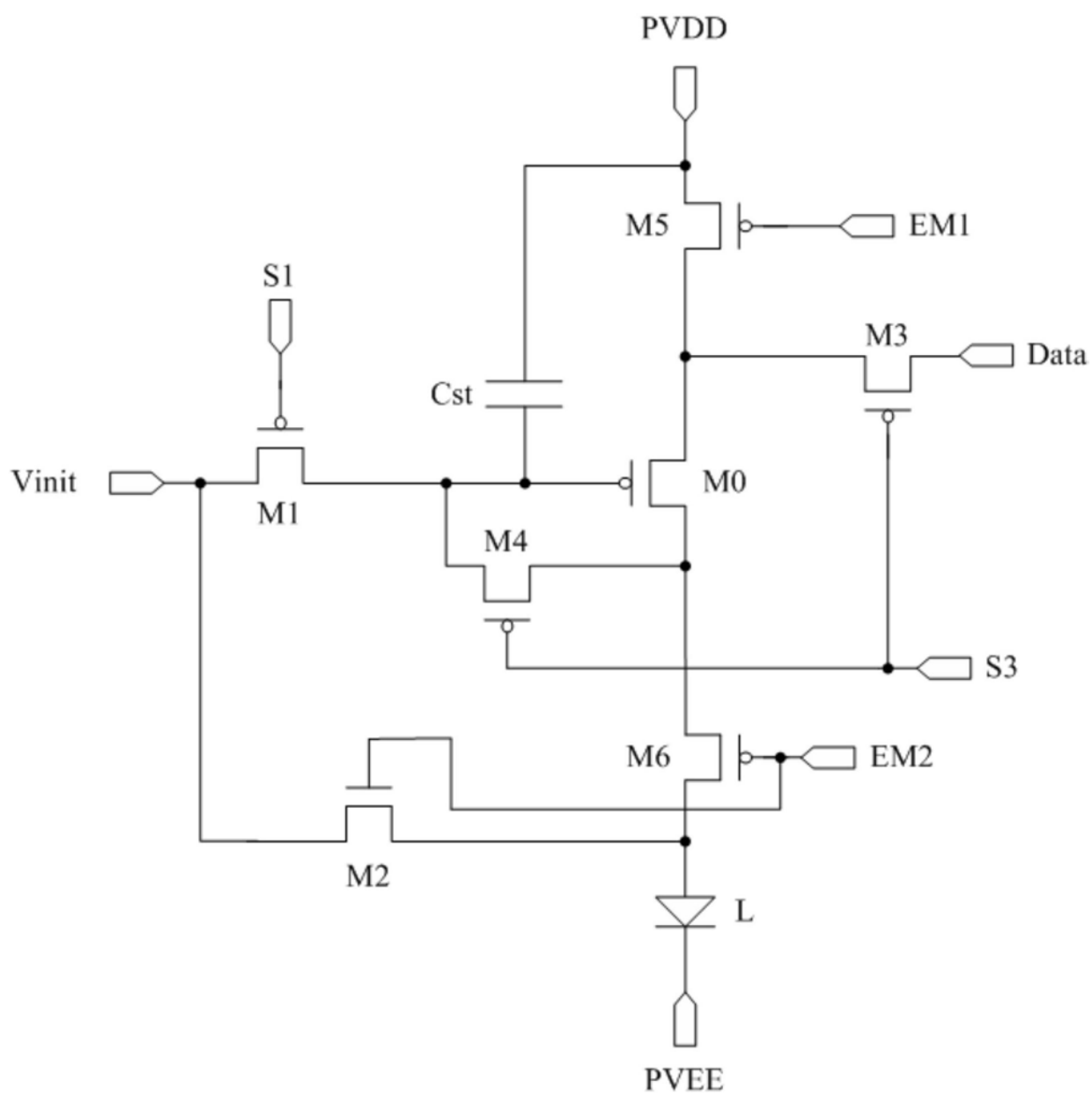


图5b

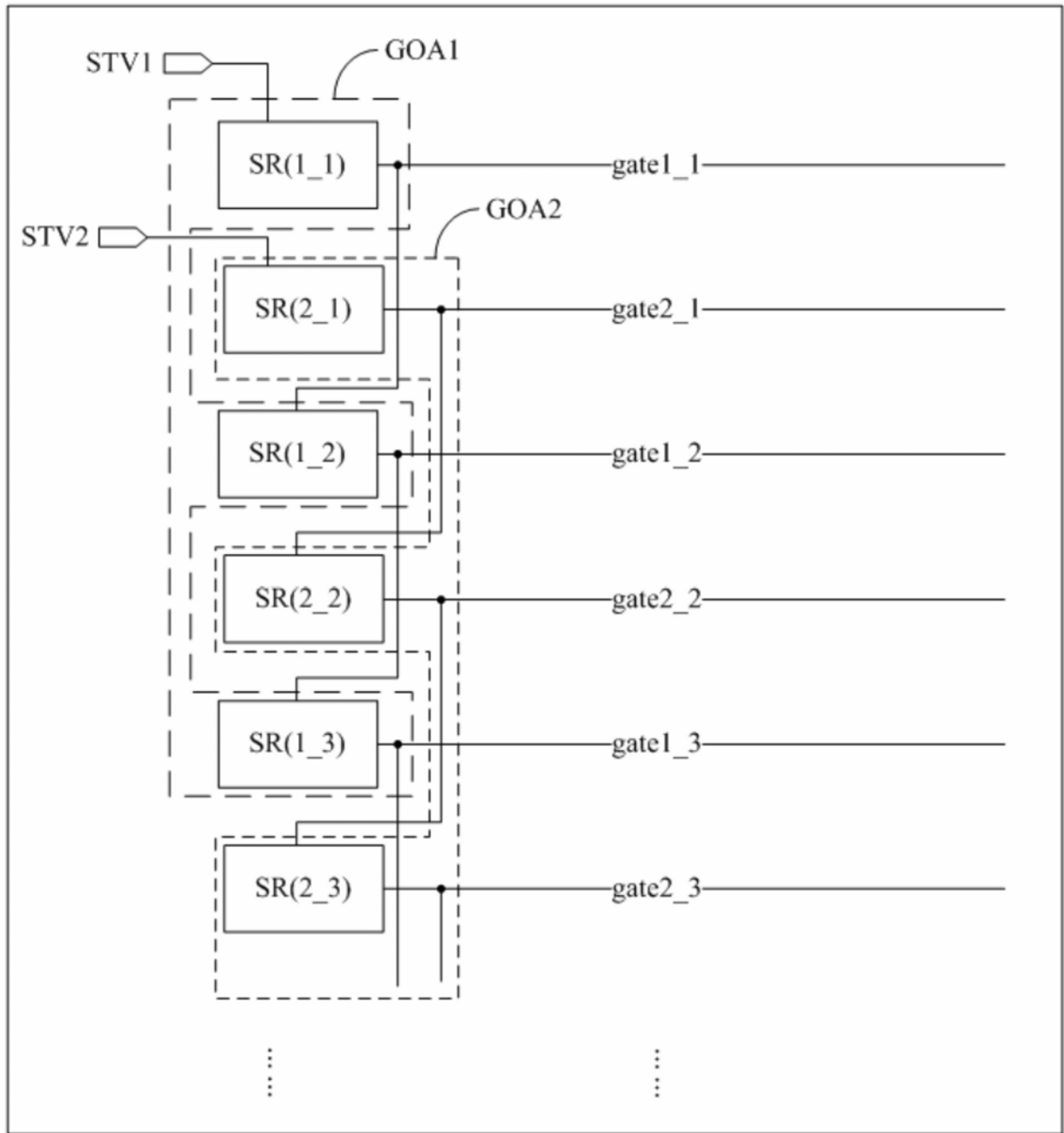


图6a

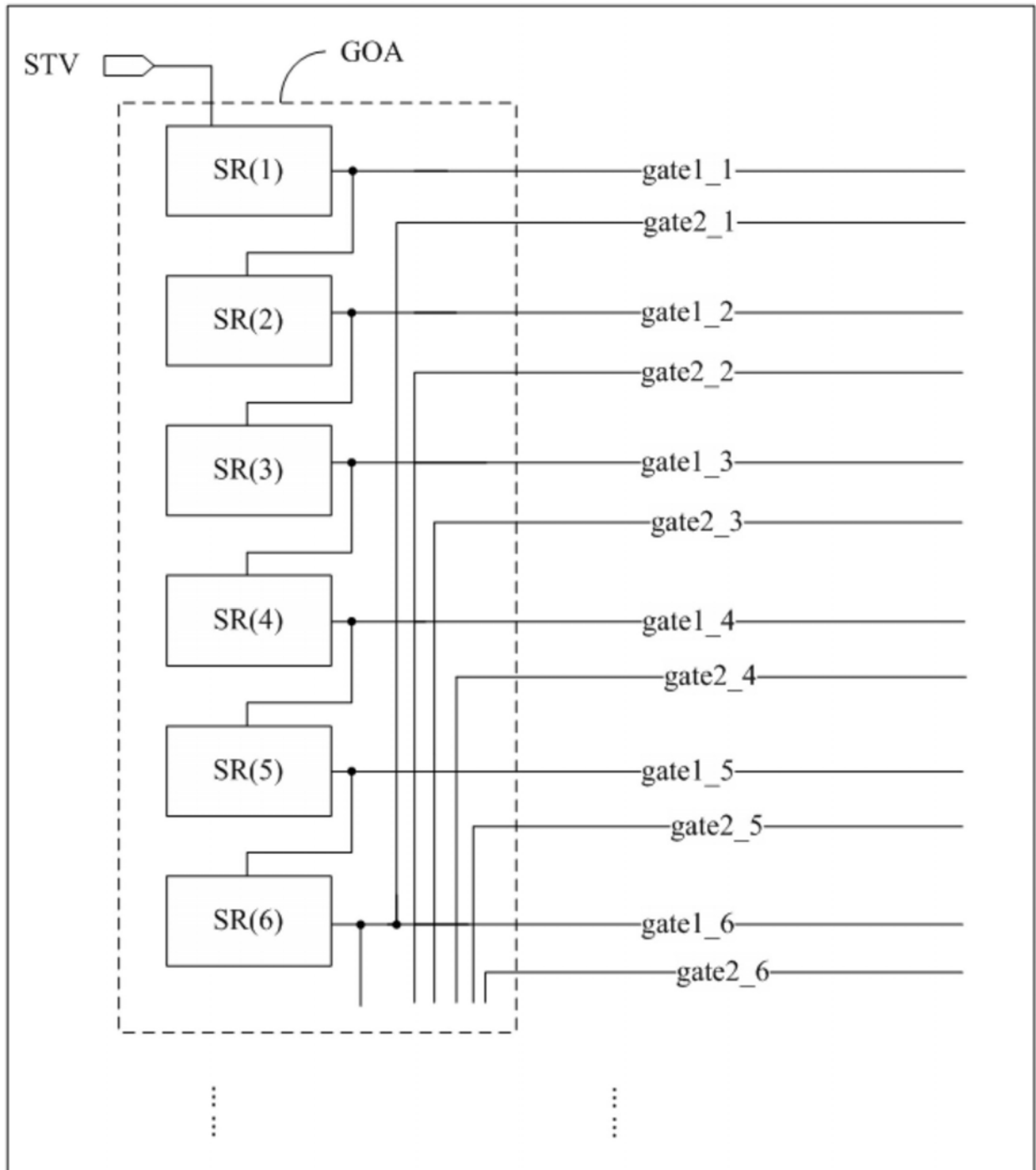


图6b

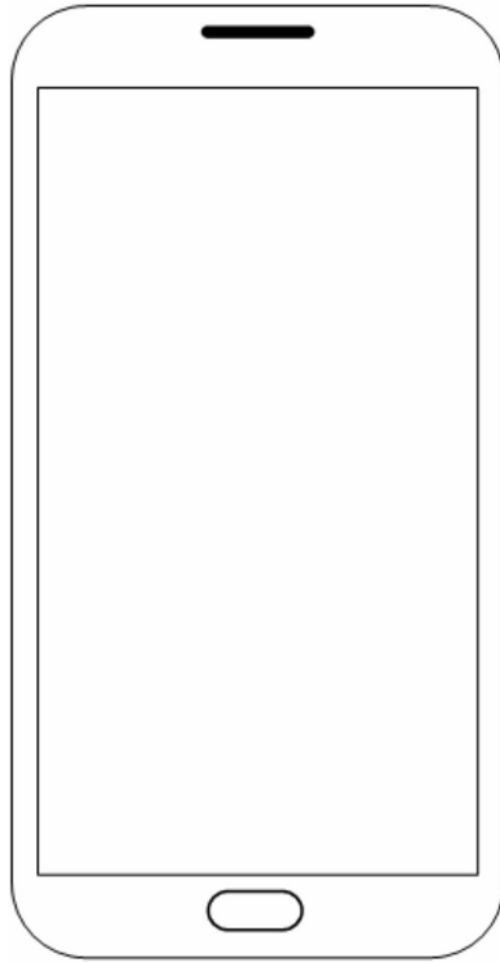


图7

专利名称(译)	一种像素电路、驱动方法、有机发光显示面板及显示装置		
公开(公告)号	CN107154239A	公开(公告)日	2017-09-12
申请号	CN201710524482.4	申请日	2017-06-30
[标]申请(专利权)人(译)	武汉天马微电子有限公司		
申请(专利权)人(译)	武汉天马微电子有限公司		
当前申请(专利权)人(译)	武汉天马微电子有限公司		
[标]发明人	冷传利 李元 周星耀		
发明人	冷传利 李元 周星耀		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208		
代理人(译)	黄志华		
其他公开文献	CN107154239B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路、驱动方法、有机发光显示面板及显示装置，在初始化阶段对像素电路中的驱动晶体管与发光器件进行初始化；在数据写入阶段将数据信号与驱动晶体管的阈值电压写入驱动晶体管的控制极；在发光阶段控制驱动晶体管驱动发光器件发光；并且在初始化阶段完成时刻间隔k个单位时长才进入数据写入阶段。由于在初始化阶段完成之后，且在数据写入阶段进入之前，具有k个扫描一行像素对应的时长的时间段，相当于延长了对驱动晶体管进行初始化的时间，给了驱动晶体管内部电场充分恢复的时间，从而在进入数据写入阶段时驱动晶体管的特性可以恢复正常，使相邻两帧显示之间无影响，进而使显示亮度均匀，提高显示效果。

