



(12)发明专利

(10)授权公告号 CN 105976757 B

(45)授权公告日 2019.01.18

(21)申请号 201610596086.8

(22)申请日 2016.07.26

(65)同一申请的已公布的文献号

申请公布号 CN 105976757 A

(43)申请公布日 2016.09.28

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 成都京东方光电科技有限公司

(72)发明人 吴渊 蒋璐霞 代弘伟

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51)Int.Cl.

G09G 3/3208(2016.01)

(56)对比文件

CN 104681594 A, 2015.06.03,

CN 204391118 U, 2015.06.10,

CN 103887323 A, 2014.06.25,

US 2015/0016103 A1, 2015.01.15,

JP 特开2006-201485 A, 2006.08.03,

审查员 冯莹

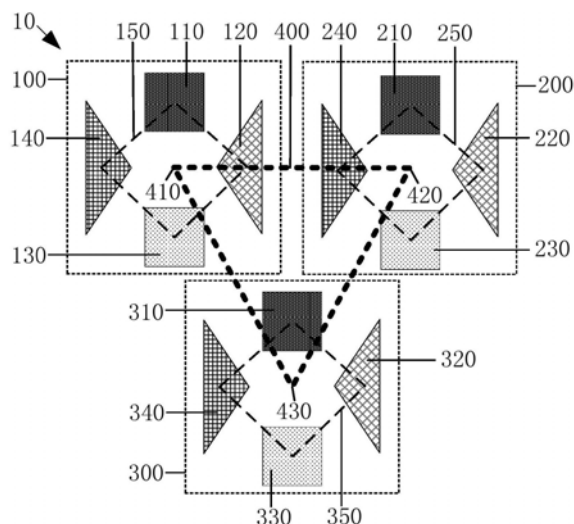
权利要求书7页 说明书21页 附图17页

(54)发明名称

像素排列结构、像素电路、显示面板及驱动方法

(57)摘要

本公开的实施例提供了一种像素排列结构、像素电路、显示面板及驱动方法。该像素排列结构包括：第一像素单元，包括第一子像素、第二子像素、第三子像素、第四子像素。第一子像素的中心与第一虚拟菱形的第一顶点重合，第二子像素的中心与第一虚拟菱形的第二顶点重合，第三子像素的中心与第一虚拟菱形的第三顶点重合，第四子像素的中心与第一虚拟菱形的第四顶点重合。该像素排列结构、像素电路、显示面板及驱动方法可以减小子像素之间的距离，还可以减小像素电路占用的面积，进而提高显示面板的分辨率，并在被驱动的过程中可以对有机发光二极管进行初始化放电，保证了低灰阶的准确性及全暗态画面下的全黑，有效改善整个显示面板的对比度。



1. 一种像素排列结构,包括:

第一像素单元,包括第一子像素、第二子像素、第三子像素、第四子像素,其中,所述第一子像素的中心与第一虚拟菱形的第一顶点重合,所述第二子像素的中心与所述第一虚拟菱形的第二顶点重合,所述第三子像素的中心与所述第一虚拟菱形的第三顶点重合,所述第四子像素的中心与所述第一虚拟菱形的第四顶点重合,

其中,所述第一子像素被配置为在工作时发出第一颜色的光,所述第二子像素被配置为在工作时发出第二颜色的光,所述第三子像素被配置为在工作时发出第三颜色的光,所述第四子像素被配置为在工作时发出第四颜色的光,所述第二颜色和所述第四颜色的混合色为第一颜色或第三颜色。

2. 根据权利要求1所述的像素排列结构,其中,所述第一虚拟菱形的第一顶点、第二顶点、第三顶点和第四顶点依次相邻,所述第一子像素和所述第三子像素为矩形,所述第二子像素和所述第四子像素为三角形。

3. 根据权利要求2所述的像素排列结构,其中,所述矩形为正方形,所述三角形为等腰三角形。

4. 根据权利要求2所述的像素排列结构,其中,所述矩形一条边的中垂线经过所述第一虚拟菱形的中心,所述三角形一条边的中垂线经过所述第一虚拟菱形的中心。

5. 根据权利要求1所述的像素排列结构,其中,所述第一颜色和所述第三颜色的混合色为白色。

6. 根据权利要求1所述的像素排列结构,其中,所述第一颜色为蓝色,所述第二颜色为绿色,所述第三颜色为黄色,所述第四颜色为红色。

7. 根据权利要求1所述的像素排列结构,还包括:

第二像素单元,包括第五子像素、第六子像素、第七子像素、第八子像素,其中,所述第五子像素的中心与第二虚拟菱形的第一顶点重合,所述第六子像素的中心与所述第二虚拟菱形的第二顶点重合,所述第七子像素的中心与所述第二虚拟菱形的第三顶点重合,所述第八子像素的中心与所述第二虚拟菱形的第四顶点重合;

第三像素单元,包括第九子像素、第十子像素、第十一子像素、第十二子像素,其中,所述第九子像素的中心与第三虚拟菱形的第一顶点重合,所述第十子像素的中心与所述第三虚拟菱形的第二顶点重合,所述第十一子像素的中心与所述第三虚拟菱形的第三顶点重合,所述第十二子像素的中心与所述第三虚拟菱形的第四顶点重合;

其中,所述第一虚拟菱形的中心与虚拟三角形的第一顶点重合,所述第二虚拟菱形的中心与所述虚拟三角形的第二顶点重合,所述第三虚拟菱形的中心与所述虚拟三角形的第三顶点重合。

8. 根据权利要求7所述的像素排列结构,其中,所述虚拟三角形为锐角三角形。

9. 根据权利要求7所述的像素排列结构,其中,所述虚拟三角形为等腰锐角三角形。

10. 根据权利要求7所述的像素排列结构,其中,所述虚拟三角形为等边三角形。

11. 根据权利要求7-10任一项所述的像素排列结构,其中,所述第一虚拟菱形、所述第二虚拟菱形和所述第三虚拟菱形的形状相同。

12. 根据权利要求7-10任一项所述的像素排列结构,其中,所述第一虚拟菱形的第一顶点、第二顶点、第三顶点和第四顶点依次相邻,所述第二虚拟菱形的第一顶点、第二顶点、第

三顶点和第四顶点依次相邻,所述第三虚拟菱形的第一顶点、第二顶点、第三顶点和第四顶点依次相邻,所述第一子像素、所述第五子像素和所述第九子像素的形状相同,所述第二子像素、所述第六子像素和所述第十子像素的形状相同,所述第三子像素、所述第七子像素和所述第十一子像素的形状相同,所述第四子像素、所述第八子像素和所述第十二子像素的形状相同。

13. 根据权利要求12所述的像素排列结构,其中,所述第一子像素、第三子像素、第五子像素、第七子像素、第九子像素和第十一子像素为矩形,所述第二子像素、所述第四子像素、所述第六子像素、所述第八子像素、所述第十子像素和所述第十二子像素为三角形。

14. 根据权利要求13所述的像素排列结构,其中,所述矩形为正方形,所述三角形为等腰三角形。

15. 根据权利要求13所述的像素排列结构,其中,所述矩形一条边的中垂线经过一个所述虚拟菱形的中心,所述三角形一条边的中垂线经过一个所述虚拟菱形的中心。

16. 根据权利要求12所述的像素排列结构,其中,所述第一子像素、所述第五子像素和所述第九子像素在工作时发出第一颜色的光,所述第二子像素、所述第六子像素和所述第十子像素在工作时发出第二颜色的光,所述第三子像素、所述第七子像素和所述第十一子像素在工作时发出第三颜色的光,所述第四子像素、所述第八子像素和所述第十二子像素在工作时发出第四颜色的光。

17. 根据权利要求16所述的像素排列结构,其中,所述第二颜色和所述第四颜色的混合色为第一颜色或第三颜色。

18. 根据权利要求16所述的像素排列结构,其中,所述第一颜色和所述第三颜色的混合色为白色。

19. 根据权利要求16所述的像素排列结构,其中,所述第一颜色为蓝色,所述第二颜色为绿色,所述第三颜色为黄色,所述第四颜色为红色。

20. 一种应用于根据权利要求1-19任一项所述的像素排列结构的像素电路,包括:

第一发光电路,用于在工作时发光;

第一驱动电路,用于驱动所述第一发光电路;

第一补偿电路,用于补偿所述第一驱动电路;

第一数据写入电路,用于向所述第一驱动电路写入数据;

第一复位电路,用于将所述第一驱动电路复位;

第一存储电路,用于存储所述第一驱动电路的驱动电压;

第一初始化电路,用于将所述第一发光电路初始化;

第一发光控制电路,用于控制所述第一发光电路的工作和关断;

第一电源端,用于向所述第一发光电路提供第一发光电压;

第二电源端,用于向所述第一发光电路提供第二发光电压;

第三电源端,用于向所述第一复位电路提供复位电压;

第一数据信号端,用于向所述第一数据写入电路提供第一数据信号或待机信号;

第一控制端,用于提供控制所述第一复位电路工作和关断的第一控制信号;

第二控制端,用于提供控制所述第一数据写入电路和所述第一补偿电路工作和关断的第二控制信号;

第三控制端,用于提供控制所述第一初始化电路工作和关断的第三控制信号;以及
第四控制端,用于提供控制所述第一发光控制电路工作和关断的第四控制信号。

21. 根据权利要求20所述的像素电路,其中,所述第一数据写入电路包括第一晶体管,所述第一发光控制电路包括第二晶体管和第五晶体管,所述第一补偿电路包括第三晶体管,所述第一驱动电路包括第四晶体管,所述第一复位电路包括第六晶体管,所述第一初始化电路包括第七晶体管,所述第一存储电路包括第一存储电容,所述第一发光电路包括第一有机发光二极管。

22. 根据权利要求21所述的像素电路,其中,

所述第一晶体管的源极与所述第一数据信号端电连接,所述第一晶体管的栅极、所述第三晶体管的栅极和所述第二控制端电连接,所述第一晶体管的漏极、所述第二晶体管的漏极、所述第三晶体管的源极和所述第四晶体管的源极电连接;

所述第二晶体管的栅极、所述第五晶体管的栅极和所述第四控制端电连接,所述第二晶体管的源极、所述第一存储电容的第一端和所述第一电源端电连接;

所述第三晶体管的漏极和第一节点电连接;

所述第四晶体管的栅极和所述第一节点电连接,所述第四晶体管的漏极和所述第五晶体管的源极电连接;

所述第五晶体管的漏极、所述第七晶体管的漏极和所述第一有机发光二极管的第一端电连接;

所述第六晶体管的源极、所述第七晶体管的源极和所述第三电源端电连接,所述第六晶体管的栅极和所述第一控制端电连接,第六晶体管的漏极和所述第一节点电连接;

所述第七晶体管的栅极和所述第三控制端电连接;

所述第一存储电容的第二端和所述第一节点电连接;

所述第一有机发光二极管的第二端和所述第二电源端电连接。

23. 根据权利要求21或22所述的像素电路,其中,所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管以及所述第七晶体管均为薄膜晶体管。

24. 根据权利要求21或22所述的像素电路,其中,所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管以及所述第七晶体管均为P型晶体管。

25. 一种应用于根据权利要求1-19任一项所述的像素排列结构的像素电路,包括:

第二发光电路,用于在工作时发光;

第二驱动电路,用于驱动所述第二发光电路;

第二补偿电路,用于补偿所述第二驱动电路;

第二数据写入电路,用于向所述第二驱动电路写入数据;

第二复位电路,用于将所述第二驱动电路复位;

第二存储电路,用于存储所述第二驱动电路的驱动电压;

第二初始化电路,用于将所述第二发光电路初始化;

第二发光控制电路,用于控制所述第二发光电路的工作和关断;

选通电路,用于将第二数据信号或第三数据信号传输给所述第二数据写入电路;

第一电源端,用于向所述第二发光电路提供第一发光电压;

第二电源端,用于向所述第二发光电路提供第二发光电压;

第三电源端,用于向所述第二复位电路提供复位电压;

第二数据信号端,用于向所述第二数据写入电路提供第二数据信号或待机信号;

第三数据信号端,用于向所述第二数据写入电路提供第三数据信号或待机信号;

第一控制端,用于提供控制所述第二复位电路工作和关断的第一控制信号;

第二控制端,用于提供控制所述第二数据写入电路和所述第二补偿电路工作和关断的第二控制信号;

第三控制端,用于提供控制所述第二初始化电路工作和关断的第三控制信号;以及

第四控制端,用于提供控制所述第二发光控制电路工作和关断的第四控制信号。

26. 根据权利要求25所述的像素电路,其中,所述第二数据写入电路包括第八晶体管,所述第二发光控制电路包括第九晶体管和第十二晶体管,所述第二补偿电路包括第十晶体管,所述第二驱动电路包括第十一晶体管,所述第二复位电路包括第十三晶体管,所述第二初始化电路包括第十四晶体管,所述第二存储电路包括第二存储电容,所述第二发光电路包括第二有机发光二极管、第三有机发光二极管、第十五晶体管和第十六晶体管,所述选通电路包括第十七晶体管和第十八晶体管。

27. 根据权利要求26所述的像素电路,其中,

所述第八晶体管的源极、所述第十七晶体管的漏极和所述第十八晶体管的漏极电连接,所述第八晶体管的栅极、所述第十晶体管的栅极和所述第二控制端电连接,所述第八晶体管的漏极、所述第九晶体管的漏极、所述第十晶体管的源极和所述第十一晶体管的源极电连接;

所述第九晶体管的栅极、所述第十二晶体管的栅极和所述第四控制端电连接,所述第九晶体管的源极、所述第二存储电容的第一端和所述第一电源端电连接;

所述第十晶体管的漏极和第二节点电连接;

所述第十一晶体管的栅极和所述第二节点电连接,所述第十一晶体管的漏极和所述第十二晶体管的源极电连接;

所述第十二晶体管的漏极、所述第十四晶体管的漏极、所述第十五晶体管的源极、所述第十六晶体管的源极和第三节点电连接;

所述第十三晶体管的源极、所述第十四晶体管的源极和所述第三电源端电连接,所述第十三晶体管的栅极和所述第一控制端电连接,第十三晶体管的漏极和所述第二节点电连接;

所述第十四晶体管的栅极和所述第三控制端电连接;

所述第十五晶体管的栅极和所述第二数据信号端电连接,所述第十五晶体管的漏极和所述第二有机发光二极管的第一端电连接;

所述第十六晶体管的栅极和所述第三数据信号端电连接,所述第十六晶体管的漏极和所述第三有机发光二极管的第一端电连接;

所述第十七晶体管的源极和所述第二数据信号端电连接,所述第十七晶体管的栅极和所述第三数据信号端电连接;

所述第十八晶体管的源极和所述第三数据信号端电连接,所述第十八晶体管的栅极和

所述第二数据信号端电连接；

所述第二存储电容的第二端和所述第二节点电连接；

所述第二有机发光二极管的第二端、所述第三有机发光二极管的第二端和所述第二电源端电连接。

28. 根据权利要求26或27所述的像素电路,其中,所述第八晶体管、所述第九晶体管、所述第十晶体管、所述第十一晶体管、所述第十二晶体管、所述第十三晶体管、所述第十四晶体管、所述第十五晶体管、所述第十六晶体管、所述第十七晶体管和所述第十八晶体管均为薄膜晶体管。

29. 根据权利要求26或27所述的像素电路,其中,所述第八晶体管、所述第九晶体管、所述第十晶体管、所述第十一晶体管、所述第十二晶体管、所述第十三晶体管、所述第十四晶体管、所述第十五晶体管和所述第十六晶体管均为P型晶体管,所述第十七晶体管和所述第十八晶体管均为N型晶体管。

30. 一种显示面板,包括如权利要求1-19任一项所述的像素排列结构。

31. 一种显示面板,包括如权利要求20-29任一项所述的像素电路。

32. 根据权利要求31所述的显示面板,包括如权利要求20-24任一项所述的像素电路以及如权利要求25-29任一项所述的像素电路。

33. 根据权利要求32所述的显示面板,还包括如权利要求1-19任一项所述的像素排列结构,其中,如权利要求20-24任一项所述的像素电路中的第一发光电路在工作时发出蓝色或黄色的光;如权利要求25-29任一项所述的像素电路中的第二发光电路在工作时发出红色或绿色的光。

34. 一种如权利要求20-29任一项所述像素电路的驱动方法,包括:复位阶段、补偿阶段、初始化阶段和发光阶段,其中,

在所述复位阶段,所述第一控制端输出有效信号,所述第二控制端输出无效信号,所述第三控制端输出无效信号,所述第四控制端输出无效信号,所述第一数据信号端输出待机信号;

在所述补偿阶段,所述第一控制端输出无效信号,所述第二控制端输出有效信号,所述第三控制端输出无效信号,所述第四控制端输出无效信号,所述第一数据信号端输出第一数据信号;

在所述初始化阶段,所述第一控制端输出无效信号,所述第二控制端输出无效信号,所述第三控制端输出有效信号,所述第四控制端输出无效信号,所述第一数据信号端输出第一数据信号;

在所述发光阶段,所述第一控制端输出无效信号,所述第二控制端输出无效信号,所述第三控制端输出无效信号,所述第四控制端输出有效信号,所述第一数据信号端输出第一数据信号。

35. 根据权利要求34所述的驱动方法,还包括:预复位阶段和预发光阶段,其中,预复位阶段在所述发光阶段之后和所述复位阶段之前,所述预发光阶段在所述初始化阶段之后和所述发光阶段之前,

在所述预复位阶段,所述第一控制端输出无效信号,所述第二控制端输出无效信号,所述第三控制端输出无效信号,所述第四控制端输出无效信号,所述第一数据信号端输出待

机信号；

在所述预发光阶段，所述第一控制端输出无效信号，所述第二控制端输出无效信号，所述第三控制端输出无效信号，所述第四控制端输出无效信号，所述第一数据信号端输出第一数据信号。

36. 一种如权利要求25-29任一项所述像素电路的驱动方法，包括：复位阶段、补偿阶段、初始化阶段和发光阶段，其中，

在所述复位阶段，所述第一控制端输出有效信号，所述第二控制端输出无效信号，所述第三控制端输出无效信号，所述第四控制端输出无效信号，所述第二数据信号端输出待机信号，所述第三数据信号端输出待机信号；

在所述补偿阶段，所述第一控制端输出无效信号，所述第二控制端输出有效信号，所述第三控制端输出无效信号，所述第四控制端输出无效信号，所述第二数据信号端输出第二数据信号，所述第三数据信号端输出待机信号；

在所述初始化阶段，所述第一控制端输出无效信号，所述第二控制端输出无效信号，所述第三控制端输出有效信号，所述第四控制端输出无效信号，所述第二数据信号端输出第二数据信号，所述第三数据信号端输出待机信号；

在所述发光阶段，所述第一控制端输出无效信号，所述第二控制端输出无效信号，所述第三控制端输出无效信号，所述第四控制端输出有效信号，所述第二数据信号端输出第二数据信号，所述第三数据信号端输出待机信号；或者，

在所述复位阶段，所述第一控制端输出有效信号，所述第二控制端输出无效信号，所述第三控制端输出无效信号，所述第四控制端输出无效信号，所述第二数据信号端输出待机信号，所述第三数据信号端输出待机信号；

在所述补偿阶段，所述第一控制端输出无效信号，所述第二控制端输出有效信号，所述第三控制端输出无效信号，所述第四控制端输出无效信号，所述第二数据信号端输出待机信号，所述第三数据信号端输出第三数据信号；

在所述初始化阶段，所述第一控制端输出无效信号，所述第二控制端输出无效信号，所述第三控制端输出有效信号，所述第四控制端输出无效信号，所述第二数据信号端输出待机信号，所述第三数据信号端输出第三数据信号；

在所述发光阶段，所述第一控制端输出无效信号，所述第二控制端输出无效信号，所述第三控制端输出无效信号，所述第四控制端输出有效信号，所述第二数据信号端输出待机信号，所述第三数据信号端输出第三数据信号。

37. 根据权利要求36所述的驱动方法，还包括：预复位阶段和预发光阶段，其中，预复位阶段在所述发光阶段之后和所述复位阶段之前，所述预发光阶段在所述初始化阶段之后和所述发光阶段之前，

在所述预复位阶段，所述第一控制端输出无效信号，所述第二控制端输出无效信号，所述第三控制端输出无效信号，所述第四控制端输出无效信号，所述第二数据信号端输出待机信号，所述第三数据信号端输出待机信号；

在所述预发光阶段，所述第一控制端输出无效信号，所述第二控制端输出无效信号，所述第三控制端输出无效信号，所述第四控制端输出无效信号，所述第二数据信号端输出第二数据信号，所述第三数据信号端输出待机信号；或者，所述第二数据信号端输出待机信

号,所述第三数据信号端输出第三数据信号。

38.一种驱动方法,包括如权利要求34所述的驱动方法以及如权利要求36所述的驱动方法。

像素排列结构、像素电路、显示面板及驱动方法

技术领域

[0001] 本公开的实施例涉及一种像素排列结构、像素电路、显示面板及驱动方法。

背景技术

[0002] 在显示领域,有机发光二极管(OLED)显示面板具有自发光、对比度高、厚度薄、视角广、反应速度快、可用于挠曲性面板、使用温度范围广、制造简单等特点,具有广阔的发展前景。

[0003] 由于上述特点,有机发光二极管(OLED)显示面板可以适用于手机、显示器、笔记本电脑、数码相机、仪器仪表等具有显示功能的装置。

发明内容

[0004] 本公开的实施例提供一种像素排列结构,包括:第一像素单元,包括第一子像素、第二子像素、第三子像素、第四子像素,其中,所述第一子像素的中心与第一虚拟菱形的第一顶点重合,所述第二子像素的中心与所述第一虚拟菱形的第二顶点重合,所述第三子像素的中心与所述第一虚拟菱形的第三顶点重合,所述第四子像素的中心与所述第一虚拟菱形的第四顶点重合。

[0005] 例如,在本公开实施例提供的像素排列结构中,所述第一虚拟菱形的第一顶点、第二顶点、第三顶点和第四顶点依次相邻,所述第一子像素和所述第三子像素为矩形,所述第二子像素和所述第四子像素为三角形。

[0006] 例如,在本公开实施例提供的像素排列结构中,所述矩形为正方形,所述三角形为等腰三角形。

[0007] 例如,在本公开实施例提供的像素排列结构中,所述矩形一条边的中垂线经过所述第一虚拟菱形的中心,所述三角形一条边的中垂线经过所述第一虚拟菱形的中心。

[0008] 例如,在本公开实施例提供的像素排列结构中,所述第一子像素在工作时发出第一颜色的光,所述第二子像素在工作时发出第二颜色的光,所述第三子像素在工作时发出第三颜色的光,所述第四子像素在工作时发出第四颜色的光。

[0009] 例如,在本公开实施例提供的像素排列结构中,所述第二颜色和所述第四颜色的混合色为第一颜色或第三颜色。

[0010] 例如,在本公开实施例提供的像素排列结构中,所述第一颜色和所述第三颜色的混合色为白色。

[0011] 例如,在本公开实施例提供的像素排列结构中,所述第一颜色为蓝色,所述第二颜色为绿色,所述第三颜色为黄色,所述第四颜色为红色。

[0012] 例如,本公开实施例提供的像素排列结构还包括:第二像素单元,包括第五子像素、第六子像素、第七子像素、第八子像素,其中,所述第五子像素的中心与第二虚拟菱形的第一顶点重合,所述第六子像素的中心与所述第二虚拟菱形的第二顶点重合,所述第七子像素的中心与所述第二虚拟菱形的第三顶点重合,所述第八子像素的中心与所述第二虚拟菱形的第四顶点重合。

菱形的第四顶点重合;第三像素单元,包括第九子像素、第十子像素、第十一子像素、第十二子像素,其中,所述第九子像素的中心与第三虚拟菱形的第一顶点重合,所述第十子像素的中心与所述第三虚拟菱形的第二顶点重合,所述第十一子像素的中心与所述第三虚拟菱形的第三顶点重合,所述第十二子像素的中心与所述第三虚拟菱形的第四顶点重合;所述第一虚拟菱形的中心与虚拟三角形的第一顶点重合,所述第二虚拟菱形的中心与所述虚拟三角形的第二顶点重合,所述第三虚拟菱形的中心与所述虚拟三角形的第三顶点重合。

[0013] 例如,在本公开实施例提供的像素排列结构中,所述虚拟三角形为锐角三角形。

[0014] 例如,在本公开实施例提供的像素排列结构中,所述虚拟三角形为等腰锐角三角形。

[0015] 例如,在本公开实施例提供的像素排列结构中,所述虚拟三角形为等边三角形。

[0016] 例如,在本公开实施例提供的像素排列结构中,所述第一虚拟菱形、所述第二虚拟菱形和所述第三虚拟菱形的形状相同。

[0017] 例如,在本公开实施例提供的像素排列结构中,所述第一虚拟菱形的第一顶点、第二顶点、第三顶点和第四顶点依次相邻,所述第二虚拟菱形的第一顶点、第二顶点、第三顶点和第四顶点依次相邻,所述第三虚拟菱形的第一顶点、第二顶点、第三顶点和第四顶点依次相邻,所述第一子像素、所述第五子像素和所述第九子像素的形状相同,所述第二子像素、所述第六子像素和所述第十子像素的形状相同,所述第三子像素、所述第七子像素和所述第十一子像素的形状相同,所述第四子像素、所述第八子像素和所述第十二子像素的形状相同。

[0018] 例如,在本公开实施例提供的像素排列结构中,所述第一子像素、第三子像素、第五子像素、第七子像素、第九子像素和第十一子像素为矩形,所述第二子像素、所述第四子像素、所述第六子像素、所述第八子像素、所述第十子像素和所述第十二子像素为三角形。

[0019] 例如,在本公开实施例提供的像素排列结构中,所述矩形为正方形,所述三角形为等腰三角形。

[0020] 例如,在本公开实施例提供的像素排列结构中,所述矩形一条边的中垂线经过一个所述虚拟菱形的中心,所述三角形一条边的中垂线经过一个所述虚拟菱形的中心。

[0021] 例如,在本公开实施例提供的像素排列结构中,所述第一子像素、所述第五子像素和所述第九子像素在工作时发出第一颜色的光,所述第二子像素、所述第六子像素和所述第十子像素在工作时发出第二颜色的光,所述第三子像素、所述第七子像素和所述第十一子像素在工作时发出第三颜色的光,所述第四子像素、所述第八子像素和所述第十二子像素在工作时发出第四颜色的光。

[0022] 例如,在本公开实施例提供的像素排列结构中,所述第二颜色和所述第四颜色的混合色为第一颜色或第三颜色。

[0023] 例如,在本公开实施例提供的像素排列结构中,所述第一颜色和所述第三颜色的混合色为白色。

[0024] 例如,在本公开实施例提供的像素排列结构中,所述第一颜色为蓝色,所述第二颜色为绿色,所述第三颜色为黄色,所述第四颜色为红色。

[0025] 本公开的实施例还提供一种像素电路,包括:第一发光电路,用于在工作时发光;第一驱动电路,用于驱动所述第一发光电路;第一补偿电路,用于补偿所述第一驱动电路;

第一数据写入电路,用于向所述第一驱动电路写入数据;第一复位电路,用于将所述第一驱动电路复位;第一存储电路,用于存储所述第一驱动电路的驱动电压;第一初始化电路,用于将所述第一发光电路初始化;第一发光控制电路,用于控制所述第一发光电路的工作和关断;第一电源端,用于向所述第一发光电路提供第一发光电压;第二电源端,用于向所述第一发光电路提供第二发光电压;第三电源端,用于向所述第一复位电路提供复位电压;第一数据信号端,用于向所述第一数据写入电路提供第一数据信号或待机信号;第一控制端,用于提供控制所述第一复位电路工作和关断的第一控制信号;第二控制端,用于提供控制所述第一数据写入电路和所述第一补偿电路工作和关断的第二控制信号;第三控制端,用于提供控制所述第一初始化电路工作和关断的第三控制信号;以及第四控制端,用于提供控制所述第一发光控制电路工作和关断的第四控制信号。

[0026] 例如,在本公开实施例提供的像素电路中,所述第一数据写入电路包括第一晶体管,所述第一发光控制电路包括第二晶体管和第五晶体管,所述第一补偿电路包括第三晶体管,所述第一驱动电路包括第四晶体管,所述第一复位电路包括第六晶体管,所述第一初始化电路包括第七晶体管,所述第一存储电路包括第一存储电容,所述第一发光电路包括第一有机发光二极管。

[0027] 例如,在本公开实施例提供的像素电路中,所述第一晶体管的源极与所述第一数据信号端电连接,所述第一晶体管的栅极、所述第三晶体管的栅极和所述第二控制端电连接,所述第一晶体管的漏极、所述第二晶体管的漏极、所述第三晶体管的源极和所述第四晶体管的源极电连接;所述第二晶体管的栅极、所述第五晶体管的栅极和所述第四控制端电连接,所述第二晶体管的源极、所述第一存储电容的第一端和所述第一电源端电连接;所述第三晶体管的漏极和第一节点电连接;所述第四晶体管的栅极和所述第一节点电连接,所述第四晶体管的漏极和所述第五晶体管的源极电连接;所述第五晶体管的漏极、所述第七晶体管的漏极和所述第一有机发光二极管的第一端电连接;所述第六晶体管的源极、所述第七晶体管的源极和所述第三电源端电连接,所述第六晶体管的栅极和所述第一控制端电连接,第六晶体管的漏极和所述第一节点电连接;所述第七晶体管的栅极和所述第三控制端电连接;所述第一存储电容的第二端和所述第一节点电连接;所述第一有机发光二极管的第二端和所述第二电源端电连接。

[0028] 例如,在本公开实施例提供的像素电路中,所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管以及所述第七晶体管均为薄膜晶体管。

[0029] 例如,在本公开实施例提供的像素电路中,所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管以及所述第七晶体管均为P型晶体管。

[0030] 本公开的实施例还提供一种像素电路,包括:第二发光电路,用于在工作时发光;第二驱动电路,用于驱动所述第二发光电路;第二补偿电路,用于补偿所述第二驱动电路;第二数据写入电路,用于向所述第二驱动电路写入数据;第二复位电路,用于将所述第二驱动电路复位;第二存储电路,用于存储所述第二驱动电路的驱动电压;第二初始化电路,用于将所述第二发光电路初始化;第二发光控制电路,用于控制所述第二发光电路的工作和关断;选通电路,用于将第二数据信号或第三数据信号传输给所述第二数据写入电路;第一

电源端,用于向所述第二发光电路提供第一发光电压;第二电源端,用于向所述第二发光电路提供第二发光电压;第三电源端,用于向所述第二复位电路提供复位电压;第二数据信号端,用于向所述第二数据写入电路提供第二数据信号或待机信号;第三数据信号端,用于向所述第二数据写入电路提供第三数据信号或待机信号;第一控制端,用于提供控制所述第二复位电路工作和关断的第一控制信号;第二控制端,用于提供控制所述第二数据写入电路和所述第二补偿电路工作和关断的第二控制信号;第三控制端,用于提供控制所述第二初始化电路工作和关断的第三控制信号;以及第四控制端,用于提供控制所述第二发光控制电路工作和关断的第四控制信号。

[0031] 例如,在本公开实施例提供的像素电路中,所述第二数据写入电路包括第八晶体管,所述第二发光控制电路包括第九晶体管和第十二晶体管,所述第二补偿电路包括第十晶体管,所述第二驱动电路包括第十一晶体管,所述第二复位电路包括第十三晶体管,所述第二初始化电路包括第十四晶体管,所述第二存储电路包括第二存储电容,所述第二发光电路包括第二有机发光二极管、第三有机发光二极管、第十五晶体管和第十六晶体管,所述选通电路包括第十七晶体管和第十八晶体管。

[0032] 例如,在本公开实施例提供的像素电路中,所述第八晶体管的源极、所述第十七晶体管的漏极和所述第十八晶体管的漏极电连接,所述第八晶体管的栅极、所述第十晶体管的栅极和所述第二控制端电连接,所述第八晶体管的漏极、所述第九晶体管的漏极、所述第十晶体管的源极和所述第十一晶体管的源极电连接;所述第九晶体管的栅极、所述第十二晶体管的栅极和所述第四控制端电连接,所述第九晶体管的源极、所述第二存储电容的第一端和所述第一电源端电连接;所述第十晶体管的漏极和第二节点电连接;所述第十一晶体管的栅极和所述第二节点电连接,所述第十一晶体管的漏极和所述第十二晶体管的源极电连接;所述第十二晶体管的漏极、所述第十四晶体管的漏极、所述第十五晶体管的源极、所述第十六晶体管的源极和第三节点电连接;所述第十三晶体管的源极、所述第十四晶体管的源极和所述第三电源端电连接,所述第十三晶体管的栅极和所述第一控制端电连接,第十三晶体管的漏极和所述第二节点电连接;所述第十四晶体管的栅极和所述第三控制端电连接;所述第十五晶体管的栅极和所述第二数据信号端电连接,所述第十五晶体管的漏极和所述第二有机发光二极管的第一端电连接;所述第十六晶体管的栅极和所述第三数据信号端电连接,所述第十六晶体管的漏极和所述第三有机发光二极管的第一端电连接;所述第十七晶体管的源极和所述第二数据信号端电连接,所述第十七晶体管的栅极和所述第三数据信号端电连接;所述第十八晶体管的源极和所述第三数据信号端电连接,所述第十八晶体管的栅极和所述第二数据信号端电连接;所述第二存储电容的第二端和所述第二节点电连接;所述第二有机发光二极管的第二端、所述第三有机发光二极管的第二端和所述第二电源端电连接。

[0033] 例如,在本公开实施例提供的像素电路中,所述第八晶体管、所述第九晶体管、所述第十晶体管、所述第十一晶体管、所述第十二晶体管、所述第十三晶体管、所述第十四晶体管、所述第十五晶体管、所述第十六晶体管、所述第十七晶体管和所述第十八晶体管均为薄膜晶体管。

[0034] 例如,在本公开实施例提供的像素电路中,所述第八晶体管、所述第九晶体管、所述第十晶体管、所述第十一晶体管、所述第十二晶体管、所述第十三晶体管、所述第十四晶

体管、所述第十五晶体管 and 所述第十六晶体管均为P型晶体管,所述第十七晶体管和所述第十八晶体管均为N型晶体管。

[0035] 本公开的实施例还提供一种显示面板,包括本公开任一实施例所述的像素排列结构。

[0036] 本公开的实施例还提供一种显示面板,包括本公开任一实施例所述的像素电路。

[0037] 例如,本公开实施例提供的像素电路,包括本公开任一实施例所述的像素排列结构以及本公开任一实施例所述的像素电路,其中,本公开实施例提供的像素电路中的第一发光电路在工作时发出蓝色或黄色的光;本公开实施例提供的像素电路中的第二发光电路在工作时发出红色或绿色的光。

[0038] 本公开的实施例还提供一种像素电路的驱动方法,包括:复位阶段、补偿阶段、初始化阶段和发光阶段,其中,在所述复位阶段,所述第一控制端输出有效信号,所述第二控制端输出无效信号,所述第三控制端输出无效信号,所述第四控制端输出无效信号,所述第一数据信号端输出待机信号;在所述补偿阶段,所述第一控制端输出无效信号,所述第二控制端输出有效信号,所述第三控制端输出无效信号,所述第四控制端输出无效信号,所述第一数据信号端输出第一数据信号;在所述初始化阶段,所述第一控制端输出无效信号,所述第二控制端输出无效信号,所述第三控制端输出有效信号,所述第四控制端输出无效信号,所述第一数据信号端输出第一数据信号;在所述发光阶段,所述第一控制端输出无效信号,所述第二控制端输出无效信号,所述第三控制端输出无效信号,所述第四控制端输出有效信号,所述第一数据信号端输出第一数据信号。

[0039] 例如,本公开上述实施例提供的驱动方法,还可以包括:预复位阶段和预发光阶段,其中,预复位阶段在所述发光阶段之后和所述复位阶段之前,所述预发光阶段在所述初始化阶段之后和所述发光阶段之前,在所述预复位阶段,所述第一控制端输出无效信号,所述第二控制端输出无效信号,所述第三控制端输出无效信号,所述第四控制端输出无效信号,所述第一数据信号端输出待机信号;在所述预发光阶段,所述第一控制端输出无效信号,所述第二控制端输出无效信号,所述第三控制端输出无效信号,所述第四控制端输出无效信号,所述第一数据信号端输出第一数据信号。

[0040] 本公开的实施例还提供一种像素电路的驱动方法,包括:复位阶段、补偿阶段、初始化阶段和发光阶段,其中,在所述复位阶段,所述第一控制端输出有效信号,所述第二控制端输出无效信号,所述第三控制端输出无效信号,所述第四控制端输出无效信号,所述第二数据信号端输出待机信号,所述第三数据信号端输出待机信号;在所述补偿阶段,所述第一控制端输出无效信号,所述第二控制端输出有效信号,所述第三控制端输出无效信号,所述第四控制端输出无效信号,所述第二数据信号端输出第二数据信号,所述第三数据信号端输出待机信号;在所述初始化阶段,所述第一控制端输出无效信号,所述第二控制端输出无效信号,所述第三控制端输出有效信号,所述第四控制端输出无效信号,所述第二数据信号端输出第二数据信号,所述第三数据信号端输出待机信号;在所述发光阶段,所述第一控制端输出无效信号,所述第二控制端输出无效信号,所述第三控制端输出无效信号,所述第四控制端输出有效信号,所述第二数据信号端输出第二数据信号,所述第三数据信号端输出待机信号;或者,在所述复位阶段,所述第一控制端输出有效信号,所述第二控制端输出无效信号,所述第三控制端输出无效信号,所述第四控制端输出无效信号,所述第二数据信

号端输出待机信号,所述第三数据信号端输出待机信号;在所述补偿阶段,所述第一控制端输出无效信号,所述第二控制端输出有效信号,所述第三控制端输出无效信号,所述第四控制端输出无效信号,所述第二数据信号端输出待机信号,所述第三数据信号端输出第三数据信号;在所述初始化阶段,所述第一控制端输出无效信号,所述第二控制端输出无效信号,所述第三控制端输出有效信号,所述第四控制端输出无效信号,所述第二数据信号端输出待机信号,所述第三数据信号端输出第三数据信号;在所述发光阶段,所述第一控制端输出无效信号,所述第二控制端输出无效信号,所述第三控制端输出无效信号,所述第四控制端输出有效信号,所述第二数据信号端输出待机信号,所述第三数据信号端输出第三数据信号。

[0041] 例如,本公开上述实施例提供的驱动方法,还可以包括:预复位阶段和预发光阶段,其中,预复位阶段在所述发光阶段之后和所述复位阶段之前,所述预发光阶段在所述初始化阶段之后和所述发光阶段之前,在所述预复位阶段,所述第一控制端输出无效信号,所述第二控制端输出无效信号,所述第三控制端输出无效信号,所述第四控制端输出无效信号,所述第二数据信号端输出待机信号,所述第三数据信号端输出待机信号;在所述预发光阶段,所述第一控制端输出无效信号,所述第二控制端输出无效信号,所述第三控制端输出无效信号,所述第四控制端输出无效信号,所述第二数据信号端输出第二数据信号,所述第三数据信号端输出待机信号;或者,所述第二数据信号端输出待机信号,所述第三数据信号端输出第三数据信号。

[0042] 该像素排列结构、像素电路、显示面板及驱动方法可以减小子像素之间的距离,还可以减小像素电路占用的面积,进而提高显示面板的分辨率,并在被驱动的过程中可以对有机发光二极管进行初始化放电,保证了低灰阶的准确性及全暗态画面下的全黑,有效改善整个显示面板的对比度。

附图说明

[0043] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例或相关技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,并非对本公开的限制。

[0044] 图1是本公开实施例提供的一种像素排列结构的示意图之一;

[0045] 图2是本公开实施例提供的一种像素排列结构的示意图之二;

[0046] 图3是本公开实施例提供的一种显示面板的示意图之一;

[0047] 图4是本公开实施例提供的一种显示面板的示意图之二;

[0048] 图5是本公开实施例提供的一种像素电路的示意图之一;

[0049] 图6是本公开实施例提供的一种像素电路的示意图之二;

[0050] 图7是本公开实施例提供的如图6所示的像素电路的驱动时序图;

[0051] 图8A是本公开实施例提供的如图6所示的像素电路被如图7所示的驱动时序驱动时在预复位阶段的导通状态示意图;

[0052] 图8B是本公开实施例提供的如图6所示的像素电路被如图7所示的驱动时序驱动时在复位阶段的导通状态示意图;

[0053] 图8C是本公开实施例提供的如图6所示的像素电路被如图7所示的驱动时序驱动

时在补偿阶段的导通状态示意图；

[0054] 图8D是本公开实施例提供的如图6所示的像素电路被如图7所示的驱动时序驱动时在初始化阶段的导通状态示意图；

[0055] 图8E是本公开实施例提供的如图6所示的像素电路被如图7所示的驱动时序驱动时在预发光阶段的导通状态示意图；

[0056] 图8F是本公开实施例提供的如图6所示的像素电路被如图7所示的驱动时序驱动时在发光阶段的导通状态示意图；

[0057] 图9是本公开实施例提供的又一种像素电路的示意图之一；

[0058] 图10是本公开实施例提供的又一种像素电路的示意图之二；

[0059] 图11是本公开实施例提供的如图10所示的像素电路中第二有机发光二极管单独发光时的驱动时序图；

[0060] 图12A是本公开实施例提供的如图10所示的像素电路被如图11所示的驱动时序驱动时在预复位阶段的导通状态示意图；

[0061] 图12B是本公开实施例提供的如图10所示的像素电路被如图11所示的驱动时序驱动时在复位阶段的导通状态示意图；

[0062] 图12C是本公开实施例提供的如图10所示的像素电路被如图11所示的驱动时序驱动时在补偿阶段的导通状态示意图；

[0063] 图12D是本公开实施例提供的如图10所示的像素电路被如图11所示的驱动时序驱动时在初始化阶段的导通状态示意图；

[0064] 图12E是本公开实施例提供的如图10所示的像素电路被如图11所示的驱动时序驱动时在预发光阶段的导通状态示意图；

[0065] 图12F是本公开实施例提供的如图10所示的像素电路被如图11所示的驱动时序驱动时在发光阶段的导通状态示意图；以及

[0066] 图13是本公开实施例提供的又一种显示面板的示意图。

具体实施方式

[0067] 下面将结合附图，对本公开实施例中的技术方案进行清楚、完整地描述参考在附图中示出并在以下描述中详述的非限制性示例实施例，更加全面地说明本公开的示例实施例和它们的多种特征及有利细节。应注意的是，图中示出的特征不是必须按照比例绘制。本公开省略了已知材料、组件和工艺技术的描述，从而不使本公开的示例实施例模糊。所给出的示例仅旨在有利于理解本公开示例实施例的实施，以及进一步使本领域技术人员能够实施示例实施例。因而，这些示例不应被理解为对本公开的实施例的范围的限制。

[0068] 除非另外特别定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。此外，在本公开各个实施例中，相同或类似的参考标号表示相同或类似的构件。

[0069] 有机发光二极管 (OLED) 显示面板一般包括多个像素单元，每个像素单元中包括多个能发出不同颜色光的OLED的子像素，每个子像素中的OLED可由各自的像素电路驱动，然而像素电路占用的面积较大，导致子像素的面积不能进一步被减小，影响了显示面板的分

分辨率。

[0070] 本公开的实施例提供了一种像素排列结构、像素电路、显示面板及驱动方法,可以减小子像素之间的距离,同时减小像素电路占用的面积,进而提高显示面板的分辨率,并可以对OLED进行初始化放电,保证了低灰阶的准确性及全暗态画面下的全黑,有效改善整个显示面板的对比度。

[0071] 例如,如图1所示,本公开的实施例提供一种像素排列结构10,包括:第一像素单元100,第一像素单元100包括第一子像素110、第二子像素120、第三子像素130、第四子像素140,第一子像素110的中心与第一虚拟菱形150的第一顶点重合,第二子像素120的中心与第一虚拟菱形150的第二顶点重合,第三子像素130的中心与第一虚拟菱形150的第三顶点重合,第四子像素140的中心与第一虚拟菱形150的第四顶点重合。

[0072] 需要说明的是,第一虚拟菱形150仅用于说明第一子像素110、第二子像素120、第三子像素130和第四子像素140的位置关系。在实际的像素排列结构10中,并不存在第一虚拟菱形150的实际结构。

[0073] 例如,在本公开实施例提供的像素排列结构10中,第一虚拟菱形150的第一顶点、第二顶点、第三顶点和第四顶点依次相邻。也就是说,第一子像素110、第二子像素120、第三子像素130和第四子像素140依次相邻,例如,如图1所示,第一子像素110、第二子像素120、第三子像素130和第四子像素140按顺时针方向排列。

[0074] 例如,第一子像素110和第三子像素130为矩形,第二子像素120和第四子像素140为三角形。

[0075] 例如,在本公开实施例提供的像素排列结构10中,第一子像素110和第三子像素130为正方形,第二子像素120和第四子像素140为等腰三角形。

[0076] 例如,在本公开实施例提供的像素排列结构10中,如图1所示,第一子像素110一条边的中垂线L1经过第一虚拟菱形150的中心,第二子像素120底边的中垂线L2经过第一虚拟菱形150的中心,第三子像素130一条边的中垂线(图中未示出)经过第一虚拟菱形150的中心,第四子像素140底边的中垂线(图中未示出)经过第一虚拟菱形150的中心。也就是说,第一子像素110、第二子像素120、第三子像素130和第四子像素140正对第一虚拟菱形150的中心设置。

[0077] 需要说明的是,第一子像素110、第二子像素120、第三子像素130和第四子像素140的排布方式包括但不限于图1所示的情形,也可以是其它排布方式。例如,第一子像素的一个顶点正对第一虚拟菱形的中心设置,第二子像素的一个顶点正对第一虚拟菱形的中心设置,第三子像素的一个顶点正对第一虚拟菱形的中心设置,第四子像素的一个顶点正对第一虚拟菱形的中心设置。

[0078] 例如,本公开实施例提供的像素排列结构可以减小子像素之间的距离,在单位面积内可以设置更多的子像素,即提高了显示分辨率。

[0079] 例如,在本公开实施例提供的像素排列结构10中,第一子像素110在工作时发出第一颜色的光,第二子像素120在工作时发出第二颜色的光,第三子像素130在工作时发出第三颜色的光,第四子像素140在工作时发出第四颜色的光。

[0080] 例如,在本公开实施例提供的像素排列结构10中,第二颜色和第四颜色的混合色可以为第一颜色或第三颜色。例如,第一颜色和第三颜色的混合色可以为白色。

[0081] 例如,在本公开实施例提供的像素排列结构10中,第一颜色为蓝色,第二颜色为绿色,第三颜色为黄色,第四颜色为红色。第二颜色绿色和第四颜色红色的混合色为第三颜色黄色,第一颜色蓝色和第三颜色黄色的混合色为白色。

[0082] 例如,在显示单色画面时,相应颜色的子像素单独发光;在显示灰阶画面(例如白色画面)时,只需第一子像素和第三子像素发光;在显示第四颜色灰阶较高的多彩画面时,可以借用第三子像素发出的第三颜色的光替代第二子像素发出的第二颜色的光和第四子像素发出的第四颜色的光的组合色,同时第四子像素发出第四颜色的光作为补充,即只有第一子像素、第三子像素和第四子像素发光,第二子像素不发光;在显示第二颜色灰阶较高的多彩画面时,也可以借用第三子像素发出的第三颜色的光替代第二子像素发出的第二颜色的光和第四子像素发出的第四颜色的光的组合色,同时第二子像素发出第二颜色的光作为补充,即只有第一子像素、第二子像素和第三子像素发光,第四子像素不发光。这样,在显示灰阶画面时仅有两个子像素发光,在显示多彩画面时,仅有三个子像素发光,可以节省电能。

[0083] 例如,本公开的实施例提供的像素排列结构使用四色像素显示,能够保证各种画面像素配比均衡及色域的宽广。

[0084] 需要说明的是,本公开的实施例包括但不限于第一颜色为蓝色,第二颜色为绿色,第三颜色为黄色,第四颜色为红色的情形。可以根据显示的实际需要灵活调整显示颜色的组合。

[0085] 例如,如图2所示,本公开实施例提供的像素排列结构10还可以进一步包括第二像素单元200和第三像素单元300。第二像素单元200包括第五子像素210、第六子像素220、第七子像素230和第八子像素240。第五子像素210的中心与第二虚拟菱形250的第一顶点重合,第六子像素220的中心与第二虚拟菱形250的第二顶点重合,第七子像素230的中心与第二虚拟菱形250的第三顶点重合,第八子像素240的中心与第二虚拟菱形250的第四顶点重合。第三像素单元300包括第九子像素310、第十子像素320、第十一子像素330和第十二子像素340。第九子像素310的中心与第三虚拟菱形350的第一顶点重合,第十子像素320的中心与第三虚拟菱形350的第二顶点重合,第十一子像素330的中心与第三虚拟菱形350的第三顶点重合,第十二子像素340的中心与第三虚拟菱形350的第四顶点重合。例如,第一虚拟菱形150的中心与虚拟三角形400的第一顶点410重合,第二虚拟菱形250的中心与虚拟三角形400的第二顶点420重合,第三虚拟菱形350的中心与虚拟三角形400的第三顶点430重合。

[0086] 需要说明的是,第二虚拟菱形250、第三虚拟菱形350仅用于说明相应子像素的位置关系,虚拟三角形400仅用于说明第一像素单元100、第二像素单元200和第三像素单元300的位置关系。在实际的像素排列结构10中,并不存在第二虚拟菱形250、第三虚拟菱形350和虚拟三角形400的实际结构。

[0087] 例如,在本公开实施例提供的像素排列结构10中,虚拟三角形400为锐角三角形。也就是说,第三像素单元300在竖直方向上并未与第一像素单元100或第二像素单元200对齐,而是在竖直方向上位于第一像素单元100和第二像素单元200之间。这种排布方式可以进一步减小子像素之间的距离,进而提高显示分辨率。

[0088] 例如,在本公开实施例提供的像素排列结构10中,虚拟三角形400为等腰锐角三角形。

[0089] 进一步地,又例如,在本公开实施例提供的像素排列结构10中,虚拟三角形400为等边三角形。

[0090] 例如,在本公开实施例提供的像素排列结构10中,第一虚拟菱形150、第二虚拟菱形250和第三虚拟菱形350的形状相同。

[0091] 例如,在本公开实施例提供的像素排列结构10中,第一虚拟菱形150的第一顶点、第二顶点、第三顶点和第四顶点依次相邻,第二虚拟菱形250的第一顶点、第二顶点、第三顶点和第四顶点依次相邻,第三虚拟菱形350的第一顶点、第二顶点、第三顶点和第四顶点依次相邻,第一子像素110、第五子像素210和第九子像素310的形状相同,第二子像素120、第六子像素220和第十子像素320的形状相同,第三子像素130、第七子像素230和第十一子像素330的形状相同,第四子像素140、第八子像素240和第十二子像素340的形状相同。

[0092] 例如,在本公开实施例提供的像素排列结构10中,第一子像素110、第三子像素130、第五子像素210、第七子像素230、第九子像素310和第十一子像素330为矩形,第二子像素120、第四子像素140、第六子像素220、第八子像素240、第十子像素320和第十二子像素340为三角形。

[0093] 例如,在本公开实施例提供的像素排列结构10中,第一子像素110、第三子像素130、第五子像素210、第七子像素230、第九子像素310和第十一子像素330为正方形,第二子像素120、第四子像素140、第六子像素220、第八子像素240、第十子像素320和第十二子像素340为等腰三角形。

[0094] 例如,在本公开实施例提供的像素排列结构10中,第五子像素210一条边的中垂线经过第二虚拟菱形250的中心,第七子像素230一条边的中垂线经过第二虚拟菱形250的中心,第九子像素310一条边的中垂线经过第三虚拟菱形350的中心,第十一子像素330一条边的中垂线经过第三虚拟菱形350的中心。

[0095] 例如,第六子像素220底边的中垂线经过第二虚拟菱形250的中心,第八子像素240底边的中垂线经过第二虚拟菱形250的中心,第十子像素320底边的中垂线经过第三虚拟菱形350的中心,第十二子像素340底边的中垂线经过第三虚拟菱形350的中心。

[0096] 例如,在本公开实施例提供的像素排列结构10中,第一子像素110、第五子像素210和第九子像素310在工作时发出第一颜色的光,第二子像素120、第六子像素220和第十子像素320在工作时发出第二颜色的光,第三子像素130、第七子像素230和第十一子像素330在工作时发出第三颜色的光,第四子像素140、第八子像素240和第十二子像素340在工作时发出第四颜色的光。

[0097] 例如,在本公开实施例提供的像素排列结构10中,第二颜色和第四颜色的混合色为第一颜色或第三颜色。

[0098] 例如,在本公开实施例提供的像素排列结构10中,第一颜色和第三颜色的混合色为白色。

[0099] 例如,在本公开实施例提供的像素排列结构10中,第一颜色为蓝色,第二颜色为绿色,第三颜色为黄色,第四颜色为红色。

[0100] 例如,在显示单色画面时,相应颜色的子像素单独发光;在显示灰阶画面(例如白色画面)时,只需第一子像素、第三子像素、第五子像素、第七子像素、第九子像素和第十一子像素发光;在显示第四颜色灰阶较高的多彩画面时,可以借用第三颜色的光替代第二颜

色的光和第四颜色的光的组合色,即第二子像素、第六子像素和第十子像素不发光;在显示第二颜色灰阶较高的多彩画面时,也可以借用第三颜色的光替代第二颜色的光和第四颜色的光的组合色,即第四子像素、第八子像素和第十二子像素不发光。这样,在显示灰阶画面时每个像素单元内仅有两个子像素发光,在显示多彩画面时,每个像素单元内仅有三个子像素发光,可以节省电能。

[0101] 例如,本公开的实施例提供的像素排列结构使用四色像素显示,能够保证各种画面像素配比均衡及色域的宽广。

[0102] 本公开的实施例还提供一种显示面板1,如图3所示,显示面板1包括本公开任一实施例提供的像素排列结构。

[0103] 例如,以显示面板1包括m行n列像素进行说明,如图3所示,显示面板1包括第一子像素110、第二子像素120、第三子像素130、第四子像素140、五子像素210、第六子像素220、第七子像素230、第八子像素240、第九子像素310、第十子像素320、第十一子像素330、第十二子像素340……。第一子像素110、第二子像素120、第三子像素130、第四子像素140、五子像素210、第六子像素220、第七子像素230和第八子像素240位于显示面板1的第一行,第九子像素310、第十子像素320、第十一子像素330和第十二子像素340位于显示面板1的第二行。

[0104] 例如,由于像素排列结构会造成图3所述的显示面板1中的偶数行接近显示面板边缘处形成空隙,为了填补该空隙,还可以进一步根据实际情况在显示面板1的边缘补充子像素。

[0105] 例如,如图4所示,在第二行的左侧边缘补充第二补充子像素320',在第二行右侧边缘补充第一补充子像素310'、第三补充子像素330'和第四补充子像素340',对其它空隙也进行类似处理。这样,可以充分利用显示面板的面积,保证子像素分布均匀,减小或避免显示面板边缘空隙对显示效果的影响。

[0106] 例如,在填补补充子像素这一示例中,还可对像素进行重新划分,如图4所示,第一行像素从左到右分别为P11,P12,……,P1n;第一列像素从上到下分别为P11,P21,……,Pm1。

[0107] 例如,图5是本公开实施例提供的一种像素电路的示意图之一。如图5所示,本公开的实施例还提供一种像素电路500,包括:第一发光电路502,用于在工作时发光;第一驱动电路504,用于驱动第一发光电路502;第一补偿电路506,用于补偿第一驱动电路504;第一数据写入电路508,用于向第一驱动电路504写入数据;第一复位电路510,用于将第一驱动电路504复位;第一存储电路512,用于存储第一驱动电路504的驱动电压;第一初始化电路514,用于将第一发光电路502初始化;第一发光控制电路516,用于控制第一发光电路502的工作和关断,例如,第一发光控制电路516包括第一部分516A和第二部分516B;第一电源端ELVDD,用于向第一发光电路502提供第一发光电压 V_{elvdd} ;第二电源端ELVSS,用于向第一发光电路502提供第二发光电压 V_{elvss} ;第三电源端 V_x ,用于向第一复位电路510提供复位电压 V_{vx} ;第一数据信号端Data1,用于向第一数据写入电路508提供第一数据信号或待机信号;第一控制端 S_{n-1} ,用于提供控制第一复位电路510工作和关断的第一控制信号;第二控制端 S_n ,用于提供控制第一数据写入电路508和第一补偿电路506工作和关断的第二控制信号;第三控制端 S_{n+1} ,用于提供控制第一初始化电路514工作和关断的第三控制信号;以及

第四控制端En,用于提供控制第一发光控制电路516工作和关断的第四控制信号。

[0108] 例如,图6是本公开实施例提供的一种像素电路的示意图之二,图6是图5中所示像素电路的一种具体实施方式。如图5和图6所示,在本公开实施例提供的像素电路500中,第一数据写入电路508包括第一晶体管T1,第一发光控制电路516包括第二晶体管T2和第五晶体管T5,例如,第一发光控制电路516的第一部分516A包括第二晶体管T2,第一发光控制电路516的第二部分516B包括第五晶体管T5,第一补偿电路506包括第三晶体管T3,第一驱动电路504包括第四晶体管T4,第一复位电路510包括第六晶体管T6,第一初始化电路514包括第七晶体管T7,第一存储电路512包括第一存储电容C1,第一发光电路502包括第一有机发光二极管OLED1。

[0109] 例如,如图6所示,第三晶体管T3包括串联的第一子晶体管和第二子晶体管,第一子晶体管的源极作为第三晶体管T3的源极,第一子晶体管的漏极与第二子晶体管的源极电连接,第二子晶体管的漏极作为第三晶体管T3的漏极,第一子晶体管的栅极和第二子晶体管的栅极电连接共同作为第三晶体管T3的栅极。需要说明的是,本公开的实施例包括但不限于第三晶体管T3的这种组成方式,第三晶体管T3也可以仅包括一个晶体管,或者可以为双栅晶体管。

[0110] 例如,如图6所示,在本公开实施例提供的像素电路500中,第一晶体管T1的源极与第一数据信号端Data1电连接,第一晶体管T1的栅极、第三晶体管T3的栅极和第二控制端Sn电连接,第一晶体管T1的漏极、第二晶体管T2的漏极、第三晶体管T3的源极和第四晶体管T4的源极电连接;第二晶体管T2的栅极、第五晶体管T5的栅极和第四控制端En电连接,第二晶体管T2的源极、第一存储电容C1的第一端和第一电源端ELVDD电连接;第三晶体管T3的漏极和第一节点N1电连接;第四晶体管T4的栅极和第一节点N1电连接,第四晶体管T4的漏极和第五晶体管T5的源极电连接;第五晶体管T5的漏极、第七晶体管T7的漏极和第一有机发光二极管OLED1的第一端电连接;第六晶体管T6的源极、第七晶体管T7的源极和第三电源端Vx电连接,第六晶体管T6的栅极和第一控制端Sn-1电连接,第六晶体管T6的漏极和第一节点N1电连接;第七晶体管T7的栅极和第三控制端Sn+1电连接;第一存储电容C1的第二端和第一节点N1电连接;第一有机发光二极管OLED1的第二端和第二电源端ELVSS电连接。

[0111] 例如,第一有机发光二极管OLED1在工作时发出蓝色的光或黄色的光。

[0112] 例如,在本公开实施例提供的像素电路500中,第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6以及第七晶体管T7均为薄膜晶体管。

[0113] 例如,在本公开实施例提供的像素电路500中,第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6以及第七晶体管T7均为P型晶体管。

[0114] 需要说明的是,本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件。这里采用的晶体管的源极、漏极在结构上可以是对称的,所以其源极、漏极在物理结构上可以是没有区别的。在本公开的实施例中,为了区分晶体管除栅极之外的两极,直接描述了其中一极为源极,另一极为漏极,所以本公开实施例中全部或部分晶体管的源极和漏极根据需要是可以互换的。此外,按照晶体管的特性区分可以将晶体管分为N型和P型晶体管。基于本公开对P型晶体管实现方式的描述和教导,本领域普通技术人员在没有做出创造性劳动前提下能够容易想到本公开实施例采用N型晶体管的实现

方式,因此,这些实现方式也是在本公开的保护范围内的。

[0115] 本公开的实施例还提供一种如图6所示像素电路的驱动方法,该驱动方法包括:复位阶段、补偿阶段、初始化阶段和发光阶段。在复位阶段,第一控制端Sn-1输出有效信号,第二控制端Sn输出无效信号,第三控制端Sn+1输出无效信号,第四控制端En输出无效信号,第一数据信号端Data1输出待机信号;在补偿阶段,第一控制端Sn-1输出无效信号,第二控制端Sn输出有效信号,第三控制端Sn+1输出无效信号,第四控制端En输出无效信号,第一数据信号端Data1输出第一数据信号;在初始化阶段,第一控制端Sn-1输出无效信号,第二控制端Sn输出无效信号,第三控制端Sn+1输出有效信号,第四控制端En输出无效信号,第一数据信号端Data1输出第一数据信号;在发光阶段,第一控制端Sn-1输出无效信号,第二控制端Sn输出无效信号,第三控制端Sn+1输出无效信号,第四控制端En输出有效信号,第一数据信号端Data1输出第一数据信号。

[0116] 例如,本公开实施例提供的驱动方法,还可以包括:预复位阶段和预发光阶段。预复位阶段在发光阶段之后和复位阶段之前,预发光阶段在初始化阶段之后和发光阶段之前,在预复位阶段,第一控制端Sn-1输出无效信号,第二控制端Sn输出无效信号,第三控制端Sn+1输出无效信号,第四控制端En输出无效信号,第一数据信号端Data1输出待机信号;在预发光阶段,第一控制端Sn-1输出无效信号,第二控制端Sn输出无效信号,第三控制端Sn+1输出无效信号,第四控制端En输出无效信号,第一数据信号端Data1输出第一数据信号。

[0117] 需要说明的是,本公开实施例中所述的有效信号(或使能信号)是指能使相应电路或晶体管开启的信号,无效信号是指能使相应电路或晶体管关闭的信号,第一数据信号是指包含着第一发光电路或第一有机发光二极管发光亮度信息的信号(例如低电平信号),待机信号是指使第一发光电路或第一有机发光二极管不发光的信号(例如高电平信号)。例如,当晶体管为P型晶体管时,有效信号是指低电平信号,无效信号是指高电平信号,低电平信号和高电平信号的具体电压值可根据晶体管的属性进行相应设置。以下,本公开的实施例以第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6以及第七晶体管T7均为P型晶体管为例进行说明。

[0118] 例如,图7是本公开实施例提供的如图6所示的像素电路的驱动时序图。本公开的实施例还提供一种如图6所示像素电路的驱动方法,包括:预复位阶段t1、复位阶段t2、补偿阶段t3、初始化阶段t4、预发光阶段t5和发光阶段t6。

[0119] 例如,在预复位阶段t1,第一控制端Sn-1输出高电平信号,第二控制端Sn输出高电平信号,第三控制端Sn+1输出高电平信号,第四控制端En输出高电平信号,第一数据信号端Data1输出高电平信号。

[0120] 例如,图8A是本公开实施例提供的如图6所示的像素电路被如图7所示的驱动时序驱动时在预复位阶段t1的导通状态示意图。在预复位阶段t1,第一晶体管T1、第二晶体管T2、第三晶体管T3、第五晶体管T5、第六晶体管T6和第七晶体管T7均处于关闭状态,像素电路中没有形成通路;第四晶体管T4的导通状态与第一节点N1的电压有关。例如,预复位阶段可以给像素电路提供一个稳定的时间,使各电路元件的电压和电流状态稳定,防止电路异常情况发生。

[0121] 例如,在复位阶段t2,第一控制端Sn-1输出低电平信号,第二控制端Sn输出高电平信号,第三控制端Sn+1输出高电平信号,第四控制端En输出高电平信号,第一数据信号端

Data1输出高电平信号。

[0122] 图8B是本公开实施例提供的如图6所示的像素电路被如图7所示的驱动时序驱动时在复位阶段t2的导通状态示意图。在复位阶段t2,第一晶体管T1、第二晶体管T2、第三晶体管T3、第五晶体管T5和第七晶体管T7均处于关闭状态;由于第一控制端Sn-1输出低电平信号,第六晶体管T6导通,第一节点N1的电压为第三电源端Vx提供的复位电压Vvx,复位电压Vvx例如为能使P型晶体管开启的低电平电压,又例如,复位电压Vvx为负电压;此时,由于第一节点N1的电压为低电平的复位电压Vvx,第四晶体管T4开启但不会形成通路。这样就实现了通过第六晶体管T6将第四晶体管T4复位,即第一复位电路将第一驱动电路复位。例如,经过复位阶段可以增加第一节点N1和第一数据信号Vdata1之间的电压差,减小了在补偿阶段t3中,对第一存储电容C1的充电时间。

[0123] 例如,在补偿阶段t3,第一控制端Sn-1输出高电平信号,第二控制端Sn输出低电平信号,第三控制端Sn+1输出高电平信号,第四控制端En输出高电平信号,第一数据信号端Data1输出第一数据信号Vdata1(例如低电平信号)。

[0124] 图8C是本公开实施例提供的如图6所示的像素电路被如图7所示的驱动时序驱动时在补偿阶段t3的导通状态示意图。在补偿阶段t3,第二晶体管T2、第五晶体管T5、第六晶体管T6和第七晶体管T7均处于关闭状态;由于第二控制端Sn输出低电平信号,第一晶体管T1和第三晶体管T3导通,第一数据信号端Data1输出的第一数据信号Vdata1通过第一晶体管T1和第三晶体管T3传输到第一节点N1,对第一存储电容C1充电完成后,第一节点N1的电压为Vdata1+Vth1(Vth1为第一晶体管T1和第三晶体管T3的总压降),也就是说第一数据写入电路向第一驱动电路写入了数据,第一补偿电路对第一驱动电路进行了补偿,此时,第四晶体管T4开启但不会形成通路。

[0125] 例如,在初始化阶段t4,第一控制端Sn-1输出高电平信号,第二控制端Sn输出高电平信号,第三控制端Sn+1输出低电平信号,第四控制端En输出高电平信号,第一数据信号端Data1输出第一数据信号Vdata1。

[0126] 图8D是本公开实施例提供的如图6所示的像素电路被如图7所示的驱动时序驱动时在初始化阶段t4的导通状态示意图。在初始化阶段t4,第一晶体管T1、第二晶体管T2、第三晶体管T3、第五晶体管T5和第六晶体管T6均处于关闭状态;由于第一存储电容C1存储电压的作用,第四晶体管T4保持和补偿阶段t3一样的开启状态;由于第三控制端Sn+1输出低电平信号,第七晶体管T7导通,第三电源端Vx提供的复位电压Vvx通过第七晶体管T7传输给第一有机发光二极管OLED1的第一端(第一端例如为阳极),即第四初始化电路将第四发光电路初始化。例如,复位电压Vvx小于或等于第二电源端ELVSS提供的第二发光电压Velvss,这样,经过初始化可以防止OLED的异常发光,例如可以防止OLED在非发光阶段的微亮发光。例如,在驱动过程中,对有机发光二极管进行初始化放电,保证了低灰阶的准确性及全暗态画面下的全黑,可以有效改善整个显示面板的对比度。

[0127] 例如,在预发光阶段t5,第一控制端Sn-1输出高电平信号,第二控制端Sn输出高电平信号,第三控制端Sn+1输出高电平信号,第四控制端En输出高电平信号,第一数据信号端Data1输出第一数据信号Vdata1。

[0128] 图8E是本公开实施例提供的如图6所示的像素电路被如图7所示的驱动时序驱动时在预发光阶段t5的导通状态示意图。在预发光阶段t5,第一晶体管T1、第二晶体管T2、第

三晶体管T3、第五晶体管T5、第六晶体管T6和第七晶体管T7均处于关闭状态,像素电路中没有形成通路;由于第一存储电容C1存储电压的作用,第四晶体管T4保持和初始化阶段t4一样的开启状态。例如,预发光阶段可以给像素电路提供一个稳定的时间,使各电路元件的电压和电流状态稳定,防止电路异常情况发生。

[0129] 例如,在发光阶段t6,第一控制端Sn-1输出高电平信号,第二控制端Sn输出高电平信号,第三控制端Sn+1输出高电平信号,第四控制端En输出低电平信号,第一数据信号端Data1输出第一数据信号Vdata1。

[0130] 图8F是本公开实施例提供的如图6所示的像素电路被如图7所示的驱动时序驱动时在发光阶段t6的导通状态示意图。在发光阶段t6,第一晶体管T1、第三晶体管T3、第六晶体管T6和第七晶体管T7均处于关闭状态;由于第一存储电容C1存储电压的作用,第四晶体管T4保持和预发光阶段t5一样的开启状态;由于第四控制端En输出低电平信号,第二晶体管T2和第五晶体管T5处于开启状态,第一电源端ELVDD、第二晶体管T2、第四晶体管T4、第五晶体管T5、第一有机发光二极管OLED1和第二电源端ELVSS形成通路,第一有机发光二极管OLED1在第一电源端ELVDD提供的第一发光电压Velvdd和第二电源端ELVSS提供的第二发光电压Velvss的作用下,并在第四晶体管T4的驱动下发光,即第一发光控制电路控制第一发光电路的工作,第一电源端向第一发光电路提供第一发光电压,第二电源端向第一发光电路提供第二发光电压,第一驱动电路驱动第一发光电路,第一发光电路在工作时发光。

[0131] 需要说明的是,如图6所示像素电路的驱动方法可以仅包括复位阶段t2、补偿阶段t3、初始化阶段t4和发光阶段t6,而不包括预复位阶段t1和预发光阶段t5,或者包括预复位阶段t1和预发光阶段t5中的一个,在此不做限定。

[0132] 例如,图9是本公开实施例提供的又一种像素电路的示意图之一。如图9所示,本公开的实施例还提供一种像素电路600,包括:第二发光电路602,用于在工作时发光;第二驱动电路604,用于驱动第二发光电路602;第二补偿电路606,用于补偿第二驱动电路604;第二数据写入电路608,用于向第二驱动电路604写入数据;第二复位电路610,用于将第二驱动电路604复位;第二存储电路612,用于存储第二驱动电路604的驱动电压;第二初始化电路614,用于将第二发光电路602初始化;第二发光控制电路616,用于控制第二发光电路602的工作和关断,例如,第二发光控制电路616包括第一部分616A和第二部分616B;选通电路618,用于将第二数据信号或第三数据信号传输给第二数据写入电路608;第一电源端ELVDD,用于向第二发光电路602提供第一发光电压Velvdd;第二电源端ELVSS,用于向第二发光电路602提供第二发光电压Velvss;第三电源端Vx,用于向第二复位电路610提供复位电压Vvx;第二数据信号端Data2,用于向第二数据写入电路608提供第二数据信号或待机信号;第三数据信号端Data3,用于向第二数据写入电路608提供第三数据信号或待机信号;第一控制端Sn-1,用于提供控制第二复位电路610工作和关断的第一控制信号;第二控制端Sn,用于提供控制第二数据写入电路608和第二补偿电路606工作和关断的第二控制信号;第三控制端Sn+1,用于提供控制第二初始化电路614工作和关断的第三控制信号;以及第四控制端En,用于提供控制第二发光控制电路616工作和关断的第四控制信号。

[0133] 例如,图10是本公开实施例提供的又一种像素电路的示意图之二,图10是图9中所示像素电路的一种具体实施方式。如图9和图10所示,在本公开实施例提供的像素电路600中,第二数据写入电路608包括第八晶体管T8,第二发光控制电路616包括第九晶体管T9和

第十二晶体管T12,例如,第二发光控制电路616的第一部分616A包括第九晶体管T9,第二发光控制电路616的第二部分616B包括第十二晶体管T12,第二补偿电路606包括第十晶体管T10,第二驱动电路604包括第十一晶体管T11,第二复位电路610包括第十三晶体管T13,第二初始化电路614包括第十四晶体管T14,第二存储电路612包括第二存储电容C2,第二发光电路602包括第二有机发光二极管OLED2、第三有机发光二极管OLED3、第十五晶体管T15和第十六晶体管T16,选通电路618包括第十七晶体管T17和第十八晶体管T18。

[0134] 例如,如图10所示,第十晶体管T10包括第三子晶体管和第四子晶体管,第三子晶体管的源极作为第十晶体管T10的源极,第三子晶体管的漏极与第四子晶体管的源极电连接,第四子晶体管的漏极作为第十晶体管T10的漏极,第三子晶体管的栅极和第四子晶体管的栅极电连接共同作为第十晶体管T10的栅极。需要说明的是,本公开的实施例包括但不限于第十晶体管T10的这种组成方式,第十晶体管T10也可以仅包括一个晶体管,或者例如为双栅晶体管。

[0135] 例如,如图10所示,在本公开实施例提供的像素电路600中,第八晶体管T8的源极、第十七晶体管T17的漏极和第十八晶体管T18的漏极电连接,第八晶体管T8的栅极、第十晶体管T10的栅极和第二控制端Sn电连接,第八晶体管T8的漏极、第九晶体管T9的漏极、第十晶体管T10的源极和第十一晶体管T11的源极电连接;第九晶体管T9的栅极、第十二晶体管T12的栅极和第四控制端En电连接,第九晶体管T9的源极、第二存储电容C2的第一端和第一电源端ELVDD电连接;第十晶体管T10的漏极和第二节点N2电连接;第十一晶体管T11的栅极和第二节点N2电连接,第十一晶体管T11的漏极和第十二晶体管T12的源极电连接;第十二晶体管T12的漏极、第十四晶体管T14的漏极、第十五晶体管T15的源极、第十六晶体管T16的源极和第三节点电连接;第十三晶体管T13的源极、第十四晶体管T14的源极和第三电源端Vx电连接,第十三晶体管T13的栅极和第一控制端Sn-1电连接,第十三晶体管T13的漏极和第二节点N2电连接;第十四晶体管T14的栅极和第三控制端Sn+1电连接;第十五晶体管T15的栅极和第二数据信号端Data2电连接,第十五晶体管T15的漏极和第二有机发光二极管OLED2的第一端电连接;第十六晶体管T16的栅极和第三数据信号端Data3电连接,第十六晶体管T16的漏极和第三有机发光二极管OLED3的第一端电连接;第十七晶体管T17的源极和第二数据信号端Data2电连接,第十七晶体管T17的栅极和第三数据信号端Data3电连接;第十八晶体管T18的源极和第三数据信号端Data3电连接,第十八晶体管T18的栅极和第二数据信号端Data2电连接;第二存储电容C2的第二端和第二节点N2电连接;第二有机发光二极管OLED2的第二端、第三有机发光二极管OLED3的第二端和第二电源端ELVSS电连接。

[0136] 例如,在本公开实施例提供的像素电路600中,第八晶体管T8、第九晶体管T9、第十晶体管T10、第十一晶体管T11、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14、第十五晶体管T15、第十六晶体管T16、第十七晶体管T17和第十八晶体管T18均为薄膜晶体管。

[0137] 例如,在本公开实施例提供的像素电路600中,第八晶体管T8、第九晶体管T9、第十晶体管T10、第十一晶体管T11、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14、第十五晶体管T15和第十六晶体管T16均为P型晶体管,第十七晶体管T17和第十八晶体管T18均为N型晶体管。

[0138] 例如,像素电路600同时控制第二有机发光二极管OLED2和第三有机发光二极管OLED3,由此整体上节省了像素电路的数量,进而减小了像素电路占用的面积,提高了显示

面板的分辨率。

[0139] 例如,在像素电路600工作时,可以是第二有机发光二极管OLED2单独发光,也可以是第三有机发光二极管OLED3单独发光。

[0140] 本公开的实施例还提供一种如图10所示像素电路的驱动方法,该驱动方法包括:复位阶段、补偿阶段、初始化阶段和发光阶段。在复位阶段,第一控制端Sn-1输出有效信号,第二控制端Sn输出无效信号,第三控制端Sn+1输出无效信号,第四控制端En输出无效信号,第二数据信号端Data2输出待机信号,第三数据信号端Data3输出待机信号;在补偿阶段,第一控制端Sn-1输出无效信号,第二控制端Sn输出有效信号,第三控制端Sn+1输出无效信号,第四控制端En输出无效信号,第二数据信号端Data2输出第二数据信号,第三数据信号端Data3输出待机信号;在初始化阶段,第一控制端Sn-1输出无效信号,第二控制端Sn输出无效信号,第三控制端Sn+1输出有效信号,第四控制端En输出无效信号,第二数据信号端Data2输出第二数据信号,第三数据信号端Data3输出待机信号;在发光阶段,第一控制端Sn-1输出无效信号,第二控制端Sn输出无效信号,第三控制端Sn+1输出无效信号,第四控制端En输出有效信号,第二数据信号端Data2输出第二数据信号,第三数据信号端Data3输出待机信号;这种情形下第二有机发光二极管OLED2单独发光。

[0141] 或者,在复位阶段,第一控制端Sn-1输出有效信号,第二控制端Sn输出无效信号,第三控制端Sn+1输出无效信号,第四控制端En输出无效信号,第二数据信号端Data2输出待机信号,第三数据信号端Data3输出待机信号;在补偿阶段,第一控制端Sn-1输出无效信号,第二控制端Sn输出有效信号,第三控制端Sn+1输出无效信号,第四控制端En输出无效信号,第二数据信号端Data2输出待机信号,第三数据信号端Data3输出第三数据信号;在初始化阶段,第一控制端Sn-1输出无效信号,第二控制端Sn输出无效信号,第三控制端Sn+1输出有效信号,第四控制端En输出无效信号,第二数据信号端Data2输出待机信号,第三数据信号端Data3输出第三数据信号;在发光阶段,第一控制端Sn-1输出无效信号,第二控制端Sn输出无效信号,第三控制端Sn+1输出无效信号,第四控制端En输出有效信号,第二数据信号端Data2输出待机信号,第三数据信号端Data3输出第三数据信号;这种情形下第三有机发光二极管OLED3单独发光。

[0142] 例如,本公开实施例提供的驱动方法,还可以包括:预复位阶段和预发光阶段。预复位阶段在发光阶段之后和复位阶段之前,预发光阶段在初始化阶段之后和发光阶段之前,在预复位阶段,第一控制端Sn-1输出无效信号,第二控制端Sn输出无效信号,第三控制端Sn+1输出无效信号,第四控制端En输出无效信号,第二数据信号端Data2输出待机信号,第三数据信号端Data3输出待机信号;在预发光阶段,第一控制端Sn-1输出无效信号,第二控制端Sn输出无效信号,第三控制端Sn+1输出无效信号,第四控制端En输出无效信号,第二数据信号端Data2输出第二数据信号,第三数据信号端Data3输出待机信号;或者,第二数据信号端Data2输出待机信号,第三数据信号端Data3输出第三数据信号。

[0143] 例如,在本公开实施例提供的驱动方法中,在补偿阶段、初始化阶段、预发光阶段和发光阶段,当第二数据信号端Data2输出第二数据信号,第三数据信号端Data3输出待机信号时,第二有机发光二极管OLED2单独发光,第二数据信号用于控制第二有机发光二极管OLED2的发光亮度;当第二数据信号端Data2输出待机信号,第三数据信号端Data3输出第三数据信号时,第三有机发光二极管OLED3单独发光,第三数据信号用于控制第三有机发光二

极管OLED3的发光亮度。

[0144] 例如,第二有机发光二极管OLED2在工作时发出红色的光,第三有机发光二极管OLED3在工作时发出绿色的光。

[0145] 需要说明的是,本公开实施例中所述的有效信号是指能使相应电路或晶体管开启的信号,无效信号是指能使相应电路或晶体管关闭的信号,第一数据信号、第二数据信号是指包含着相应发光电路或有机发光二极管发光亮度信息的信号(例如低电平信号),待机信号是指能使相应发光电路或有机发光二极管不发光的信号(例如高电平信号)。例如,当晶体管为P型晶体管时,有效信号是指低电平信号,无效信号是指高电平信号,低电平信号和高电平信号的具体电压值可根据晶体管的属性进行相应设置。以下,本公开的实施例以第八晶体管T8、第九晶体管T9、第十晶体管T10、第十一晶体管T11、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14、第十五晶体管T15和第十六晶体管T16均为P型晶体管,第十七晶体管T17和第十八晶体管T18均为N型晶体管,第二有机发光二极管单独发光为例进行说明。

[0146] 例如,图11是本公开实施例提供的如图10所示的像素电路的驱动时序图。本公开的实施例还提供一种如图10所示像素电路的驱动方法,包括:预复位阶段t1、复位阶段t2、补偿阶段t3、初始化阶段t4、预发光阶段t5和发光阶段t6。

[0147] 例如,在预复位阶段t1,第一控制端Sn-1输出高电平信号,第二控制端Sn输出高电平信号,第三控制端Sn+1输出高电平信号,第四控制端En输出高电平信号,第二数据信号端Data2输出高电平信号,第三数据信号端Data3输出高电平信号。

[0148] 例如,图12A是本公开实施例提供的如图10所示的像素电路被如图11所示的驱动时序驱动时在预复位阶段t1的导通状态示意图。在预复位阶段t1,第八晶体管T8、第九晶体管T9、第十晶体管T10、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14、第十五晶体管T15和第十六晶体管T16均处于关闭状态,第十七晶体管T17(N型晶体管)和第十八晶体管T18(N型晶体管)导通;第十一晶体管T11的导通状态与第二节点N2的电压有关。例如,预复位阶段可以给像素电路提供一个稳定的时间,使各电路元件的电压和电流状态稳定,防止电路异常情况发生。

[0149] 例如,在复位阶段t2,第一控制端Sn-1输出低电平信号,第二控制端Sn输出高电平信号,第三控制端Sn+1输出高电平信号,第四控制端En输出高电平信号,第二数据信号端Data2输出高电平信号,第三数据信号端Data3输出高电平信号。

[0150] 图12B是本公开实施例提供的如图10所示的像素电路被如图11所示的驱动时序驱动时在复位阶段t2的导通状态示意图。在复位阶段t2,第八晶体管T8、第九晶体管T9、第十晶体管T10、第十二晶体管T12、第十四晶体管T14、第十五晶体管T15和第十六晶体管T16均处于关闭状态,第十七晶体管T17和第十八晶体管T18导通;由于第一控制端Sn-1输出低电平信号,第十三晶体管T13导通,第二节点N2的电压为第三电源端Vx提供的复位电压Vvx,复位电压Vvx例如为能使P型晶体管开启的低电平电压,又例如,复位电压Vvx为负电压;此时,由于第二节点N2的电压为低电平的复位电压Vvx,第十一晶体管T11开启但不会形成通路。这样就实现了通过第十三晶体管T13将第十一晶体管T11复位,即第二复位电路将第二驱动电路复位。例如,经过复位阶段可以增加第二节点N2和第二数据信号Vdata2之间的电压差,减小了在补偿阶段t3中,对第二存储电容C2的充电时间。

[0151] 例如,在补偿阶段 t_3 ,第一控制端 S_{n-1} 输出高电平信号,第二控制端 S_n 输出低电平信号,第三控制端 S_{n+1} 输出高电平信号,第四控制端 E_n 输出高电平信号,第二数据信号端Data2输出第二数据信号Vdata2(例如低电平信号),第三数据信号端Data3输出高电平信号。

[0152] 图12C是本公开实施例提供的如图10所示的像素电路被如图11所示的驱动时序驱动时在补偿阶段 t_3 的导通状态示意图。在补偿阶段 t_3 ,第九晶体管T9、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14、第十六晶体管T16和第十八晶体管T18均处于关闭状态;由于第二数据信号端Data2输出第二数据信号Vdata2(例如低电平信号),第十五晶体管T15导通;由于第三数据信号端Data3输出高电平信号,第十七晶体管T17导通;由于第二控制端 S_n 输出低电平信号,第八晶体管T8和第十晶体管T10导通。第二数据信号端Data2输出的第二数据信号Vdata2通过第十七晶体管T17、第八晶体管T8和第十晶体管T10传输到第二节点N2,对第二存储电容C2充电完成后,第二节点N2的电压为 $V_{data1}+V_{th2}$ (V_{th2} 为第十七晶体管T17、第八晶体管T8和第十晶体管T10的总压降)。也就是说,选通电路将第二数据信号传输给第二数据写入电路,第二数据写入电路向第二驱动电路写入了数据,第二补偿电路对第二驱动电路进行了补偿,此时,第十一晶体管T11开启但不会形成通路。

[0153] 例如,在初始化阶段 t_4 ,第一控制端 S_{n-1} 输出高电平信号,第二控制端 S_n 输出高电平信号,第三控制端 S_{n+1} 输出低电平信号,第四控制端 E_n 输出高电平信号,第二数据信号端Data2输出第二数据信号Vdata2(例如低电平信号),第三数据信号端Data3输出高电平信号。

[0154] 图12D是本公开实施例提供的如图10所示的像素电路被如图11所示的驱动时序驱动时在初始化阶段 t_4 的导通状态示意图。在初始化阶段 t_4 ,第八晶体管T8、第九晶体管T9、第十晶体管T10、第十二晶体管T12、第十三晶体管T13、第十六晶体管T16和第十八晶体管T18均处于关闭状态;由于第二存储电容C2存储电压的作用,第十一晶体管T11保持和补偿阶段 t_3 一样的开启状态;由于第二数据信号端Data2输出第二数据信号Vdata2(例如低电平信号),第十五晶体管T15导通;由于第三数据信号端Data3输出高电平信号,第十七晶体管T17导通;由于第三控制端 S_{n+1} 输出低电平信号,第十四晶体管T14导通,第三电源端 V_x 提供的复位电压 V_{vx} 通过第十四晶体管T14传输到第十五晶体管T15源极和第十六晶体管T16的源极,即第二初始化电路将第二发光电路初始化。例如,复位电压 V_{vx} 小于或等于第二电源端ELVSS提供的第二发光电压 V_{elvss} ,这样,经过初始化可以防止OLED的异常发光,例如可以防止OLED在非发光阶段的微亮发光。例如,对有机发光二极管进行初始化放电,保证了低灰阶的准确性及全暗态画面下的全黑,可以有效改善整个显示面板的对比度。

[0155] 例如,在预发光阶段 t_5 ,第一控制端 S_{n-1} 输出高电平信号,第二控制端 S_n 输出高电平信号,第三控制端 S_{n+1} 输出高电平信号,第四控制端 E_n 输出高电平信号,第二数据信号端Data2输出第二数据信号Vdata2,第三数据信号端Data3输出高电平信号。

[0156] 图12E是本公开实施例提供的如图10所示的像素电路被如图11所示的驱动时序驱动时在预发光阶段 t_5 的导通状态示意图。在预发光阶段 t_5 ,第八晶体管T8、第九晶体管T9、第十晶体管T10、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14、第十六晶体管T16和第十八晶体管T18均处于关闭状态,第十五晶体管T15和第十七晶体管T17开启;由于第二存储电容C2存储电压的作用,第十一晶体管T11保持和初始化阶段 t_4 一样的开启状态。例

如,预发光阶段可以给像素电路提供一个稳定的时间,使各电路元件的电压和电流状态稳定,防止电路异常情况发生。

[0157] 例如,在发光阶段 t_6 ,第一控制端 S_{n-1} 输出高电平信号,第二控制端 S_n 输出高电平信号,第三控制端 S_{n+1} 输出高电平信号,第四控制端 E_n 输出低电平信号,第二数据信号端 $Data_2$ 输出第二数据信号 V_{data2} ,第三数据信号端 $Data_3$ 输出高电平信号。

[0158] 图12F是本公开实施例提供的如图10所示的像素电路被如图11所示的驱动时序驱动时在发光阶段 t_6 的导通状态示意图。在发光阶段 t_6 ,第八晶体管 T_8 、第十晶体管 T_{10} 、第十三晶体管 T_{13} 、第十四晶体管 T_{14} 、第十六晶体管 T_{16} 和第十八晶体管 T_{18} 均处于关闭状态,第十五晶体管 T_{15} 和第十七晶体管 T_{17} 开启;由于第二存储电容 C_2 存储电压的作用,第十一晶体管 T_{11} 保持和预发光阶段 t_5 一样的开启状态;由于第四控制端 E_n 输出低电平信号,第九晶体管 T_9 和第十二晶体管 T_{12} 处于开启状态,第一电源端 $ELVDD$ 、第九晶体管 T_9 、第十一晶体管 T_{11} 、第十二晶体管 T_{12} 、第十五晶体管 T_{15} 、第二有机发光二极管 $OLED_2$ 和第二电源端 $ELVSS$ 形成通路,第二有机发光二极管 $OLED_2$ 在第一电源端 $ELVDD$ 提供的第一发光电压 V_{elvdd} 和第二电源端 $ELVSS$ 提供的第二发光电压 V_{elvss} 的作用下,并在第十一晶体管 T_{11} 的驱动下发光,即第二发光控制电路控制第二发光电路的工作,第一电源端向第二发光电路提供第一发光电压,第二电源端向第二发光电路提供第二发光电压,第二驱动电路驱动第二发光电路,第二发光电路在工作时发光。

[0159] 需要说明的是,如图10所示像素电路的驱动方法可以仅包括复位阶段 t_2 、补偿阶段 t_3 、初始化阶段 t_4 和发光阶段 t_6 ,而不包括预复位阶段 t_1 和预发光阶段 t_5 ,或者包括预复位阶段 t_1 和预发光阶段 t_5 中的一个,在此不做限定。

[0160] 例如,第三有机发光二极管 $OLED_3$ 单独发光的情形与上述第二有机发光二极管 $OLED_2$ 单独发光的情形类似,在此不再赘述。

[0161] 本公开的实施例还提供一种驱动方法,包括如图6所示像素电路的驱动方法以及如图10所示像素电路的驱动方法。

[0162] 本公开的实施例还提供一种显示面板,包括本公开前述任一实施例提供的像素电路。

[0163] 例如,本公开实施例提供的显示面板,还可以包括本公开前述任一实施例提供的像素排列结构,这些像素排列结构采用相应的像素电路。

[0164] 例如,如图13所示,显示面板2包括本公开任一实施例提供的像素排列结构10、像素电路500和像素电路600。

[0165] 例如,在显示面板2中,两个像素电路500和一个像素电路600组成一个像素电路组。在一个像素电路组中,其中一个像素电路500中的第一有机发光二极管发出蓝色的光,另一个像素电路500中的第一有机发光二极管发出黄色的光,像素电路600中的第二有机发光二极管发出红色的光,像素电路600中的第三有机发光二极管发出绿色的光。

[0166] 例如,显示面板2中的像素电路500中的 $OLED$ 和像素电路600中的 $OLED$ 用于像素排列结构10中的子像素在工作时发光。

[0167] 例如,本公开实施例提供的显示面板可以用于手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0168] 本公开的实施例提供的像素排列结构、像素电路、显示面板及驱动方法,可以减小

子像素之间的距离,同时减小像素电路占用的面积,进而提高显示面板的分辨率,并可以对有机发光二极管进行初始化放电,保证了低灰阶的准确性及全暗态画面下的全黑,有效改善整个显示面板的对比度。

[0169] 虽然上文中已经用一般性说明及具体实施方式,对本公开作了详尽的描述,但在本公开实施例基础上,可以对之作一些修改或改进,这对本领域技术人员而言是显而易见的。因此,在不偏离本公开精神的基础上所做的这些修改或改进,均属于本公开要求保护的

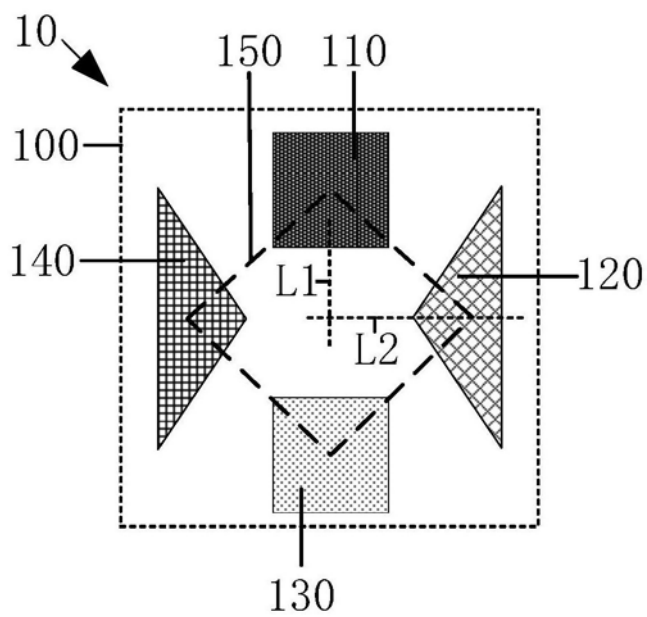


图1

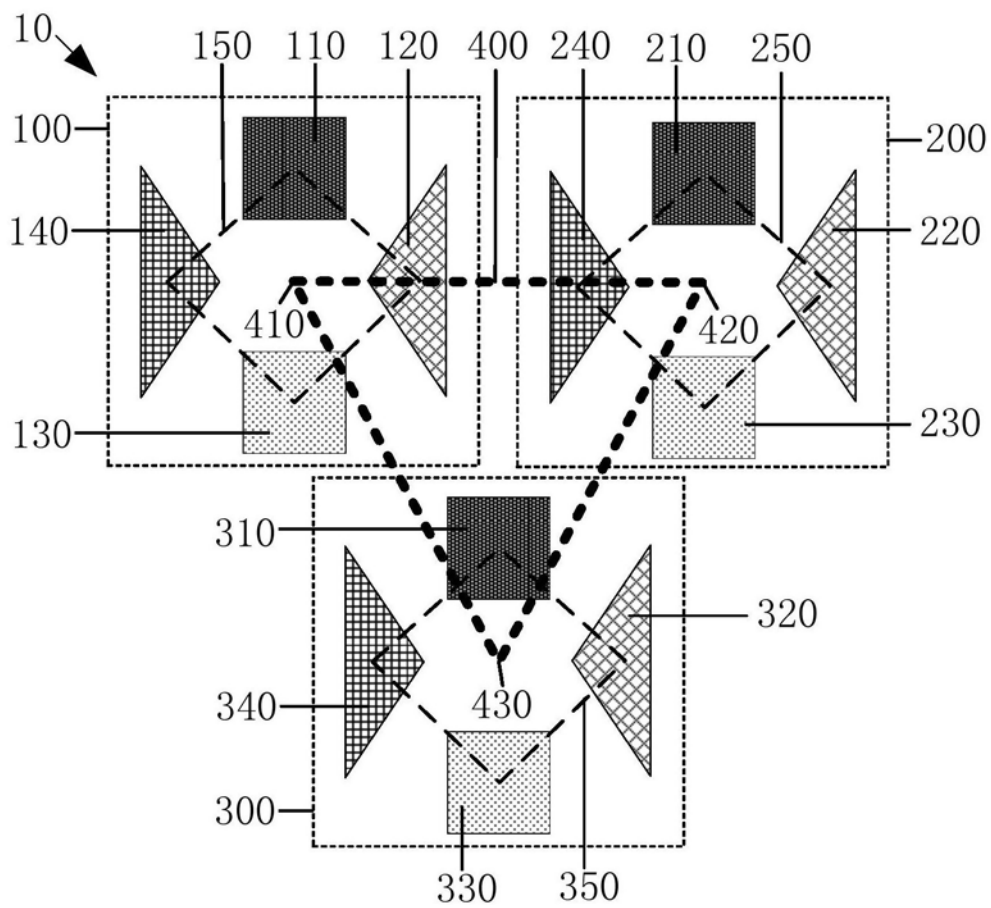


图2

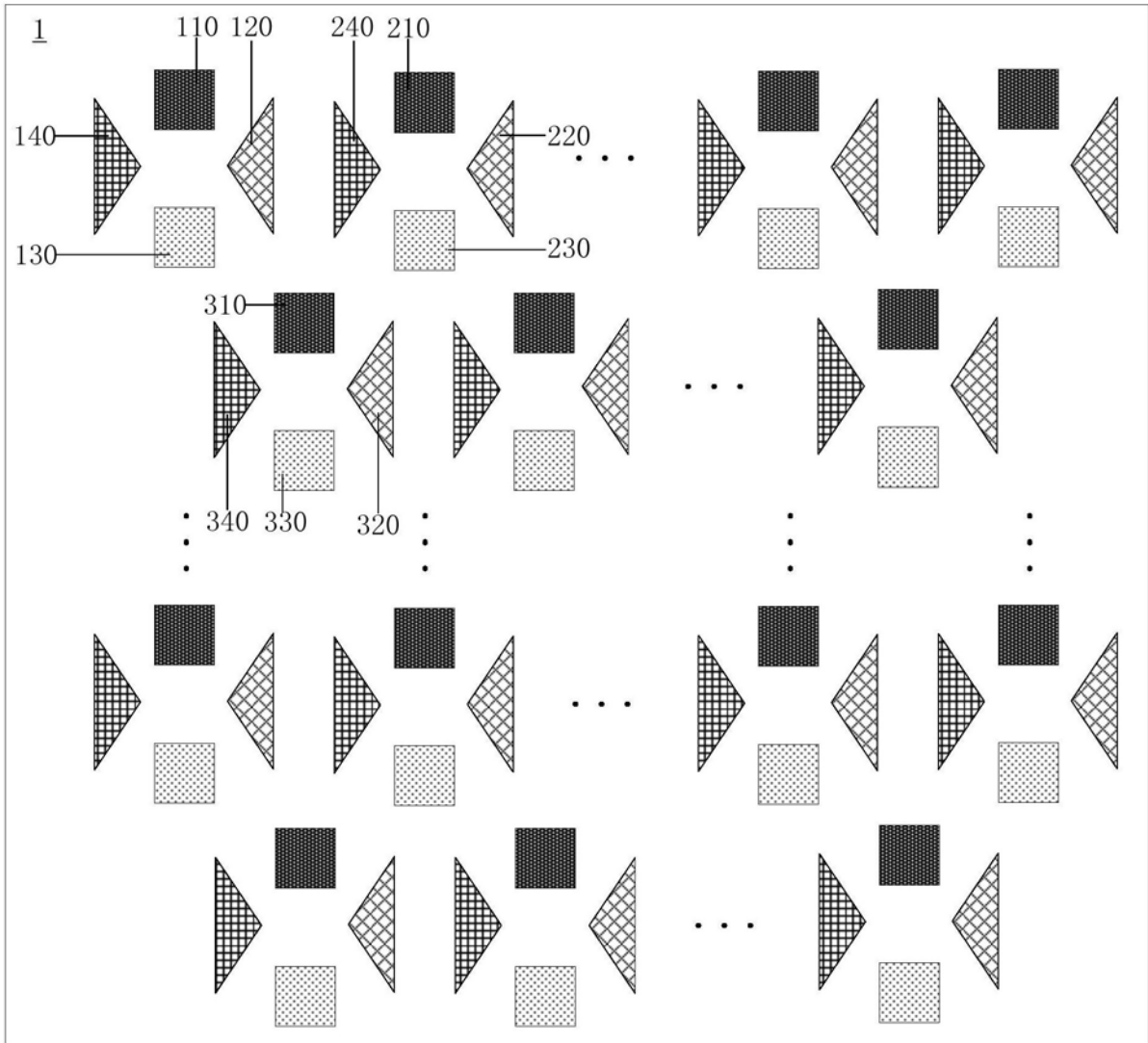


图3

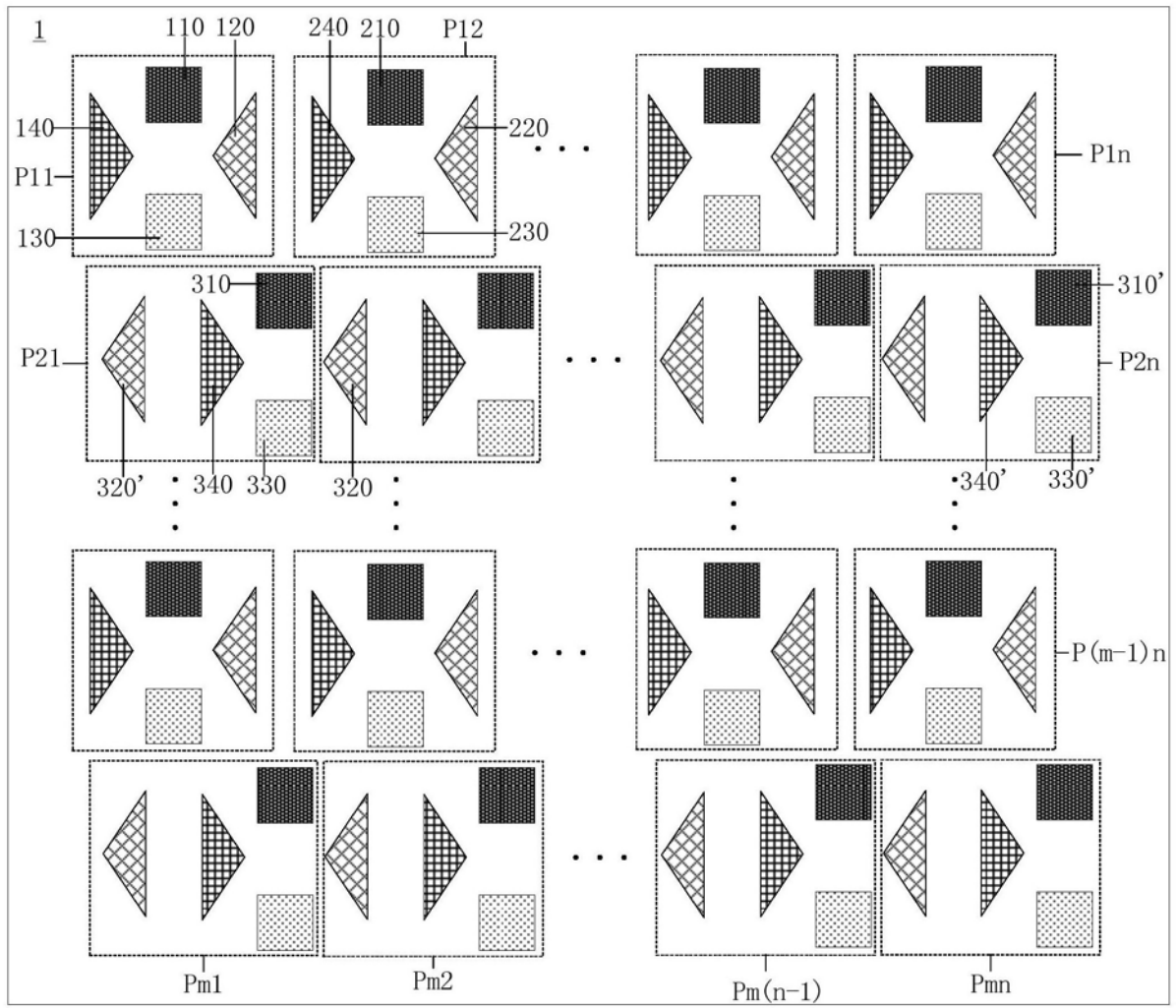


图4

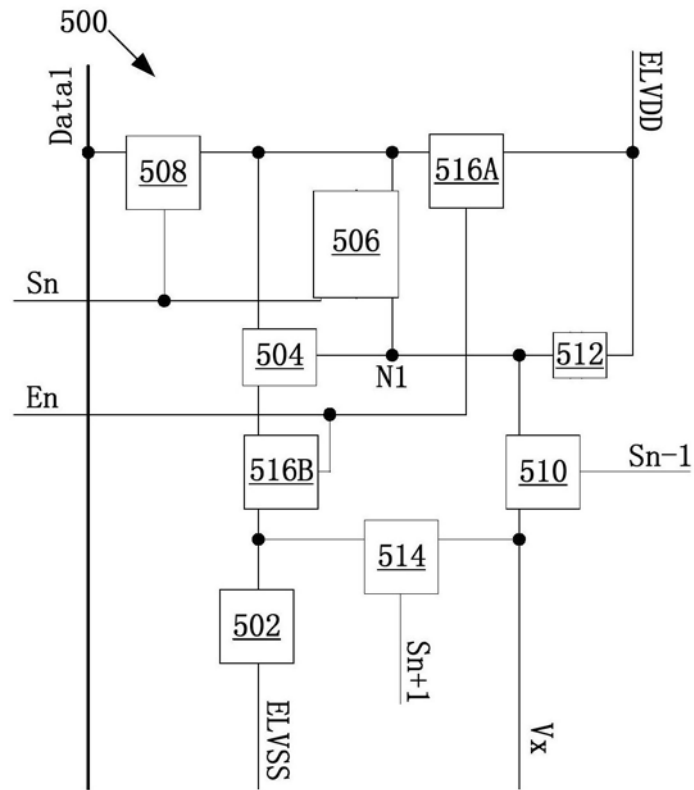


图5

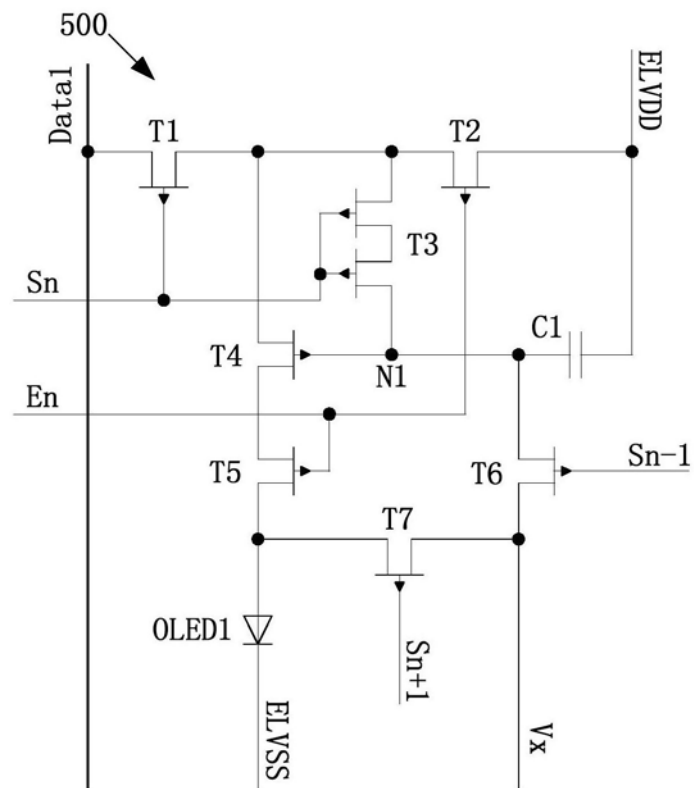


图6

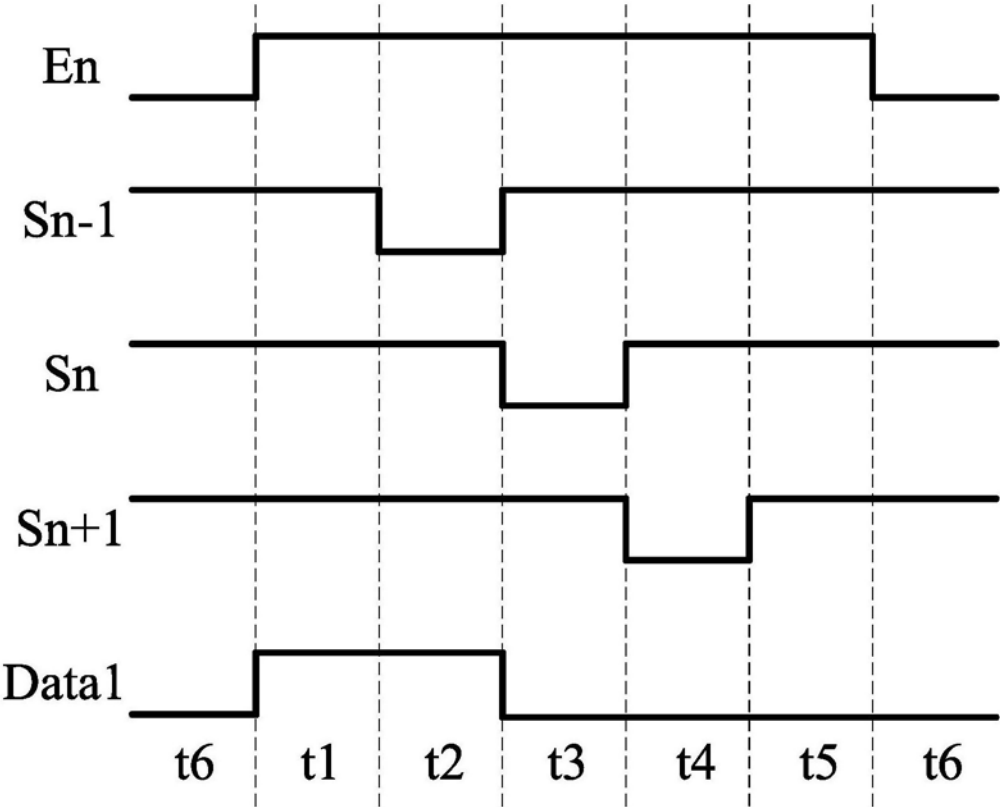


图7

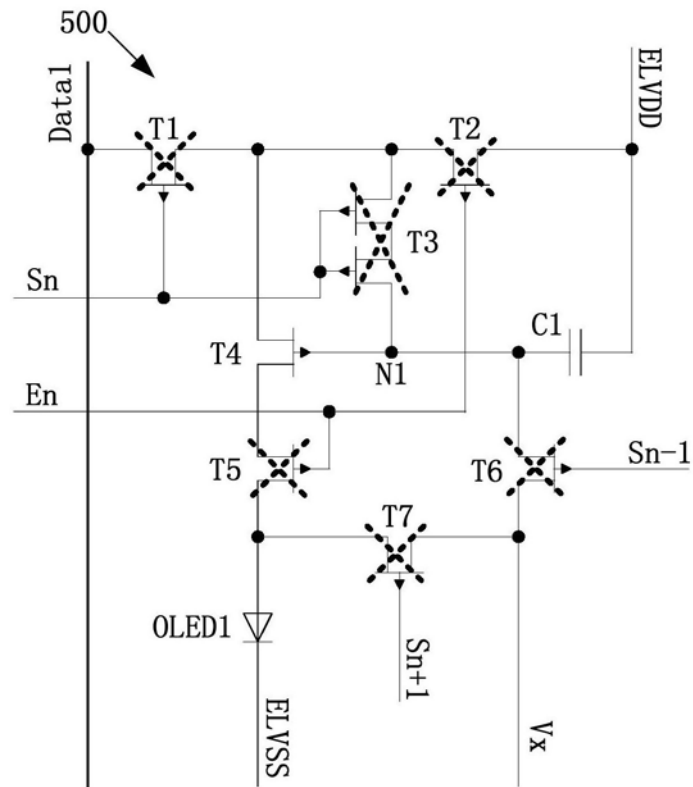


图8A

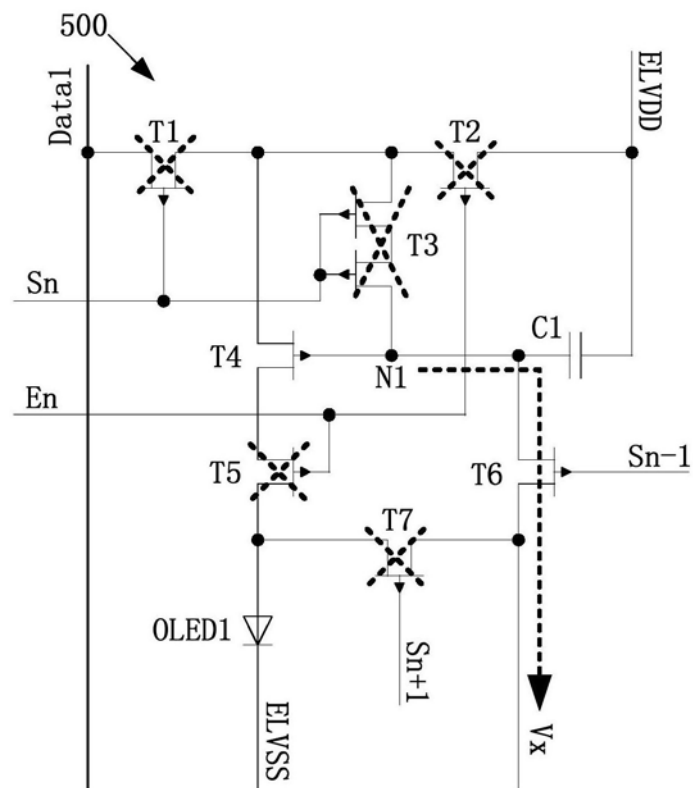


图8B

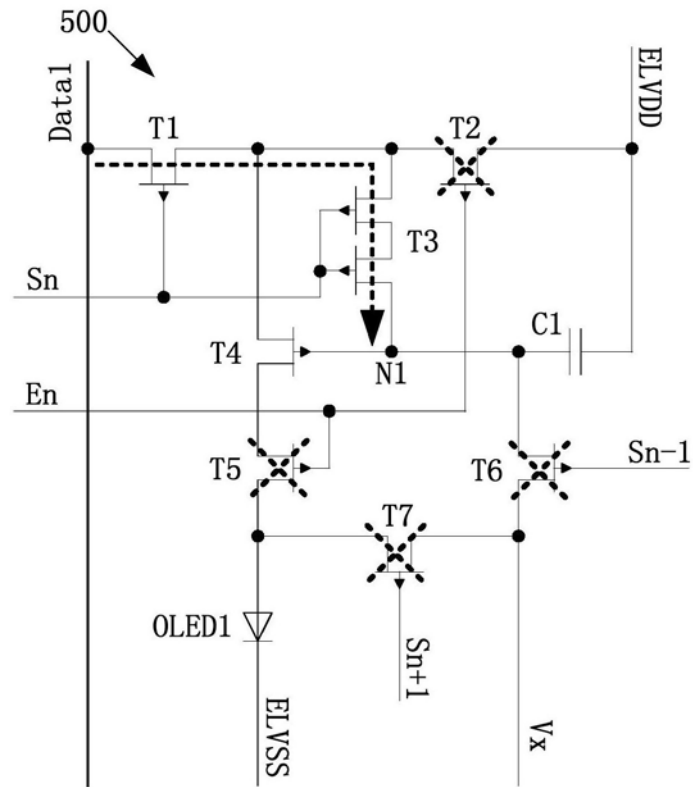


图8C

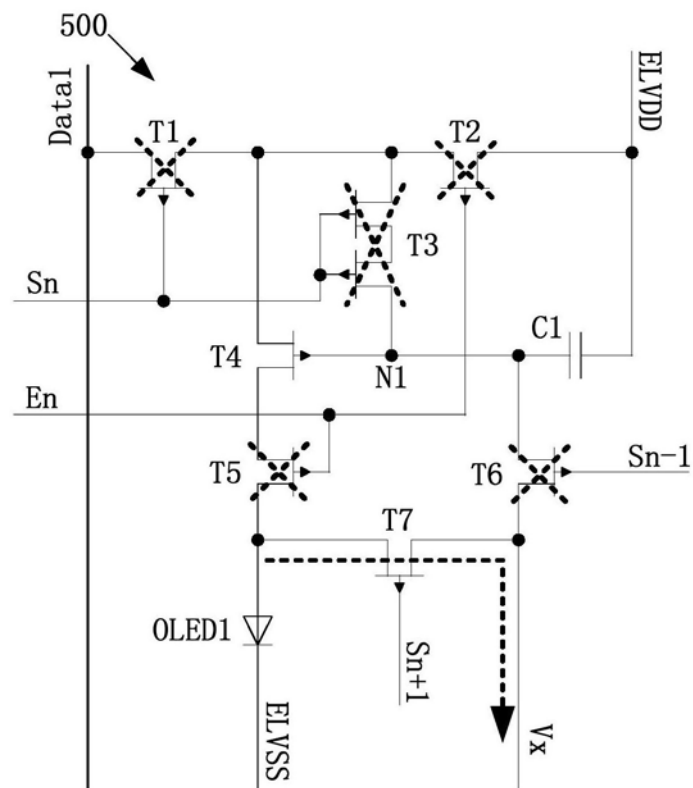


图8D

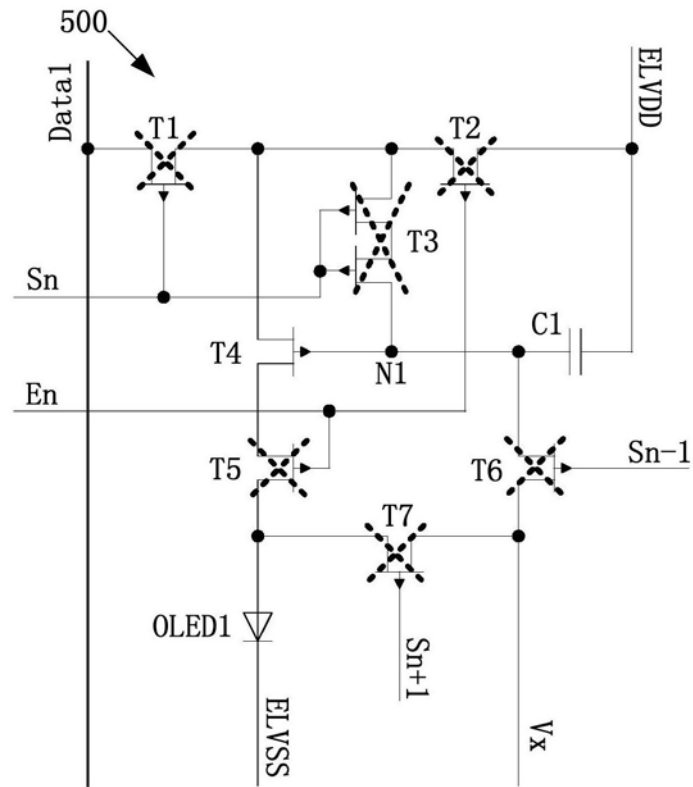


图8E

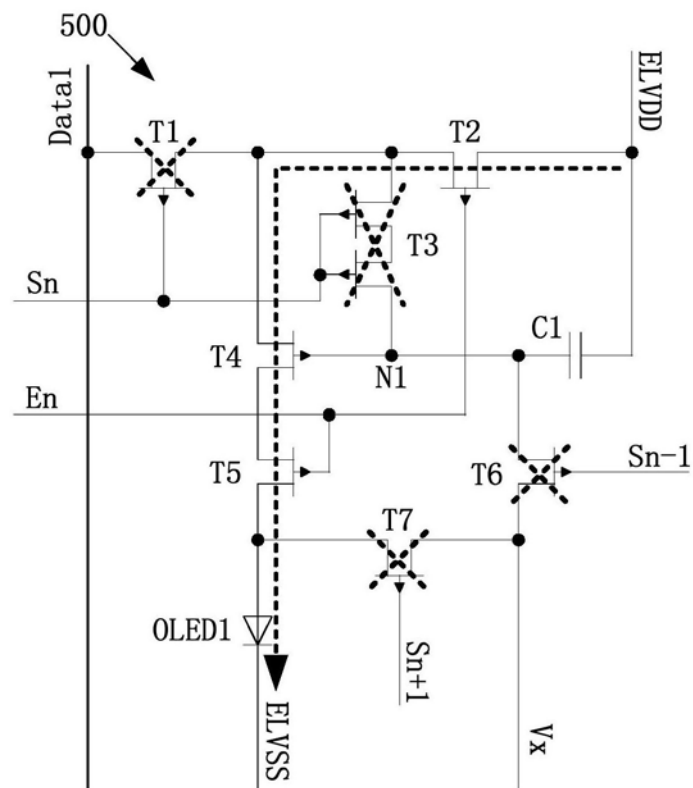


图8F

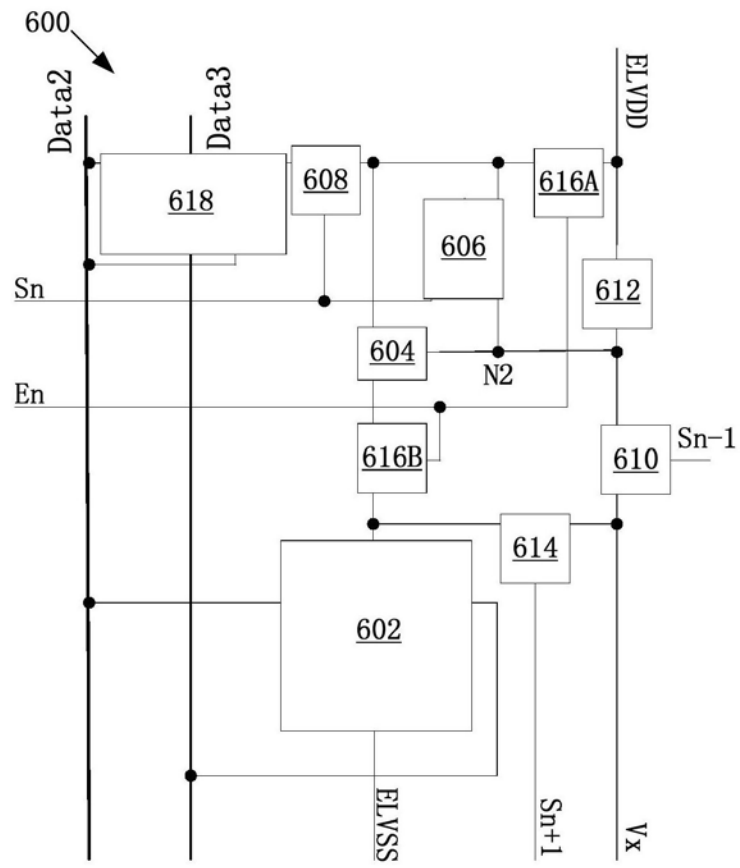


图9

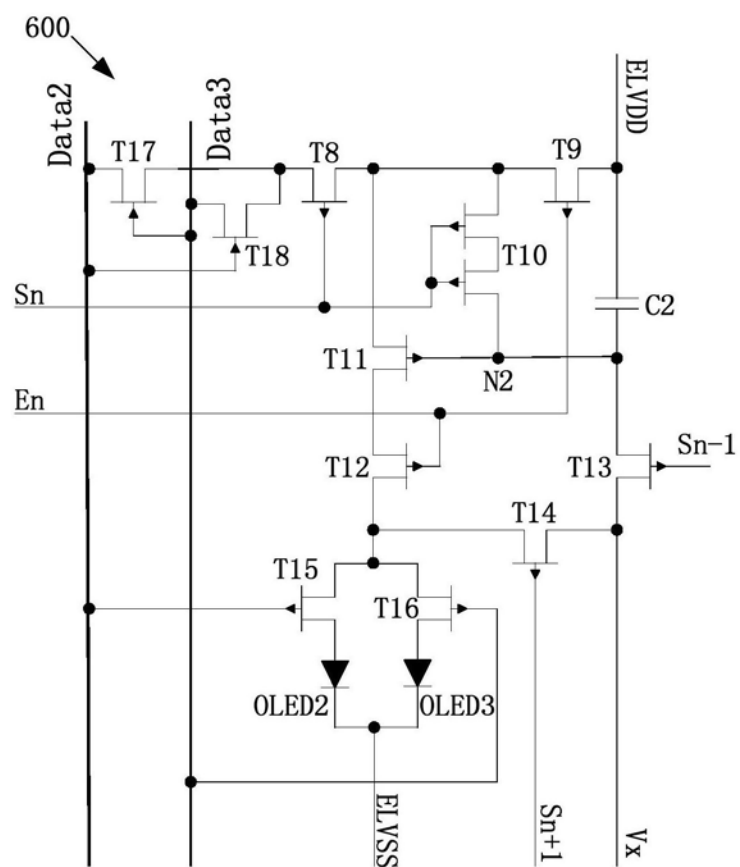


图10

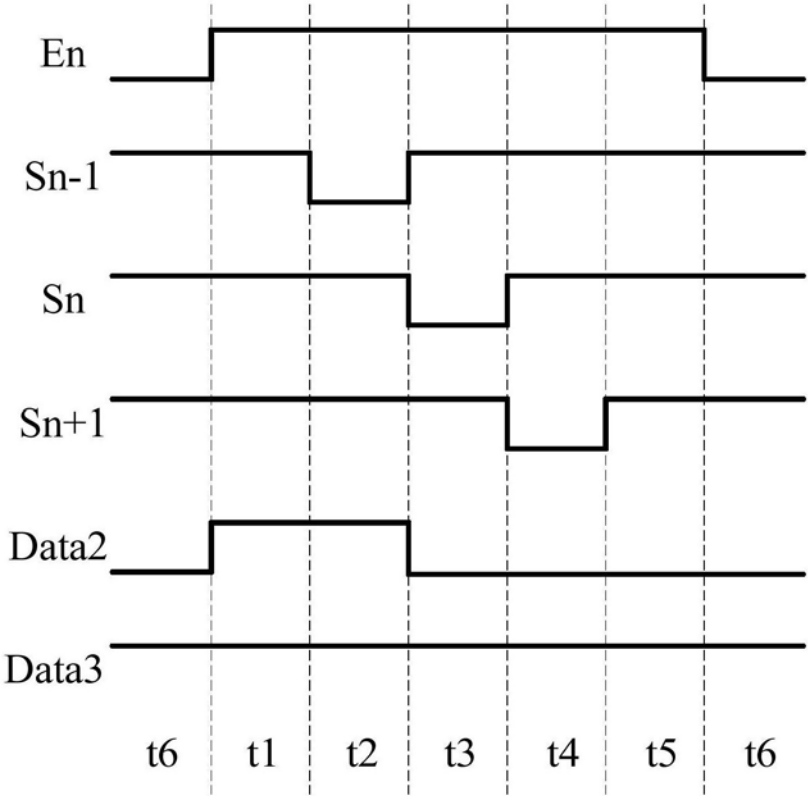


图11

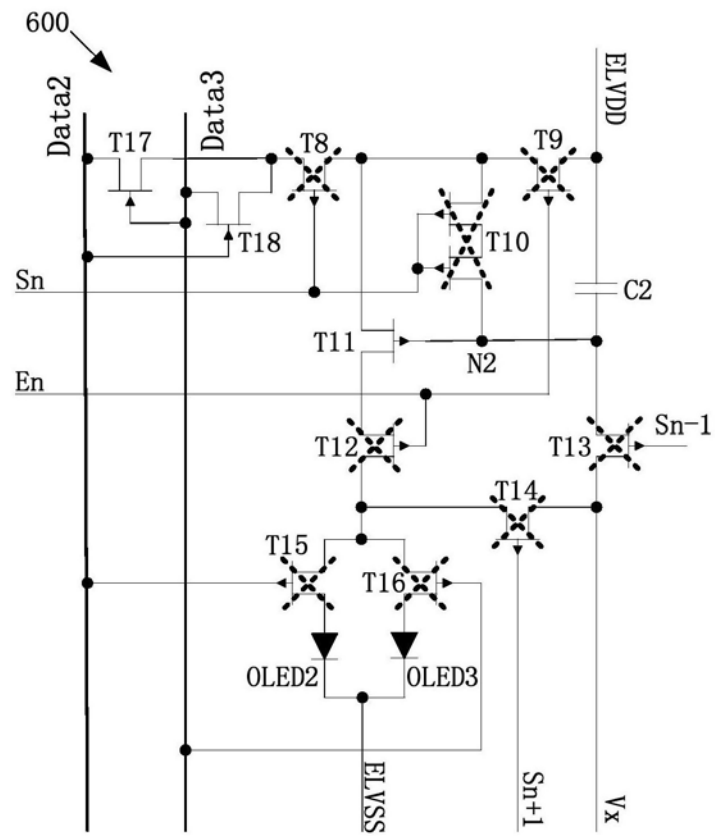


图12A

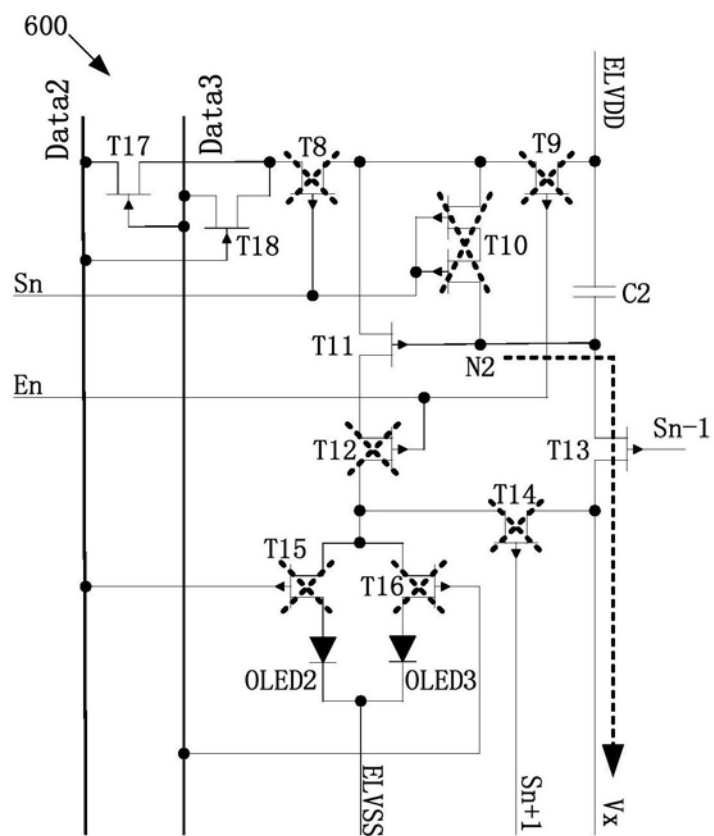


图12B

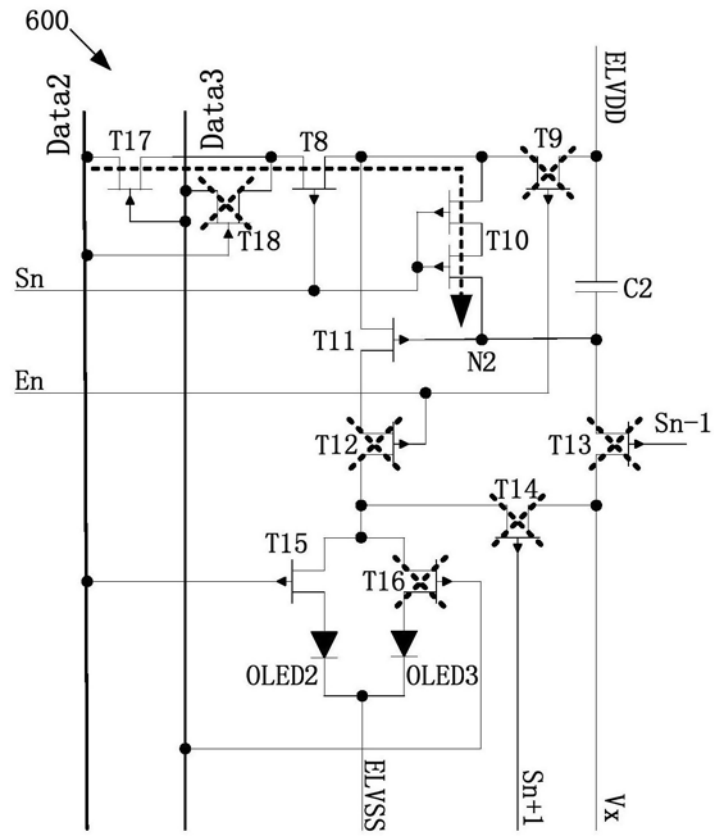


图12C

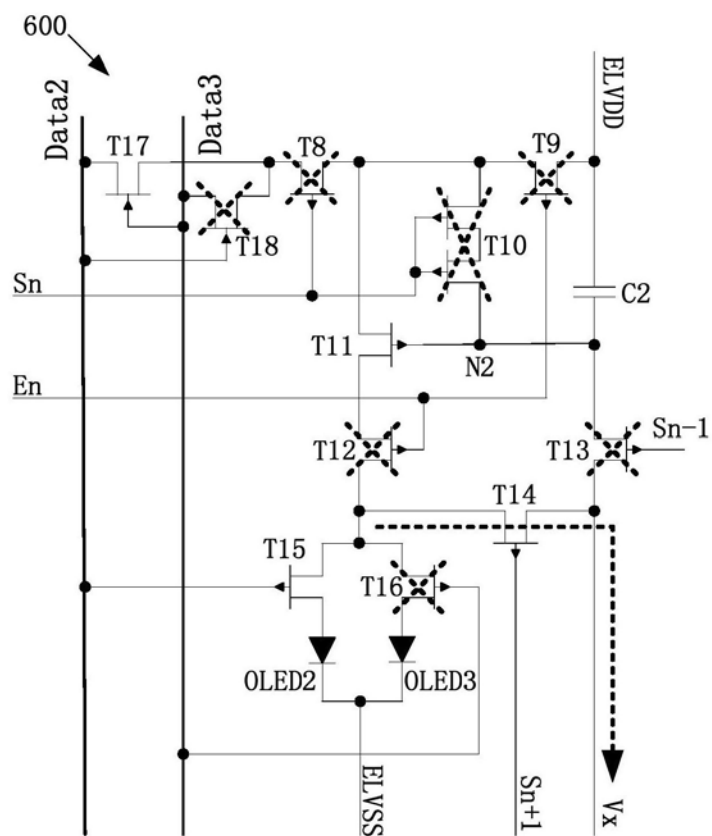


图12D

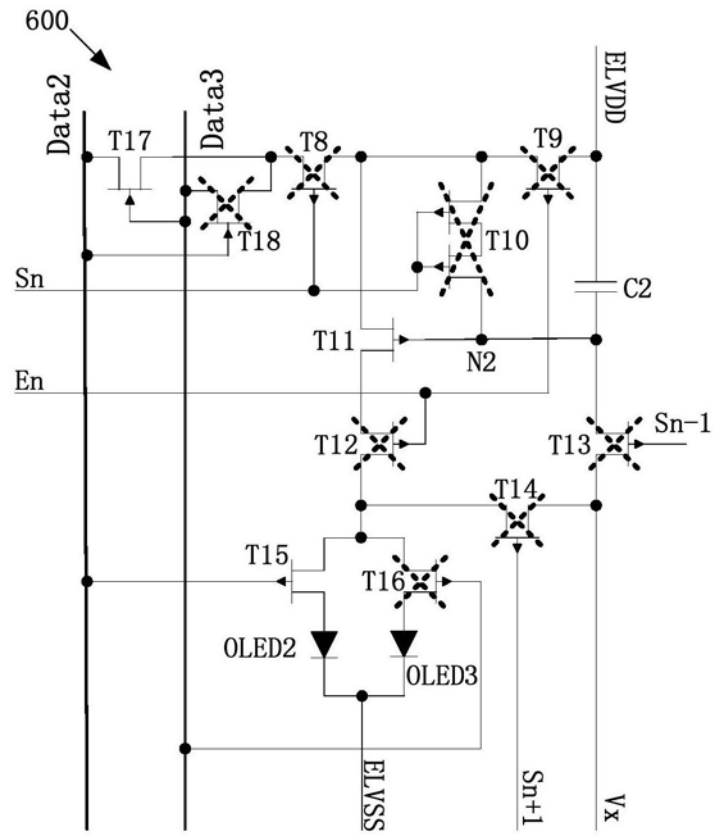


图12E

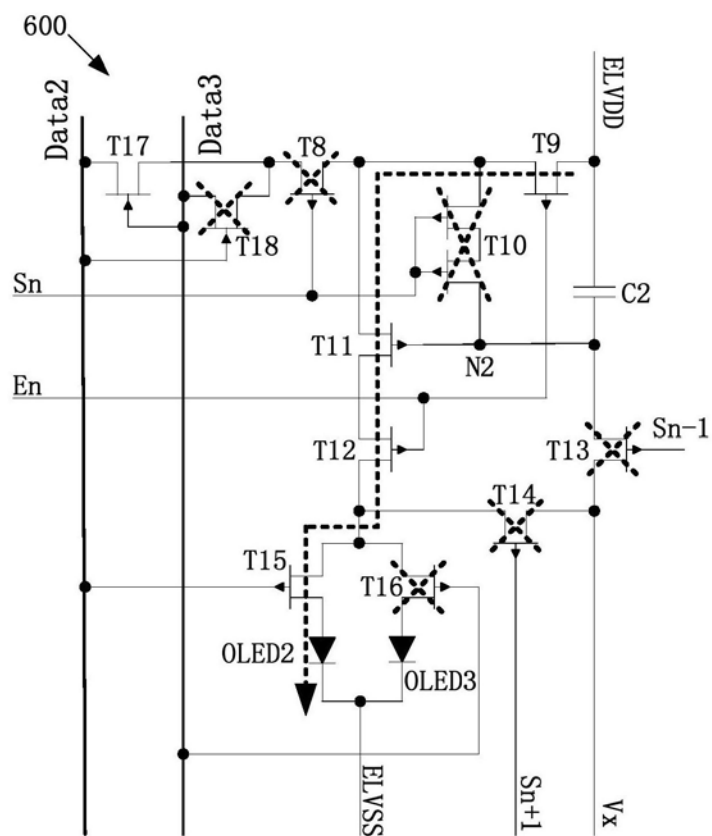


图12F

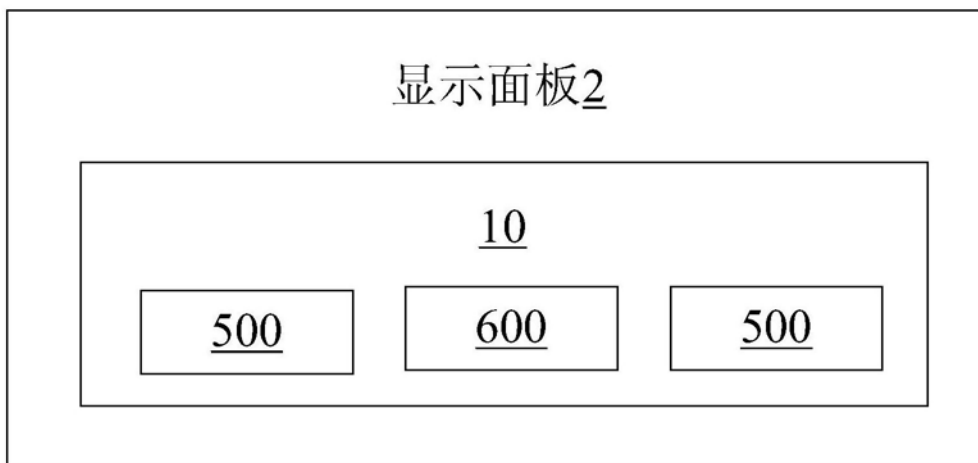


图13

专利名称(译)	像素排列结构、像素电路、显示面板及驱动方法		
公开(公告)号	CN105976757B	公开(公告)日	2019-01-18
申请号	CN201610596086.8	申请日	2016-07-26
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	吴渊 蒋璐霞 代弘伟		
发明人	吴渊 蒋璐霞 代弘伟		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208 G09G3/3233 G09G2300/0452 G09G2310/0251 G09G2310/0262 H01L27/3213 H01L27/3218 G09G3/2003 G09G3/3258 G09G2300/0439 G09G2300/0819 G09G2310/0264 G09G2320/02 H01L27/124 H01L27/3262 H01L27/3265		
审查员(译)	冯莹		
其他公开文献	CN105976757A		
外部链接	Espacenet SIPO		

摘要(译)

本公开的实施例提供了一种像素排列结构、像素电路、显示面板及驱动方法。该像素排列结构包括：第一像素单元，包括第一子像素、第二子像素、第三子像素、第四子像素。第一子像素的中心与第一虚拟菱形的第一顶点重合，第二子像素的中心与第一虚拟菱形的第二顶点重合，第三子像素的中心与第一虚拟菱形的第三顶点重合，第四子像素的中心与第一虚拟菱形的第四顶点重合。该像素排列结构、像素电路、显示面板及驱动方法可以减小子像素之间的距离，还可以减小像素电路占用的面积，进而提高显示面板的分辨率，并在被驱动的过程中可以对有机发光二极管进行初始化放电，保证了低灰阶的准确性及全暗态画面下的全黑，有效改善整个显示面板的对比度。

