

1. 一种 EL 显示装置,具有:

在一对电极之间配置有发光层的发光部;和

控制所述发光部的发光的薄膜晶体管阵列装置,

在所述发光部与所述薄膜晶体管阵列装置之间配置层间绝缘膜,并且所述发光部的一方的电极介由所述层间绝缘膜的接触孔与所述薄膜晶体管阵列装置电连接,

所述薄膜晶体管阵列装置具有介由所述层间绝缘膜的接触孔与所述发光部的电极电连接的电流供给用的电极,并且在所述发光部的一方的电极与所述薄膜晶体管阵列装置的电流供给用的电极的界面形成有扩散防止膜。

2. 根据权利要求 1 所述的 EL 显示装置,其中,

所述扩散防止膜由以与构成所述发光部的一方的电极的金属材料相同的金属作为主成分的氧化物构成。

3. 根据权利要求 2 所述的 EL 显示装置,其中,

所述扩散防止膜具有满足 $Al_xCu_yO_z$ 、其中 $x>y \geq 0$ 、 $z>0$ 的材料组成。

4. 根据权利要求 1 所述的 EL 显示装置,其中,

所述扩散防止膜的膜厚为 $0< t \leq 6nm$ 。

5. 一种薄膜晶体管阵列装置,

在与发光部之间配置层间绝缘膜,并且具有介由所述层间绝缘膜的接触孔与所述发光部的一方的电极电连接的电流供给用的电极,

在所述发光部的一方的电极与所述电流供给用的电极的界面形成有扩散防止膜。

6. 根据权利要求 5 所述的薄膜晶体管阵列装置,其中,

所述扩散防止膜由以与构成所述发光部的一方的电极的金属材料相同的金属作为主成分的氧化物构成。

7. 根据权利要求 6 所述的薄膜晶体管阵列装置,其中,

所述扩散防止膜具有满足 $Al_xCu_yO_z$ 、其中 $x>y \geq 0$ 、 $z>0$ 的材料组成。

8. 根据权利要求 5 所述的薄膜晶体管阵列装置,其中,

所述扩散防止膜的膜厚为 $0< t \leq 6nm$ 。

薄膜晶体管阵列装置以及使用它的 EL 显示装置

技术领域

[0001] 本发明涉及以多晶硅或微晶硅等为活性层的薄膜晶体管阵列装置以及使用该薄膜晶体管阵列装置的 EL 显示装置。

背景技术

[0002] 薄膜晶体管使用于有机 EL 显示器或液晶显示器等的显示装置的驱动基板,目前正在盛行将其向高性能化开发。特别是,伴随着显示器的大型化和高清晰化,对薄膜晶体管的高电流驱动能力提出了要求,其中使用晶化后的半导体薄膜(多晶硅、微晶硅)作为活性层的薄膜晶体管受到瞩目。

[0003] 作为半导体薄膜的晶化工艺,正在开发采用 600℃ 以下的处理温度的低温工艺以取代已经成熟的采用 1000℃ 以上的处理温度的高温工艺技术。由于低温工艺中不需要使用耐热性优越的石英等的高价基板,从而可以实现降低制造成本。

[0004] 作为低温工艺的一个环节,使用激光束加热的激光退火受到关注。激光退火是对成膜于玻璃等低耐热性绝缘基板上的非晶硅或多晶硅等非单晶性的半导体薄膜照射激光束而使局部加热融化后,在其冷却过程中使半导体薄膜晶化的技术。以该晶化后的半导体薄膜作为活性层(沟道区域)来集成薄膜晶体管。晶化后的半导体薄膜由于载流子的迁移率变高,因此可以使薄膜晶体管实现高性能化。

[0005] 作为如上所述的薄膜晶体管的结构,以将栅电极配置在半导体层之下的底栅型的结构为主流,已知的如专利文献 1、2 所示的结构。

[0006] 在专利文献 1 中,在基板上形成与晶体管连接的布线(电极),以覆盖该布线(电极)的状态通过旋转涂敷法形成由感光性聚酰亚胺构成的平坦化绝缘膜(层间绝缘膜)。然后,在该平坦化绝缘膜(层间绝缘膜)通过光刻法形成连接孔(接触孔)。之后,在平坦化绝缘膜(层间绝缘膜)上形成介由该连接孔(接触孔)与布线(电极)连接的有机 EL 元件。

[0007] 另外,在专利文献 2 中,层叠在第 2 金属层(电极)上的绝缘保护膜及层叠在绝缘保护膜上的绝缘平坦化膜(层间绝缘膜)设置有接触孔,该接触孔是使第 2 金属层(电极)与正电极(下部电极)电连接的连接头贯通于上下方向的孔状的接触孔,并且接触孔是使绝缘保护膜的內周面与绝缘平坦化膜(层间绝缘膜)的內周面没有阶梯式高低差地连接形成的向下方凸出的锥子形状。

[0008] 在先技术文献

[0009] 专利文献

[0010] 专利文献 1:日本特开 2001-28486 号公报

[0011] 专利文献 2:日本特开 2009-229941 号公报

发明内容

[0012] 本申请公开的 EL 显示装置具有:在一对电极之间配置有发光层的发光部、和控制

所述发光部的发光的薄膜晶体管阵列装置。另外,在发光部与薄膜晶体管阵列装置之间配置层间绝缘膜,并且发光部的一方的电极介由层间绝缘膜的接触孔与薄膜晶体管阵列装置电连接。进一步地,薄膜晶体管阵列装置具有介由层间绝缘膜的接触孔与发光部的电极电连接的电流供给用的电极,并且在发光部的一方的电极与薄膜晶体管阵列装置的电流供给用的电极的界面形成有扩散防止膜。

[0013] 另外,本申请公开的薄膜晶体管阵列装置在与发光部之间配置层间绝缘膜,并且具有介由层间绝缘膜的接触孔与发光部的一方的电极电连接的电流供给用的电极。另外,在发光部的一方的电极与电流供给用的电极的界面形成有扩散防止膜。

[0014] 发明效果

[0015] 根据该结构,可以实现电接触特性与相互扩散的防止性能的兼顾。

附图说明

[0016] 图 1 是表示一实施方式中的 EL 显示装置的立体图。

[0017] 图 2 是表示一实施方式中的 EL 显示装置的像素隔堤的例子的立体图。

[0018] 图 3 是表示一实施方式中的薄膜晶体管的像素电路的电路结构的电气电路图。

[0019] 图 4 是表示一实施方式中的薄膜晶体管的像素的结构的正视图。

[0020] 图 5 是沿图 4 中的 5-5 线切断的断面图。

[0021] 图 6 是沿图 4 中的 6-6 线切断的断面图。

[0022] 图 7A 是表示一实施方式中的薄膜晶体管阵列装置的与图 5 对应的主要部的制造工序的断面图。

[0023] 图 7B 是表示一实施方式中的薄膜晶体管阵列装置的与图 5 对应的主要部的制造工序的断面图。

[0024] 图 7C 是表示一实施方式中的薄膜晶体管阵列装置的与图 5 对应的主要部的制造工序的断面图。

[0025] 图 7D 是表示一实施方式中的薄膜晶体管阵列装置的与图 5 对应的主要部的制造工序的断面图。

[0026] 图 7E 是表示一实施方式中的薄膜晶体管阵列装置的与图 5 对应的主要部的制造工序的断面图。

[0027] 图 7F 是表示一实施方式中的薄膜晶体管阵列装置的与图 5 对应的主要部的制造工序的断面图。

[0028] 图 8A 是表示一实施方式中的薄膜晶体管阵列装置的与图 6 对应的主要部的制造工序的断面图。

[0029] 图 8B 是表示一实施方式中的薄膜晶体管阵列装置的与图 6 对应的主要部的制造工序的断面图。

[0030] 图 8C 是表示一实施方式中的薄膜晶体管阵列装置的与图 6 对应的主要部的制造工序的断面图。

[0031] 图 8D 是表示一实施方式中的薄膜晶体管阵列装置的与图 6 对应的主要部的制造工序的断面图。

[0032] 图 8E 是表示一实施方式中的薄膜晶体管阵列装置的与图 6 对应的主要部的制造

工序的断面图。

[0033] 图 8F 是表示一实施方式中的薄膜晶体管阵列装置的与图 6 对应的主要部的制造工序的断面图。

[0034] 图 8G 是表示一实施方式中的薄膜晶体管阵列装置的与图 6 对应的主要部的制造工序的断面图。

[0035] 图 8H 是表示一实施方式中的薄膜晶体管阵列装置的与图 6 对应的主要部的制造工序的断面图。

[0036] 图 9A 是表示与图 6 的区域 A 对应的主要部的制造工序的断面图。

[0037] 图 9B 是表示与图 6 的区域 A 对应的主要部的制造工序的断面图。

[0038] 图 9C 是表示与图 6 的区域 A 对应的主要部的制造工序的断面图。

[0039] 图 9D 是表示与图 6 的区域 A 对应的主要部的制造工序的断面图。

[0040] 图 9E 是表示与图 6 的区域 A 对应的主要部的制造工序的断面图。

[0041] 图 9F 是表示与图 6 的区域 A 对应的主要部的制造工序的断面图。

[0042] 图 9G 是表示与图 6 的区域 A 对应的主要部的制造工序的断面图。

具体实施方式

[0043] 下面,结合图 1~图 8H 对一实施方式中的薄膜晶体管阵列装置以及使用该薄膜晶体管阵列装置的 EL 显示装置予以说明。

[0044] 图 1 是一实施方式中的 EL 显示装置的立体图,图 2 是表示一实施方式中的 EL 显示装置的像素隔堤的例子的立体图,图 3 是表示一实施方式中的薄膜晶体管的像素电路的电路结构的图。

[0045] 如图 1~图 3 所示,EL 显示装置自下层开始由薄膜晶体管阵列装置 1 和发光部的层叠结构构成,其中,薄膜晶体管阵列装置 1 配置有多个薄膜晶体管,发光部由作为下部电极的阳极 2、由有机材料构成的作为发光层的 EL 层 3、以及透明的作为上部电极的阴极 4 构成。由薄膜晶体管阵列装置 1 对该发光部进行发光控制。

[0046] 另外,发光部是在一对电极、即阳极 2 与阴极 4 之间配置有 EL 层 3 的结构,在阳极 2 与 EL 层 3 之间层叠地形成有空穴传输层,在 EL 层 3 与透明的阴极 4 之间层叠地形成有电子传输层。在薄膜晶体管阵列装置 1 中,多个像素 5 被配置成矩阵状。

[0047] 各像素 5 由各自所设置的像素电路 6 来驱动。另外,薄膜晶体管阵列装置 1 设置有:被配置为行状的多个栅极布线 7、以与栅极布线 7 交叉的方式被配置为列状的作为信号布线的多个源极布线 8、和与源极布线 8 平行地延伸的多个电源布线 9(图 1 中省略)。

[0048] 栅极布线 7 在每行与像素电路 6 各自所包含的作为开关元件而动作的薄膜晶体管 10 的栅电极 10g 连接。源极布线 8 在每列与像素电路 6 各自所包含的作为开关元件而动作的薄膜晶体管 10 的源电极 10s 连接。电源布线 9 在每列与像素电路 6 各自所包含的作为驱动元件而动作的薄膜晶体管 11 的漏电极 11d 连接。

[0049] 如图 2 所示,EL 显示装置的各像素 5 由 3 色(红色、绿色、蓝色)的子像素 5R、5G、5B 构成,这些子像素 5R、5G、5B 被形成为在显示面上被排列成多个矩阵状(以下记为“子像素列”)。各子像素 5R、5G、5B 被用隔堤 5a 相互分离开。隔堤 5a 形成为使与栅极布线 7 平行地延伸的突条和与源极布线 8 平行地延伸的突条相互交叉。而且,在由该突条所包围的

部分（即隔堤 5a 的开口部）形成有子像素 5R、5G、5B。

[0050] 在薄膜晶体管阵列装置 1 上的层同绝缘膜上且是在隔堤 5a 的开口部内，按每个子像素 5R、5G、5B 形成有阳极 2。同样地，在阳极 2 上且是在隔堤 5a 的开口部内，按每个子像素 5R、5G、5B 形成有 EL 层 3。在多个 EL 层 3 及隔堤 5a 上并且是以覆盖全部的子像素 5R、5G、5B 的方式连续地形成有透明的阴极 4。

[0051] 进一步地，在薄膜晶体管阵列装置 1 中，按每个子像素 5R、5G、5B 形成有像素电路 6。并且各子像素 5R、5G、5B 与相对应的像素电路 6 通过后边将阐述的接触孔以及中继电极电连接。另外，除 EL 层 3 的发光颜色不同这点之外，子像素 5R、5G、5B 具有相同的结构。因此，在以后的说明中，不再区分子像素 5R、5G、5B 而将其全部记为“像素 5”。

[0052] 如图 3 所示，像素电路 6 由作为开关元件而动作的薄膜晶体管 10、作为驱动元件而动作的薄膜晶体管 11、存储对应的像素所显示的数据的电容器 12 构成。

[0053] 薄膜晶体管 10 由与栅极布线 7 连接的栅电极 10g、与源极布线 8 连接的源电极 10s、与电容器 12 及薄膜晶体管 11 的栅电极 11g 连接的漏电极 10d、和半导体层（未图示）构成。当所连接的栅极布线 7 及源极布线 8 被施加电压时，该薄膜晶体管 10 将施加到该源极布线 8 的电压值作为显示数据保存在电容器 12。

[0054] 薄膜晶体管 11 由与薄膜晶体管 10 的漏电极 10d 连接的栅电极 11g、与电源布线 9 及电容器 12 连接的漏电极 11d、与阳极 2 连接的源电极 11s、和半导体层（未图示）构成。该薄膜晶体管 11 将与电容器 12 保持的电压值对应的电流从电源布线 9 通过源电极 11s 提供给阳极 2。即，上述结构的 EL 显示装置采用对位于栅极布线 7 与源极布线 8 的交点处的每个像素 5 进行显示控制的有源矩阵方式。

[0055] 下面，结合图 4～图 6 对构成薄膜晶体管阵列装置 1 的像素 5 的结构予以说明。另外，图 4 是表示像素 5 的结构的正视图。图 5 是沿图 4 中的 5-5 线切断的断面图。图 6 是沿图 4 中的 6-6 线切断的断面图。

[0056] 如图 4～图 6 所示，像素 5 由基板 21、作为导电层的第 1 金属层 22、栅极绝缘膜 23、半导体层 24 及半导体层 25、作为导电层的第 2 金属层 26、钝化膜 27、由 ITO 等构成的导电氧化物膜 28、和作为导电层的第 3 金属层 29 的层叠结构体构成。

[0057] 在层叠于基板 21 上的第 1 金属层 22 形成有薄膜晶体管 10 的栅电极 10g 和薄膜晶体管 11 的栅电极 11g。另外，在基板 21 及第 1 金属层 22 上以覆盖栅电极 10g、栅电极 11g 的方式形成有栅极绝缘膜 23。

[0058] 半导体层 24 被配置在栅极绝缘膜 23 上（栅极绝缘膜 23 与第 2 金属层 26 之间）并且与栅电极 10g 叠合的区域内。同样，半导体层 25 被配置于在栅极绝缘膜 23 上（栅极绝缘膜 23 与第 2 金属层 26 之间）并且与栅电极 11g 叠合的区域内。

[0059] 在层叠于栅极绝缘膜 23 及半导体膜 24、半导体膜 25 上的第 2 金属层 26 形成有源极布线 8、电源布线 9、薄膜晶体管 10 的源电极 10s 及漏电极 10d、薄膜晶体管 11 的漏电极 11d 及源电极 11s。源电极 10s 及漏电极 10d 形成在相互对置的位置，并且其各自与半导体层 24 的一部分叠合。另外，以由形成在同层的源极布线 8 延伸的方式形成源电极 10s。同样地，漏电极 11d 及源电极 11s 形成在相互对置的位置，并且其各自与半导体层 25 的一部分叠合。另外，以由形成在同层的电源布线 9 延伸的方式形成漏电极 11d。

[0060] 如上所述，薄膜晶体管 10、薄膜晶体 11 是栅电极 10g、栅电极 11g 被形成在源电极

10s、源电极 11s 以及漏电极 10d、漏电极 11d 之下层的底栅型的晶体管结构。

[0061] 另外,栅极绝缘膜 23 在与漏电极 10d 及栅电极 11g 叠合的位置形成有贯通于厚度方向的接触孔 30。并且,漏电极 10d 介由接触孔 30 与形成在第 1 金属层 22 的栅电极 11g 电连接。

[0062] 进一步地,在栅极绝缘膜 23 及第 2 金属层 26 上以覆盖源电极 10s、源电极 11s、以及漏电极 10d、漏电极 11d 的方式形成有钝化膜 27。该钝化膜 27 形成为介于层间绝缘膜 34 与薄膜晶体管 10、薄膜晶体管 11 之间。

[0063] 在钝化膜 27 上层叠有导电氧化物膜 28。并且,在导电氧化物膜 28 上层 叠有第 3 金属层 29。层叠在导电氧化物膜 28 上的第 3 金属层 29 形成有栅极布线 7 及中继电极 31。导电氧化物膜 28 被选择性地形成在与栅极布线 7 及中继电极 31 叠合的位置,与栅极布线 7 叠合的部分和与中继电极 31 叠合的部分是非电连接的状态。

[0064] 另外,栅极绝缘膜 23 及钝化膜 27 在与栅极布线 7 及栅电极 10g 叠合的位置形成有贯通于厚度方向的接触孔 32。并且,栅极布线 7 介由接触孔 32 与形成在第 1 金属层 22 的栅电极 10g 电连接。另外,栅极布线 7 与栅电极 10g 不直接接触,导电氧化物膜 28 介于栅极布线 7 与栅电极 10g 之间。

[0065] 同样地,钝化膜 27 在与薄膜晶体管 11 的源电极 11s 及中继电极 31 叠合的位置形成有贯通于厚度方向的接触孔 33。并且,中继电极 31 介由接触孔 33 与形成在第 2 金属层 26 的源电极 11s 电连接。另外,源电极 11s 与中继电极 31 不直接接触,导电氧化物膜 28 介于源电极 11s 与中继电极 31 之间。

[0066] 进一步地,在钝化膜 27 以及第 3 金属层 29 上以覆盖栅极布线 7 及中继电极 31 的方式形成有层间绝缘膜 34。所述层间绝缘膜 34 是层叠结构,由作用为平坦化膜的层间绝缘膜 34a 和作用为钝化膜的层间绝缘膜 34b 构成。层间绝缘膜 34a 由有机膜或混合膜形成,被配置在与阳极 2 相邻的一侧(上层)。层间绝缘膜 34b 由无机膜形成,被配置在与栅极布线 7 及中继电极 31 相邻的一侧(下层)。

[0067] 在层间绝缘膜 34 上,在与相邻的像素 5 的边界部分形成有隔堤 5a。并且,在隔堤 5a 的开口部形成有以像素 5 为单位形成的阳极 2 和以颜色(子像素列)为单位或者以子像素为单位形成的 EL 层 3。并且,在 EL 层 3 及隔堤 5a 上形成有透明的阴极 4。

[0068] 进一步地,如图 6 所示,在与阳极 2 及中继电极 31 叠合的位置形成有在厚度方向贯通层间绝缘膜 34 的接触孔 35。并且,阳极 2 接触孔 35 与形成在第 3 金属层 29 的中继电极 31 电连接。中继电极 31 具有被填充于接触孔 33 的中央区域 31a 和在接触孔 33 的上部周边延展的平坦区域 31b。并且阳极 2 电连接在中继电极 31 的平坦区域 31b。

[0069] 在此,在本发明中,发光部的阳极 2 由以 Al 作为主体的导电性的金属材料形成,薄膜晶体管阵列装置 1 的电流供给用的中继电极 31 由导电性与阳极 2 不同的金属材料的 Cu 系材料形成,并且在阳极 2 与中继电极 31 的界面形成有由以与发光部的阳极 2 相同的金属材料即以 Al 作为主体的金属材料的氧化物构成的扩散防止膜 36。具体来讲,扩散防止膜 36 是具有如下材料组成的膜,即通过能散型 X 射线光谱分析装置(EDS)等测定的元素为满足: $Al_xCu_yO_z$, 其中 $x > y \geq 0, z > 0$ 。

[0070] 关于在以 Al 作为主体的阳极 2 与以 Cu 作为主体的中继电极 31 的界面形成的扩散防止膜 36,制作改变扩散防止膜 36 的膜厚的根据本发明的实施例的样本(实施例 1 ~

4) 和根据比较例的样本(比较例1~3),表1是表示对这些样本比较阳极2与中继电极31的接触不良以及相互扩散量的图表。另外,关于接触不良,在表1中,将连接电阻为每单位面积小于 $1\text{k}\Omega$ 者标示为良品(○)、 $1\text{k}\Omega$ 以上者标示为不良(×)。此外,关于相互扩散量,由于已经通过实验而确认到:如果小于 100nm ,则不容易发生起因于Al与Cu的相互扩散的电迁移(エレクトロマイグレーション)所造成的断线不良,因此将小于 100nm 者标示为良品(○)、 100nm 以上者标示为不良(×)。[表1]

[0071]

	膜厚 (nm)	接触不良	相互扩散量
实施例 1	1	○	○
实施例 2	2	○	○
实施例 3	4	○	○
实施例 4	6	○	○
比较例 1	8	×	○
比较例 2	9	×	○
比较例 3	10	×	○

[0072] 如表1所示,作为扩散防止膜36,如果形成膜厚 t 为 $1\text{nm}\sim 6\text{nm}$ 的膜,则可以得出在接触不良以及相互扩散量的评价项目中为良品。另外,由于扩散防止膜36的膜厚 t 形成得越薄,取得的接触电阻就会越低,从而其在电气特性上越有优势,因此,作为扩散防止膜36,膜厚 t 可以为 $0<t\leq 6\text{nm}$ 。但是,由于在形成扩散防止膜36之后的制造工序中的热履历会使Al与Cu的相互扩散变得容易发生,考虑到制造工序上的偏差,优选扩散防止膜36的膜厚为 $1\text{nm}\sim 6\text{nm}$ 。

[0073] 作为用于使扩散防止膜36的膜厚形成得薄的方法,例如可以如下方法来实现,即:在用干式蚀刻法形成接触孔35之后,并不向大气开放而是在真空中连续地用溅射法形成阳极2。另外,在形成阳极2之前,通过调整以Cu为主体的氧化膜的膜厚,就可以控制扩散防止膜36的膜厚。作为调整氧化膜的膜厚的方法,可以在形成氧化膜之后,通过使用Ar等离子体进行氧化膜的物理性去除或者使用 H_2 等离子体进行还原处理等,来将氧化膜控制到所期望的膜厚。

[0074] 如上所述,在本发明中,通过在由以Al为主体的导电性材料构成的阳极2与不同于该阳极2的导电性材料的Cu系材料构成的中继电极31的界面形成了由以Al为主体的氧化物构成的扩散防止膜36,可以防止起因于Al与Cu的相互扩散的电迁移所造成的断线不良。另外,通过将扩散防止膜36的膜厚调整至 $1\text{nm}\sim 6\text{nm}$,可以在得到充分的接触特性的同时,能够防止因相互扩散所导致的断线不良。

[0075] 下面,结合图7A~图7F、图8A~图8H,对制造一实施方式中的薄膜晶体管阵列装置1的制造工序予以说明。另外,图7A~图7F是表示一实施方式中的薄膜晶体管阵列装置的与图5对应的主要部的制造工序的图。图8A~图8H是表示一实施方式中的薄膜晶体管阵列装置的与图6对应的主要部的制造工序的图。

[0076] 首先,结合图7A~图7F、图8A~图8H进行说明。

[0077] 如图7A及图8A所示,准备基板21。作为基板21,一般使用玻璃、石英等绝缘性的材料。为了防止来自基板21的杂质的扩散,虽然未予以图示,但也可以在基板21的上表面形成氧化硅膜或者氮化硅膜。膜厚为 100nm 左右。

[0078] 接着,如图7B及图8B所示,在基板21上形成具有耐热性的第1金属层22之后,

通过光刻法、蚀刻法等进行图案化,从而形成栅电极 10g、栅电极 11g。作为材料,例如可以是具有耐热性的 Mo、W、Ta、Ti、Ni 中的任一种或者它们的合金。在本实施方式中使用 Mo。优选厚度为 100nm 左右。

[0079] 接着,如图 7C 及图 8C 所示,在基板 21 及第 1 金属层 22 上形成栅极绝缘膜 23,并且在栅极绝缘膜 23 上形成半导体层 24、半导体层 25。另外,栅极绝缘膜 23 以及半导体层 24、半导体层 25 通过等离子体 CVD 法等,在真空状态下连续地形成。作为栅极绝缘膜 23 形成氧化硅膜、氮化硅膜、或者其复合膜。厚度为 200nm 左右。另外,半导体层 24、半导体层 25 是 50nm 左右的非晶质硅膜。

[0080] 然后,例如如图 8D 的箭头所示,通过在半导体层 25 上照射准分子激光等,将半导体层 25 由非晶半导体层向多晶半导体层改性。作为晶化的方法,例如在 400℃~500℃的炉内进行脱氢之后,通过准分子激光使其晶化,然后,在真空中进行数秒~数 10 秒的氢等离子体处理。具体地讲,通过照射准分子激光等使非晶半导体层的温度上升至预定的温度范围来进行晶化。在此,预定的温度范围例如为 210℃~1414℃。另外,多晶半导体层内的平均晶粒粒径为 20nm~60nm。

[0081] 在此,构成栅电极 10g、栅电极 11g 的第 1 金属层 22 由于在上述的工序中被暴露于高温环境,因此需要由熔点比温度范围的上限值(1414℃)高的金属来形成。另一方面,在以后的工序中层叠的第 2 金属层 26 以及第 3 金属层 29 也可以由熔点比温度范围的下限值(210℃)低的金属形成。

[0082] 接着,如图 8E 所示,通过光刻法、蚀刻法等将半导体层加工成岛状的半导体层 25。另外,尽管未予以图示,在栅极绝缘膜 23 同样地通过光刻法、蚀刻法等形成接触孔 30。

[0083] 然后,如图 7D 及图 8F 所示,在栅极绝缘膜 23 以及半导体层 24、半导体层 25 上形成第 2 金属层 26,通过图案化分别加工源极布线 8、电源布线 9、源电极 10s 及源电极 11s、漏电极 10d 及漏电极 11d、以及中继电极 31。此时,构成第 2 金属层 26 的材料也被填充到接触孔 30,从而形成接触孔 30。通过该工序,栅电极 11g 与漏电极 10d 介由第 2 接触孔 30 而电连接。作为构成第 2 金属层 26 的材料,例如可以是低电阻金属的 Al、Cu、Ag 中的任一种或者它们的合金。在本实施方式中使用 Cu,并且厚度为 300nm 左右。

[0084] 另外,在源电极 10s 与半导体层 24 之间、以及漏电极 10d 与半导体层 24 之间,一般形成有低电阻的半导体层。该低电阻半导体层一般使用掺杂了磷等 n 型掺杂剂的非晶硅层或者掺杂了硼等 p 型掺杂剂的非晶硅层。厚度为 20nm 左右。在被晶化的半导体层 24 和被掺杂的非晶硅层之间还可以进一步地具有非晶硅等的半导体层。有时为了提高设备的特性而使这些膜成为必需。关于半导体层 25 也同样。

[0085] 然后,如图 7E~图 7F 以及图 8G 所示,在栅极绝缘膜 23、半导体层 24 及半导体层 25 以及第 2 金属层 26 上形成由氧化硅膜、氮化硅膜、或者这些膜的层叠膜构成的钝化膜 27。另外,通过光刻法、蚀刻法等,在钝化膜 27 形成连续地贯通栅极绝缘膜 23 及钝化膜 27 的接触孔 32、和在厚度方向贯通钝化膜 27 的接触孔 33。

[0086] 在此,栅极绝缘膜 23 以及钝化膜 27 的材料和膜厚以如下方式决定,即形成在夹于第 2 金属层 26 和第 3 金属层 29 之间的钝化膜 27 的每单位面积的电容比形成在夹于第 1 金属层 22 和第 2 金属层 26 之间的栅极绝缘膜 23 的每单位面积的电容小。具体地讲,优选形成在钝化膜 27 的每单位面积的电容容量为小于 $1.5 \times 10^{-4} (\text{F}/\text{m}^2)$ 。另一方面,优选形成在

栅极绝缘膜 23 的每单位面积的电容容量为 $1.5 \times 10^{-4} (\text{F}/\text{m}^2)$ 以上。

[0087] 进一步地,如图 6 以及图 8H 所示,在钝化膜 27 上形成导电氧化物膜 28,在导电氧化物膜 28 上形成第 3 金属层 29。然后,第 3 金属层 29 通过图案化被加工为栅极布线 7 以及中继电极 31。作为构成导电氧化物膜 28 的材料,使用含有铟及锡的氧化物膜、或者含有铟及锌的氧化物膜中的任一者。另一方面,作为构成第 3 金属层 29 的材料,由于需要其为低电阻,因此可以是与第 2 金属层 26 相同的金属。特别是在本发明中,优选由价格低廉的可以实现低电阻的 Cu 系材料。厚度为 300nm 左右。

[0088] 此时,构成导电氧化物膜 28 以及第 3 金属层 29 的材料也被填充到接触孔 32、接触孔 33,从而形成接触孔 32、接触孔 33。由此,介由接触孔 32 使栅极布线 7 与栅电极 10g 电连接,介由接触孔 33 使源电极 11s 与中继电极 31 电连接。

[0089] 下面,结合图 9A ~ 图 9G,对形成图 6 的区域 A 的工序予以详细地说明。具体地讲,对使用自对准工艺来加工中继电极 31 和阳极 2 的连接部的例子予以说明。

[0090] 首先,由上述图 8A ~ 图 8H 的制造工序来制作图 9A 所示的结构。

[0091] 接着,如图 9B 所示,在钝化膜 27 以及中继电极 31 上形成层间绝缘膜 34b。层间绝缘膜 34b 通过等离子体 CVD 法等形成。作为层间绝缘膜 34b,而形成氧化硅膜、氮化硅膜、或者它们的复合膜。厚度为 200nm 左右,起到作为钝化膜的作用。

[0092] 然后,如图 9C 所示,在层间绝缘膜 34b 上形成层间绝缘膜 34a。由于层间绝缘膜 34a 起到作为平坦化膜的作用,因此优选可以形成厚膜的涂敷材料,并且用旋转涂敷机 (スピンドクター) 或狭缝涂敷机 (スリットコーター) 来形成。作为层间绝缘膜 34a 而优选是感光性材料,可以使用丙烯酸树脂或聚酰亚胺树脂等有机材料或者具有 Si-O 键的 SOG 材料等的混合材料。厚度为 4000nm 左右。

[0093] 接着,如图 9D 所示,通过光刻法加工感光性材料的层间绝缘膜 34a,从而形成贯通层间绝缘膜 34a 的接触孔 35。之后,对由涂敷材料构成的层间绝缘膜 34a 在 230℃ 左右进行烧成、硬化。由无机膜构成的层间绝缘膜 34b 在层间绝缘膜 34a 的烧成时起到防止中继电极 31 被从层间绝缘膜 34a 产生的水分等的气体腐蚀的作用。

[0094] 下面,结合图 9E ~ 图 9G,对形成扩散防止膜 36 的工序予以说明。

[0095] 首先,如图 9E 所示,将图案化后的接触孔 35 作为掩模使用,通过干式蚀刻来加工层间绝缘膜 34b,形成至使接触孔 35 贯通层间绝缘膜 34b。

[0096] 接着,如图 9F 所示,在接触孔 35 内的中继电极 31 上形成以 Cu 为主体的氧化膜 31a。接着,如图 9G 所示,构成阳极 2 的材料填充接触孔 35,介由该接触孔 35 使阳极 2 与中继电极 31 电连接。作为阳极 2 的材料,虽然可以使用例如 Mo、Al、Ag、Au、Cu 等的导电性金属或者它们的合金、PEDOT:PSS 等有机导电性材料、氧化锌、或掺铅氧化铟中的任一种材料,但优选以价格低廉的反射率高的 Al 作为主成分的金属。由这些材料构成的膜通过真空蒸镀法、电子束蒸镀法、RF 溅射法、或者印刷法等制成,形成电极图案。

[0097] 此时,虽然以 Cu 为主体的氧化膜 31a 连接着以 Al 为主体的阳极 2,但由于 Al 比 Cu 离子化倾向大,从而形成由以 Al 为主体的氧化物构成的扩散防止膜 36。另外,为了加速氧化还原反应,也可以追加烧成工序。

[0098] 在此,在上述制造工序中,图 9E ~ 图 9G 的工序通过进行以层间绝缘膜 34a 为掩模的自对准,可以回避光刻胶剥离时的药液的影响等,进而还可以实现掩模的削减,使制造工

序的简化、制造成本的削减成为可能。

[0099] 如图 9G 所示,在形成阳极 2 之后,接着通过在上述薄膜晶体管阵列装置 1 上依次层叠隔堤 5a、EL 层 3、以及透明的阴极 4 来制作 EL 显示装置。

[0100] 具体地讲,首先在与层间绝缘膜 34 上的各像素 5 的边界对应的位置形成隔堤 5a。在阳极 2 上并且在隔堤 5a 的开口部内,按每种颜色(子像素列)或者按每个子像素形成 EL 层 3。该 EL 层 3 是层叠了空穴注入层、空穴传输层、发光层、电子传输层、以及电子注入层等的各层来构成的。例如,分别作为空穴注入层可以使用铜酞青、作为空穴传输层可以使用联苯胺(ナフチルジアミン(d-NPD(Bis[N-(1-Naphthyl)-N-Phenyl]benzidine))、作为发光层可以使用三(8-羟基喹啉)铝(Alq3(tris(8-hydroxyquinoline)aluminum))、作为电子传输层可以使用噻唑衍生物、作为电子注入层可以使用 Alq3。另外,这些材料仅仅是一个示例,也可以使用其它材料。

[0101] 透明的阴极 4 是在 EL 层 3 上连续地形成的具有透明性的电极。作为透明的阴极 4 的材料,可以使用例如 IT0、SnO₂、In₂O₃、ZnO 或者它们的组合等。

[0102] 另外,在本实施方式中,虽然例示了构成像素 5 的薄膜晶体管是 2 个的情形,但为了补偿像素 5 内的薄膜晶体管的偏差而由 3 个以上的多个薄膜晶体管构成的情形也可以采用同样的结构。另外,在本实施方式中,虽然例示了用于驱动有机 EL 元件的像素结构,但并不局限于此,可以适用于所有使用液晶、无机 EL 等、TFT 构成的薄膜晶体管阵列装置。

[0103] 如上所述,本实施方式中的 EL 显示装置具有:在一对电极之间配置有发光层的发光部、和控制发光部的发光的薄膜晶体管阵列装置 1。另外,在发光部与薄膜晶体管阵列装置 1 之间配置层间绝缘膜,并且发光部的一方的电极介由层间绝缘膜的接触孔与薄膜晶体管阵列装置 1 电连接。进一步地,薄膜晶体管阵列装置 1 具有介由层间绝缘膜的接触孔与发光部的电极电连接的电流供给用的电极,并且在发光部的一方的电极与薄膜晶体管阵列装置 1 的电流供给用的电极的界面形成有扩散防止膜 36。

[0104] 根据该结构,可以在得到充分的接触特性的同时,实现防止因相互扩散造成的断线不良。

[0105] 产业上的可利用性

[0106] 根据以上所述的本发明,在使用 EL 显示装置的薄膜晶体管阵列装置中对于提高特性方面是有用的。

[0107] 附图符号说明

[0108] 1 薄膜晶体管阵列装置

[0109] 2 阳极

[0110] 3 EL 层

[0111] 4 阴极

[0112] 5 像素

[0113] 6 像素电路

[0114] 7 栅极布线

[0115] 8 源极布线

[0116] 9 电源布线

[0117] 10,11 薄膜晶体管

[0118]	21	基板
[0119]	22	第 1 金属层
[0120]	23	栅极绝缘膜
[0121]	24, 25	半导体层
[0122]	26	第 2 金属层
[0123]	27	钝化膜
[0124]	28	导电氧化物膜
[0125]	29	第 3 金属层
[0126]	30, 32, 33, 35	接触孔
[0127]	31	中继电极
[0128]	34, 34a, 34b	层间绝缘膜
[0129]	36	扩散防止膜。

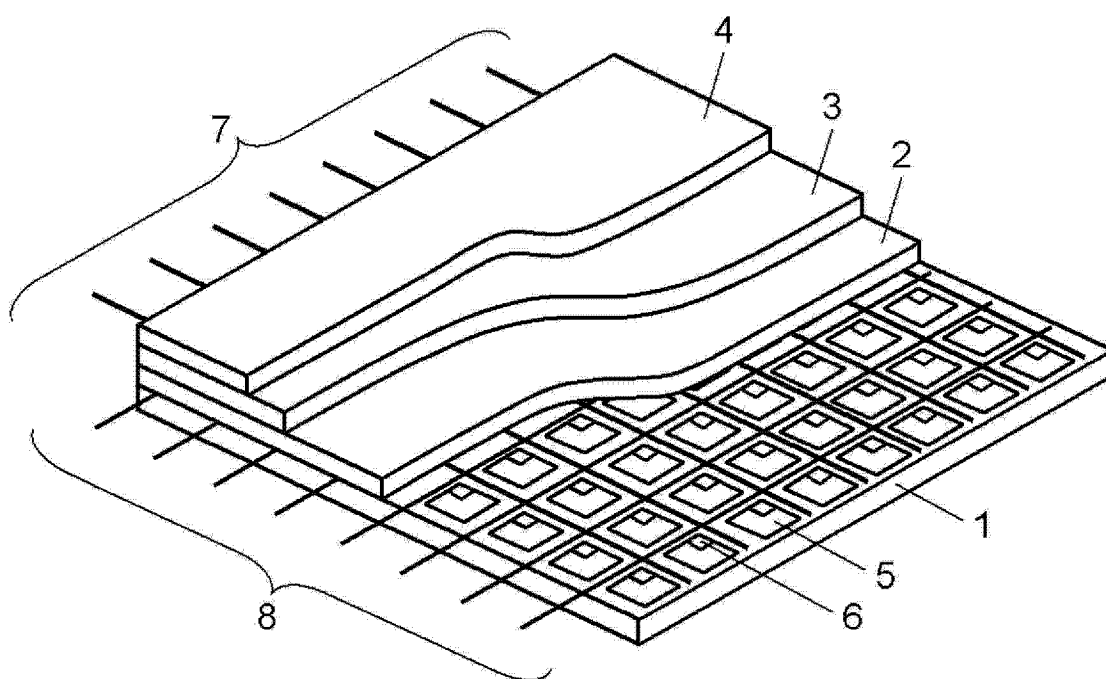


图 1

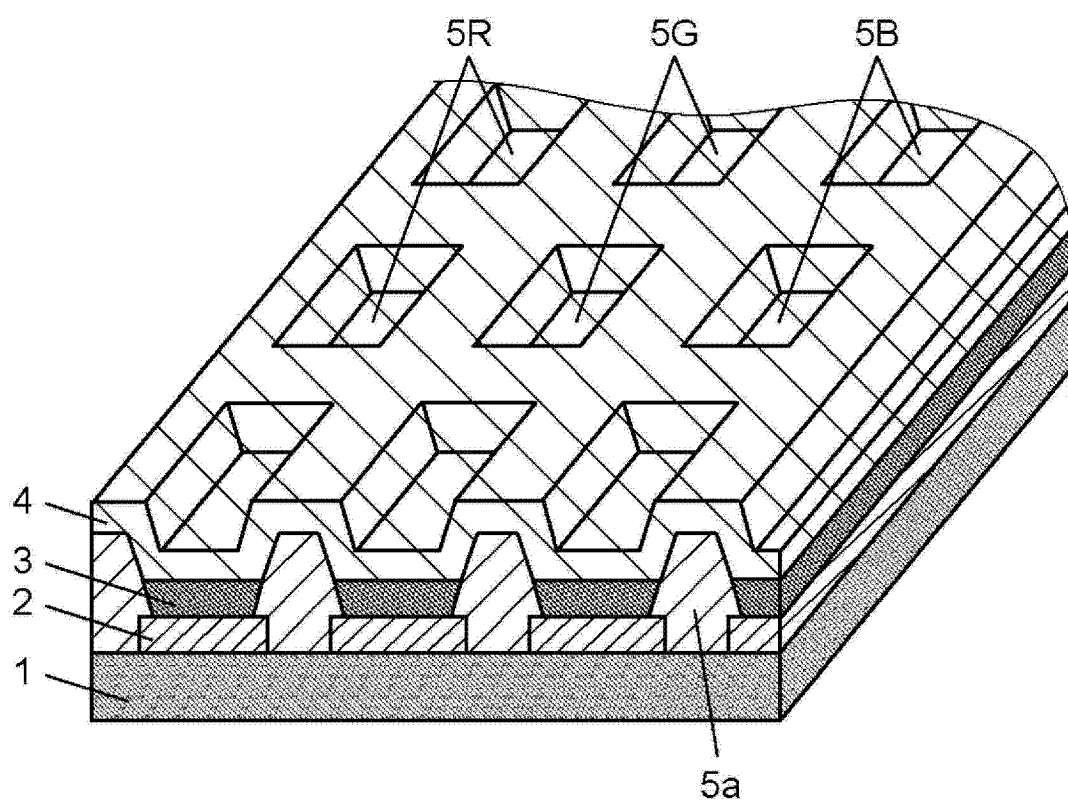


图 2

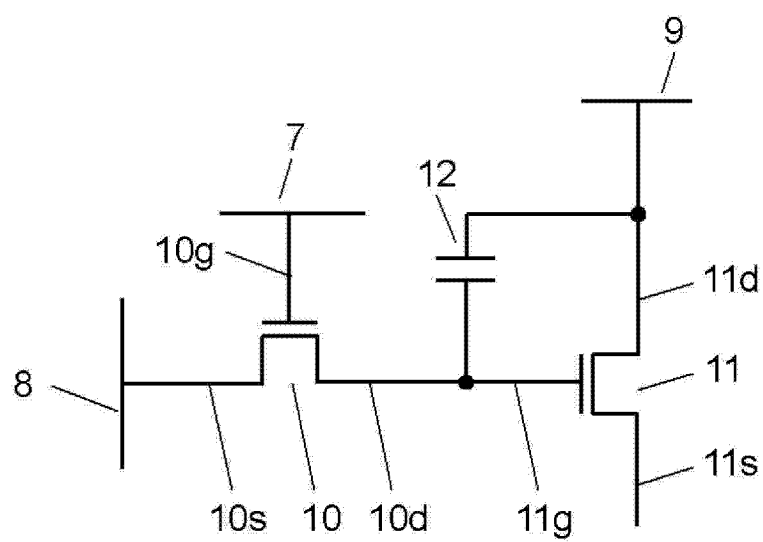


图 3

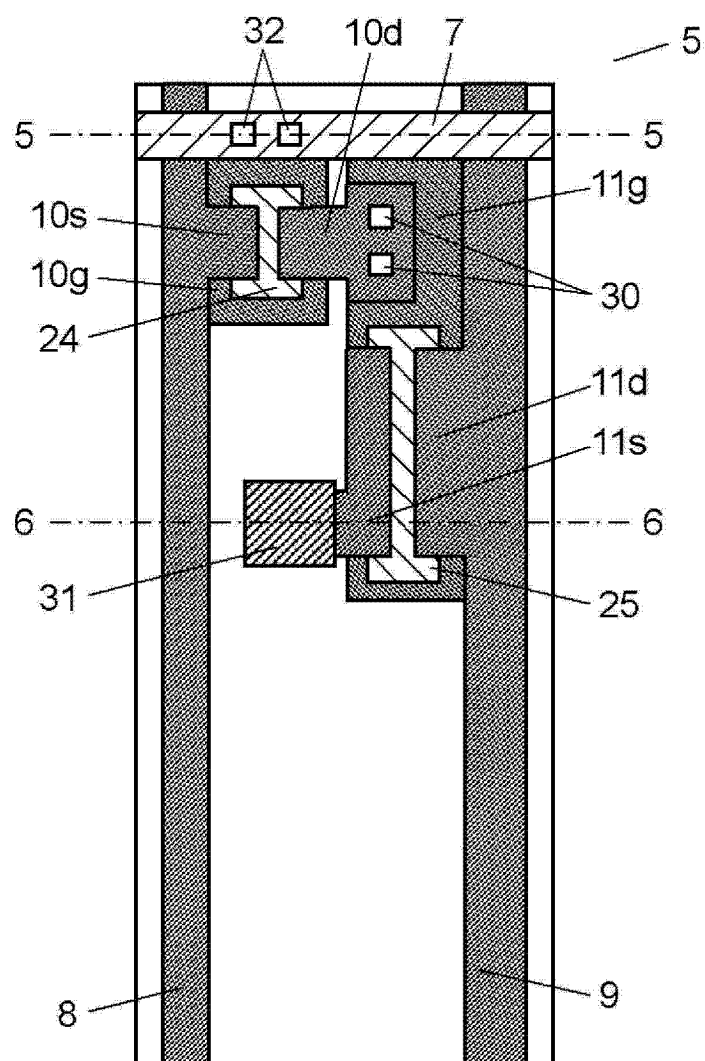


图 4

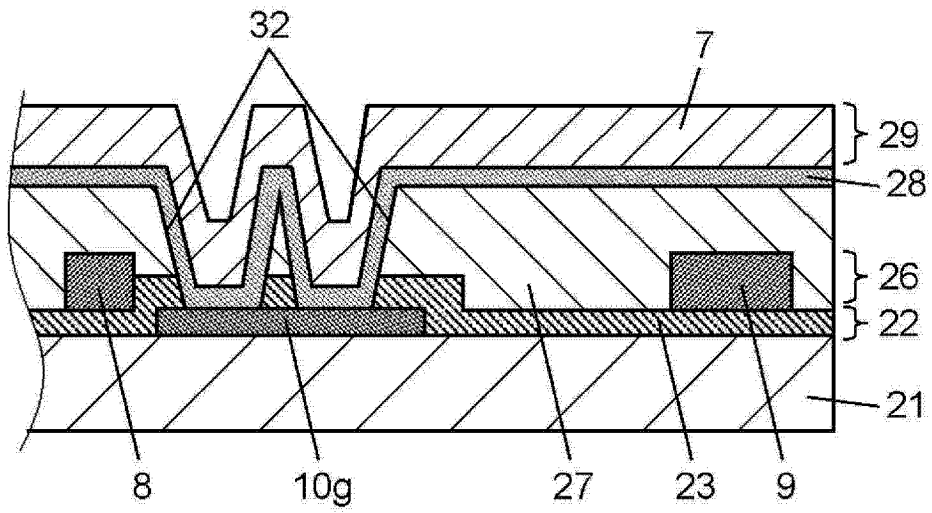


图 5

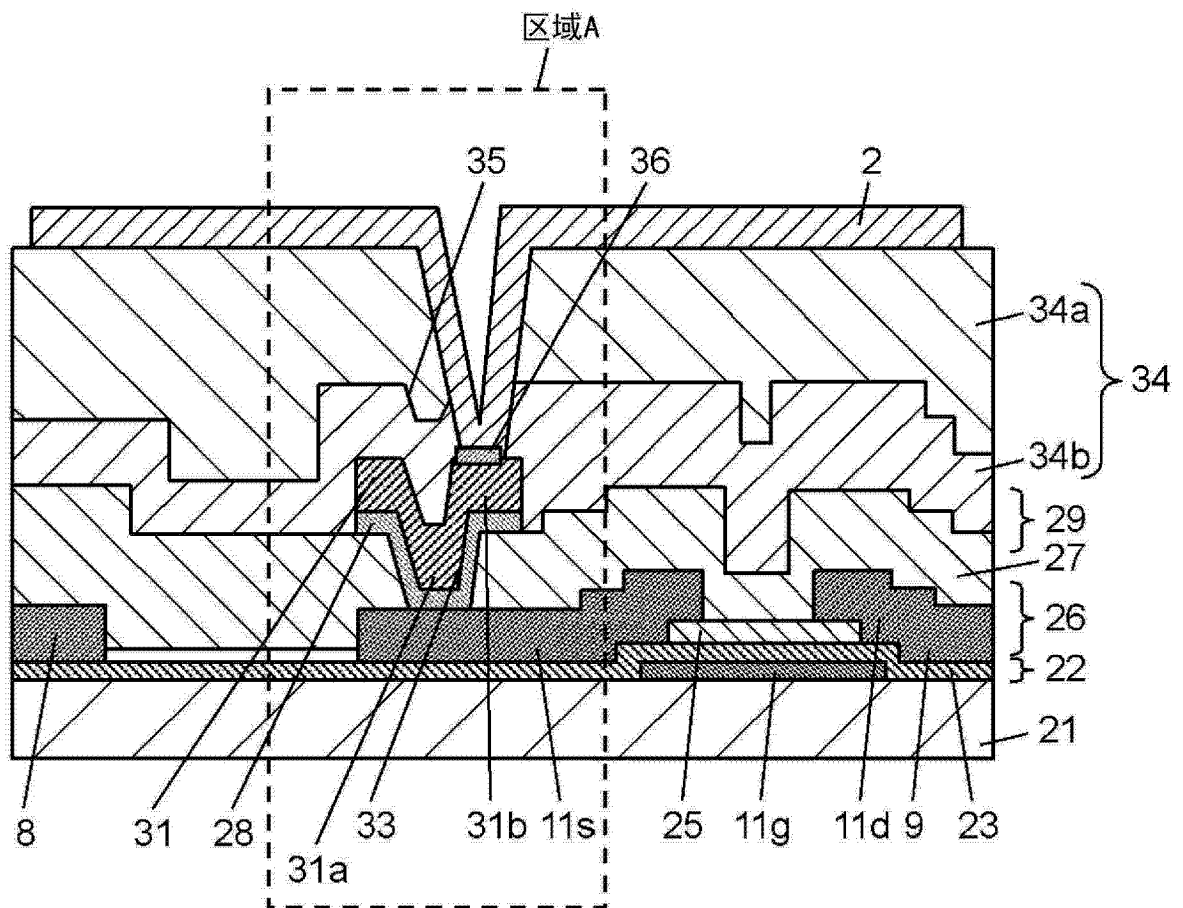


图 6

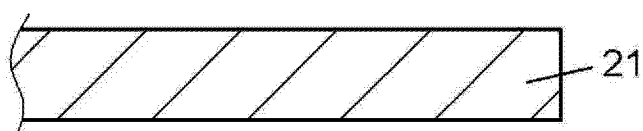


图 7A

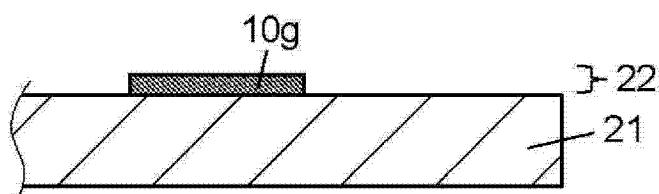


图 7B

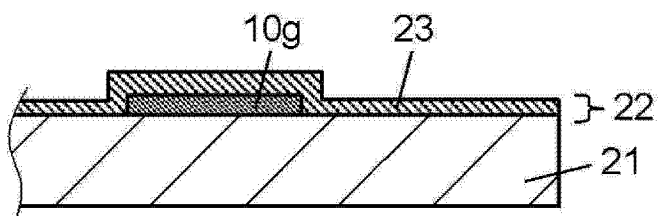


图 7C

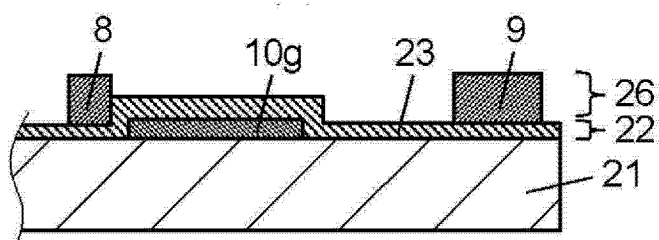


图 7D

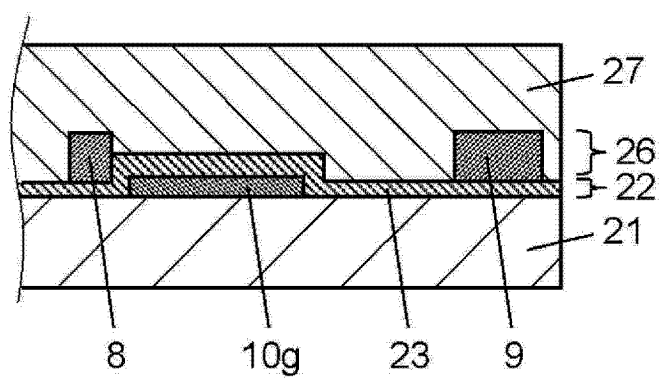


图 7E

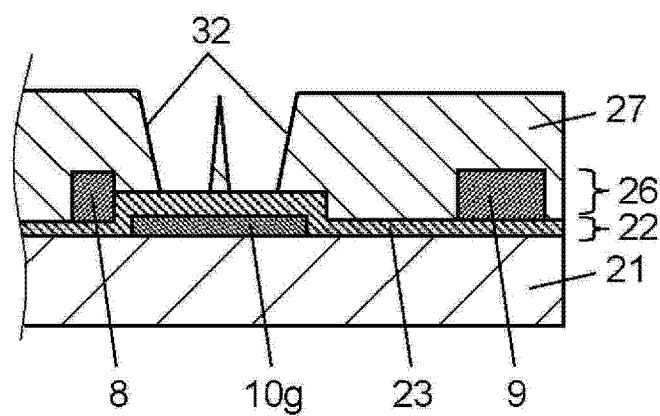


图 7F

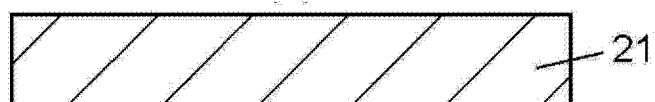


图 8A

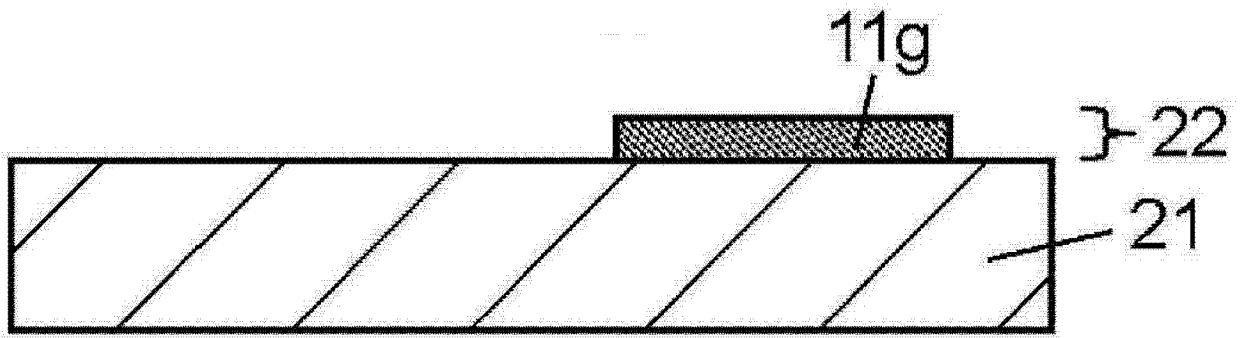


图 8B

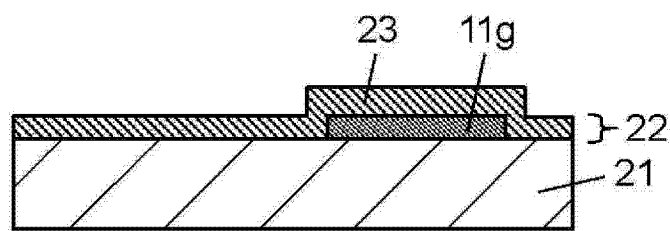


图 8C

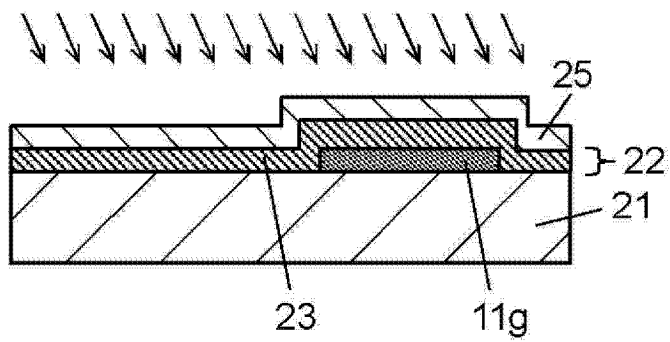


图 8D

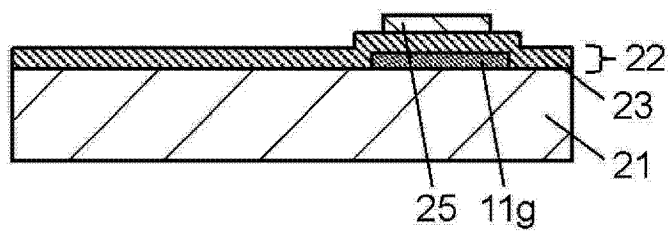


图 8E

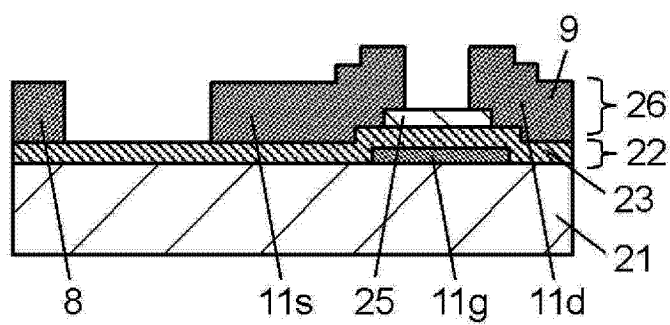


图 8F

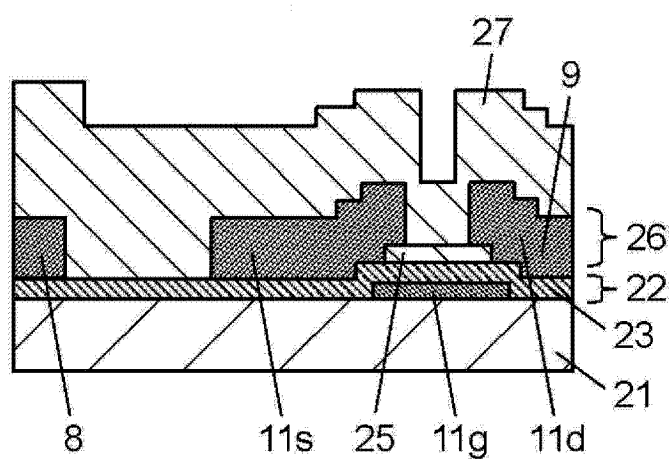


图 8G

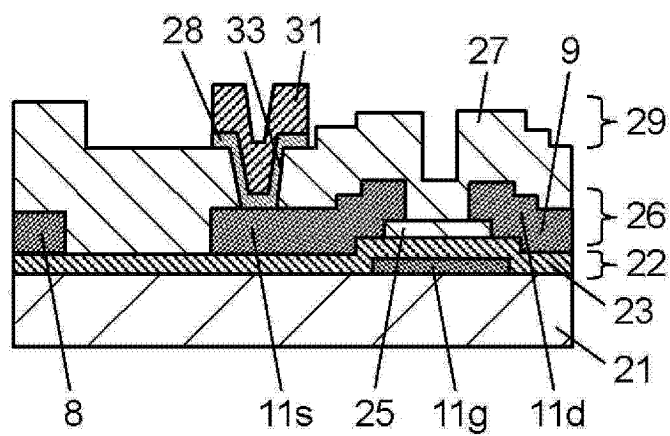


图 8H

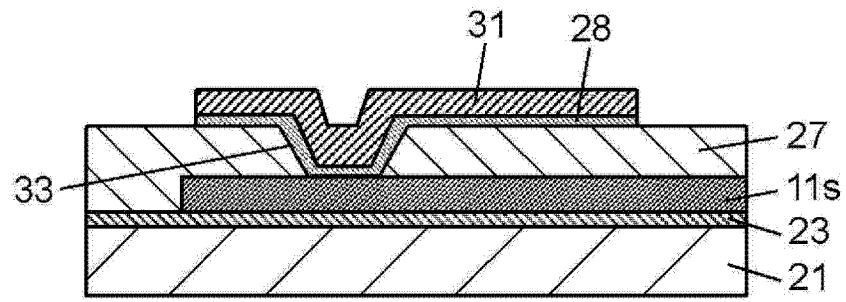


图 9A

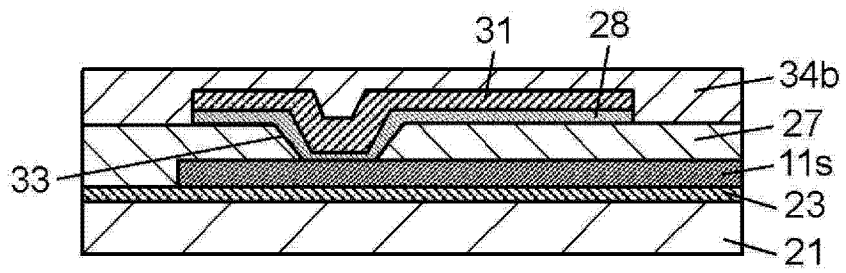


图 9B

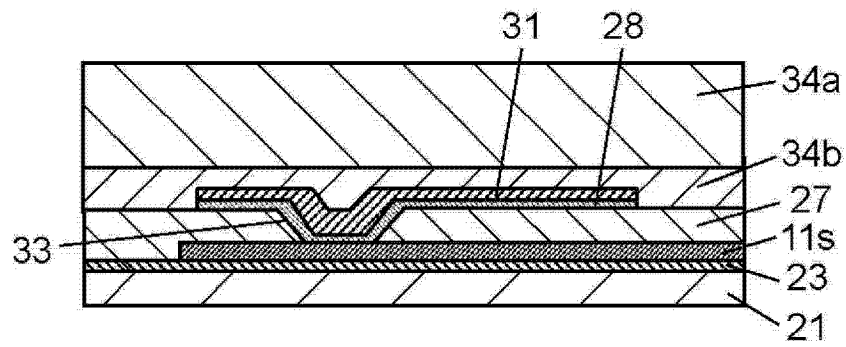


图 9C

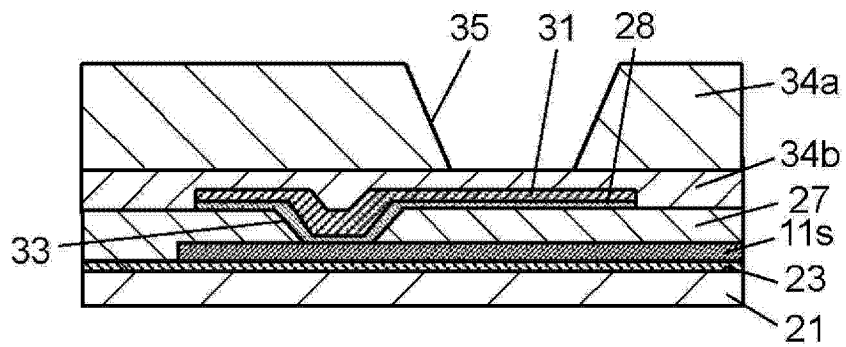


图 9D

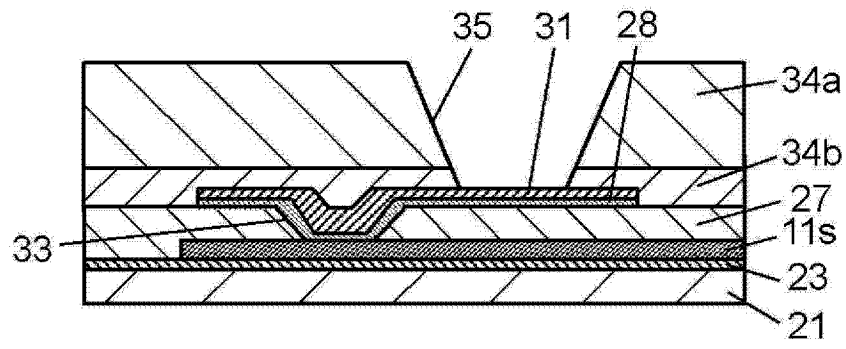


图 9E

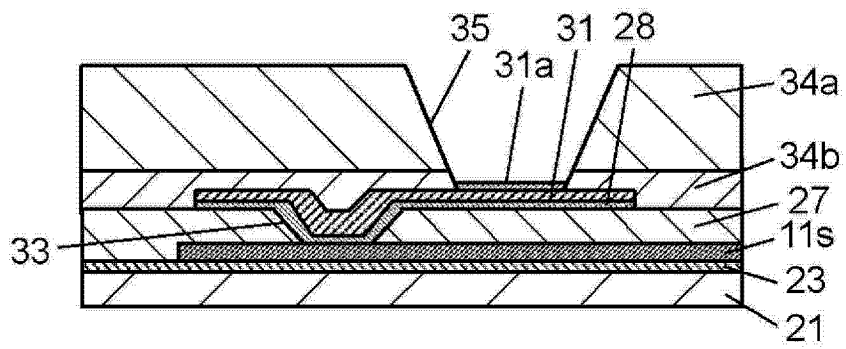


图 9F

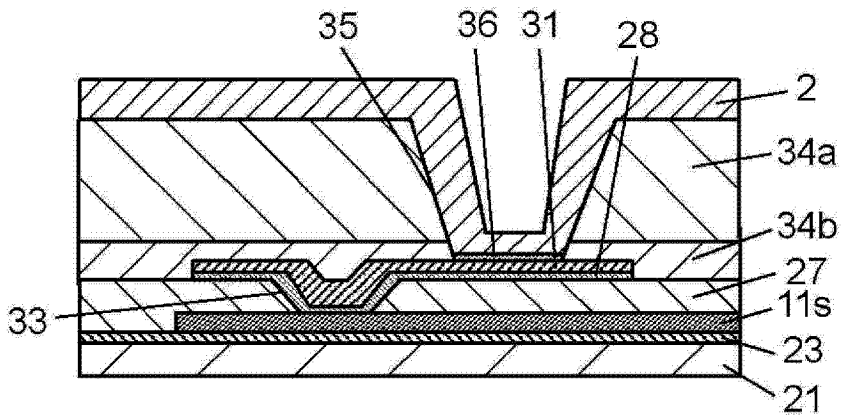


图 9G

专利名称(译)	薄膜晶体管阵列装置以及使用它的EL显示装置		
公开(公告)号	CN103959470A	公开(公告)日	2014-07-30
申请号	CN201280056953.9	申请日	2012-11-22
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	株式会社日本有机雷特显示器		
[标]发明人	篠川泰治 伊藤研		
发明人	篠川泰治 伊藤研		
IPC分类号	H01L27/32 G09F9/30 H01L51/50		
CPC分类号	H01L27/3258 H01L27/124 H01L27/3248		
代理人(译)	薛凯		
优先权	2012006693 2012-01-17 JP		
其他公开文献	CN103959470B		
外部链接	Espacenet SIPO		

摘要(译)

EL显示装置具有：在一对电极之间配置有发光层的发光部、和控制所述发光部的发光的薄膜晶体管阵列装置。在发光部与薄膜晶体管阵列装置之间配置层间绝缘膜，并且发光部的一方的阳极(2)介由层间绝缘膜(34)的接触孔(35)与薄膜晶体管阵列装置电连接。进一步地，薄膜晶体管阵列装置具有介由层间绝缘膜(34)的接触孔(35)与发光部的阳极(2)电连接的电流供给用的中继电极(31)，并且在发光部的一方的阳极(2)与薄膜晶体管阵列装置的电流供给用的中继电极(31)的界面形成有扩散防止膜(36)。

