



## (12) 发明专利申请

(10) 申请公布号 CN 103426898 A

(43) 申请公布日 2013. 12. 04

(21) 申请号 201310052204. 5

(22) 申请日 2013. 02. 18

(30) 优先权数据

2012-118789 2012. 05. 24 JP

(71) 申请人 株式会社东芝

地址 日本东京

(72) 发明人 齐藤信美 三浦健太郎

中野慎太郎 坂野龙则 上田知正

山口一

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 侯颖嫒

(51) Int. Cl.

H01L 27/32 (2006. 01)

H01L 29/786 (2006. 01)

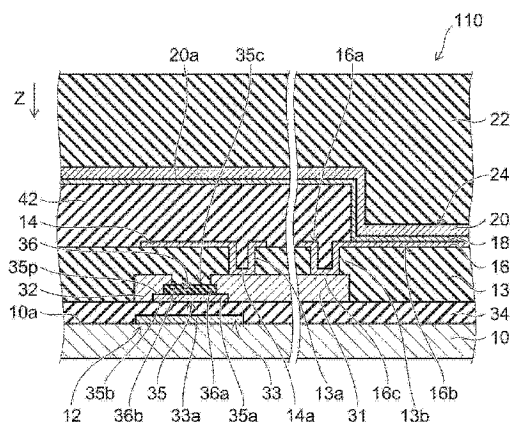
权利要求书2页 说明书8页 附图10页

(54) 发明名称

显示装置

(57) 摘要

根据一个实施例,一种显示装置包括衬底、薄膜晶体管、钝化膜、氢阻挡膜、像素电极、有机发光层、相对电极和密封膜。在所述衬底的主表面上设置所述薄膜晶体管。所述薄膜晶体管包括栅电极、栅极绝缘膜、半导体膜、第一导电部分和第二导电部分。在所述薄膜晶体管上设置所述钝化膜。在所述钝化膜上设置所述氢阻挡膜。所述像素电极电连接至所述第一导电部分和所述第二导电部分之一。所述有机发光层设置在所述像素电极上。所述相对电极设置在所述有机发光层上。在所述氢阻挡膜和所述相对电极上设置所述密封膜。



1. 一种显示装置,包括:
  - 具有主表面的衬底,所述衬底是透光的;
  - 设置在所述主表面上的薄膜晶体管,所述薄膜晶体管包括:
  - 设置在所述主表面上的栅电极;
  - 设置在所述栅电极上的栅极绝缘膜;
  - 设置在所述栅极绝缘膜上的半导体膜,所述半导体膜包括第一区域、与所述第一区域分开的第二区域以及设置在所述第一区域和所述第二区域之间的第三区域;
  - 电连接至所述第一区域的第一导电部分;和
  - 电连接至所述第二区域且被设置为与所述第一导电部分分隔开的第二导电部分;
  - 设置在所述薄膜晶体管上的钝化膜,所述钝化膜是绝缘的;
  - 设置在所述钝化膜上的氢阻挡膜,且该氢阻挡膜当被投影到与所述主表面平行的平面上时与所述半导体膜重叠;
  - 电连接至所述第一导电部分和所述第二导电部分之一的像素电极,所述像素电极是透光的;
  - 设置在所述像素电极上的有机发光层;
  - 设置在所述有机发光层上的相对电极;以及
  - 设置在所述氢阻挡膜和所述相对电极上的密封膜。
2. 如权利要求1所述的装置,其特征在于,所述氢阻挡膜包含 Ti、Ta、TiN 和 TaN 之一。
3. 如权利要求1所述的装置,其特征在于,所述氢阻挡膜包含含有 In、Zn、Ga、Ti 和 Al 中的至少一种的氧化物。
4. 如权利要求1所述的装置,其特征在于,所述氢阻挡膜电连接至所述第一导电部分和所述第二导电部分之一。
5. 如权利要求1所述的装置,其特征在于,
  - 所述半导体膜是 n 型的,且
  - 所述氢阻挡膜电连接至所述像素电极。
6. 如权利要求1所述的装置,其特征在于,
  - 所述半导体膜是 p 型的,且
  - 所述氢阻挡膜电连接至所述第一导电部分和所述第二导电部分中的另一个。
7. 如权利要求1所述的装置,其特征在于,所述氢阻挡膜包括与所述像素电极的材料相同的材料。
8. 如权利要求7所述的装置,其特征在于,所述氢阻挡膜延伸到所述像素电极。
9. 如权利要求7所述的装置,其特征在于,所述像素电极包括 ITO、IZO、AZO、IGZO 和 ZnO 中的至少一种。
10. 如权利要求1所述的装置,其特征在于,所述半导体膜包括包含 In、Ga 和 Zn 中至少之一的氧化物半导体。
11. 如权利要求1所述的装置,其特征在于,所述密封膜包含  $10^{19}$  个原子 / $\text{cm}^3$  或大于  $10^{19}$  个原子 / $\text{cm}^3$  的氢。
12. 如权利要求11所述的装置,其特征在于,所述密封膜包括氧化硅膜、氮化硅膜和氧氮化硅膜中的至少一个。

13. 如权利要求 1 所述的装置,其特征在于,所述相对电极在所述半导体膜和所述氢阻挡膜上延伸。
14. 如权利要求 1 所述的装置,其特征在于,所述衬底包括树脂材料且为柔性的。
15. 如权利要求 1 所述的装置,其特征在于,  
所述栅极绝缘膜被放置在所述栅电极与所述第三区域之间。
16. 如权利要求 15 所述的装置,其特征在于,所述薄膜晶体管还包括设置在至少所述第三区域上的沟道保护膜。
17. 如权利要求 1 所述的装置,其特征在于,所述相对电极包括金属材料。
18. 如权利要求 1 所述的装置,其特征在于,所述氢阻挡膜的厚度为大于等于 20nm 且小于等于 150nm。
19. 如权利要求 1 所述的装置,其特征在于,还包括滤色片,  
所述钝化膜在所述像素电极和所述主表面之间延伸,且  
所述滤色片设置在所述像素电极和所述钝化膜之间并在所述氢阻挡膜之上。
20. 如权利要求 1 所述的装置,其特征在于,还包括滤色片,  
所述钝化膜在所述像素电极和所述主表面之间延伸,且  
所述滤色片设置在所述像素电极和所述钝化膜之间并在所述钝化膜和所述氢阻挡膜之间延伸。

## 显示装置

[0001] 相关申请的交叉引用

[0002] 本申请基于 2012 年 5 月 24 日提交的在先日本专利申请 No. 2012-118789 并要求其优先权的权益；该申请的全部内容通过引用结合于此。

### 技术领域

[0003] 本文描述的实施例总的来说涉及显示装置。

### 背景技术

[0004] 有一种有源矩阵显示装置，其中诸如薄膜晶体管之类的开关元件控制通过有机 EL（电致发光）器件的电流。期望改进这种显示装置中的图像质量。

### 发明内容

[0005] 根据一个实施例，一种显示装置包括衬底、薄膜晶体管、钝化膜、氢阻挡膜、像素电极、有机发光层、相对电极和密封膜。所述衬底具有主表面。所述衬底是透光的。在所述主表面上设置所述薄膜晶体管。所述薄膜晶体管包括栅电极、栅极绝缘膜、半导体膜、第一导电部分和第二导电部分。在所述主表面上设置所述栅电极。在所述栅电极上设置所述栅极绝缘膜。在所述栅极绝缘膜上设置所述半导体膜。所述半导体膜包括第一区域、与所述第一区域分开的第二区域以及设置在所述第一区域和所述第二区域之间的第三区域。所述第一导电部分电连接至所述第一区域。所述第二导电部分电连接至所述第二区域。所述第二导电部分被设置为与所述第一导电部分分隔开。在所述薄膜晶体管上设置所述钝化膜。所述钝化膜是绝缘的。在所述钝化膜上设置所述氢阻挡膜。所述氢阻挡膜当被投影到与所述主表面平行的平面上时与所述半导体膜重叠。所述像素电极电连接至所述第一导电部分和所述第二导电部分之一。所述像素电极是透光的。所述有机发光层设置在所述像素电极上。所述相对电极设置在所述有机发光层上。在所述氢阻挡膜和所述相对电极上设置所述密封膜。

### 附图说明

[0006] 图 1 是示出根据第一实施例的显示装置的配置的示意性截面图；

[0007] 图 2 是示出根据第一实施例的显示装置的配置的等效电路图；

[0008] 图 3 是示出根据参考示例的显示装置的特性的曲线图；

[0009] 图 4A 至图 4D 是示出用于制造根据第一实施例的显示装置的方法的示意性截面图；

[0010] 图 5 是示出用于制造根据第一实施例的显示装置的方法的流程图；

[0011] 图 6 是示出根据第一实施例的另一显示装置的配置的等效电路图；

[0012] 图 7 是示出根据第一实施例的又一个显示装置的配置的示意性截面图；

[0013] 图 8A 和图 8B 是示出根据第二实施例的显示装置的配置的示意图；以及

[0014] 图 9 是示出根据第二实施例的另一显示装置的配置的示意性截面图。

## 具体实施方式

[0015] 在下文中将参考附图来描述各个实施例。

[0016] 需要注意的是,附图是示意性或概念性的。各部分的厚度和宽度之间的关系以及各部分之间的大小比例等不一定与实际相同。另外,即使在表示相同部分的情况下,所述各部分之间的尺寸和比例有时也根据附图以不同的方式进行表示。

[0017] 在说明书和附图中,与在上述附图中所描述或示出的组件类似的组件用相同的附图标记来标注,并且酌情省略详细描述。

### [0018] 第一实施例

[0019] 图 1 是示出根据第一实施例的显示装置的配置的示意性截面图。

[0020] 如图 1 所示,根据本实施例的显示装置 110 包括衬底 10、薄膜晶体管 12、钝化膜 13、氢阻挡膜 14、像素电极 16、有机发光层 18、阴极 20 和密封膜 22。

[0021] 像素电极 16、有机发光层 18 和相对电极 20 形成了有机 EL 发光元件部分 24。在该示例中,像素电极 16 用作阳极,且相对电极 20 用作阴极。在实施例中,像素电极 16 可用作阴极,而相对电极 20 可用作阳极。发光元件部分 24 的光发射由薄膜晶体管 12 驱动。在显示装置 110 中,以矩阵结构设置薄膜晶体管 12 和发光元件部分 24 的组合。控制薄膜晶体管 12 的驱动和与该驱动相关联的发光元件部分 24 的光发射,以显示各种画面。显示装置 110 为使用有机 EL 器件的有源矩阵显示装置。

[0022] 衬底 10 具有主表面 10a。例如,透光材料被用于衬底 10。例如,玻璃材料或树脂材料被用于衬底 10。透光且柔性的材料被用于衬底 10。例如,诸如聚酰亚胺之类的树脂材料被用于衬底 10。

[0023] 薄膜晶体管 12 设置在衬底 10 的主表面 10a 上。

[0024] 薄膜晶体管 12 包括第一导电部分 31、第二导电部分 32、栅电极 33、栅极绝缘膜 34、半导体膜 35 和沟道保护膜 36。

[0025] 栅电极 33 设置在衬底 10 的主表面 10a 上。例如,诸如钼钨(MoW)、钼钽(MoTa)以及钨(W)之类的高熔点金属被用于栅电极 33。

[0026] 在栅电极 33 上设置栅极绝缘膜 34。在该示例中,在整个主表面 10a 上设置栅极绝缘膜 34 以覆盖栅电极 33。例如,绝缘且透光的材料被用于栅极绝缘膜 34。例如,氧化硅膜、氮化硅膜和氧氮化硅膜之一被用于栅极绝缘膜 34。

[0027] 在所述栅极绝缘膜 34 上设置所述半导体膜 35。栅极绝缘膜 34 设置在栅电极 33 和半导体膜 35 之间,且使栅电极 33 与半导体膜 35 绝缘。例如,包含 In、Ga 和 Zn 中至少一个的氧化物半导体被用于半导体膜 35。即,例如,In-Ga-Zn-O 氧化物半导体、In-Ga-O 氧化物半导体和 In-Zn-O 氧化物半导体被用于半导体膜 35。半导体膜 35 为 n 型或 p 型。在下文中,在本示例中,将描述半导体膜 35 为 n 型的情况。

[0028] 在栅极绝缘膜 34 上设置第一导电部分 31。第一导电部分 31 的一部分设置在半导体膜 35 上,并接触半导体膜 35。因此,第一导电部分 31 电连接至半导体膜 35。在栅极绝缘膜 34 上设置第二导电部分 32。第二导电部分 32 被设置为与第一导电部分 31 分隔开。第二导电部分 32 的一部分设置在半导体膜 35 上,并接触半导体膜 35。因此,第二导电部分

32 电连接至半导体膜 35。例如, Ti、Al、Mo 等被用于第一导电部分 31 和第二导电部分 32。例如, 第一导电部分 31 和第二导电部分 32 可以是包含 Ti、Al 和 Mo 中至少一个的层叠体。第一导电部分 31 是薄膜晶体管 12 的源电极和漏电极中的一个。第二导电部分 32 是薄膜晶体管 12 的源电极和漏电极中的另一个。在下文中, 在本示例中, 将描述第一导电部分 31 为源电极且第二导电部分 32 为漏电极的情况。

[0029] 在半导体膜 35 上设置沟道保护膜 36。沟道保护膜 36 保护半导体膜 35。例如, 氧化硅膜被用于沟道保护膜 36。

[0030] 第一导电部分 31 覆盖沟道保护膜 36 的第一部分 36a。第二导电部分 32 覆盖沟道保护膜 36 的第二部分 36b。第一导电部分 31 覆盖半导体膜 35 的第一区域 35a。第二导电部分 32 覆盖半导体膜 35 的第二区域 35b。第二区域 35b 在垂直于主表面 10a 的方向上与所述第一区域分开。半导体膜 35 具有第三区域 35c, 该第三区域 35c 设置在所述第一区域和所述第二区域之间。该第三区域 35c 不用第一导电部分 31 和第二导电部分 32 覆盖。当在垂直于半导体膜 35 的膜表面 35p 的方向上(下文中被称为 Z 轴方向)观察时, 栅电极 33 具有位于第一导电部分 31 和第二导电部分 32 之间的部分 33a。即, 在栅电极 33 与半导体膜 35 的第三区域 35c 之间放置栅极绝缘膜 34。在至少第三区域 35c 上设置沟道保护膜 36。当向栅电极 33 施加电压时, 在半导体膜 35 中产生沟道, 且电流在第一导电部分 31 和第二导电部分 32 之间流过。

[0031] 在薄膜晶体管 12 上设置钝化膜 13。在该示例中, 钝化膜 13 设置在整個主表面 10a 上。钝化膜 13 覆盖薄膜晶体管 12。钝化膜 13 是绝缘的。钝化膜 13 也是透光的。例如, 氧化硅膜、氮化硅膜和氧氮化硅膜之一被用于钝化膜 13。

[0032] 在钝化膜 13 上设置氢阻挡膜 14。即, 在薄膜晶体管 12 和氢阻挡膜 14 之间设置钝化膜 13。氢阻挡膜 14 当被投影到与主表面 10a 平行的平面上时与半导体膜 35 重叠。氢阻挡膜 14 经钝化膜 13 覆盖半导体膜 35。氢阻挡膜 14 覆盖至少半导体膜 35 中的第三区域 35c。具有用于抑制氢渗透的氢阻挡特性的导电材料被用于氢阻挡膜 14。包含例如 Ti、Ta、TiN 和 TaN 之一的金属材料被用于氢阻挡膜 14。包含例如 In、Zn、Ga、Ti 和 Al 中至少一个的氧化物被用于氢阻挡膜 14。对于氢阻挡膜 14 的氧化物, 使用例如 ITO(In-Ti-O)、IZO(In-Zn-O)、AZO(Al-Zn-O)、IGZO(In-Ga-Zn-O)、ZnO 等。

[0033] 钝化膜 13 设置有第一开口 13a 和第二开口 13b, 且第一导电部分 31 的一部分从第一开口 13a 和第二开口 13b 露出。氢阻挡膜 14 的一部分 14a 接触第一开口 13a 中的第一导电部分 31。因此, 氢阻挡膜 14 电连接至第一导电部分 31。

[0034] 像素电极 16 电连接至第一导电部分 31 和第二导电部分 32 之一。在该示例中, 像素电极 16 电连接至第一导电部分 31。

[0035] 在钝化膜 13 上设置像素电极 16。像素电极 16 具有沿 Z 轴方向与薄膜晶体管 12 相对的相对区域 16a 和沿 Z 轴方向不与薄膜晶体管 12 相对的非相对区域 16b。例如, 导电且透光的材料被用于像素电极 16。例如, ITO 等被用于像素电极 16。像素电极 16 的相对区域 16a 的一部分 16c 与第二开口 13b 中的第一导电部分 31 接触。因此, 像素电极 16 电连接至第一导电部分 31。

[0036] 因此, 氢阻挡膜 14 经第一导电部分 31 电连接至像素电极 16。如上所述, 氢阻挡膜 14 电连接至第一导电部分 31 和第二导电部分 32 之一。

[0037] 在氢阻挡膜 14 和像素电极 16 的相对区域 16a 上设置平面化膜 42。例如,绝缘材料被用于平面化膜 42。例如,氧化硅膜、氮化硅膜和氧氮化硅膜之一被用于平面化膜 42。

[0038] 有机发光层 18 设置在像素电极 16 的非相对区域 16b 和平面化膜 42 上。例如,有机发光层 18 接触非相对区域 16b 中的像素电极 16。平面化膜 42 防止氢阻挡膜 14 接触有机发光层 18,并防止相对区域 16a 接触有机发光层 18。例如,一种使空穴传输层、发光层和电子传输层彼此互相堆叠的层叠体被用于有机发光层 18。

[0039] 相对电极 20 设置在有机发光层 18 上。相对电极 20 设置在平面化膜 42 上,且具有在半导体膜 35 和氢阻挡膜 14 上延伸的部分 20a。导电材料被用于相对电极 20。例如,Al、MgAg 等被用于相对电极 20。例如,在非相对区域 16b 中形成发光元件部分 24。在发光元件部分 24 中,横跨像素电极 16 和相对电极 20 施加电压,以从有机发光层 18 中发出光。从有机发光层 18 中发出的光通过钝化膜 13、栅极绝缘膜 34 和衬底 10,并到达外部。显示装置 110 是下表面发射型显示装置。

[0040] 密封膜 22 设置在相对电极 20 上。密封膜 22 覆盖有机发光层 18 和相对电极 20。密封膜 22 覆盖薄膜晶体管 12 和氢阻挡膜 14。密封膜 22 保护有机发光层 18 和相对电极 20。例如,氧化硅膜、氮化硅膜和氧氮化硅膜之一被用于密封膜 22。在使用这些材料的情况下,密封膜 22 包含  $10^{19}$  个原子/cm<sup>3</sup> 或大于  $10^{19}$  个原子/cm<sup>3</sup> 的氢。

[0041] 氢阻挡膜 14 抑制在密封膜 22 中所包含的到达半导体膜 35 的氢,并不利地影响薄膜晶体管 12 的性能。

[0042] 图 2 是示出根据第一实施例的显示装置的配置的等效电路图。

[0043] 如图 2 所示,显示装置 110 包括薄膜晶体管 12、氢阻挡膜 14、发光元件部分 24、开关晶体管 50、信号线 51、栅极线 52 和电源线 53。

[0044] 薄膜晶体管 12 的源极 12S (第一导电部分 31) 电连接至发光元件部分 24 的阳极 24A (像素电极 16)。薄膜晶体管 12 的漏极 12D (第二导电部分 32) 电连接至提供供电电压的电源线 53。薄膜晶体管 12 的栅极 12G (栅电极 33) 电连接至开关晶体管 50 的源极 50S。

[0045] 发光元件部分 24 的相对电极 24C (相对电极 20) 连接至公共电源 25 (例如,接地)。开关晶体管 50 的漏极 50D 电连接至信号线 51。开关晶体管 50 的栅极 50G 电连接至栅极线 52。

[0046] 氢阻挡膜 14 经上述部分 14a 接触第一导电部分 31,并如上所述地电连接至薄膜晶体管 12 的源极 12S。氢阻挡膜 14 经源极 12S 电连接至发光元件部分 24 的阳极 24A。

[0047] 在显示装置 110 中,经栅极线 52 向开关晶体管 50 的栅极 50G 施加电压,以使开关晶体管 50 转为导通状态。同时向信号线 51 施加电压,且经信号线 51 和处于导通状态的开关晶体管 50 向薄膜晶体管 12 的栅极 12G 施加电压。因此,根据栅极 12G 的电压的电流通过发光元件部分 24,且以根据栅极 12G 的电压的亮度从发光元件部分 24 中发出光。

[0048] 在下文中,将描述薄膜晶体管 12 在性能上的典型劣化。

[0049] 图 3 是示出根据参考示例的显示装置的特性的曲线图。

[0050] 图 3 中的水平轴表示施加给薄膜晶体管 12 的栅极 12G 的栅极电压  $V_g$ 。图 3 中的垂直轴表示通过薄膜晶体管 12 的漏极 12D 和源极 12S 的电流  $I_d$ 。

[0051] 图 3 中所示的样本 L1 是在衬底 10 上形成薄膜晶体管 12 且在其上形成钝化膜 13 的样本。样本 L2 是通过 PE-CVD (等离子体增强化学气相沉积) 在样本 L1 上进一步形成 SiN

作为密封膜 22 的样本。在样本 L2 中,不提供氢阻挡膜 14。样本 L3 是以 100° C 的温度对样本 L2 退火一小时的样本。

[0052] 如图 3 所示,在样本 L1 中,在薄膜晶体管 12 中获得适当的阈值特性。在样本 L2 中,薄膜晶体管 12 的阈值电压向负的一侧大大地偏移。当如在样本 L3 中那样进行退火时,阈值电压减小了,从而转变至正常导通状态。

[0053] 从样本 L1 和样本 L2 之间的比较可知,阈值电压的偏移由密封膜 22 引起。由于半导体膜 35 的电阻通过在大约 100°C 的低温退火而进一步减小,可考虑到某些杂质发生扩散的故障模式发生了。更具体地,可考虑到,密封膜 22 中所包含的氢扩散到下侧,以使沟道中的 IGZO 膜还原从而使电阻减小,并且薄膜晶体管 12 的阈值电压发生波动。

[0054] 在薄膜晶体管 12 和有机发光层 18 被组合的实际显示装置中,包括金属材料(例如, Al) 的相对电极 20 设置在薄膜晶体管 12 和密封膜 22 之间。经常考虑到的是,包含在密封膜 22 中的氢在相对电极 20 处被阻挡并且不会到达薄膜晶体管 12 的半导体膜 35。

[0055] 然而,即使在半导体膜 35 和密封膜 22 之间设置相对电极 20 的情况下,阈值电压的偏移也没有被充分地抑制。即,由诸如 Al 之类的金属材料制成的相对电极 20 没有起到足够的作用以阻挡密封膜 22 中的氢。

[0056] 相反,在具有低氢渗透性的氢阻挡膜 14 形成在薄膜晶体管 12 上而非诸如 Al 之类的相对电极 20 上的配置中,在形成密封膜 22 之后阈值电压的波动就减小了。

[0057] 在根据设置有氢阻挡膜 14 的实施例的显示装置 110 中,退火后阈值电压的偏移可在形成密封膜 22 之后被抑制。从而,可在显示装置 110 中获得高图像质量。

[0058] 如上所述,设置具有低氢渗透性(即,氢阻挡特性很高)的氢阻挡膜 14,以抑制阈值电压的波动。

[0059] Ti、Ta、TiN、TaN 等具有低氢渗透性。包含 In、Zn、Ga、Ti 和 Al 中至少一个的氧化物具有低氢渗透性。这些材料用于氢阻挡膜 14,以有效地抑制阈值电压的波动。

[0060] 在将包含 Ti、Ta、TiN 和 TaN 之一的金属材料用于氢阻挡膜 14 的情况下,薄膜晶体管 12 可被遮住而不受光照。从而,由入射到薄膜晶体管 12 的光线所引起的薄膜晶体管 12 的特性变化(光泄漏)可得到抑制。

[0061] 在实施例中,氢阻挡膜 14 电连接至薄膜晶体管 12 的源极 12S。从而,比如,设置在薄膜晶体管 12 上的氢阻挡膜 14 被充电且薄膜晶体管 12 无意地转变为导通状态这种情况可得到抑制。薄膜晶体管 12 特性上的变化也可得到抑制,该变化由来自发光元件部分 24 的相对电极 24C 的电位的不必要背栅效应引起。

[0062] 图 4A 至图 4D 是示出用于制造根据第一实施例的显示装置的方法的示意性截面图。

[0063] 如图 4A 所示,在显示装置 110 的制造中,在衬底 10 的主表面 10a 上形成薄膜晶体管 12。在形成薄膜晶体管 12 的过程中,在主表面 10a 上形成栅电极 33。在主表面 10a 和栅电极 33 上形成栅极绝缘膜 34。在栅极绝缘膜 34 上形成半导体膜 35。在半导体膜 35 上形成沟道保护膜 36。第一导电部分 31 和第二导电部分 32 形成在栅极绝缘膜 34、半导体膜 35 和沟道保护膜 36 上。

[0064] 如图 4B 所示,在薄膜晶体管 12 上形成钝化膜 13。例如,要成为钝化膜 13 的 SiO<sub>2</sub> 膜通过 PE-CVD 形成。在 SiO<sub>2</sub> 膜上形成第一开口 13a 和第二开口 13b。钝化膜 13 的厚度为

例如 200nm (大于等于 100nm 且小于等于 300nm)。在钝化膜 13 上形成氢阻挡膜 14 和像素电极 16。例如,将成为氢阻挡膜 14 的 Ti 膜通过溅射形成,并以预定的形状进行加工以获得氢阻挡膜 14。氢阻挡膜 14 的厚度为例如 50nm (大于等于 20nm 且小于等于 150nm)。将成为像素电极 16 的 ITO 膜通过溅射等形成,并以预定的形状进行加工以获得像素电极 16。像素电极 16 的厚度为例如 200nm (大于等于 100nm 且小于等于 200nm)。形成氢阻挡膜 14 和形成像素电极 16 的顺序是可选择的。在用于像素电极 16 的材料被用于氢阻挡膜 14 的情况下,这些工艺步骤同时进行。

[0065] 附图 4C 所示,在氢阻挡膜 14 和像素电极 16 的相对区域 16a 上形成平面化膜 42。例如,施加将成为平面化膜 42 的有机树脂并对其图案化,以获得平面化膜 42。在平面化膜 42 和像素电极 16 的非相对区域 16b 上形成有机发光层 18。例如,有机发光层 18 通过气相沉积形成。

[0066] 如图 4D 所示,在有机发光层 18 上形成相对电极 20。例如,要成为相对电极 20 的 LiF 膜和 Al 膜的层叠膜通过气相沉积形成,并以预定的形状进行加工。在相对电极 20 上形成密封膜 22。如上所述,制造了显示装置 110。

[0067] 图 5 是示出用于制造根据第一实施例的显示装置的方法的流程图。

[0068] 如图 5 所示,用于制造显示装置 110 的方法包括:形成薄膜晶体管 12 的步骤 S110、形成钝化膜 13 的步骤 S115、形成氢阻挡膜 14 和像素电极 16 的步骤 S120、形成有机发光层 18 的步骤 S130、形成相对电极 20 的步骤 S140 和形成密封膜 22 的步骤 S150。

[0069] 在步骤 S110 中,例如,执行参考图 4A 所描述的工艺。在步骤 S115 和 S120 中,例如,执行参考图 4B 所描述的工艺。在步骤 S130 中,例如,执行参考图 4C 所描述的工艺。在步骤 S140 和 S150 中,例如,执行参考图 4D 所描述的工艺。

[0070] 用于形成薄膜晶体管 12 的工艺步骤(步骤 S110)可包括形成沟道保护膜 36 以覆盖半导体膜 35 的顶表面。

[0071] 在所述制造方法中,氢阻挡膜 14 可包括 Ti、Ta、TiN 和 TaN 之一。氢阻挡膜 14 可包括包含 In、Zn、Ga、Ti 和 Al 中至少一个的氧化物。

[0072] 用于形成氢阻挡膜 14 和像素电极 16 的工艺步骤(步骤 S120)可包括将氢阻挡膜 14 电连接至第一导电部分 31 和第二导电部分 32 之一(例如,源极 12S)。在半导体膜 35 为 n 型的情况下,用于形成氢阻挡膜 14 和像素电极 16 的工艺步骤(步骤 S120)可包括将氢阻挡膜 14 电连接至像素电极 16。

[0073] 在所述制造方法中,半导体膜 35 可包括包含 In、Ga 和 Zn 中至少一种的氧化物半导体。密封膜 22 包含  $10^{19}$  个原子/cm<sup>3</sup> 或大于  $10^{19}$  个原子/cm<sup>3</sup> 的氢。在该情况下,提供氢阻挡膜 14,以有效地抑制阈值电压的波动。

[0074] 图 6 是示出根据第一实施例的另一显示装置的配置的等效电路图。

[0075] 如图 6 所示,在显示装置 112 中,薄膜晶体管 12 的半导体膜 35 是 p 型的。像素电极 16 电连接至第一导电部分 31 和第二导电部分 32 之一。在该示例中,像素电极 16 电连接至第一导电部分 31 (漏极 12D)。氢阻挡膜 14 连接至第二导电部分 32 (源极 12S),这是第一导电部分 31 和第二导电部分 32 中的另一个。氢阻挡膜 14 经源极 12S 电连接至电源线 53。

[0076] 例如,如该示例中那样,在半导体膜 35 为 p 型的情况下,用于形成氢阻挡膜 14 和

像素电极 16 的工艺步骤(步骤 S120)可包括将氢阻挡膜 14 电连接至第一导电部分 31 和第二导电部分 32 中的另一个(源极 12S 是第二导电部分 32)。

[0077] 同样在显示装置 112 中,由于设置了氢阻挡膜 14,可抑制薄膜晶体管 12 特性上的波动,且可提供具有高图像质量的显示装置。

[0078] 图 7 是示出根据第一实施例的又一个显示装置的配置的示意性截面图。

[0079] 如图 7 所示,显示装置 114 还包括滤色片 44。滤色片 44 设置在氢阻挡膜 14 和平面化膜 42 之间以及像素电极 16 和钝化膜 13 之间。对于每个像素,滤色片 44 具有不同的颜色。例如,形成滤色片 44,其中红色、绿色和蓝色树脂膜(例如,彩色抗蚀剂)之一被涂敷,且对所述彩色树脂膜进行图案化。滤色片 44 的膜厚为例如  $2\mu\text{m}$  (例如,大于等于  $1\mu\text{m}$  且小于等于  $3\mu\text{m}$ )。

[0080] 如上所述,同样在氢阻挡膜 14 上设置有滤色片 44 的显示装置 114 中,可抑制薄膜晶体管 12 特性上的变化,且可获得高图像质量。

[0081] 显示装置 114 可例如如下所述地进行制造。

[0082] 在形成薄膜晶体管 12 之后,形成钝化膜 13。其厚度为大于等于  $100\text{nm}$  且小于等于  $300\text{nm}$  的  $\text{SiO}_2$  膜例如通过 PE-CVD 被形成成为钝化膜 13。 $\text{SiN}$  膜或  $\text{SiON}_x$  膜可用于钝化膜 13。要成为氢阻挡膜 14 的 Ti 膜(其厚度大于等于  $20\text{nm}$  且小于等于  $100\text{nm}$ )进一步通过比如溅射形成。加工该 Ti 膜以获得氢阻挡膜 14。涂敷红色、绿色和蓝色抗蚀剂并对其进行加工以形成滤色片 44。在滤色片 44 上形成像素电极 16。在滤色片 44 和像素电极 16 上形成平面化膜 42。在像素电极 16 上顺序地形成有机发光层 18 和相对电极 20,以形成密封膜 22。如上所述,制造了显示装置 114。

[0083] 第二实施例

[0084] 图 8A 和图 8B 是示出根据第二实施例的显示装置的配置的示意图。

[0085] 图 8A 是示出显示装置 210 的示意性截面图。图 8B 是示出显示装置 210 的示意性平面图。

[0086] 如图 8A 和图 8B 所示,在显示装置 210 中,将变成像素电极 16 的材料被用于氢阻挡膜 14 的材料。即,氢阻挡膜 14 的材料基本与像素电极 16 的材料相同。在这种情况下,例如,诸如  $\text{ITO}$ 、 $\text{IZO}$ 、 $\text{AZO}$ 、 $\text{IGZO}$  和  $\text{ZnO}$  之类的金属氧化物被用于氢阻挡膜 14 和像素电极 16。氢阻挡膜 14 延伸到像素电极 16。

[0087] 同样在显示装置 210 中,设置氢阻挡膜 14 以抑制包含在密封膜 22 中的氢向半导体膜 35 的移动,用于改进图像质量。另外,在显示装置 210 中,可同时形成氢阻挡膜 14 和像素电极 16。从而,可消除额外的工艺,并提供高生产率。

[0088] 在该示例中,氢阻挡膜 14 可包括包含  $\text{In}$ 、 $\text{Zn}$ 、 $\text{Ga}$ 、 $\text{Ti}$  和  $\text{Al}$  中至少一个的氧化物。这些材料是用于像素电极 16 的材料。

[0089] 用于形成氢阻挡膜 14 和像素电极 16 的工艺步骤(步骤 S120)可包括使用要成为像素电极 16 的材料来形成氢阻挡膜 14。氢阻挡膜 14 延伸到像素电极 16。从而,可获得高生产率。

[0090] 图 9 是示出根据第二实施例的另一显示装置的配置的示意性截面图。

[0091] 如图 9 所示,在显示装置 212 中,在滤色片 44 上设置像素电极 16 和延伸到像素电极 16 的氢阻挡膜 14。同样在显示装置 212 中,氢阻挡膜 14 抑制包含在密封膜 22 中的氢向

半导体膜 35 的移动,用于改进图像质量。额外的工艺同样是不必要的,且生产率也很高。

[0092] 根据实施例,可提供具有高图像质量的显示装置。

[0093] 在本申请的说明书中,“垂直”和“平行”不仅指严格垂直和严格平行,还包括例如由于制造工艺等引起的波动。基本上垂直和基本上平行就足够了。

[0094] 在本申请的说明书中,“一个组件设置在另一个组件上”的状态包括一个组件直接设置在另一个组件上的状态以及一个组件隔着不同元件设置在另一个组件上的状态。“一个组件堆叠在另一个组件上”的状态包括一个组件堆叠在另一个组件上以互相接触的状态以及一个组件隔着不同的元件而堆叠在另一个组件上的状态。“一个组件与另一个组件相对”的状态包括一个组件直接面对另一个组件的状态以及一个组件隔着不同的元件而面对另一个组件的状态。

[0095] 如上所述,参考特定示例描述本发明的实施例。

[0096] 然而,本发明的实施例并不限于这些具体示例。例如,只要本领域技术人员从公知的范围适当地选择组件以类似地实现本发明用以获得类似的效果,诸如包括在显示装置中的衬底、薄膜晶体管、钝化膜、氢阻挡膜、像素电极、有机发光层、阴极、密封膜、栅电极、栅极绝缘膜、半导体膜、第一导电部分和第二导电部分之类的组件的特定配置被包含在本发明的范围内。

[0097] 此外,具体示例的任何两个或更多个组件可在技术可行性的程度内组合在一起,并且被包括在本发明的范围内达包含本发明主旨的程度。

[0098] 另外,可由本领域技术人员基于前述作为本发明实施例的显示装置通过适当设计调整而实践的所有显示装置也落在本发明的范围内达到包含本发明主旨的程度。

[0099] 在本发明精神范围内,本领域技术人员可构想各种其他变化和修改,并且应当理解,这些变化和修改也涵盖在本发明的范围内。

[0100] 尽管已描述了特定实施例,但这些实施例仅作为示例而呈现,并且不旨在限制本发明的范围。实际上,本文中所描述的新颖实施例可以各种其他形式来体现;此外,可作出以本文中所描述的实施例为形式的各种省略、替代和改变,而不背离本发明的精神。所附权利要求书及其等效方案旨在覆盖落入本发明的范围和精神的这些形式或修改。

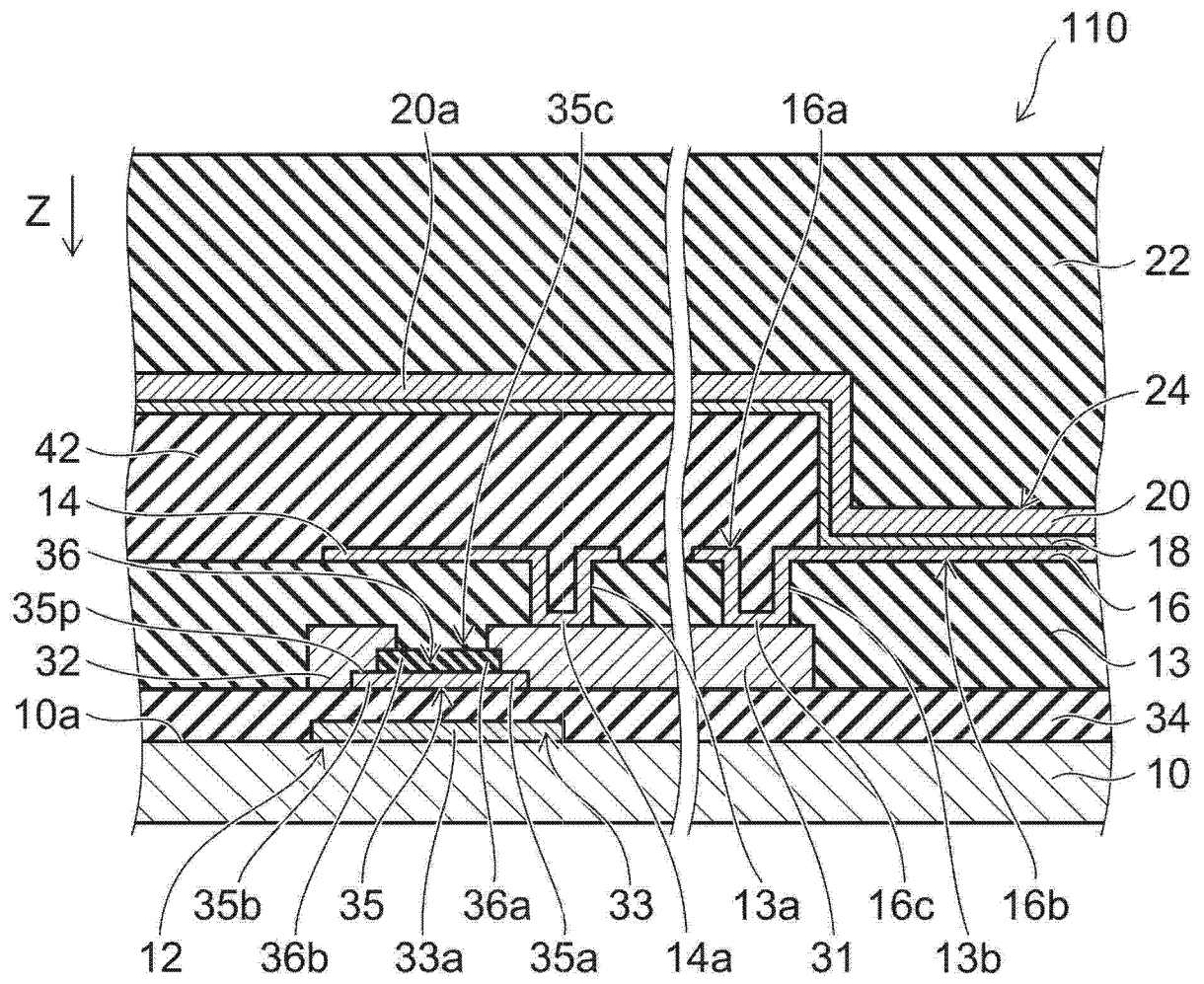


图 1

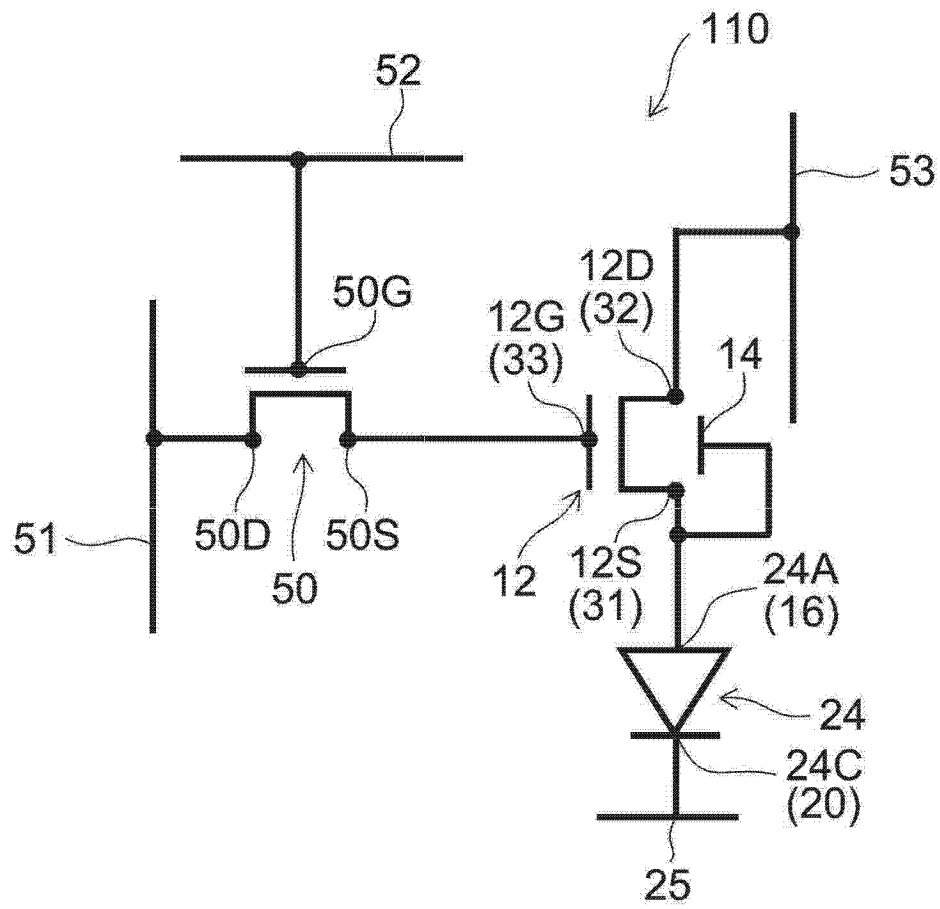


图 2

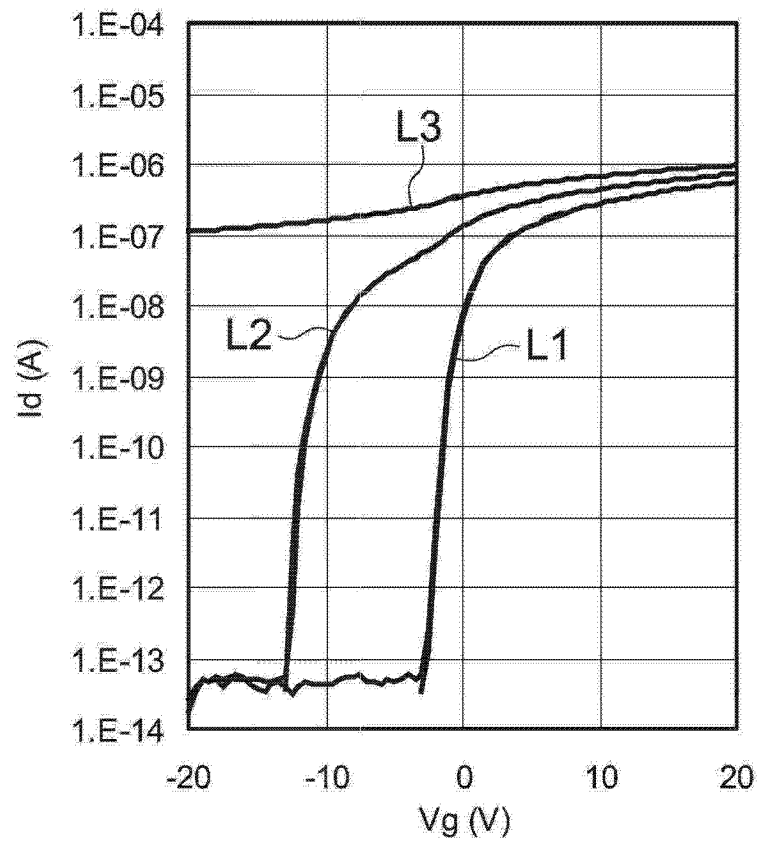


图 3

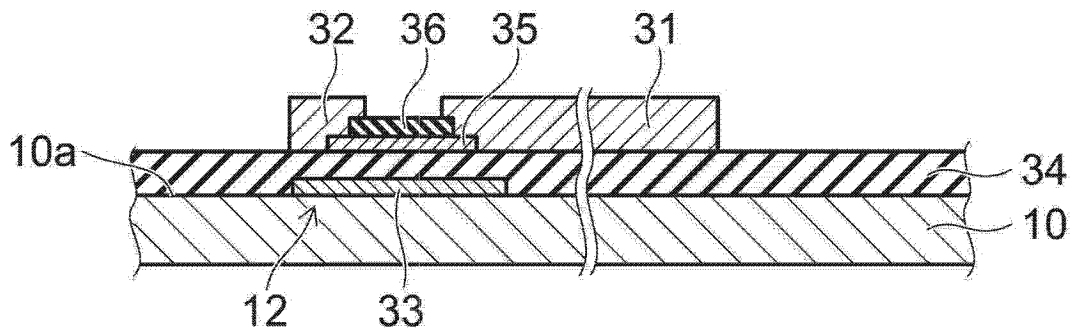


图 4A

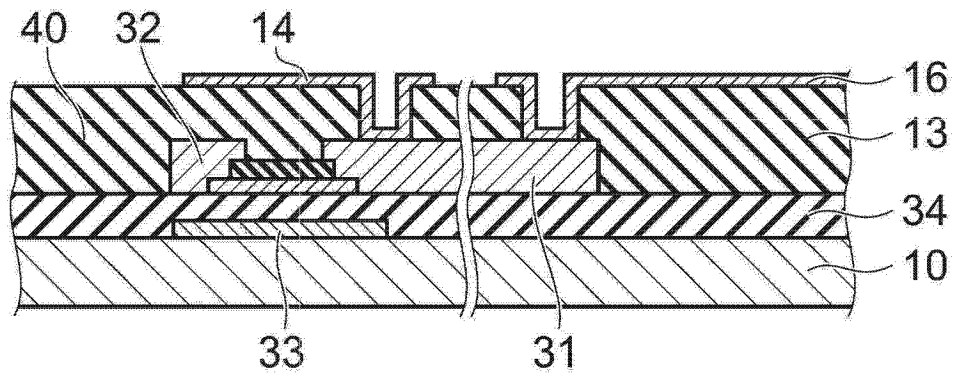


图 4B

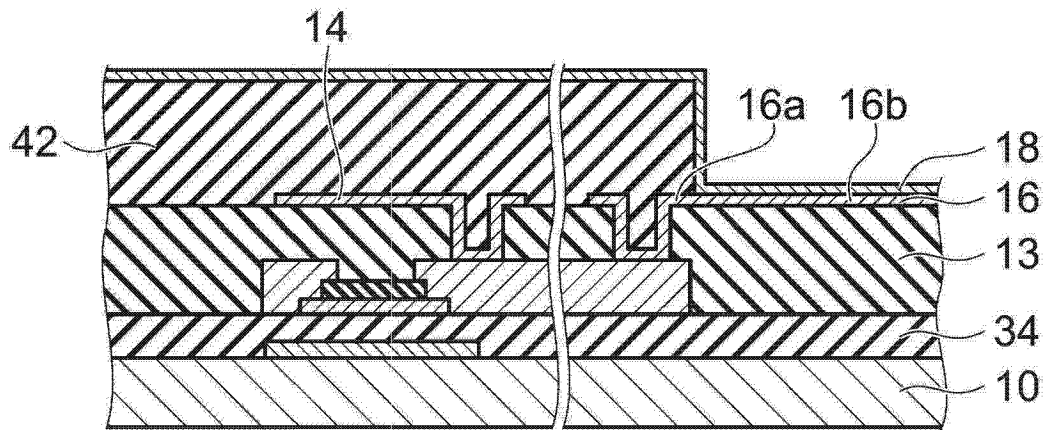


图 4C

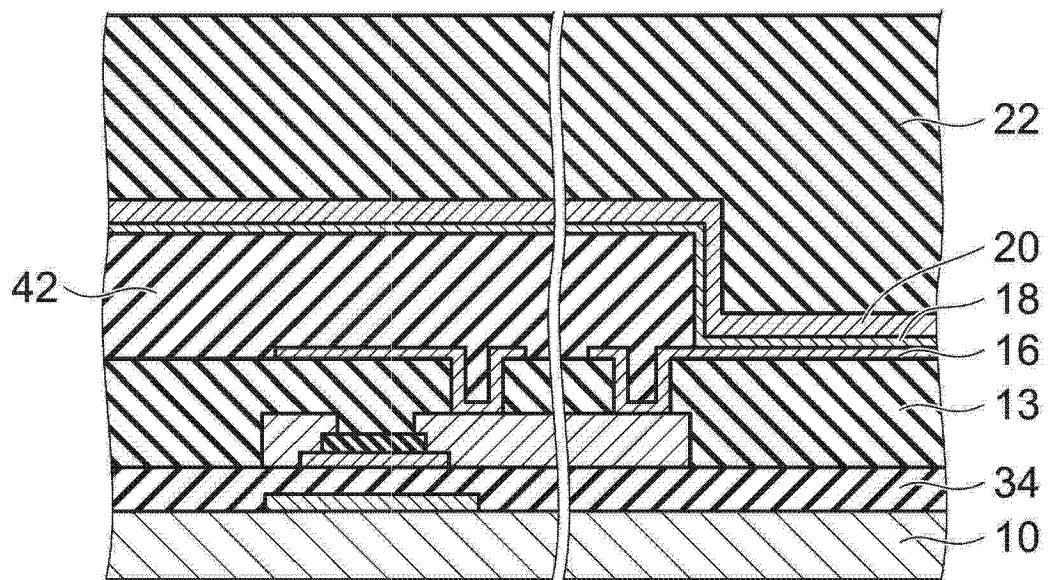


图 4D

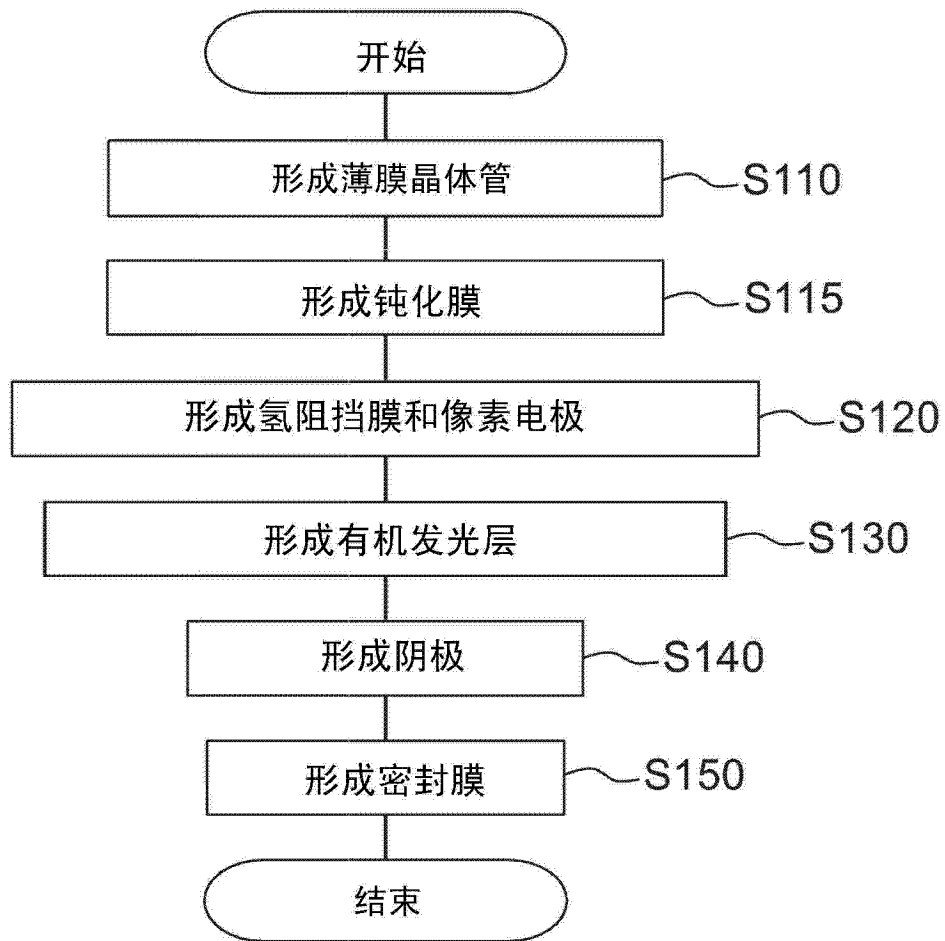


图 5

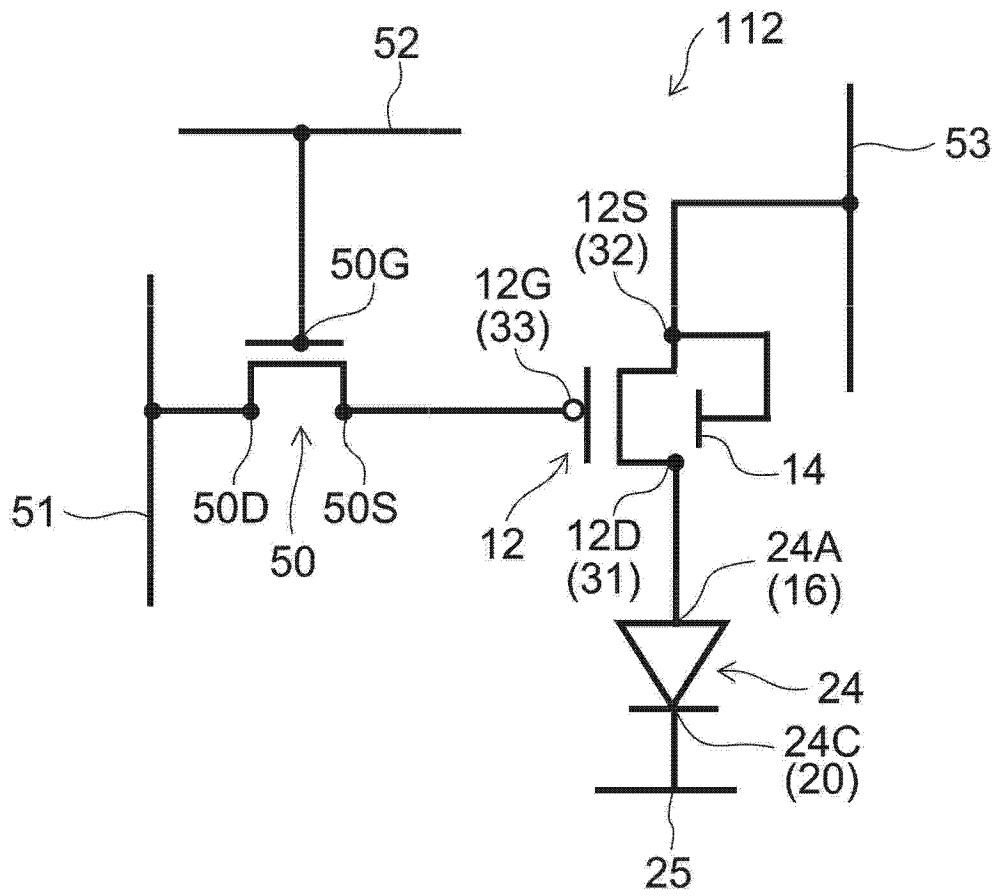


图 6

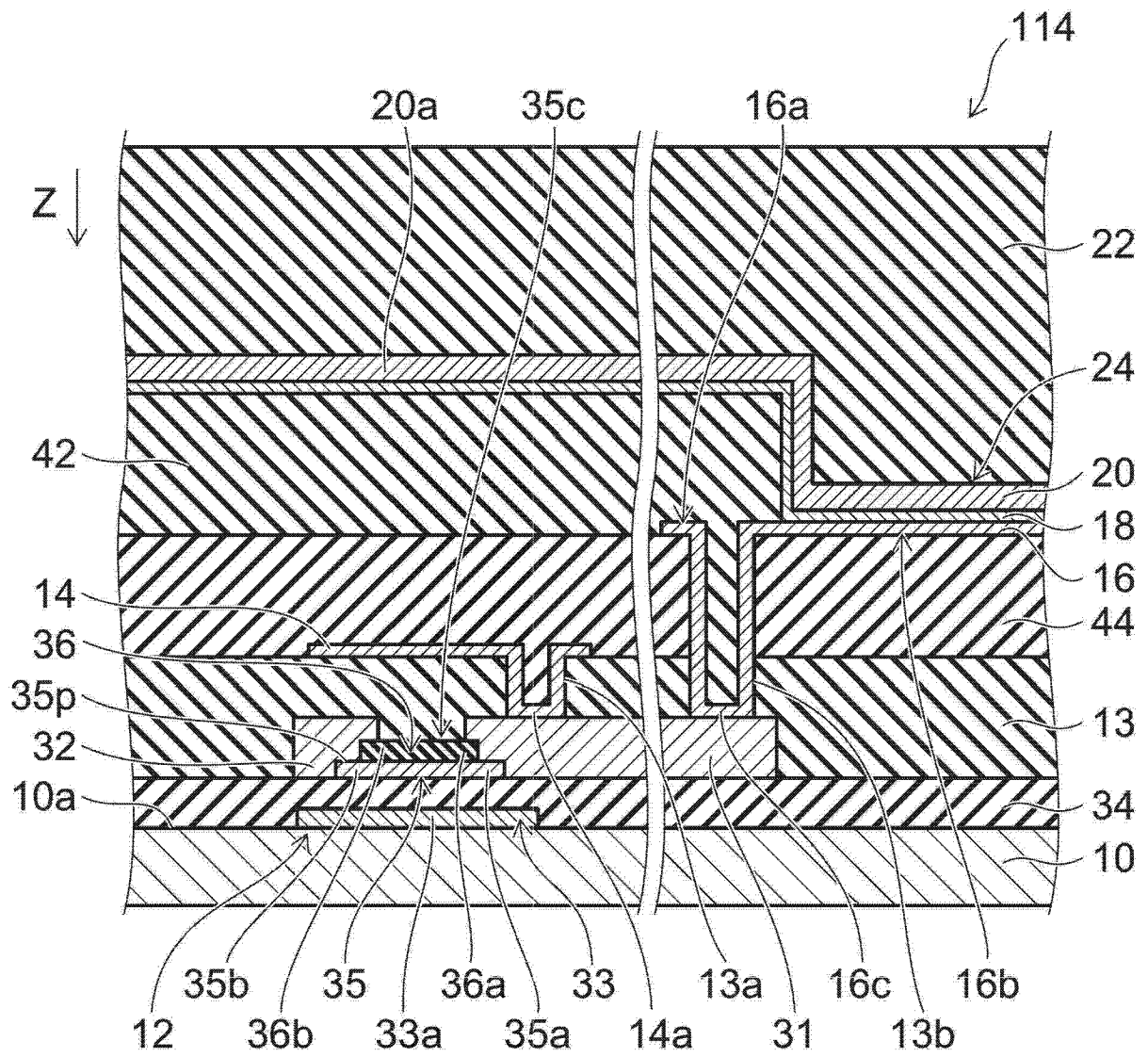


图 7

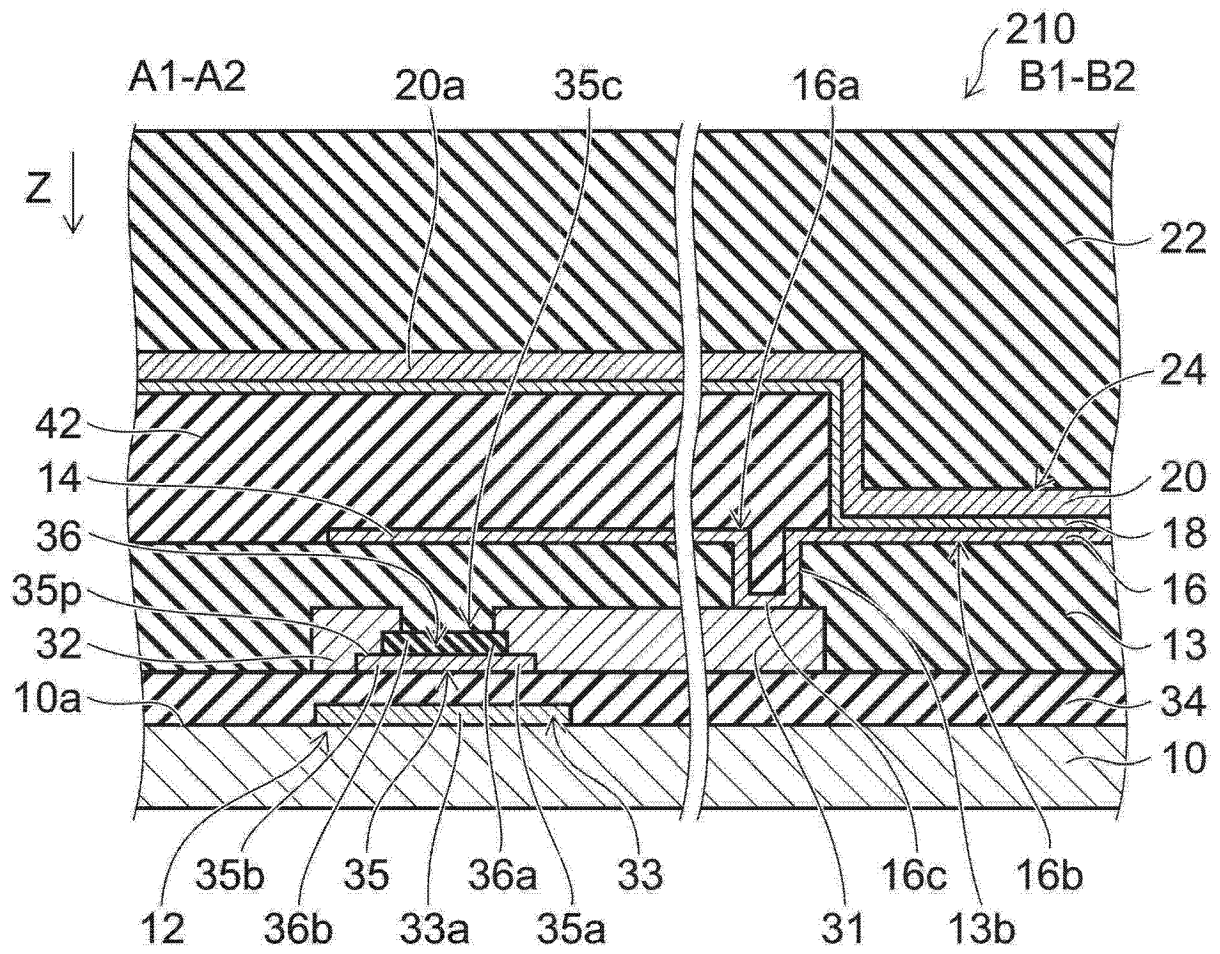


图 8A

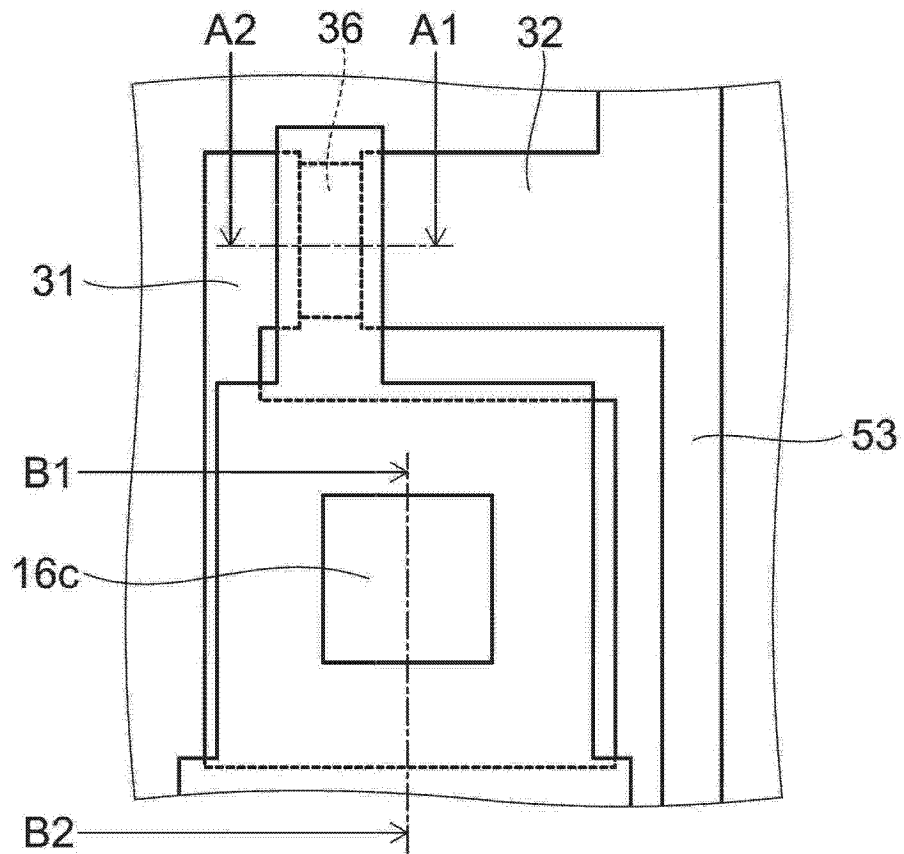


图 8B



|                |                                                |         |            |
|----------------|------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示装置                                           |         |            |
| 公开(公告)号        | <a href="#">CN103426898A</a>                   | 公开(公告)日 | 2013-12-04 |
| 申请号            | CN201310052204.5                               | 申请日     | 2013-02-18 |
| [标]申请(专利权)人(译) | 株式会社东芝                                         |         |            |
| 申请(专利权)人(译)    | 株式会社东芝                                         |         |            |
| 当前申请(专利权)人(译)  | 株式会社东芝                                         |         |            |
| [标]发明人         | 齐藤信美<br>三浦健太郎<br>中野慎太郎<br>坂野龙则<br>上田知正<br>山口一  |         |            |
| 发明人            | 齐藤信美<br>三浦健太郎<br>中野慎太郎<br>坂野龙则<br>上田知正<br>山口一  |         |            |
| IPC分类号         | H01L27/32 H01L29/786                           |         |            |
| CPC分类号         | H01L27/3262 H01L51/5203 H01L29/7869            |         |            |
| 优先权            | 2012118789 2012-05-24 JP                       |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a> |         |            |

#### 摘要(译)

根据一个实施例，一种显示装置包括衬底、薄膜晶体管、钝化膜、氢阻挡膜、像素电极、有机发光层、相对电极和密封膜。在所述衬底的主表面上设置所述薄膜晶体管。所述薄膜晶体管包括栅电极、栅极绝缘膜、半导体膜、第一导电部分和第二导电部分。在所述薄膜晶体管上设置所述钝化膜。在所述钝化膜上设置所述氢阻挡膜。所述像素电极电连接至所述第一导电部分和所述第二导电部分之一。所述有机发光层设置在所述像素电极上。所述相对电极设置在所述有机发光层上。在所述氢阻挡膜和所述相对电极上设置所述密封膜。

