



(12)发明专利申请

(10)申请公布号 CN 111354308 A

(43)申请公布日 2020.06.30

(21)申请号 202010276324.3

(22)申请日 2020.04.09

(71)申请人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509室

(72)发明人 范龙飞 周星耀 高娅娜 李玥

(74)专利代理机构 北京汇思诚业知识产权代理
有限公司 11444

代理人 冯伟

(51)Int.Cl.

G09G 3/3208(2016.01)

G09G 3/3233(2016.01)

G09G 3/3291(2016.01)

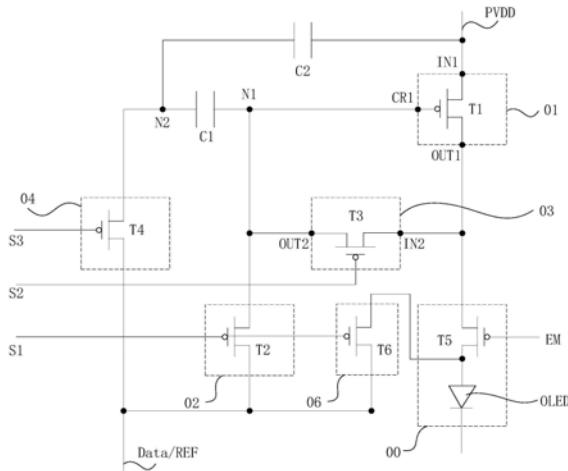
权利要求书2页 说明书8页 附图7页

(54)发明名称

一种像素驱动电路、有机发光显示面板及显示装置

(57)摘要

本申请提供一种像素驱动电路、有机发光显示面板及显示装置，其中像素驱动电路包括：发光显示模块以及发光驱动模块。其中，发光驱动模块包括第一控制端、与电源电压信号线连接的第一输入端，及与发光显示模块连接的第一输出端。像素驱动电路还包括第一初始化模块、第一电容、电源电压写入模块及发光电压写入模块。第一初始化模块与第一控制端电连接。第一电容包括第一极板与第二极板，第一极板与第一控制端电连接。电源电压写入模块包括第二输入端及第二输出端，第二输入端与第一输出端电连接，第二输出端与第一极板电连接，发光电压写入模块与第二极板连接。本申请提供的像素驱动电路消除了电源电压对发光驱动电流的影响。



1. 一种像素驱动电路，其特征在于，包括：

发光显示模块，所述发光显示模块用于进行发光显示；

发光驱动模块，所述发光驱动模块包括第一控制端、第一输入端及第一输出端，所述第一输入端与电源电压信号线连接，所述第一输出端与所述发光显示模块连接；所述发光驱动模块用于产生发光驱动电流；

第一初始化模块，所述第一初始化模块与所述第一控制端电连接，用于对所述第一控制端进行初始化；

第一电容，所述第一电容包括第一极板与第二极板，所述第一极板与所述第一控制端电连接；

电源电压写入模块，所述电源电压写入模块包括第二输入端及第二输出端，所述第二输入端与所述第一输出端电连接，所述第二输出端与所述第一极板电连接；所述电源电压写入模块用于将电源电压写入所述第一控制端；

发光电压写入模块，所述发光电压写入模块与所述第二极板连接，用于将数据电压存储到所述第一电容。

2. 根据权利要求1所述的像素驱动电路，其特征在于，所述发光驱动模块包括第一晶体管，所述第一晶体管的栅极与所述第一控制端连接，所述第一晶体管的源极与所述第一输入端连接，所述第一晶体管的漏极与所述第一输出端连接。

3. 根据权利要求2所述的像素驱动电路，其特征在于，所述第一初始化模块包括第二晶体管，所述第二晶体管的源极与初始信号线连接，所述第二晶体管的漏极与所述第一控制端连接；

在初始化阶段，所述第二晶体管开启，所述初始信号线传输参考电压，所述第二晶体管将所述参考电压传输至所述第一控制端。

4. 根据权利要求3所述的像素驱动电路，其特征在于，第二晶体管包括金属氧化物有源层。

5. 根据权利要求3所述的像素驱动电路，其特征在于，所述电源电压写入模块包括第三晶体管，所述第三晶体管的源极与所述第二输入端连接，所述第三晶体管的漏极与所述第二输出端连接；

在电源电压存储阶段，所述第三晶体管开启，所述第三晶体管将所述电源电压写入所述第一控制端。

6. 根据权利要求5所述的像素驱动电路，其特征在于，所述第三晶体管包括金属氧化物有源层。

7. 根据权利要求5所述的像素驱动电路，其特征在于，所述发光电压写入模块包括第四晶体管，所述第四晶体管的源极与数据电压线连接，所述第四晶体管的漏极与所述第二极板连接；

在电源电压存储阶段，所述第四晶体管开启，所述数据电压线传输数据电压，所述第四晶体管将所述数据电压传输至所述第二极板；

在数据信号写入阶段，所述第四晶体管开启，所述数据电压线传输所述参考电压，所述第四晶体管将所述参考电压传输至所述第二极板。

8. 根据权利要求7所述的像素驱动电路，其特征在于，所述发光显示模块包括第五晶体

管及有机发光二极管,所述第五晶体管的源极与所述第一输出端连接,所述第五晶体管的漏极与所述有机发光二极管的阳极连接;

在发光阶段,所述第五晶体管开启,所述第五晶体管将所述发光驱动电流传输至所述有机发光二极管的所述阳极。

9.根据权利要求8所述的像素驱动电路,其特征在于,所述像素驱动电路还包括第二初始化模块,所述第二初始化模块包括第六晶体管,所述第六晶体管的源极与初始信号线连接,所述第六晶体管的漏极与所述有机发光二极管的所述阳极连接;

在初始化阶段,所述第六晶体管开启,所述第六晶体管将所述参考电压传输至所述有机发光二极管的所述阳极。

10.根据权利要求9所述的像素驱动电路,其特征在于,所述初始信号线与所述数据电压线复用。

11.根据权利要求9所述的像素驱动电路,其特征在于,所述像素驱动电路还包括第二电容,所述第二电容包括第三极板及第四极板,所述第三极板与所述电源电压信号线连接,所述第四极板与所述第二极板连接。

12.一种有机发光显示面板,其特征在于,包括如权利要求1-11任意一项所述的像素驱动电路,所述像素驱动电路与像素单元一一对应设置。

13.一种有机发光显示装置,其特征在于,包括如权利要求12所述的有机发光显示面板。

一种像素驱动电路、有机发光显示面板及显示装置

【技术领域】

[0001] 本申请涉及显示技术领域，尤其涉及一种像素驱动电路、有机发光显示面板及显示装置。

【背景技术】

[0002] 有机发光显示(Organic Light Emitting Diode,OLED)是目前手机、电视、电脑等显示器的主流技术。与传统的液晶显示相比，OLED具有能耗低、成本低、自发光、视角宽及相应速度快等优点。因此，OLED逐步成为主流显示技术。

[0003] 由于OLED属于电流驱动，因此，需要稳定的电流来控制其发光。由于制成工艺限制、器件老化以及电路设计等原因，OLED的驱动电流存在不稳定的状况。OLED的驱动电流是由电源电压与数据电压共同决定的，而在电源电压较大时，用于传输电源电压的信号线上存在较大的压降导致驱动电流不稳定，从而引起亮度不均一。以OLED的主流驱动电路为例进行说明，现有的主流驱动电路为7T1C，当电源电压在用于传输其的信号线上的压降为0.3V时，会导致驱动电流变化量减小70%。

【申请内容】

[0005] 有鉴于此，本申请实施例提供了一种像素驱动电路、有机发光显示面板及显示装置，以解决以上问题。

[0006] 第一方面，本申请实施例提供一种像素驱动电路，包括：用于进行发光显示的发光显示模块以及用于产生发光驱动电流发光驱动模块。其中，发光驱动模块包括第一控制端、与电源电压信号线连接的第一输入端，及与发光显示模块连接的第一输出端。像素驱动电路还包括用于对第一控制端进行初始化的第一初始化模块、第一电容、用于将电源电压写入第一控制端的电源电压写入模块及用于将数据电压存储到第一电容的发光电压写入模块。第一初始化模块与第一控制端电连接。第一电容包括第一极板与第二极板，第一极板与第一控制端电连接。电源电压写入模块包括第二输入端及第二输出端，第二输入端与第一输出端电连接，第二输出端与第一极板电连接。发光电压写入模块与第二极板连接。

[0007] 在第一方面的一种实现方式中，发光驱动模块包括第一晶体管，第一晶体管的栅极与第一控制端连接，第一晶体管的源极与第一输入端连接，第一晶体管的漏极与第一输出端连接。

[0008] 在第一方面的一种实现方式中，第一初始化模块包括第二晶体管，第二晶体管的源极与初始信号线连接，第二晶体管的漏极与第一控制端连接。在初始化阶段，第二晶体管开启，初始信号线传输参考电压，第二晶体管将参考电压传输至第一控制端。

[0009] 在第一方面的一种实现方式中，第二晶体管包括金属氧化物有源层。

[0010] 在第一方面的一种实现方式中，电源电压写入模块包括第三晶体管，第三晶体管的源极与第二输入端连接，第三晶体管的漏极与第二输出端连接。在电源电压存储阶段，第三晶体管开启，第三晶体管将电源电压写入第一控制端。

[0011] 在第一方面的一种实现方式中，第三晶体管包括金属氧化物有源层。

[0012] 在第一方面的一种实现方式中,发光电压写入模块包括第四晶体管,第四晶体管的源极与数据电压线连接,第四晶体管的漏极与第二极板连接。在电源电压存储阶段,第四晶体管开启,数据电压线传输数据电压,第四晶体管将数据电压传输至第二极板。在数据信号写入阶段,第四晶体管开启,数据电压线传输参考电压,第四晶体管将参考电压传输至第二极板。

[0013] 在第一方面的一种实现方式中,发光显示模块包括第五晶体管及有机发光二极管,第五晶体管的源极与第一输出端连接,第五晶体管的漏极与有机发光二极管的阳极连接。在发光阶段,第五晶体管开启,第五晶体管将发光驱动电流传输至有机发光二极管的阳极。

[0014] 在第一方面的一种实现方式中,像素驱动电路还包括第二初始化模块,第二初始化模块包括第六晶体管,第六晶体管的源极与初始信号线连接,第六晶体管的漏极与有机发光二极管的阳极连接。在初始化阶段,第六晶体管开启,第六晶体管将参考电压传输至有机发光二极管的阳极。

[0015] 在第一方面的一种实现方式中,初始信号线与数据电压线复用。

[0016] 在第一方面的一种实现方式中,像素驱动电路还包括第二电容,第二电容包括第三极板及第四极板,第三极板与电源电压信号线连接,第四极板与第二极板连接。

[0017] 第二方面,本申请实施例提供一种有机发光显示面板,包括如第一方面提供的像素驱动电路,所述像素驱动电路与像素单元一一对应设置。

[0018] 第三方面,本申请实施例提供一种有机发光显示装置,包括如第二方面提供的有机发光显示面板。

[0019] 本申请实施例提供的像素驱动电路、有机发光显示面板及有机发光显示装置消除了电源电压在电源电压信号线上的压降对发光驱动电流的影响,以及驱动晶体管的阈值电压对发光驱动电流的影响,从而使得像素驱动电路具备稳定的发光驱动电流,保证了显示效果。

【附图说明】

[0020] 为了更清楚地说明本申请实施例的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图。

[0021] 图1为本申请实施例提供的一种像素驱动电路的示意图;

[0022] 图2为本申请实施例提供的另一种像素驱动电路的示意图;

[0023] 图3为本申请实施例提供的一种像素驱动电路的时序图;

[0024] 图4为本申请实施例提供的又一种像素驱动电路的示意图;

[0025] 图5为本申请实施例提供的再一种像素驱动电路的示意图;

[0026] 图6为本申请实施例提供的再一种像素驱动电路的时序图;

[0027] 图7为本申请实施例提供的一种有机发光显示面板的示意图;

[0028] 图8为本申请实施例提供的一种有机发光显示装置的示意图。

【具体实施方式】

[0029] 为了更好的理解本申请的技术方案,下面结合附图对本申请实施例进行详细描述。

[0030] 应当明确,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其它实施例,都属于本申请保护的范围。

[0031] 在本申请实施例中使用的术语是仅仅出于描述特定实施例的目的,而非旨在限制本申请。在本申请实施例和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包括多数形式,除非上下文清楚地表示其他含义。

[0032] 本说明书的描述中,需要理解的是,本申请权利要求及实施例所描述的“基本上”、“近似”、“大约”、“约”、“大致”“大体上”等词语,是指在合理的工艺操作范围内或者公差范围内,可以大体上认同的,而不是一个精确值。

[0033] 应当理解,尽管在本申请实施例中可能采用术语第一、第二、第三等来描述晶体管,但这些晶体管不应限于这些术语。这些术语仅用来将晶体管彼此区分开。例如,在不脱离本申请实施例范围的情况下,第一晶体管也可以被称为第二晶体管,类似地,第二晶体管也可以被称为第一晶体管。

[0034] 本案申请人通过细致深入研究,对于现有技术中所存在的问题,而提供了一种解决方案。

[0035] 图1为本申请实施例提供的一种像素驱动电路的示意图,如图1所示,本申请实施例提供的像素驱动电路包括用于进行发光显示的发光显示模块00以及用于产生发光驱动电流的发光驱动模块01,其中,发光驱动模块01包括第一控制端CR1、第一输入端IN1及第一输出端OUT1,第一输入端IN1与电源电压信号线PVDD连接,第一输出端OUT1与发光显示模块00连接。发光驱动模块01在发光阶段产生发光驱动电流并传输至发光显示模块00,以驱动发光显示模块00工作从而进行发光显示。

[0036] 本申请实施例提供的像素驱动电路还包括第一初始化模块02,第一初始化模块02与发光驱动模块01的第一控制端CR1电连接,用于对发光驱动模块01的第一控制端CR1进行初始化。

[0037] 本申请实施例提供的像素驱动电路还包括第一电容C1,第一电容C1包括第一极板与第二极板,其中,第一极板与发光驱动模块01的第一控制端CR1电连接。

[0038] 本申请实施例提供的像素驱动电路还包括电源电压写入模块03,电源电压写入模块03包括第二输入端IN2及第二输出端OUT2,第二输入端IN2与第一输出端OUT1电连接,第二输出端OUT2与第一电容C1的第一极板电连接。电源电压写入模块03用于将电源电压写入发光驱动模块01的第一控制端CR1,具体地,电源电压信号线PVDD上的电源电压通过电源电压写入模块03写入到发光驱动模块01的第一控制端CR1。

[0039] 本申请实施例提供的像素驱动电路还包括发光电压写入模块04,发光电压写入模块04与第一电容C1的第二极板连接,用于将数据电压存储到第一电容C1。

[0040] 也就是说,在本申请实施例提供的像素驱动电路中,第一电容C1设置在发光驱动模块01的第一控制端CR1,具体地,第一电容C1的第一极板与发光驱动模块01的第一控制端CR1连接。并且,电源电压写入模块01的第二输出端OUT2与发光驱动模块01的第一控制端

CR1连接，则第一电容C1的第一极板与电源电压写入模块03的第二输出端OUT2连接。即第一电容C1的第一极板与电源电压写入模块03的第二输出端OUT2连接，第一电容C1的第二极板与发光电压写入模块04连接。

[0041] 在发光阶段前，第一电容C1可以存储电源电压与数据电压；在发光阶段，发光驱动模块01的第一输入端IN1接收电源电压。发光驱动模块01产生的发光驱动电流由其第一输入端IN1与其第一控制端CR1的电压差控制，由于在发光阶段前，第一电容C1已经存储了电源电压，因此，在发光阶段，发光驱动模块01的第一输入端IN1与第一控制端CR1的电压差则不包含电源电压，从而消除了电源电压对发光驱动电流的影响，保证了发光显示模块具备能够接受稳定的发光驱动电流，提高显示亮度的稳定性。

[0042] 请参考图2，图2为本申请实施例提供的另一种像素驱动电路的示意图，如图2所示，发光驱动模块01包括第一晶体管T1，第一晶体管T1的栅极与第一控制端CR1连接，第一晶体管T1的源极与第一输入端IN1连接，第一晶体管T1的漏极与第一输出端OUT1连接。

[0043] 第一初始化模块02包括第二晶体管T2，第二晶体管T2的源极与初始信号线REF连接，第二晶体管T2的漏极与发光驱动模块01的第一控制端CR1连接。在初始化阶段，第二晶体管T2开启，初始信号线REF传输参考电压Vref，第二晶体管T2将参考电压Vref传输至发光驱动模块01的第一控制端CR1。也就是，第二晶体管T2的源极与初始信号线REF连接，第二晶体管T2的漏极与第一晶体管T1的栅极连接。在初始化阶段，第二晶体管T2开启，接收初始信号线REF传输的参考电压Vref，并将参考电压Vref传输至第一晶体管T1的栅极，从而对第二晶体管T2进行初始化。

[0044] 电源电压写入模块03包括第三晶体管T3，第三晶体管T3的源极与第二输入端IN2连接，第三晶体管T3的漏极与第二输出端OUT2连接。在电源电压存储阶段，第三晶体管T3开启，第三晶体管T3将电源电压写入发光驱动模块01的第一控制端CR1。也就是，第三晶体管T3的源极与第一晶体管T1的第一输出端OUT1连接，第三晶体管T3的漏极与第一晶体管T1的第一控制端CR1连接。在电源电压存储阶段，电源电压信号线PVDD传输电源电压VDD，以第一晶体管T1为P型晶体管为例进行说明，电源电压VDD大于参考电压Vref，因此，第一晶体管T1的源极与栅极之间的压差大于0，此时第一晶体管T1开启，电源电压VDD不断对第一晶体管T1的栅极进行充电。并且在电源电压存储阶段，第三晶体管T3开启，此时电源电压通过开启的第一晶体管T1及开启的第三晶体管T3到达第一晶体管T1的栅极。由于晶体管阈值电压的存在，当第一晶体管T1的栅极的电压为VDD-|Vth|时，第一晶体管T1开始关闭，此时电源电压存储阶段结束。

[0045] 发光电压写入模块04包括第四晶体管T4，第四晶体管T4的源极与数据电压线Data连接，第四晶体管T4的漏极与第一电容C1的第二极板连接。在电源电压存储阶段，第四晶体管T4开启，数据电压线Data传输数据电压Vdata，第四晶体管T4将数据电压Vdata传输至第一电容C1的第二极板；在数据信号写入阶段，第四晶体管T4开启，数据电压线Data传输参考电压Vref，第四晶体管T4将参考电压Vref传输至第一电容C1的第二极板。也就是，第四晶体管T4可以用于在电源电压存储阶段将数据电压Vdata存储至第一电容C1，第四晶体管T4也可以用于在数据信号写入阶段，将参考电压Vref传输至第一电容C1的第二极板。需要说明的是，在电源电压存储阶段传输数据电压Vdata的数据电压线与在数据信号写入阶段传输参考电压Vref的信号线也可以不同。

[0046] 发光显示模块00包括第五晶体管T5及有机发光二极管OLED，第五晶体管T5的源极与发光驱动模块01的第一输出端OUT1连接，第五晶体管T5的漏极与有机发光二极管OLED的阳极连接。在发光阶段，第五晶体管T5开启，第五晶体管T5将发光驱动模块01产生的发光驱动电流传输至有机发光二极管OLED的阳极，促使有机发光二极管OLED发光。也就是，第五晶体管T5的源极与第一晶体管T1的漏极连接，第五晶体管T5的漏极与有机发光二极管OLED的阳极连接。在发光阶段，第五晶体管T5开启，用于将第一晶体管T1产生的发光驱动电流传输至有机发光二极管OLED的阳极，激发有机发光二极管OLED发光。

[0047] 图3为本申请实施例提供的一种像素驱动电路的时序图，下面结合图2及图3对像素驱动电路的工作原理做系统说明。本申请实施例提供的像素驱动电路用于有机发光显示，在有机发光显示的工作期间，像素驱动电路的工作时段包括多个周期，每个周期包括依次进行的初始化阶段t1、电源电压存储阶段t2、数据信号写入阶段t3以及发光阶段t4。需要说明的是，以下以第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4以及第五晶体管T5均为P型晶体管为例进行说明。当然，第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4以及第五晶体管T5中的任意一者也可以为N型晶体管。

[0048] 请参考图2，第二晶体管T2的栅极连接第一信号线S1，第三晶体管T3的栅极连接第二信号线S2，第四晶体管T4的栅极连接第三信号线S3、第五晶体管T5的栅极连接发光控制信号线EM。

[0049] 在初始化阶段t1，第一信号线S1接收开启信号，即低电平信号，第二晶体管T2开启；第二信号线S2、第三信号线S3及发光控制信号线EM接收关断信号，即高电平信号或者不接收信号，第三晶体管T3、第四晶体管T4及第五晶体管T5关断。同时，初始信号线REF传输的参考电压Vref，Vref为低电平信号，参考电压Vref通过开启的第二晶体管T2到达第一晶体管T1的栅极，控制第一晶体管T1开启，完成对发光驱动模块01的初始化。由于第一晶体管T1的栅极与第一电容C1的第一极板连接，则在初始化阶段，第一晶体管T1的栅极电位与参考电压Vref相同，即第一晶体管T1与第一电容C1之间的节点N1的电位为参考电压Vref，其中，第一节点N1的电位与第一晶体管T1的栅极电位相等。

[0050] 在电源电压存储阶段t2，第二信号线S2接收开启信号，即低电平信号，第三晶体管T3开启；第一信号线S1及发光控制信号线EM接收关断信号，即高电平信号或者不接收信号，第二晶体管T2及第五晶体管T5关断。同时，电源电压信号线PVDD传输电源电压VDD。在电源电压存储阶段t2的起始点，第一晶体管T1的栅极电位为参考电压Vref，第一晶体管T1的源极电位为电源电压VDD，第一晶体管T1的源极与栅极之间的电位差为(VDD-Vref)，两者的电位差大于0，因此，第一晶体管T1开启，电源电压VDD经过开启的第一晶体管T1的源极与漏极以及开启的第三晶体管T3传输至第一晶体管T1的栅极，使得第一晶体管T1的栅极电位逐渐增加。当第一晶体管T1的栅极电位等于(VDD-|Vth|)时，第一晶体管T1开始关断，此时由于第一电容C1的存在，第一晶体管T1的栅极电位保持在(VDD-|Vth|)，也就是第一节点N1的电位为VN1=VDD-|Vth|，其中，Vth为第一晶体管T1的阈值电压。

[0051] 在本申请的一个实施例中，在电源电压存储阶段t2，第三信号线S3也接收开启信号，即低电平信号，第四晶体管T4开启。同时，数据电压线Data传输数据电压Vdata，数据电压Vdata通过开启的第四晶体管T4传输到第一电容C1的第一极板，也就是，位于第四晶体管T4与第一电容C1之间的第二节点N2的电位为VN2=Vdata，第二节点N2的电位与第一电容C1

的第二极板的电位相同。

[0052] 也就是说,在电源电压存储阶段t2,电源电压写入到第一节点N1与数据电压Vdata写入到第二节点N2可以同时进行,此时第一节点N1与第二节点N2之间的电压差为 $V_{N2}-V_{N1}=V_{data}-VDD+|V_{th}|$ 。此外,电源电压VDD写入到第一节点N1与数据电压Vdata写入到第二节点N2也可以分时依次进行。

[0053] 在数据信号写入阶段t3,第三信号线S3接收开启信号,即低电平信号,第四晶体管T4开启;第一信号线S1、第二信号线S2及发光控制信号线EM接收关断信号,即高电平信号或者不接收信号,第二晶体管T2、第三晶体管T3及第五晶体管T5关断。同时第四晶体管T4的源极接收参考电压Vref,参考电压Vref通过开启的第四晶体管T4到达第一电容C1的第二极板,也就是,第二节点N2的电位 $V_{N2}=V_{ref}$ 。此时,由于第一电容C1的存在, $V_{N2}-V_{N1}=V_{data}-VDD+|V_{th}|$,即 $V_{N1}=V_{N2}-V_{data}+VDD-|V_{th}|=V_{ref}-V_{data}+VDD-|V_{th}|$ 。

[0054] 需要说明的是,第四晶体管T4的源极在电源电压存储阶段t2接收数据电压Vdata,在数据信号写入阶段t3接收参考电压Vref。因此,第四晶体管T4的源极可以连接分别传输数据电压Vdata的数据电压线Data和传输参考电压Vref的信号线;也可以连接一条数据电压线,分时传输数据电压Vdata和参考电压Vref。此外,在数据信号写入阶段t3,第四晶体管T4的源极可以接收参考电压Vref,也可以是其他信号电压,只要能够与数据电压配合产生所需的发光驱动电流即可。

[0055] 在发光阶段t4,发光控制信号线EM接收开启信号,即低电平信号,第四晶体管T4开启;第一信号线S1、第二信号线S2及第三信号线S3接收关断信号,即高电平信号或者不接收信号,第二晶体管T2、第三晶体管T3及第四晶体管T4关断。同时,电源电压信号线PVDD传输电源电压VDD,即第一晶体管T1的源极电位为电源电压VDD,此时,第一晶体管T1的源极与栅极之间的电压差为 $V_{SG}=VDD-|V_{th}|-V_{N1}=VDD-|V_{th}|-(V_{ref}-V_{data}+VDD-|V_{th}|)=V_{data}-V_{ref}$ 。也就是说,在发光阶段t4,第一晶体管T1的源极和栅极之间的电压差与电源电压VDD及第一晶体管T1的阈值电压|Vth|均无关,消除了电源电压VDD在电源电压信号线PVDD上的压降对发光驱动电流的影响,以及第一晶体管T1的阈值电压|Vth|对发光驱动电流的影响,从而使得像素驱动电路具备稳定的发光驱动电流,保证了显示效果。

[0056] 图4为本申请实施例提供的又一种像素驱动电路的示意图,如图4所示,像素驱动电路还包括第二初始化模块06,第二初始化模块06包括第六晶体管T6,第六晶体管T6的源极与初始信号线REF连接,第六晶体管的漏极与有机发光二极管OLED的阳极连接。在初始化阶段,所述第六晶体管T6开启,第六晶体管T6将参考电压Vref传输至有机发光二极管OLED的阳极,对有机发光二极管OLED进行初始化。就是说,在初始化阶段,参考电压Vref通过开启的第六晶体管T6到达有机发光二极管OLED的阳极,完成有机发光二极管OLED的初始化。

[0057] 进一步地,第六晶体管T6的栅极与第二晶体管T2的栅极可以均连接第一信号线S1,则在初始化阶段t1,可以保证第二晶体管T2与第六晶体管T6同时开启,同时对第一晶体管T1的栅极与有机发光二极管OLED的阳极进行初始化。

[0058] 请继续参考图4,由于初始化阶段t1接收参考电压Vref与数据信号写入阶段t3接收数据电压Vdata是分时进行的,因此,初始信号线REF与数据电压线Data可以复用,并且该信号线在初始化阶段t1传输参考电压Vref,在电源电压存储阶段t2传输数据电压Vdata。此时,优选地,第四晶体管T4的源极只接数据电压线Data,并且在数据信号写入阶段t3,第四

晶体管T4的源极接收参考电压Vref,如此使得数据电压线Data的信号易于控制。

[0059] 请继续参考图4,本申请实施例提供的像素驱动电路还包括第二电容C2,第二电容C2包括第三极板及第四极板,第三极板与电源电压信号线PVDD连接,第四极板与第一电容C1的第二极板连接。也就是说,第二电容C2设置在第二节点N2与电源电压信号线PVDD之间,可以用于稳定第二节点N2的电位,即第一电容C1的第一极板的电位。

[0060] 图5为本申请实施例提供的再一种像素驱动电路的示意图,图6为本申请实施例提供的再一种像素驱动电路的时序图。由上述分析可以得出,在发光阶段t4,第二晶体管T2、第三晶体管T3均是关断的,而且第二晶体管T2与第三晶体管T3均与第一晶体管T1的栅极连接。在发光阶段t4,为避免第二晶体管T2与第三晶体管T3产生漏电流从而影响第一晶体管T1的栅极电位,可以将第二晶体管T2与第三晶体管T3的有源层设置为金属氧化物有源层,而第一晶体管T1、第四晶体管T4与第五晶体管T5的有源层可以为低温多晶硅或者a-Si。同时,第二晶体管T2与第三晶体管T3可以为N型晶体管,而第一晶体管T1、第四晶体管T4与第五晶体管T5可以为P型晶体管。

[0061] 并且,当像素驱动电路包括第二初始化模块06,即包括第六晶体管T6时,在发光阶段t4,第六晶体管T6也是关断的,而且第六晶体管T6的漏极与有机发光二极管OLED的阳极连接。在发光阶段t4,为避免第六晶体管T6产生漏电流从而影响有机发光二极管OLED的阳极电位,也可以将第六晶体管T6的有源层设置为金属氧化物有源层,同时第六晶体管T6也可以为N型晶体管。

[0062] 请参考图6,由于第二晶体管T2、第三晶体管T3和/或第六晶体管T6为N型晶体管,则在初始阶段t1,第一信号线S1传输开启信号,即高电平信号,控制第二晶体管T2和/或第六晶体管T6开启,完成对第一晶体管T1的栅极和/或有机发光二极管OLED阳极的初始化。在电源电压存储阶段t2,第二信号线S2传输开启信号,即高电平信号,控制第三晶体管T3开启,完成电源电压VDD写入第一晶体管T1的栅极。

[0063] 图7为本申请实施例提供的一种有机发光显示面板的示意图,如图7所示,本申请实施例提供的有机发光显示面板包括多个像素单元P,每个像素单元P对应一个像素驱动电路。并且像素驱动电路中的有机发光二极管OLED与各晶体管位于不同膜层,其中,第五晶体管T5与有机发光二极管OLED通过过孔电连接。

[0064] 本申请实施例提供的有机发光显示面板中,像素驱动电路中的发光驱动电流不受电源电压在信号线上的压降影响,因此具有稳定的发光驱动电流,有机发光显示面板的显示效果优异,且发光均一性较高。

[0065] 图8为本申请实施例提供的一种有机发光显示装置的示意图,如图8所示,本申请实施例提供的有机发光显示装置可以为手机,此外,本申请实施例提供的有机发光显示装置也可以为电脑、电视等显示装置。本申请实施例提供的有机发光显示装置包括本申请实施例提供的有机发光显示面板。有机发光显示装置包括显示区AA和位于显示区AA外围的非显示区BB,其中,像素驱动电路设置在显示区AA内。

[0066] 本申请实施例提供的有机发光显示装置中,像素驱动电路中的发光驱动电流不受电源电压在信号线上的压降影响,因此具有稳定的发光驱动电流,有机发光显示装置的显示效果优异,且发光均一性较高。

[0067] 以上所述仅为本申请的较佳实施例而已,并不用以限制本申请,凡在本申请的精

神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本申请保护的范围之内。

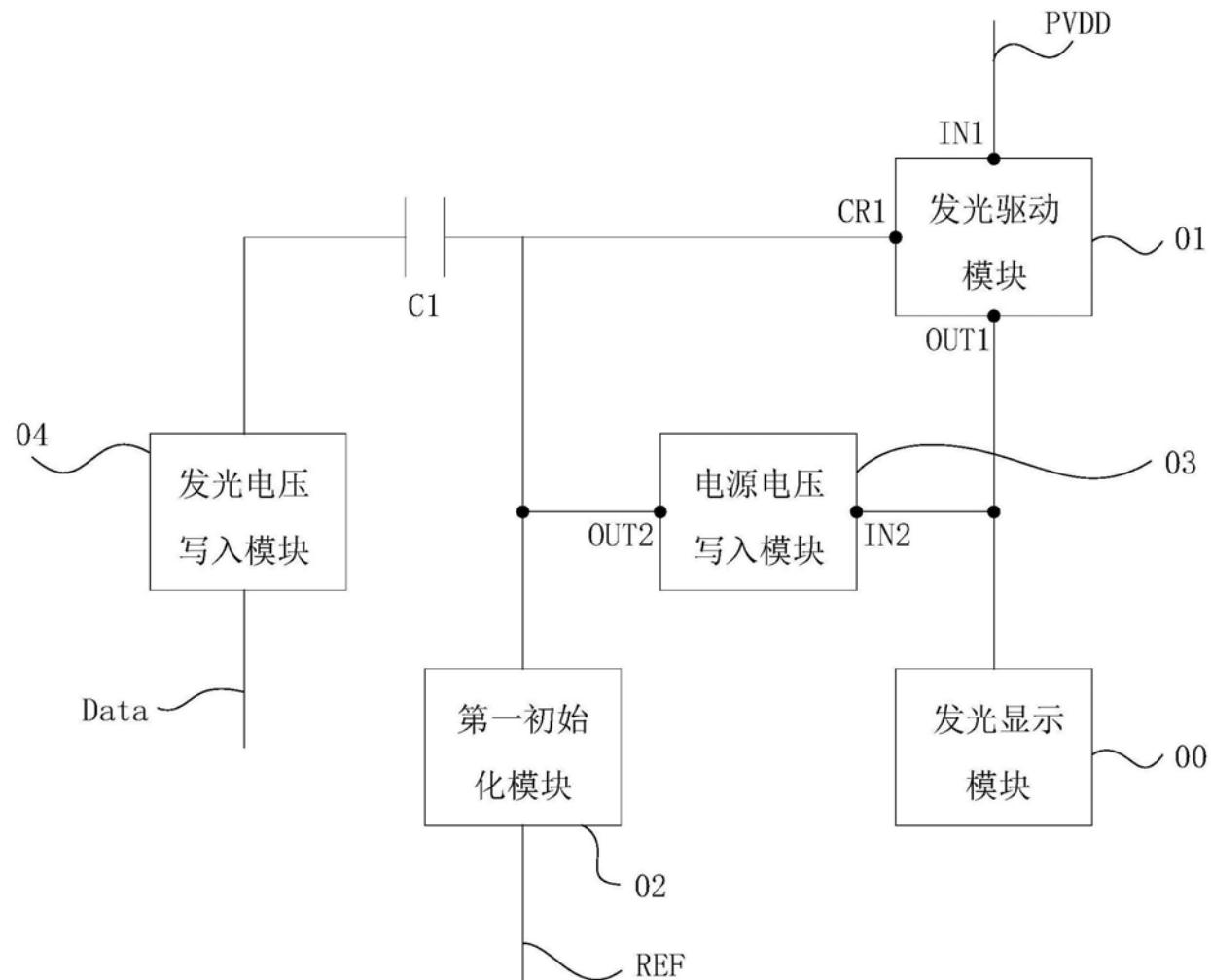


图1

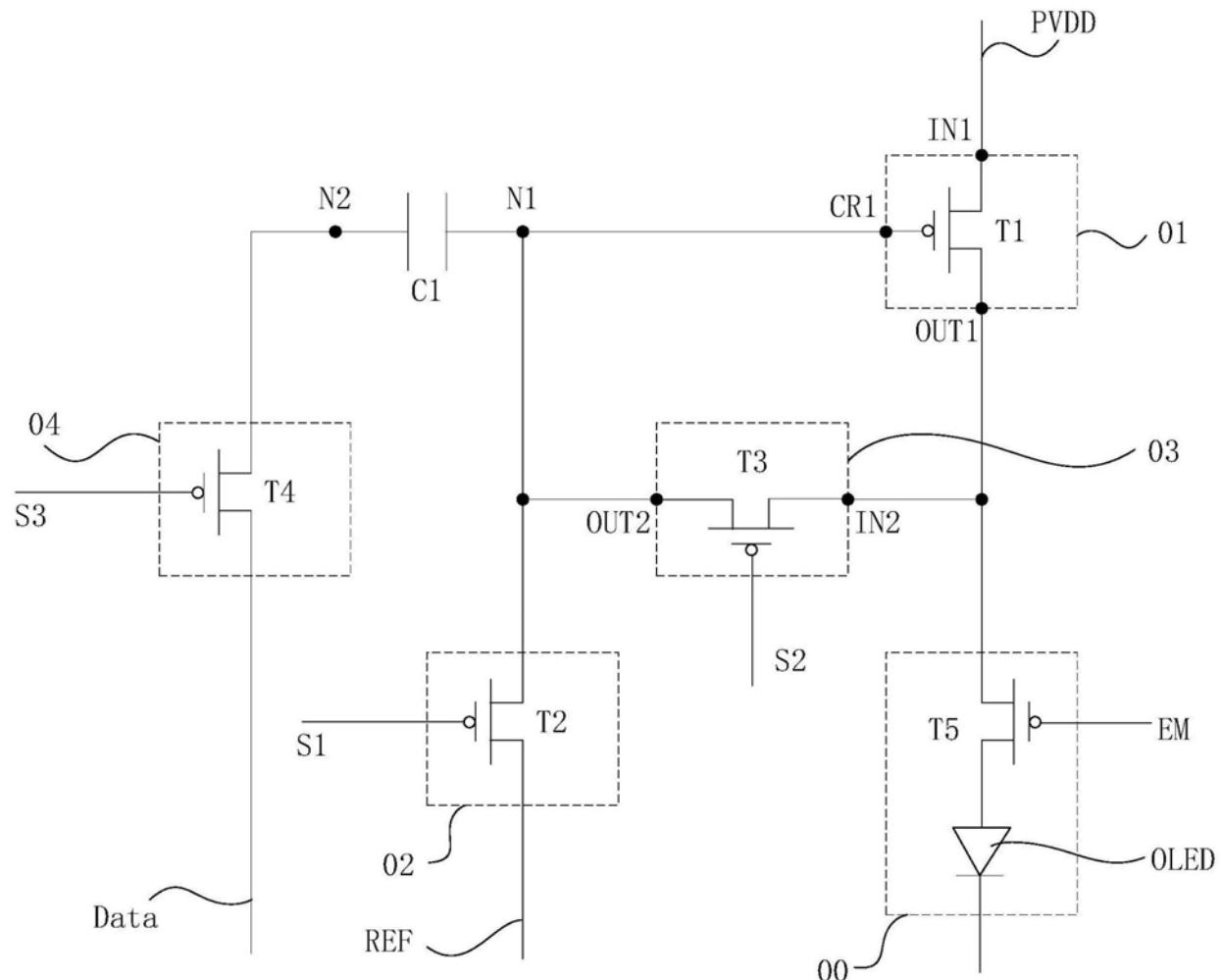


图2

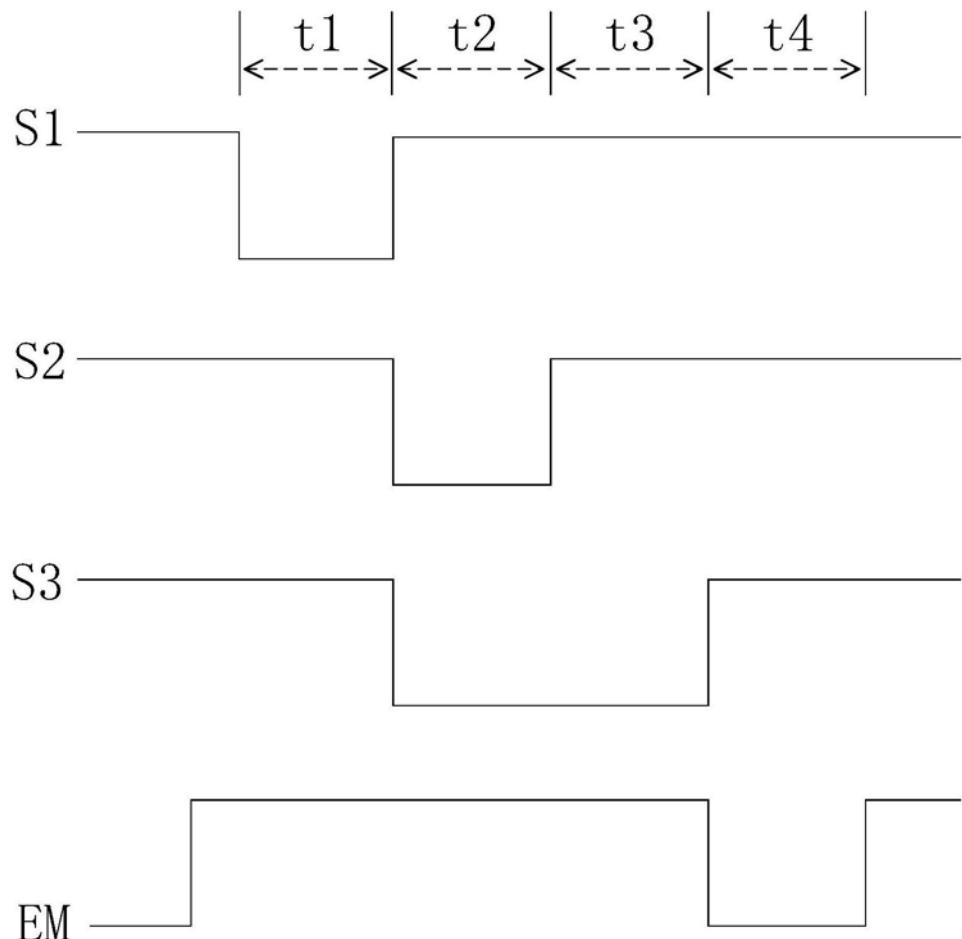


图3

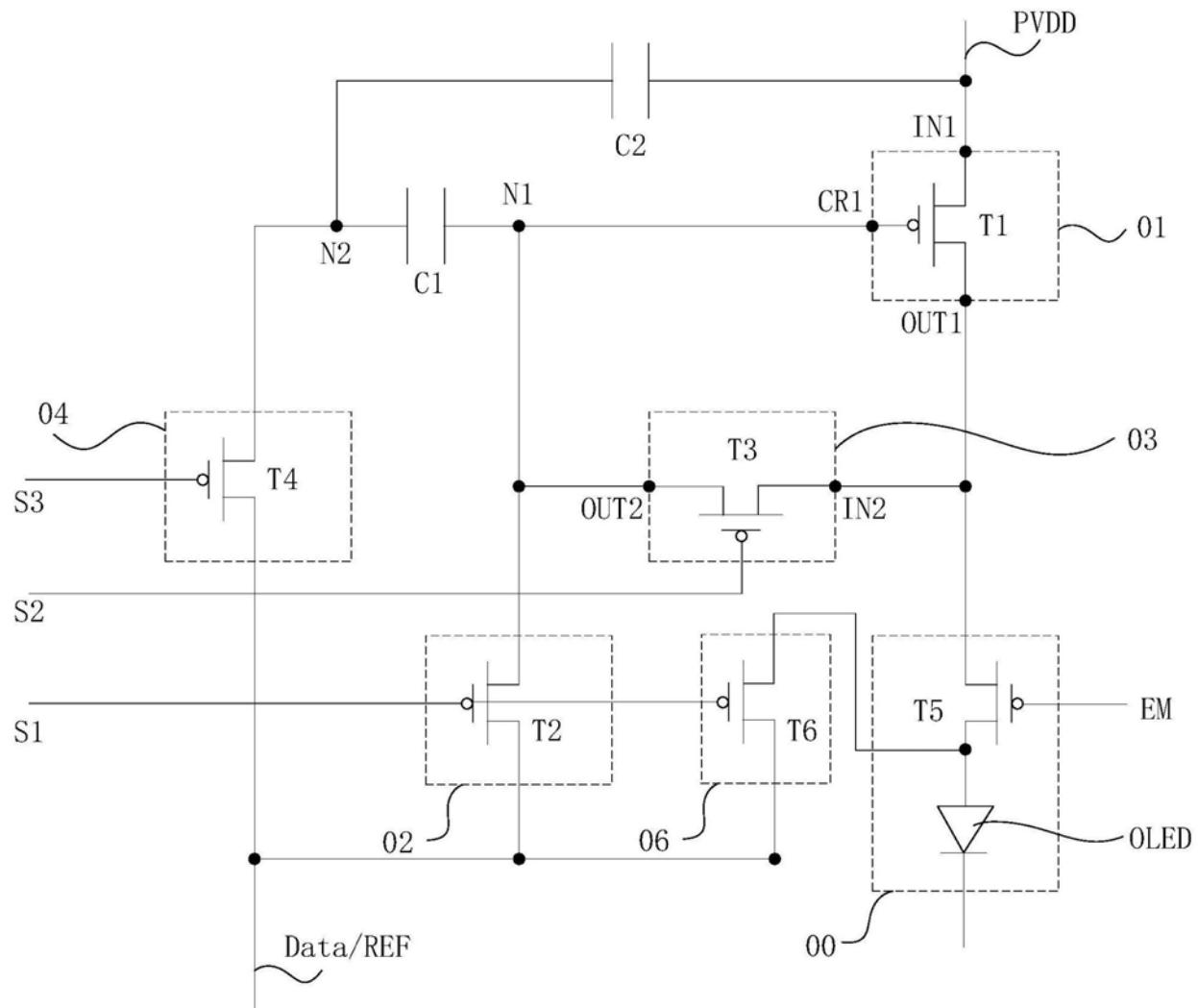


图4

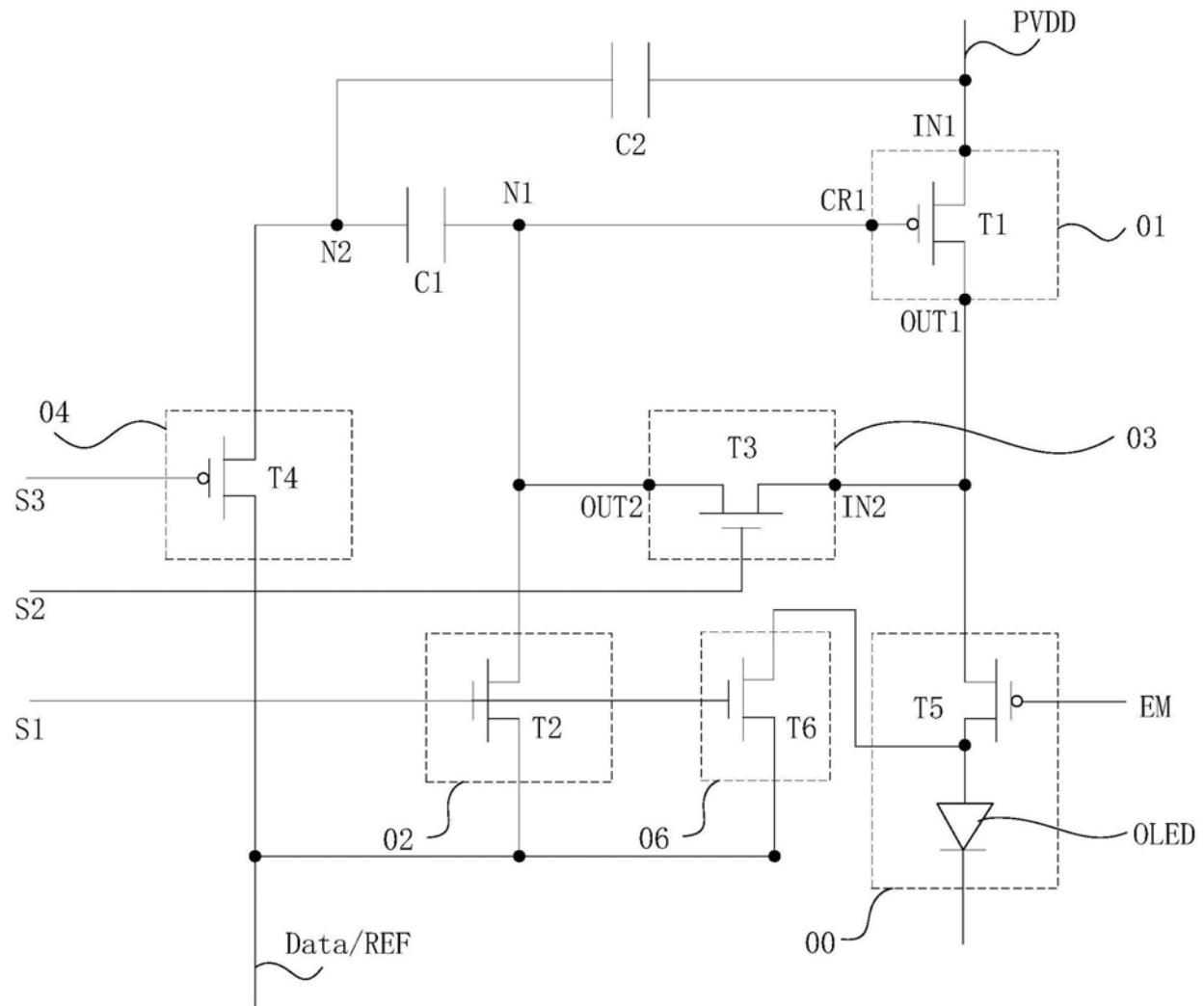


图5

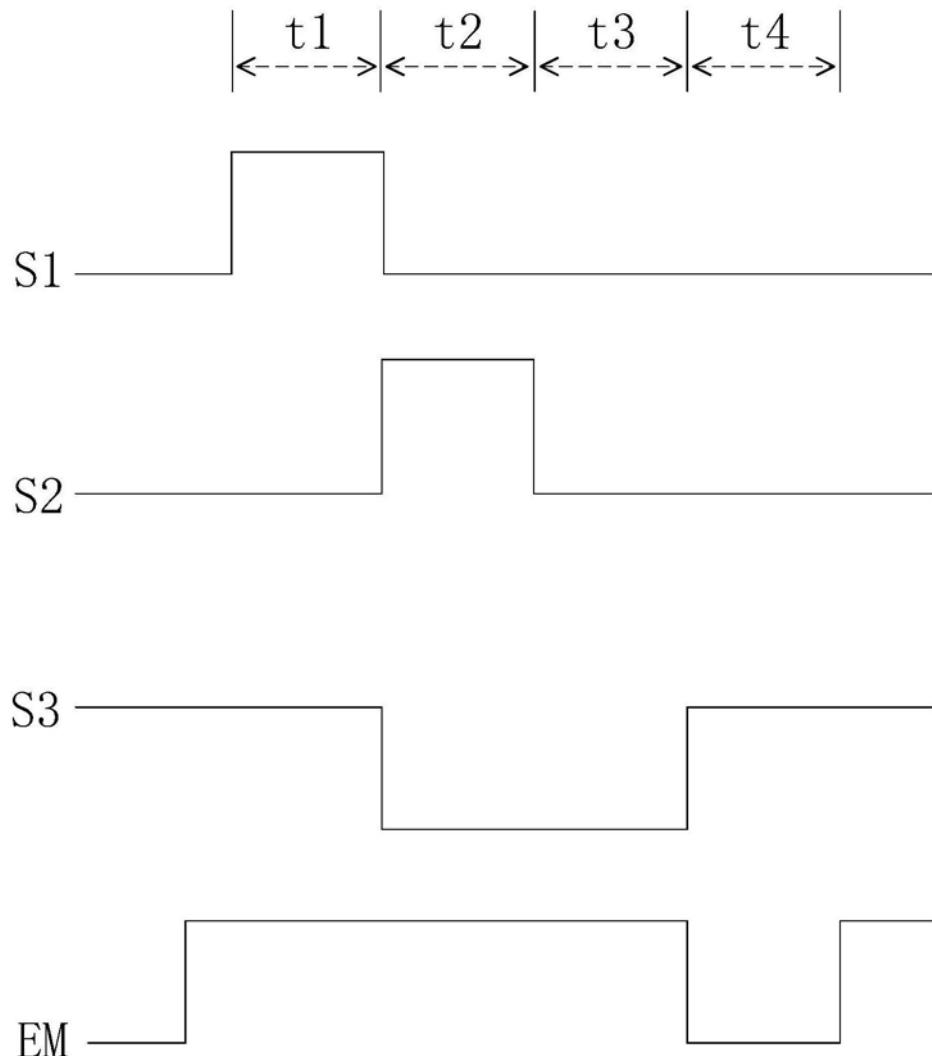


图6

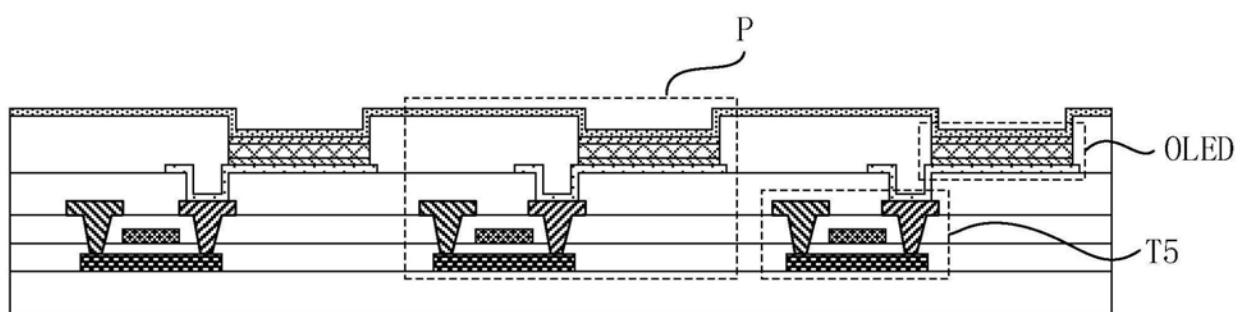


图7

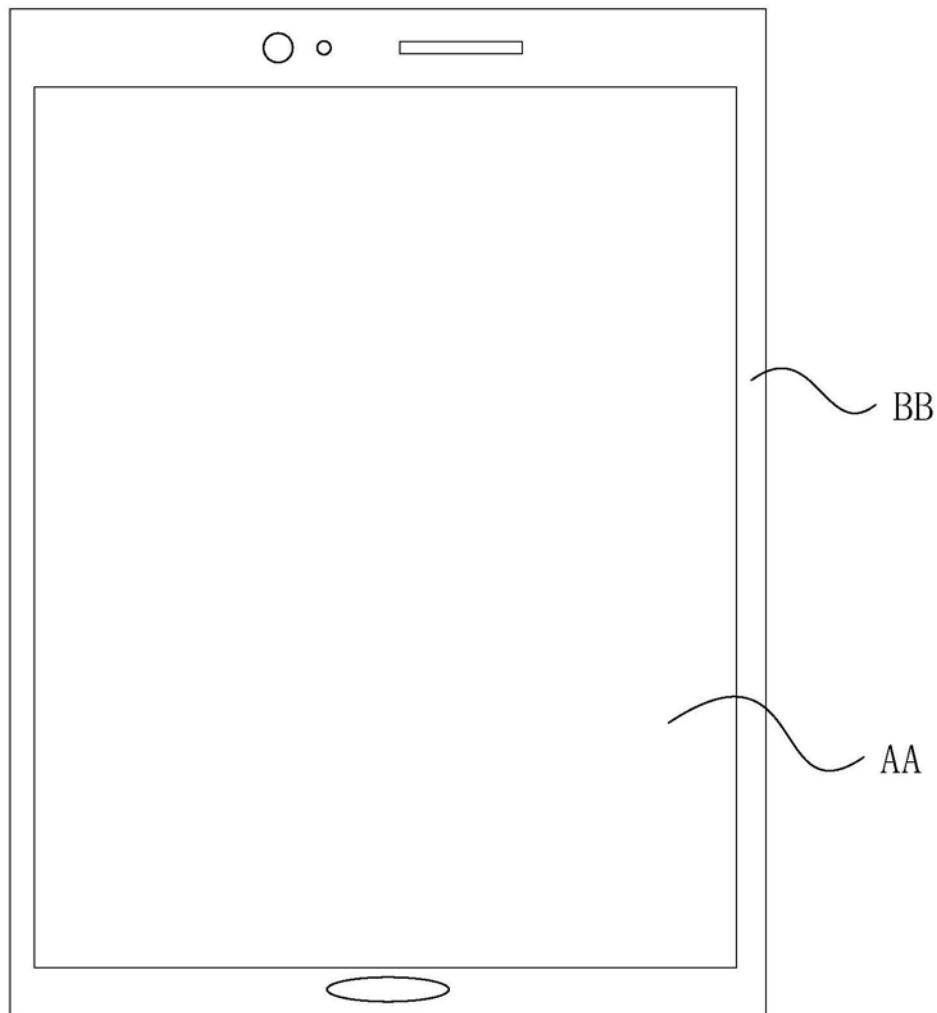


图8

专利名称(译)	一种像素驱动电路、有机发光显示面板及显示装置		
公开(公告)号	CN111354308A	公开(公告)日	2020-06-30
申请号	CN202010276324.3	申请日	2020-04-09
[标]申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
当前申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
[标]发明人	范龙飞 周星耀 高娅娜 李玥		
发明人	范龙飞 周星耀 高娅娜 李玥		
IPC分类号	G09G3/3208 G09G3/3233 G09G3/3291		
代理人(译)	冯伟		
外部链接	Espacenet Sipo		

摘要(译)

本申请提供一种像素驱动电路、有机发光显示面板及显示装置，其中像素驱动电路包括：发光显示模块以及发光驱动模块。其中，发光驱动模块包括第一控制端、与电源电压信号线连接的第一输入端，及与发光显示模块连接的第一输出端。像素驱动电路还包括第一初始化模块、第一电容、电源电压写入模块及发光电压写入模块。第一初始化模块与第一控制端电连接。第一电容包括第一极板与第二极板，第一极板与第一控制端电连接。电源电压写入模块包括第二输入端及第二输出端，第二输入端与第一输出端电连接，第二输出端与第一极板电连接，发光电压写入模块与第二极板连接。本申请提供的像素驱动电路消除了电源电压对发光驱动电流的影响。

