(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 110364117 A
(43)申请公布日 2019.10.22

(21)申请号 201910646657.8

(22)申请日 2019.07.17

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 成都京东方光电科技有限公司

(72)发明人 于子阳

(74)专利代理机构 北京清亦华知识产权代理事务所(普通合伙) 11201
代理人 张润

(51)Int.Cl.
G09G 3/3225(2016.01)
G09G 3/3258(2016.01)

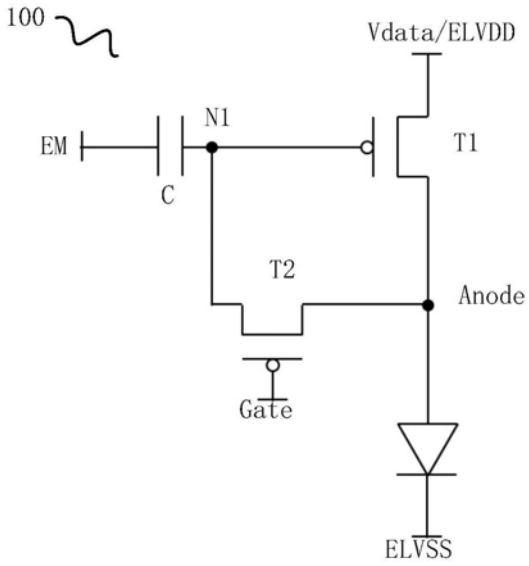
权利要求书2页 说明书6页 附图6页

(54)发明名称

像素电路及其驱动方法、显示面板和显示装置

(57)摘要

本发明公开了一种像素电路及其驱动方法、显示面板和显示装置，像素电路包括：存储电容，其一端输入第一控制信号；第一晶体管，其第一极与第一电压信号端电连接，栅极与存储电容的另一端电连接，并形成第一节点；第二晶体管，其第一极与第一节点电连接，第二极与第一晶体管的第二极电连接，并形成第二节点，栅极输入第二控制信号；有机发光二极管，其阳极与第二节点电连接，阴极与第二电压信号端电连接，第二电压信号端施加有低电平；通过第一控制信号、第二控制信号，以及第一电压信号端施加的电压信号，对第一晶体管的阈值电压进行补偿。该像素电路，不仅能够在实现Vth像素的补偿功能，且占用空间小，可广泛应用在高PPI OLED显示中。



CN 110364117 A

1.一种像素电路,其特征在于,包括:

存储电容,所述存储电容的一端与第一控制信号端电连接,用以输入第一控制信号;

第一晶体管,所述第一晶体管的第一极与第一电压信号端电连接,所述第一晶体管的栅极与所述存储电容的另一端电连接,并形成第一节点;

第二晶体管,所述第二晶体管的第一极与所述第一节点电连接,所述第二晶体管的第二极与所述第一晶体管的第二极电连接,并形成第二节点,所述第二晶体管的栅极与第二控制信号端电连接,用以输入第二控制信号;

有机发光二极管,所述有机发光二极管的阳极与所述第二节点电连接,阴极与第二电压信号端电连接,其中,所述第二电压信号端施加有低电平;

其中,通过所述第一控制信号、所述第二控制信号,以及所述第一电压信号端施加的电压信号,对所述第一晶体管的阈值电压进行补偿。

2.如权利要求1所述的像素电路,其特征在于,所述第二晶体管为双栅薄膜晶体管,双栅均与所述第二控制信号端电连接。

3.如权利要求1所述的像素电路,其特征在于,所述第一晶体管和所述第二晶体管均为多晶薄膜晶体管或氧化锌薄膜晶体管。

4.如权利要求1所述的像素电路,其特征在于,所述第一晶体管为P型或者N型薄膜晶体管,所述第二晶体管为P型或者N型薄膜晶体管。

5.如权利要求1所述的像素电路,其特征在于,所述第一晶体管的第一极为源极,所述第一晶体管的第二极为漏极,或者,所述第一晶体管的第一极为漏极,所述第一晶体管的第二极为源极。

6.一种像素电路的驱动方法,其特征在于,所述像素电路为如权利要求1-5中任一项所述的像素电路,所述驱动方法包括以下步骤:

施加第一控制信号和第二控制信号以使所述第一开关晶体管导通;

向所述第一电压信号端施加电压Vdata,以使所述第一节点的电压变为Vdata+Vth,其中,Vth为所述第一晶体管的阈值电压;

在所述第一节点的电压变为Vdata+Vth后,向所述第一电压信号端施加电压ELVDD,以使所述第一晶体管的第一极与栅极之间的电压为Vdata+Vth-ELVDD,实现对Vth的补偿,其中,ELVDD＞Vdata。

7.如权利要求6所述的像素电路的驱动方法,其特征在于,所述第一晶体管和所述第二晶体管均为P型薄膜晶体管时,所述驱动方法包括以下步骤:

初始化步骤:所述第一控制信号为高电平,向所述第一电压信号端施加低电平,所述第二控制信号为低电平,以通过所述第二晶体管的导通,将所述第一节点的电压拉低,以及在所述第一节点的电压被拉低后,所述第二控制信号变为高电平;

阈值电压读取步骤:所述第二控制信号为低电平,所述第一控制信号为低电平,并向所述第一电压信号端施加电压Vdata,以使所述第一节点的电压变为Vdata+Vth,在所述第一节点的电压变为Vdata+Vth后,所述第二控制信号变为高电平,所述第一控制信号变为高电平,其中,Vth为所述第一晶体管的阈值电压;

发光补偿步骤:所述第一控制信号为低电平,并向所述第一电压信号端施加电压ELVDD,以驱动所述有机发光二极管发光,并使所述第一晶体管的第一极与栅极之间的电压

为Vdata+Vth-ELVDD,实现对Vth的补偿。

8.一种显示面板,其特征在于,包括:

如权利要求1-5中任一项所述的像素电路;

第一驱动器,所述第一驱动器用于向所述像素电路输入所述第一控制信号和所述第二控制信号;

第二驱动器,所述第二驱动器用于向所述第一电压信号端和所述第二电压信号端施加相应的电压信号。

9.一种显示装置,其特征在于,包括:壳体和如权利要求8所述的显示面板,其中,所述壳体与所述显示面板相对设置。

像素电路及其驱动方法、显示面板和显示装置

技术领域

[0001] 本发明涉及显示技术领域，特别涉及一种像素电路、一种像素电路的驱动方法、一种显示面板和一种显示装置。

背景技术

[0002] OLED(Organic Light Emitting Diode，有机发光二极管)像素需要采用电流驱动的方式实现发光，因此对DTFT(Driving Thin Film Transistor，驱动薄膜晶体管)的电流稳定性要求很高。而采用LTPS(Low Temperature Poly-silicon，低温多晶硅)工艺制作的DTFT通常无法维持稳定，在ELA晶化(Excimer Laser Annealing，准分子激光晶化)、长时间压力、温度变化等的作用下DTFT的阈值电压Vth、迁移率会发生偏移。因此需要设计复杂的像素电路(如7T1C)对DTFT进行补偿，保证在不同工作条件下DTFT输出稳定的电流，保证OLED显示器的显示效果和寿命。然而，制作显示面板的工艺能力有限，随着显示面板PPI(Pixels Per Inch，像素密度)的升高，7T1C像素电路将无法用于驱动高PPI显示。

发明内容

[0003] 本发明旨在在一定程度上解决相关技术中的技术问题之一。为此，本发明的一个目的在于提出一种像素电路，不仅可使DTFT输出稳定的电流，且可用于驱动显示面板高PPI显示。

[0004] 本发明的第二个目的在于提出一种像素电路的驱动方法。

[0005] 本发明的第三个目的在于提出一种显示面板。

[0006] 本发明的第四个目的在于提出一种显示装置。

[0007] 为达上述目的，本发明第一方面实施例提出了一种像素电路，包括：存储电容，所述存储电容的一端与第一控制信号端电连接，用以输入第一控制信号；第一晶体管，所述第一晶体管的第一极与第一电压信号端电连接，所述第一晶体管的栅极与所述存储电容的另一端电连接，并形成第一节点；第二晶体管，所述第二晶体管的第一极与所述第一节点电连接，所述第二晶体管的第二极与所述第一晶体管的第二极电连接，并形成第二节点，所述第二晶体管的栅极与第二控制信号端电连接，用以输入第二控制信号；有机发光二极管，所述有机发光二极管的阳极与所述第二节点电连接，阴极与第二电压信号端电连接，其中，所述第二电压信号端施加有低电平；其中，通过所述第一控制信号、所述第二控制信号，以及所述第一电压信号端施加的电压信号，对所述第一晶体管的阈值电压进行补偿。

[0008] 本发明实施例的像素电路，不仅能够在实现Vth像素的补偿功能，且占用空间小，可广泛应用在高PPI OLED显示中。

[0009] 另外，根据本发明实施例的像素电路还可以具有如下附加的技术特征：

[0010] 根据本发明的一个实施例，所述第二晶体管为双栅薄膜晶体管，双栅均与所述第二控制信号端电连接。

[0011] 根据本发明的一个实施例，所述第一晶体管和所述第二晶体管均为多晶薄膜晶体

管或氧化锌薄膜晶体管。

[0012] 根据本发明的一个实施例，所述第一晶体管为P型或者N型薄膜晶体管，所述第二晶体管为P型或者N型薄膜晶体管。

[0013] 根据本发明的一个实施例，所述第一晶体管的第一极为源极，所述第一晶体管的第二极为漏极，或者，所述第一晶体管的第一极为漏极，所述第一晶体管的第二极为源极。

[0014] 为达上述目的，本发明第二方面实施例提出了一种像素电路的驱动方法，其特征在于，所述像素电路上述实施例的像素电路，所述驱动方法包括以下步骤：施加第一控制信号和第二控制信号以使所述第一开关晶体管导通；向所述第一电压信号端施加电压Vdata，以使所述第一节点的电压变为Vdata+Vth，其中，Vth为所述第一晶体管的阈值电压；在所述第一节点的电压变为Vdata+Vth后，向所述第一电压信号端施加电压ELVDD，以使所述第一晶体管的第一极与栅极之间的电压为Vdata+Vth-ELVDD，实现对Vth的补偿，其中，ELVDD＞Vdata。

[0015] 本发明实施例的像素电路的驱动方法，不仅能够在实现Vth像素的补偿功能，且占用空间小，可广泛应用在高PPI OLED显示中。

[0016] 另外，根据本发明实施例的像素电路的驱动方法还可以具有如下附加的技术特征：

[0017] 根据本发明的一个实施例，所述第一晶体管和所述第二晶体管均为P型薄膜晶体管时，所述驱动方法包括以下步骤：初始化步骤：所述第一控制信号为高电平，向所述第一电压信号端施加低电平，所述第二控制信号为低电平，以通过所述第二晶体管的导通，将所述第一节点的电压拉低，以及在所述第一节点的电压被拉低后，所述第二控制信号变为高电平；阈值电压读取步骤：所述第二控制信号为低电平，所述第一控制信号为低电平，并向所述第一电压信号端施加电压Vdata，以使所述第一节点的电压变为Vdata+Vth，在所述第一节点的电压变为Vdata+Vth后，所述第二控制信号变为高电平，所述第一控制信号变为高电平，其中，Vth为所述第一晶体管的阈值电压；发光补偿步骤：所述第一控制信号为低电平，并向所述第一电压信号端施加电压ELVDD，以驱动所述有机发光二极管发光，并使所述第一晶体管的第一极与栅极之间的电压为Vdata+Vth-ELVDD，实现对Vth的补偿。

[0018] 为达上述目的，本发明第三方面实施例提出了一种显示面板，包括：如上述实施例的像素电路；第一驱动器，所述第一驱动器用于向所述像素电路输入所述第一控制信号和所述第二控制信号；第二驱动器，所述第二驱动器用于向所述第一电压信号端施加和所述第二电压信号端施加相应的电压信号。

[0019] 本发明实施例的显示面板，采用上述像素电路，不仅能够在实现Vth像素的补偿功能，且占用空间小，可广泛应用在高PPI OLED显示中。

[0020] 为达上述目的，本发明第四方面实施例提出了一种显示装置，包括：壳体和上述实施例的显示面板，其中，所述壳体与所述显示面板相对设置。

[0021] 本发明实施例的显示装置，采用包含上述像素电路的显示面板，不仅能够在实现Vth像素的补偿功能，且占用空间小，可广泛应用在高PPI OLED显示中。

[0022] 本发明附加的方面和优点将在下面的描述中部分给出，部分将从下面的描述中变得明显，或通过本发明的实践了解到。

附图说明

[0023] 图1是本发明第一个实施例的像素电路的结构示意图；

[0024] 图2是本发明第二个实施例的像素电路的结构示意图；

[0025] 图3是本发明第三个实施例的像素电路的结构示意图；

[0026] 图4是本发明第四个实施例的像素电路的结构示意图；

[0027] 图5是本发明第五个实施例的像素电路的结构示意图；

[0028] 图6(a)是本发明一个示例的呈阵列排列的像素电路的结构示意图；

[0029] 图6(b)是本发明第一个实施例的像素电路工作时驱动时序的示意图；

[0030] 图7是本发明一个实施例的像素电路在Vdata取值为0～3V时的模拟波形图；

[0031] 图8是本发明一个实施例的像素电路在Vth取值为-1～1V时的模拟波形图；

[0032] 图9是本发明一个实施例的像素电路的驱动方法的流程图；

[0033] 图10是本发明实施例的显示面板的结构框图；

[0034] 图11是本发明实施例的显示装置的结构框图。

具体实施方式

[0035] 下面详细描述本发明的实施例，所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，旨在用于解释本发明，而不能理解为对本发明的限制。

[0036] 下面参考附图描述本发明实施例的像素电路、像素电路的驱动方法、显示面板和显示装置。

[0037] 图1是本发明一个实施例的像素电路的结构示意图。

[0038] 如图1所示，该像素电路100包括：存储电容C、第一晶体管T1、第二晶体管T2和有机发光二极管D。

[0039] 其中，参见图1，存储电容C的一端与第一控制信号端EM电连接，用以输入第一控制信号；第一晶体管T1的第一极与第一电压信号端电连接，第一晶体管T1的栅极与存储电容C的另一端电连接，并形成第一节点N1；第二晶体管T2的第一极与第一节点N1电连接，第二晶体管T2的第二极与第一晶体管T1的第二极电连接，并形成第二节点Anode，第二晶体管T2的栅极与第二控制信号端Gate电连接，用以输入第二控制信号；有机发光二极管D的阳极与第二节点Anode电连接，阴极与第二电压信号端电连接，其中，第二电压信号端施加有低电平ELVSS。

[0040] 在该实施例中，可通过第一控制信号、第二控制信号，以及第一电压信号端施加的电压信号，对第一晶体管T1的阈值电压Vth进行补偿。

[0041] 应当理解，若第一晶体管T1的第一极为源极，则第一晶体管T1的第二极为漏极；若第一晶体管T1的第一极为漏极，则第一晶体管T1的第二极为源极。同理，若第二晶体管T2的第一极为源极，则第二晶体管T2的第二极为漏极；若第二晶体管T2的第一极为漏极，则第二晶体管T2的第二极为源极。

[0042] 该像素电路，采用2T1C结构即可实现对阈值电压Vth的补偿，占用空间小，可广泛应用在高PPI OLED显示中。

[0043] 在本发明的一个实施例中，如图2所示，第二晶体管T2可以为双栅薄膜晶体管，双

栅均与第二控制信号端Gate电连接，用以输入第二控制信号。

[0044] 在本发明的实施例中，第一晶体管T1和第二晶体管T2可均为多晶薄膜晶体管，如LTPS(Low Temperature Poly-silicon，低温多晶硅)的TFT(Thin Film Transistor，薄膜晶体管)、LTPO(Low Temperature Polycrystalline Oxide，低温多晶氧化物)的TFT，也可均为氧化锌薄膜晶体管，如IGZO(Indium Gallium Zinc Oxide，铟镓锌氧化物)的TFT。

[0045] 当然，也可以是第一晶体管T1为多晶薄膜晶体管，第二晶体管T2为氧化锌薄膜晶体管；还可以是第一晶体管T1为氧化锌薄膜晶体管，第二晶体管T2为多晶薄膜晶体管。

[0046] 进一步地，在本发明的实施例中，第一晶体管T1可以为P型或者N型薄膜晶体管，第二晶体管T2可以为P型或者N型薄膜晶体管。

[0047] 例如，如图1所示，第一晶体管T1和第二晶体管T2均为P型薄膜晶体管；如图3所示，第一晶体管T1和第二晶体管T2均为N型薄膜晶体管；如图4所示，第一晶体管T1为P型薄膜晶体管，第二晶体管T2为N型薄膜晶体管；如图5所示，第一晶体管T1为N型薄膜晶体管，第二晶体管T2为P型薄膜晶体管。

[0048] 为便于理解，下面以图1所示的实施例为例，结合图6(a)所示的结构和图6(b)所示的驱动时序说明书本发明实施例的像素电路100的工作原理：

[0049] 第一阶段：初始化，第二控制信号端Gate输入的第二控制信号为低电平，第二晶体管T2导通，第一控制信号端EM输入的第一控制信号为高电平，通过储能电容C耦合将第一节点N1的电压拉高，第一电压信号端和第二电压信号端施加的均为低电平电压，通过有机发光二极管D将第一节点N1和第二节点Anode的电压拉低，完成N1点初始化。然后第二控制信号跳高，第二晶体管T2关断，第一节点N1维持偏低电压。

[0050] 第二阶段：Vdata写入和Vth提取，第二控制信号为低电平，第二晶体管T2导通，第一控制信号跳低，通过储能电容C将第一节点N1耦合至低电压，使第一晶体管T1导通。同时第一电压信号端写入Vdata电压，第一晶体管T1和第二晶体管T2均导通，最终第一节点N1的电压达到Vdata+Vth，完成Vth的提取。然后第二控制信号跳高，第二晶体管T2关断，第一节点N1悬空，第一控制信号随后跳高，第一节点N1的电压为(EM_H-EM_L)+Vdata+Vth。应当理解，该Vth为负值。

[0051] 第三阶段：发光补偿，第一控制信号由高拉低，通过储能电容C将第一节点N1的电压耦合至Vdata+Vth。同时第一电压信号端施加高电压ELVDD，第一晶体管T1的Vgs＝VN1-ELVDD＝Vdata+Vth-ELVDD＜Vth，第一晶体管T1导通，有机发光二极管D发光，流过其的电流为：

[0052] $$I_d = \frac{1}{2} * \mu * Cox * \frac{W}{L} * (Vgs - Vth)^2 = \frac{k}{2}(Vdata - ELVDD)^2 \qquad (1)$$

[0053] 其中，μ为所述第一晶体管T1的场效应迁移率，Cox为所述第一晶体管T1结构的单位面积电容，W/L为所述第一晶体管T1的沟道的宽长比。

[0054] 可见，上式(1)中不包含Vth，即完成了对Vth的补偿功能。

[0055] 需要说明的是，图6(a)、图6(b)中M、N均为正整数，M表示像素电路所在的列数，N表示像素电路所在的行数。

[0056] 为说明本发明实施例的像素电路的有益效果，对图1所示的实施例的像素电路的工作进行了模拟仿真，模拟结果如图7和图8所示。从图7中可以看出，在不同的Vdata(0～

3V)下,均可以实现Vdata的写入功能。从图8中可以看出,在不同的ΔVth(-1V～1V)下,均可以实现阈值电压Vth的提取功能,并将Vdata和Vth提取值写入第一晶体管T1的栅极。

[0057] 综上所述,本发明实施例的像素电路,不仅能够在实现Vth像素的补偿功能,且占用空间小,可广泛应用在高PPI OLED显示中。

[0058] 图9是本发明实施例的像素电路的驱动方法的流程图。

[0059] 在该实施例中,像素电路为上述实施例的像素电路。如图9所示,像素电路的驱动方法包括以下步骤:

[0060] S1,施加第一控制信号和第二控制信号以使第一开关晶体管导通。

[0061] S2,向第一电压信号端施加电压Vdata,以使第一节点的电压变为Vdata+Vth,其中,Vth为第一晶体管的阈值电压。

[0062] S3,在第一节点的电压变为Vdata+Vth后,向第一电压信号端施加电压ELVDD,以驱动有机发光二极管发光,并使第一晶体管的第一极与栅极之间的电压为Vdata+Vth-ELVDD,实现对Vth的补偿,其中,ELVDD＞Vdata。

[0063] 在本发明的一个示例中,当第一晶体管和第二晶体管均为P型薄膜晶体管时,参见图6(b),像素电路的驱动方法包括以下步骤:

[0064] 初始化步骤:第一控制信号为高电平,向第一电压信号端施加低电平,第二控制信号为低电平,以通过第二晶体管的导通,将第一节点的电压拉低,以及在第一节点的电压被拉低后,第二控制信号变为高电平;

[0065] 阈值电压读取步骤:第二控制信号为低电平,第一控制信号为低电平,并向第一电压信号端施加电压Vdata,以使第一节点的电压变为Vdata+Vth,在第一节点的电压变为Vdata+Vth后,第二控制信号变为高电平,第一控制信号变为高电平,其中,Vth为第一晶体管的阈值电压;

[0066] 发光补偿步骤:第一控制信号为低电平,并向第一电压信号端施加电压ELVDD,以驱动有机发光二极管发光,并使第一晶体管的第一极与栅极之间的电压为Vdata+Vth-ELVDD,实现对Vth的补偿。

[0067] 本发明实施例的像素电路的驱动方法,不仅能够在实现Vth像素的补偿功能,且占用空间小,可广泛应用在高PPI OLED显示中。

[0068] 图10是本发明实施例的显示面板的结构框图。

[0069] 如图10所示,显示面板1000包括:上述实施例的像素电路100、第一驱动器200和第二驱动器300。

[0070] 其中,第一驱动器200用于向像素电路100输入第一控制信号和第二控制信号;第二驱动器300用于向第一电压信号端和第二电压信号端施加相应的电压信号。

[0071] 本发明实施例的显示面板,采用上述像素电路,不仅能够在实现Vth像素的补偿功能,且占用空间小,可广泛应用在高PPI OLED显示中。

[0072] 图11是本发明实施例的显示装置的结构框图。

[0073] 如图11所示,显示装置2000包括壳体2100和上述实施例的显示面板1000。其中,壳体2100与显示面板1000相对设置。

[0074] 本发明实施例的显示装置,采用包含上述像素电路的显示面板,不仅能够在实现Vth像素的补偿功能,且占用空间小,可广泛应用在高PPI OLED显示中。

[0075] 在本发明的描述中，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。

[0076] 在本发明中，除非另有明确的规定和限定，术语“连接”等术语应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或成一体；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通或两个元件的相互作用关系，除非另有明确的限定。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本发明中的具体含义。

[0077] 在本说明书的描述中，参考术语“一个实施例”、“示例”、“具体示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中，对上述术语的示意性表述不必须针对的是相同的实施例或示例。而且，描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外，在不相互矛盾的情况下，本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。

[0078] 需要说明的是，在流程图中表示或在此以其他方式描述的逻辑和/或步骤，例如，可以被认为是用于实现逻辑功能的可执行指令的定序列表，可以具体实现在任何计算机可读介质中，以供指令执行系统、装置或设备(如基于计算机的系统、包括处理器的系统或其他可以从指令执行系统、装置或设备取指令并执行指令的系统)使用，或结合这些指令执行系统、装置或设备而使用。就本说明书而言，“计算机可读介质”可以是任何可以包含、存储、通信、传播或传输程序以供指令执行系统、装置或设备或结合这些指令执行系统、装置或设备而使用的装置。计算机可读介质的更具体的示例(非穷尽性列表)包括以下：具有一个或多个布线的电连接部(电子装置)，便携式计算机盘盒(磁装置)，随机存取存储器(RAM)，只读存储器(ROM)，可擦除可编辑只读存储器(EPROM或闪速存储器)，光纤装置，以及便携式光盘只读存储器(CDROM)。

[0079] 应当理解，本发明的各部分可以用硬件、软件、固件或它们的组合来实现。在上述实施方式中，多个步骤或方法可以用存储在存储器中且由合适的指令执行系统执行的软件或固件来实现。例如，如果用硬件来实现，和在另一实施方式中一样，可用本领域公知的下列技术中的任一项或他们的组合来实现：具有用于对数据信号实现逻辑功能的逻辑门电路的离散逻辑电路，具有合适的组合逻辑门电路的专用集成电路，可编程门阵列(PGA)，现场可编程门阵列(FPGA)等。

[0080] 尽管上面已经示出和描述了本发明的实施例，可以理解的是，上述实施例是示例性的，不能理解为对本发明的限制，本领域的普通技术人员在本发明的范围内可以对上述实施例进行变化、修改、替换和变型。

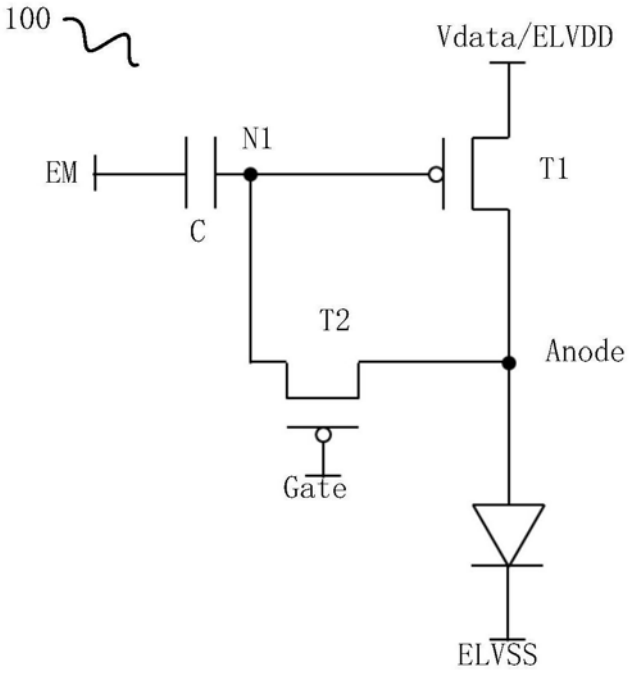

100
Vdata/ELVDD
N1
EM
T1
C
T2
Anode
Gate
ELVSS

图1

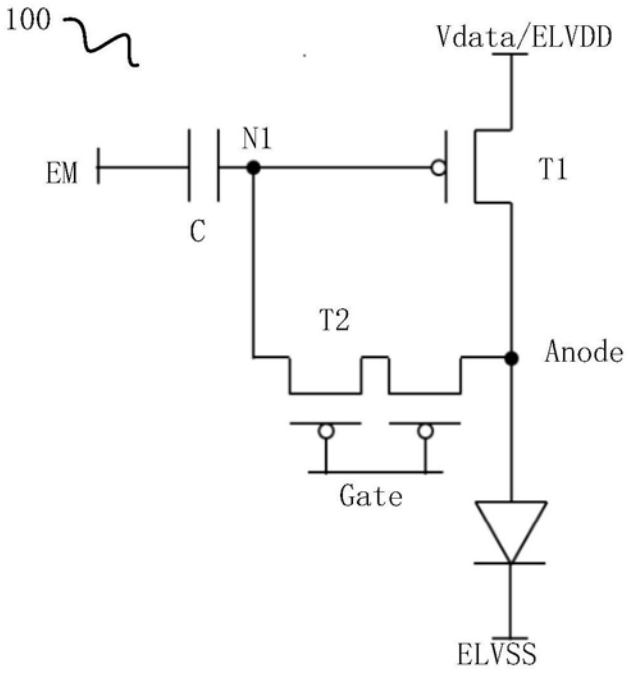

100
Vdata/ELVDD
N1
EM
T1
C
T2
Anode
Gate
ELVSS

图2

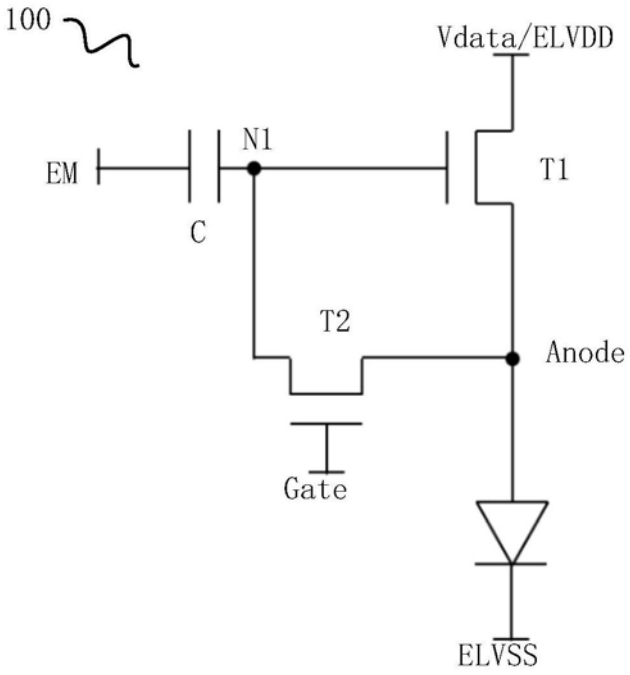

100
Vdata/ELVDD
N1
EM
T1
C
T2
Anode
Gate
ELVSS

图3

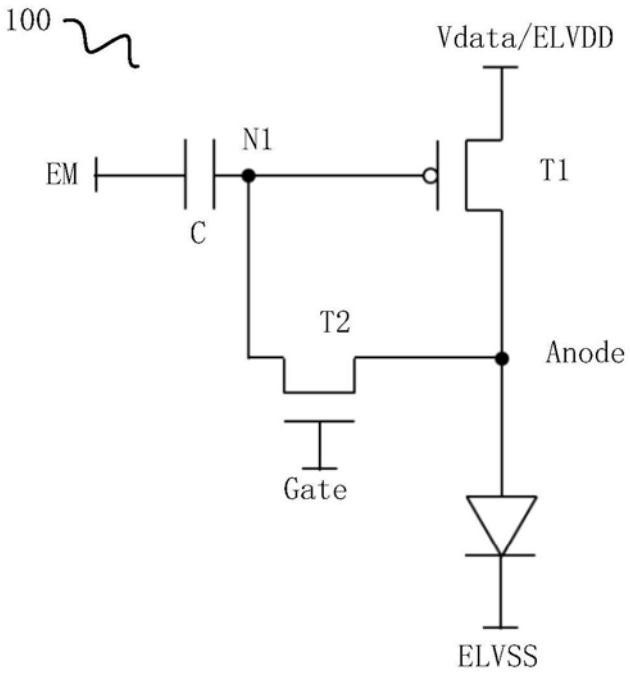

100
Vdata/ELVDD
N1
EM
T1
C
T2
Anode
Gate
ELVSS

图4

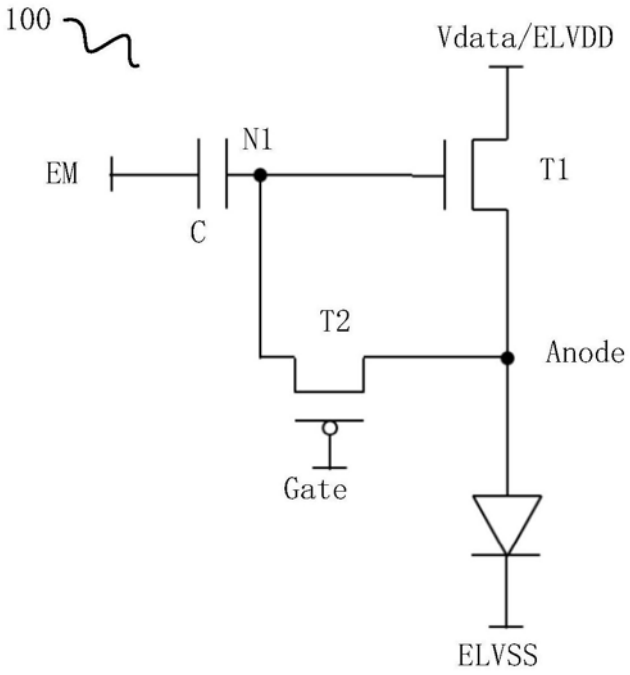

100
Vdata/ELVDD
N1
EM
T1
C
T2
Anode
Gate
ELVSS

图5

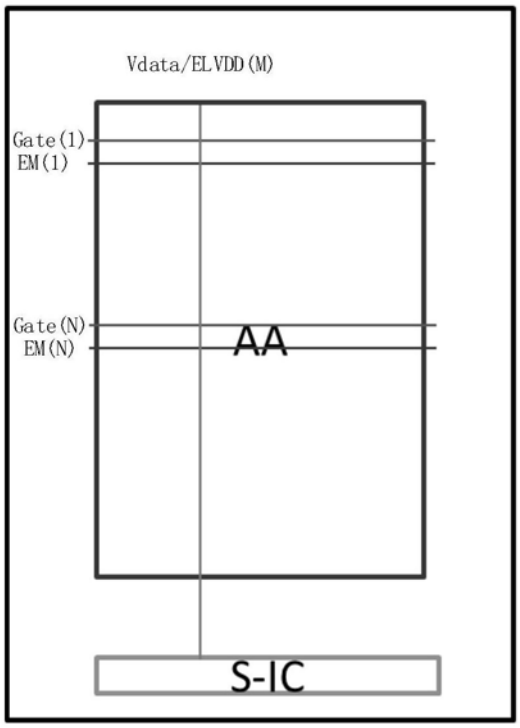

Vdata/ELVDD(M)
Gate(1)
EM(1)
Gate(N)
EM(N)
AA
S-IC

图6(a)

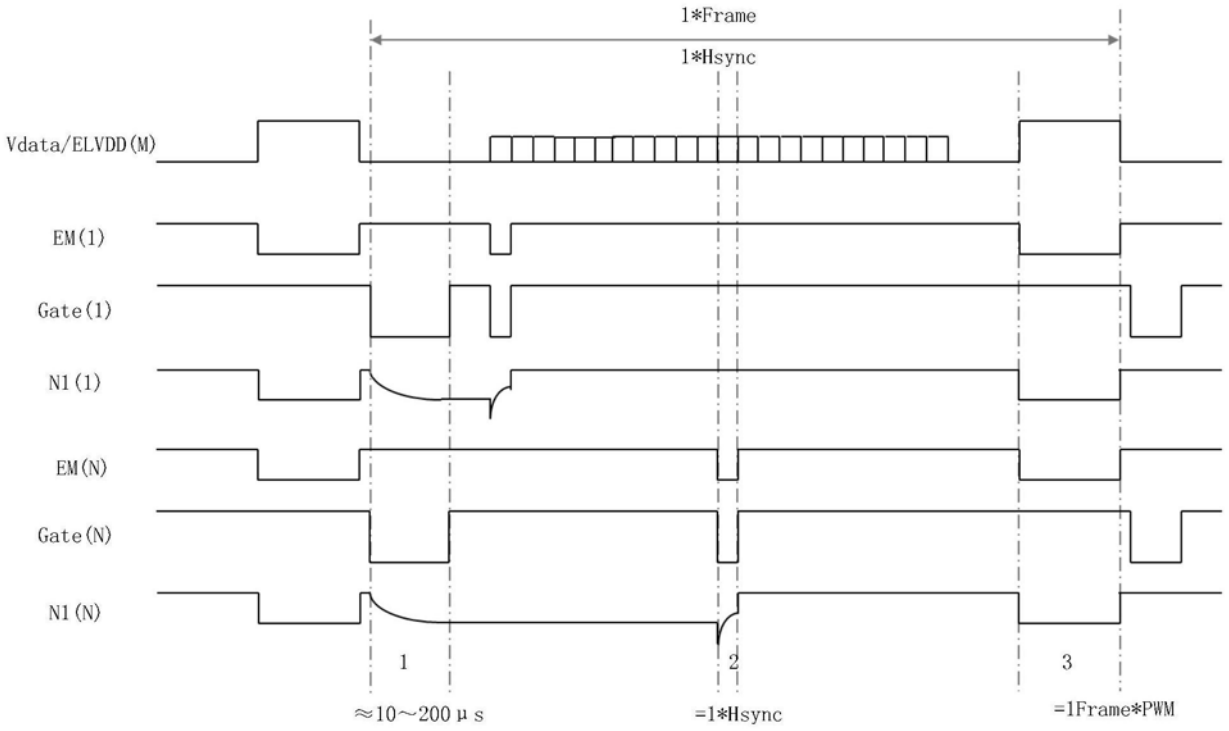

1*Frame
1*Hsync
Vdata/ELVDD(M)
EM(1)
Gate(1)
N1(1)
EM(N)
Gate(N)
N1(N)
1
2
3
≈10～200μs
=1*Hsync
=1Frame*PWM

图6(b)

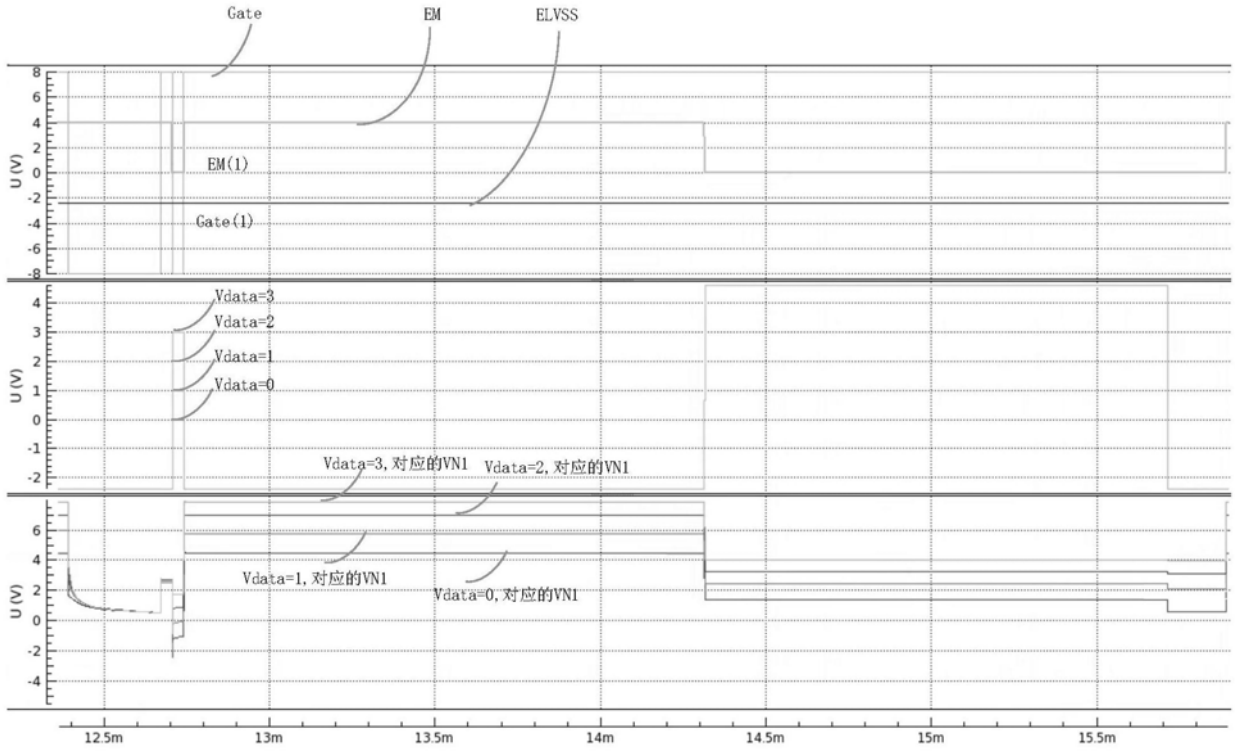

Gate
EM
ELVSS
EM(1)
Gate(1)
Vdata=3
Vdata=2
Vdata=1
Vdata=0
Vdata=3,对应的VN1
Vdata=2,对应的VN1
Vdata=1,对应的VN1
Vdata=0,对应的VN1
U(V)
12.5m
13m
13.5m
14m
14.5m
15m
15.5m

图7

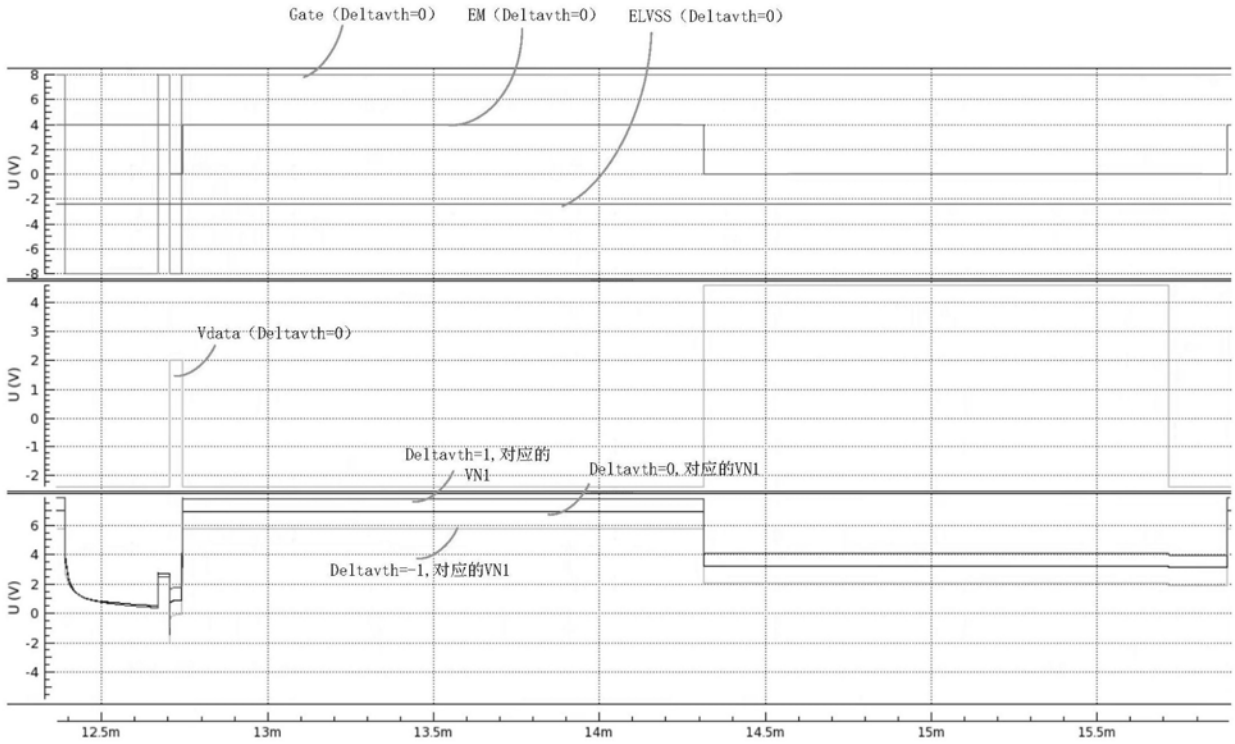

Gate (Deltavth=0)
EM (Deltavth=0)
ELVSS (Deltavth=0)
U (V)
Vdata (Deltavth=0)
Deltavth=1,对应的VN1
Deltavth=0,对应的VN1
Deltavth=-1,对应的VN1
12.5m
13m
13.5m
14m
14.5m
15m
15.5m

图8

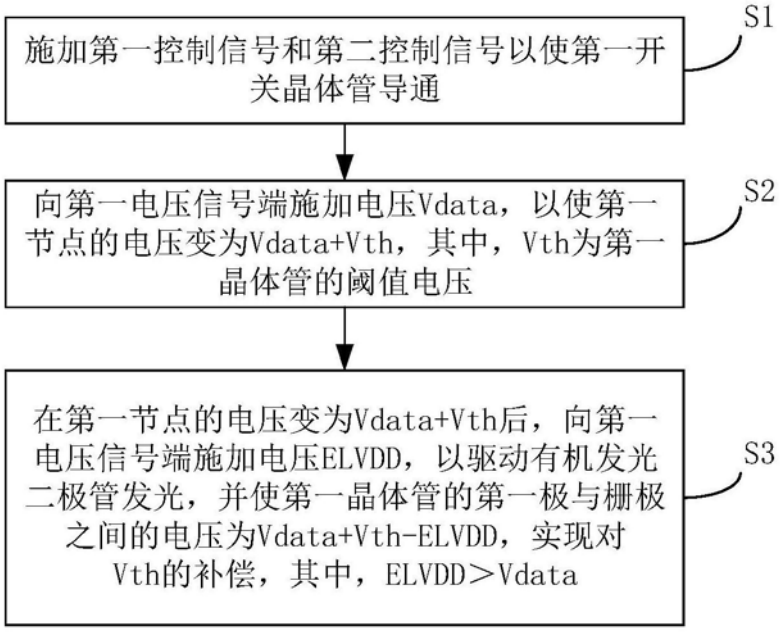

施加第一控制信号和第二控制信号以使第一开关晶体管导通
S1
向第一电压信号端施加电压Vdata，以使第一节点的电压变为Vdata+Vth，其中，Vth为第一晶体管的阈值电压
S2
在第一节点的电压变为Vdata+Vth后，向第一电压信号端施加电压ELVDD，以驱动有机发光二极管发光，并使第一晶体管的第一极与栅极之间的电压为Vdata+Vth-ELVDD，实现对Vth的补偿，其中，ELVDD＞Vdata
S3

图9

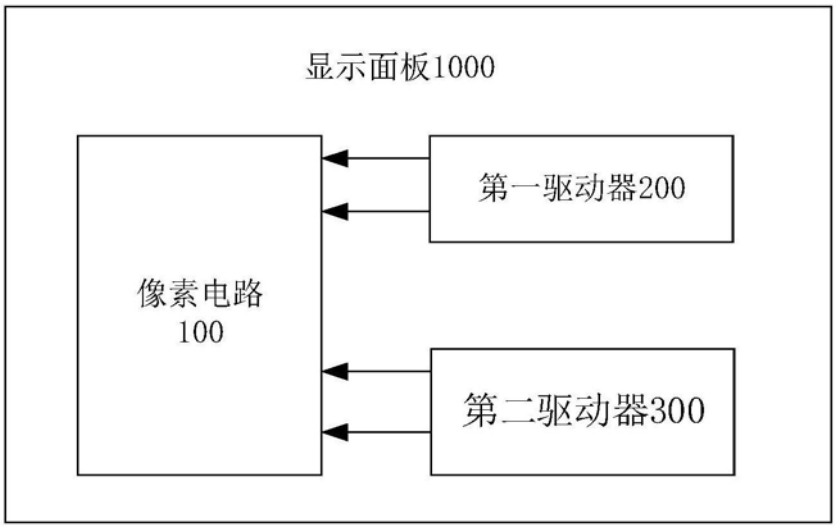

显示面板1000
像素电路
100
第一驱动器200
第二驱动器300

图10

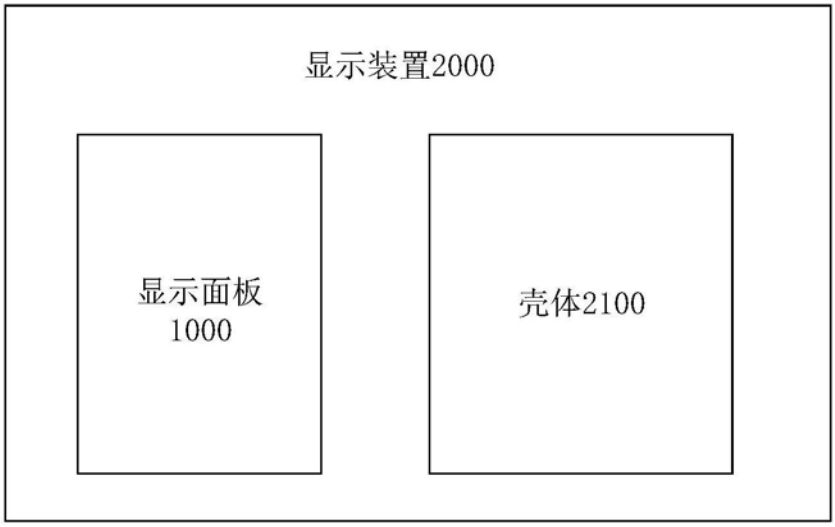

显示装置2000
显示面板
1000
壳体2100

图11

专利名称(译)	像素电路及其驱动方法、显示面板和显示装置		
公开(公告)号	CN110364117A	公开(公告)日	2019-10-22
申请号	CN201910646657.8	申请日	2019-07-17
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	于子阳		
发明人	于子阳		
IPC分类号	G09G3/3225 G09G3/3258		
CPC分类号	G09G3/3225 G09G3/3258		
代理人(译)	张润		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路及其驱动方法、显示面板和显示装置，像素电路包括：存储电容，其一端输入第一控制信号；第一晶体管，其第一极与第一电压信号端电连接，栅极与存储电容的另一端电连接，并形成第一节点；第二晶体管，其第一极与第一节点电连接，第二极与第一晶体管的第二极电连接，并形成第二节点，栅极输入第二控制信号；有机发光二极管，其阳极与第二节点电连接，阴极与第二电压信号端电连接，第二电压信号端施加有低电平；通过第一控制信号、第二控制信号，以及第一电压信号端施加的电压信号，对第一晶体管的阈值电压进行补偿。该像素电路，不仅能够在实现Vth像素的补偿功能，且占用空间小，可广泛应用在高PPI OLED显示中。

