



(12)发明专利申请

(10)申请公布号 CN 107658326 A

(43)申请公布日 2018.02.02

(21)申请号 201710165737.2

(22)申请日 2017.03.20

(71)申请人 广东聚华印刷显示技术有限公司

地址 510000 广东省广州市广州中新广州
知识城凤凰三路17号自编五栋388

(72)发明人 陈亚文

(74)专利代理机构 广州华进联合专利商标代理
有限公司 44224

代理人 林青中

(51)Int.Cl.

H01L 27/32(2006.01)

H01L 51/56(2006.01)

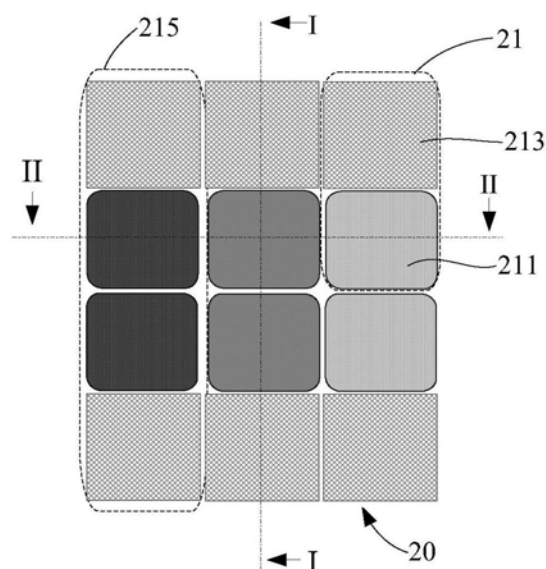
权利要求书1页 说明书5页 附图2页

(54)发明名称

电致发光显示器件及其像素结构和制作方法

(57)摘要

本发明公开了一种电致发光显示器件及其像素结构及制作方法。该电致发光显示器件及其像素结构,通过将颜色相同的且相邻的子像素的发光区相对且相邻设置形成子像素组,该子像素组中的两个子像素的发光区位于像素界定层的同一像素坑内,从而成倍地增加了像素界定层的开口区面积,也即增加了墨水的沉积区域,可以防止墨水因单个子像素面积过小引发的溢出现象,从而对于实现高分辨率的显示器件的印刷工艺制作具有显著的效果。同时相对于传统的像素条带的像素排列结构,其驱动电路排布不需要进行大幅度修改,易于与现有的制程工艺兼容,可广泛推广应用。



1. 一种电致发光显示器件的像素结构,其特征在于,所述像素结构包括在基板上设置的多列像素单元,每列像素单元具有多个子像素,每个子像素均包括设有发光功能层的发光区和用于驱动所述发光功能层发光的驱动区,所述驱动区设有与所述子像素的像素电极电连接的驱动电路,每列像素单元中相邻的子像素之间呈镜像对称设置,每列像素单元中发光区相邻设置的两个子像素构成子像素组,每个子像素组中的两个子像素的颜色相同,不同的子像素组之间通过像素界定层隔开,且每个子像素组中的两个子像素的发光区位于所述像素界定层的同一像素坑内。

2. 如权利要求1所述的电致发光显示器件的像素结构,其特征在于,每个子像素组中的两个子像素的像素电极之间也设有像素界定层,且发光功能层连续。

3. 如权利要求2所述的电致发光显示器件的像素结构,其特征在于,每个子像素组中的两个子像素的像素电极之间的像素界定层的厚度小于相邻的子像素组之间的像素界定层的厚度。

4. 如权利要求4所述的电致发光显示器件的像素结构,其特征在于,每个子像素组中的两个子像素的像素电极之间的像素界定层的厚度为 $0.1\mu\text{m}\sim 0.2\mu\text{m}$,相邻的子像素组之间的像素界定层的厚度为 $0.5\mu\text{m}\sim 2\mu\text{m}$ 。

5. 如权利要求1所述的电致发光显示器件的像素结构,其特征在于,每列所述像素单元中的多个子像素的颜色相同。

6. 如权利要求1所述的电致发光显示器件的像素结构,其特征在于,所述驱动电路设于所述基板上。

7. 如权利要求6所述的电致发光显示器件的像素结构,其特征在于,还包括设于所述驱动电路上的平坦层,所述像素电极及所述像素界定层设于所述平坦层上,所述平坦层具有用于供所述驱动电路与所述像素电极电连接的连接孔。

8. 如权利要求1~7中任一项所述的电致发光显示器件的像素结构,其特征在于,所述像素结构的顶电极整体覆盖在所述发光功能层及凸出的所述像素界定层的表面。

9. 一种电致发光显示器件的像素结构的制作方法,其特征在于,包括如下步骤:

在基板上的预设位置制作驱动电路;

在所述基板上制作具有多列像素电极的像素电极层,并与所述驱动电路对应连接,每列像素电极包括多个子像素电极,每个子像素电极均具有发光区和驱动区,所述驱动电路与所述驱动区对应,每列像素电极中相邻的子像素电极之间呈镜像对称设置,每列像素电极中发光区相邻设置的两个子像素电极构成子像素电极组;

在所述基板上制作像素界定层,以将不同的子像素电极组隔开,每个子像素电极组中的两个子像素电极的发光区位于所述像素界定层的同一像素坑内;

在所述像素电极层上形成发光功能层,控制每个子像素电极组中的两个子像素电极上的发光功能层的颜色相同;

在所述发光功能层上形成顶电极层。

10. 一种电致发光显示器件,其特征在于,包括封装结构以及位于所述封装结构内的如权利要求1~8中任一项所述的像素结构。

电致发光显示器件及其像素结构和制作方法

技术领域

[0001] 本发明涉及电致发光技术领域,尤其是涉及一种电致发光显示器件及其像素结构和制作方法。

背景技术

[0002] 采用溶液加工制作OLED以及QLED等电致发光显示器件,由于其低成本、高产能、易于实现大尺寸等优点,是未来显示技术发展的重要方向。其中,印刷技术被认为是实现OLED以及QLED等电致发光显示器件低成本和面积全彩显示的最有效途径。

[0003] 在印刷工艺中,由于受设备精度以及液滴尺寸的影响,如图1所示,对于传统的RGB条状(RGB Stripe)排列的像素结构,当显示器件的分辨率达到200ppi时,各子像素的宽度会减小到了 $42\mu\text{m}$,同时由于像素界定层的存在,子像素的真实宽度会进一步减小到 $35\mu\text{m}$ 左右,而对于10pL体积的墨水,其直径就达 $27\mu\text{m}$ 。因而,如果再进一步提高分辨率,子像素尺寸会进一步减小,这就很难控制各子像素内墨水相互独立而不溢出像素坑,因此比较难以实现高分辨显示装置的印刷制备。

[0004] 因此,需要对子像素的像素结构进行改进和优化,使其能够满足实现高分辨率显示装置的印刷工艺制备。

发明内容

[0005] 基于此,有必要提供一种有利于实现高分辨率显示器件的印刷工艺制作的电致发光显示器件及其像素结构及制作方法。

[0006] 一种电致发光显示器件的像素结构,所述像素结构包括在基板上设置的多列像素单元,每列像素单元具有多个子像素,每个子像素均包括设有发光功能层的发光区和用于驱动所述发光功能层发光的驱动区,所述驱动区设有与所述子像素的像素电极电连接的驱动电路,每列像素单元中相邻的子像素之间呈镜像对称设置,每列像素单元中发光区相邻设置的两个子像素构成子像素组,每个子像素组中的两个子像素的颜色相同,不同的子像素组之间通过像素界定层隔开,且每个子像素组中的两个子像素的发光区位于所述像素界定层的同一像素坑内。

[0007] 在其中一个实施例中,每个子像素组中的两个子像素的像素电极之间也设有像素界定层,且发光功能层连续。

[0008] 在其中一个实施例中,每个子像素组中的两个子像素的像素电极之间的像素界定层的厚度小于相邻的子像素组之间的像素界定层的厚度。

[0009] 在其中一个实施例中,每个子像素组中的两个子像素的像素电极之间的像素界定层的厚度为 $0.1\mu\text{m}\sim 0.2\mu\text{m}$,相邻的子像素组之间的像素界定层的厚度为 $0.5\mu\text{m}\sim 2\mu\text{m}$ 。

[0010] 在其中一个实施例中,每列所述像素单元中的多个子像素的颜色相同。

[0011] 在其中一个实施例中,所述驱动电路设于所述基板上。

[0012] 在其中一个实施例中,所述电致发光显示器件的像素结构还包括设于所述驱动电

路上的平坦层,所述像素电极及所述像素界定层设于所述平坦层上,所述平坦层具有用于供所述驱动电路与所述像素电极电连接的连接孔。

[0013] 在其中一个实施例中,所述像素结构的顶电极整体覆盖在所述发光功能层及凸出的所述像素界定层的表面。

[0014] 一种电致发光显示器件的像素结构的制作方法,包括如下步骤:

[0015] 在基板上的预设位置制作驱动电路;

[0016] 在所述基板上制作具有多列像素电极的像素电极层,并与所述驱动电路对应连接,每列像素电极包括多个子像素电极,每个子像素电极均具有发光区和驱动区,所述驱动电路与所述驱动区对应,每列像素电极中相邻的子像素电极之间呈镜像对称设置,每列像素电极中发光区相邻设置的两个子像素电极构成子像素电极组;

[0017] 在所述基板上制作像素界定层,以将不同的子像素电极组隔开,每个子像素电极组中的两个子像素电极的发光区位于所述像素界定层的同一像素坑内;

[0018] 在所述像素电极层上形成发光功能层,控制每个子像素电极组中的两个子像素电极上的发光功能层的颜色相同;

[0019] 在所述发光功能层上形成顶电极层。

[0020] 一种电致发光显示器件,包括封装结构及上述任一实施例所述的像素结构。

[0021] 上述电致发光显示器件及其像素结构,通过将颜色相同的且相邻的子像素的发光区相对且相邻设置形成子像素组,该子像素组中的两个子像素的发光区位于像素界定层的同一像素坑内,从而成倍地增加了像素界定层的开口区面积,也即增加了墨水的沉积区域,可以防止墨水因单个子像素面积过小引发的溢出现象,从而对于实现高分辨率的显示器件的印刷工艺制作具有显著的效果。同时相对于传统的像素条带的像素排列结构,其驱动电路排布不需要进行大幅度修改,易于与现有的制程工艺兼容,可广泛应用。

附图说明

[0022] 图1为传统的电致发光显示器件的像素结构的俯视示意图;

[0023] 图2为本发明一实施方式的电致发光显示器件的像素结构的俯视示意图;

[0024] 图3为图2的I-I剖视图;

[0025] 图4为图2的II-II剖视图。

具体实施方式

[0026] 为了便于理解本发明,下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的较佳实施例。但是,本发明可以以许多不同的形式来实现,并不限于本文所描述的实施例。相反地,提供这些实施例的目的是使对本发明的公开内容的理解更加透彻全面。

[0027] 需要说明的是,当元件被称为“固定于”另一个元件,它可以直接在另一个元件上或者也可以存在居中的元件。当一个元件被认为是“连接”另一个元件,它可以是直接连接到另一个元件或者可能同时存在居中元件。

[0028] 除非另有定义,本文所使用的所有的技术和科学术语与属于本发明的技术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具

体的实施例的目的,不是旨在于限制本发明。本文所使用的术语“和/或”包括一个或多个相关的所列项目的任意的和所有的组合。

[0029] 请结合图2、图3和图4,一实施方式的电致发光显示器件的像素结构包括在基板10上设置的多列像素单元20。每列像素单元20具有多个子像素21。每个子像素21均包括设有发光功能层212的发光区211和用于驱动发光功能层212发光的驱动区213。驱动区213设有与子像素21的像素电极214电连接的驱动电路216。每列像素单元20中相邻的子像素21之间呈镜像对称设置。每列像素单元20中发光区211相邻设置的两个子像素21构成子像素组215。每个子像素组215中的两个子像素21的颜色相同。不同的子像素组215之间通过像素界定层218隔开,且每个子像素组215中的两个子像素21的发光区211位于像素界定层218的同一像素坑内,从而可以成本增大印刷制程中墨水的沉积面积,在相同的打印设备的精度下,可以成倍减小像素尺寸,进而成倍增加印刷显示面板的分辨率。

[0030] 在图示所示的实施方式中,每个子像素21均具有独立的像素电极214。每个子像素组215中的两个子像素21的像素电极214之间也设有像素界定层218,且发光功能层212覆盖该部分的像素界定层218,形成连续的结构。

[0031] 进一步,每个子像素组215中的两个子像素21的像素电极214之间的像素界定层218的厚度小于相邻的子像素组215之间的像素界定层218的厚度。相邻的子像素组215之间的像素界定层218的厚度较大,以围成子像素组215的墨水沉积区,并且厚度较大可以防止墨水溢出,造成颜色串扰。子像素组215中的两个子像素21的像素电极214之间的像素界定层218的厚度较小,其覆盖住像素电极214的边缘,可防止边缘短路或电流集中,造成缺陷。更进一步,每个子像素组215中的两个子像素21的像素电极214之间的像素界定层218的厚度小于发光功能层212的厚度,也即此部分的像素界定层218的厚度也不能太厚,太厚会影响后期墨水干燥后的成膜均匀性。

[0032] 在其中一个实施方式中,每个子像素组215中的两个子像素21的像素电极214之间的像素界定层218的厚度为 $0.1\mu\text{m}\sim 0.2\mu\text{m}$,相邻的子像素组215之间的像素界定层218的厚度为 $0.5\mu\text{m}\sim 2\mu\text{m}$ 。

[0033] 在本实施方式中,每列像素单元20中的多个子像素21的颜色相同。多列像素单元20构成发光条带。在其中一个实施方式中,相邻列的两个像素单元20的颜色不同,如可以是红色、绿色和蓝色依次成列设置,构成RGB条状结构(RGB stripe)。

[0034] 在图示所示实施方式中,驱动电路216设于基板10上。驱动电路216有多个,分别对应每个像素电极214设置。进一步,驱动电路216上还设有平坦层30。像素电极214及像素界定层218设于平坦层30上。平坦层30具有用于供驱动电路216与像素电极214电连接的连接孔。

[0035] 在图示所示实施方式中,像素结构的顶电极40整体覆盖在发光功能层212及凸出的像素界定层218的表面。

[0036] 发光功能层212可以是有机发光功能层,也可以是量子点发光功能层。发光功能层212可以是单独的发光层,也可以是发光层与其他功能层的复合层,功能层如空穴注入层、空穴传输层、电子阻挡层、空穴阻挡层、电子传输层及电子注入层等一层或多层,其中,空穴注入层、空穴传输层、电子阻挡层等可以采用印刷技术制作,其位于发光层与像素电极214之间,空穴阻挡层、电子传输层及电子注入层等可采用真空蒸镀制程技术沉积在发光层与

顶电极40之间,其可以与顶电极40一样,整体覆盖在发光层及凸出的像素界定层218的表面。

[0037] 具有上述结构的电致发光显示器件的像素结构可通过如下方法制作,具体的:

[0038] 步骤一:在基板上的预设位置制作驱动电路。

[0039] 驱动电路直接制作在基板上。

[0040] 进一步,在其中一个实施方式中,还包括在制作的驱动电路上制作平坦层,并在所述平坦层上开设用于供驱动电路与像素电极电连接的连接孔的步骤。

[0041] 步骤二:在基板上制作具有多列像素电极的像素电极层,并与驱动电路对应连接,每列像素电极包括多个子像素电极,每个子像素电极均具有发光区和驱动区,驱动电路与驱动区对应,每列像素电极中相邻的子像素电极之间呈镜像对称设置,每列像素电极中发光区相邻设置的两个子像素电极构成子像素电极组。

[0042] 步骤三:在基板上制作像素界定层,以将不同的子像素电极组隔开,每个子像素电极组中的两个子像素电极的发光区位于像素界定层的同一像素坑内。

[0043] 像素界定层可以通过但不限于半曝光工艺一次成型。进一步,在其中一个实施方式中,像素界定层的不同区域的厚度不同,如位于一个子像素电极组中的两个子像素电极之间的像素界定层的厚度要薄,如可以为 $0.1\mu\text{m}\sim 0.2\mu\text{m}$,位于不同子像素电极组之间的像素界定层的厚度要厚,如可以为 $0.5\mu\text{m}\sim 2\mu\text{m}$,但不管是厚度较薄的区域还是厚度较厚的区域,都是通过一次成型技术形成。

[0044] 步骤四:在像素电极层上形成发光功能层,控制每个子像素电极组中的两个子像素电极上的发光功能层的颜色相同。

[0045] 步骤五:在发光功能层上形成顶电极层。

[0046] 发光功能层可以是有机发光功能层,也可以是量子点发光功能层。发光功能层可以是单独的发光层,也可以是发光层与其他功能层的复合层,功能层如空穴注入层、空穴传输层、电子阻挡层、空穴阻挡层、电子传输层及电子注入层等一层或多层,其中,空穴注入层、空穴传输层、电子阻挡层等可以采用印刷技术制作,其位于发光层与像素电极之间,空穴阻挡层、电子传输层及电子注入层等可采用真空蒸镀制程技术沉积在发光层与顶电极之间,其可以与顶电极一样,整体覆盖在发光层及凸出的像素界定层的表面。

[0047] 一种电致发光显示器件,包括封装结构以及位于所述封装结构内的上述电致发光显示器件的像素结构。

[0048] 上述电致发光显示器件及其像素结构,通过将颜色相同的且相邻的子像素21的发光区211相对且相邻设置形成子像素组215,该子像素组215中的两个子像素21的发光区211位于像素界定层218的同一像素坑内,从而成倍地增加了像素界定层218的开口区面积,也即增加了墨水的沉积区域,可以防止墨水因单个子像素21面积过小引发的溢出现象,从而对于实现高分辨率的显示器件的印刷工艺制作具有显著的效果。同时相对于传统的像素条带的像素排列结构,其驱动电路排布不需要进行大幅度修改,易于与现有的制程工艺兼容,可广泛应用。

[0049] 以上所述实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0050] 以上所述实施例仅表达了本发明的几种实施方式,其描述较为具体和详细,但不能因此而理解为对发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,这些都属于本发明的保护范围。因此,本发明专利的保护范围应以所附权利要求为准。

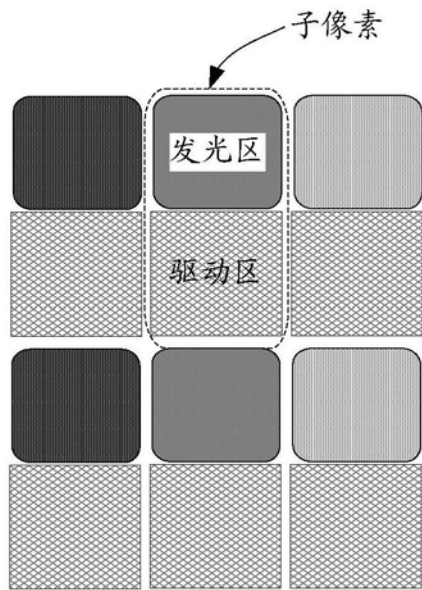


图1

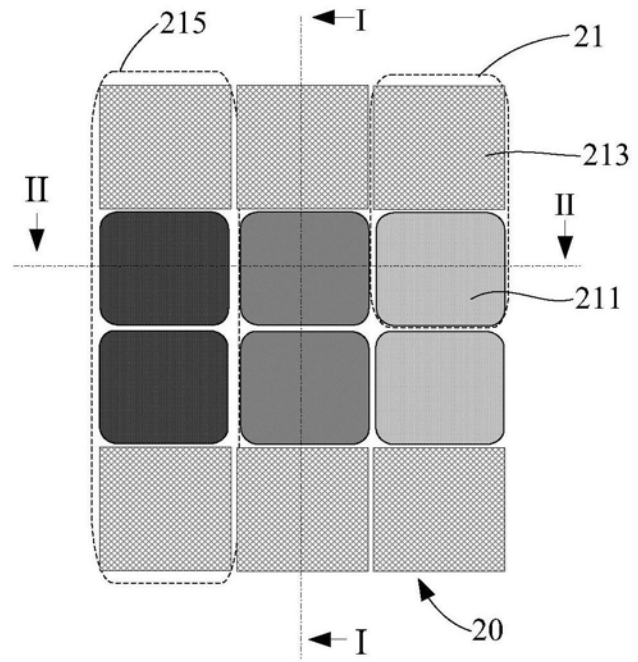


图2

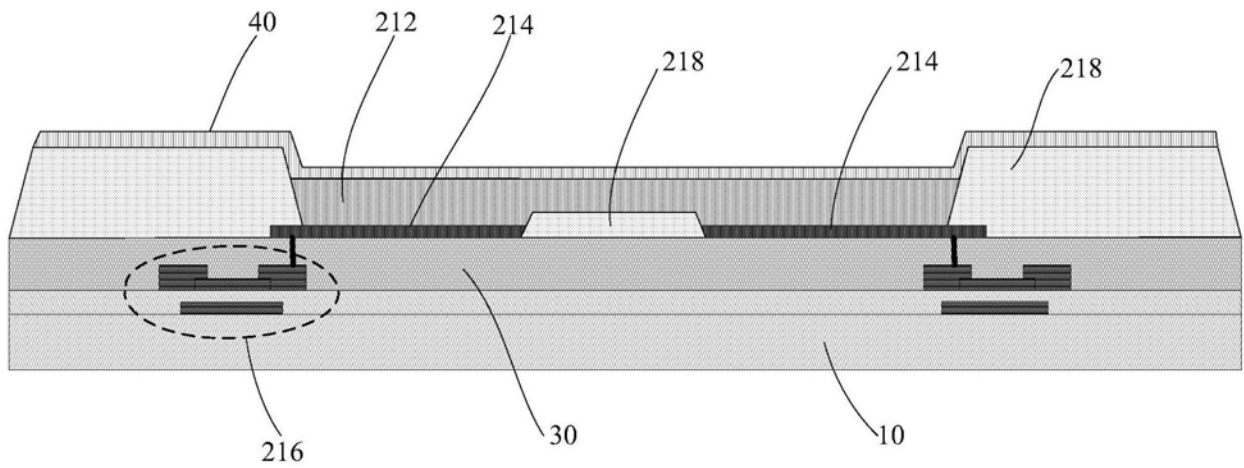


图3

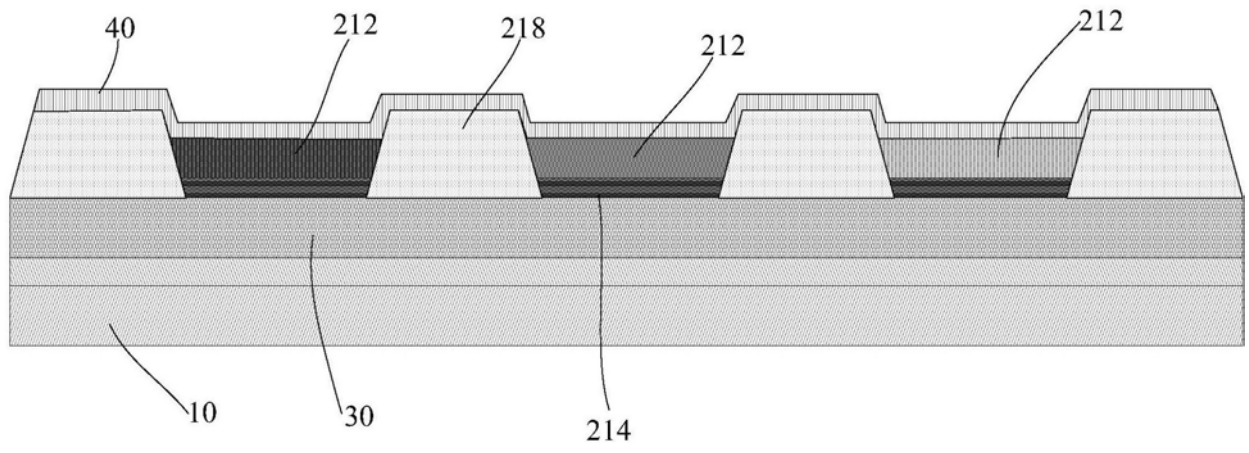


图4

专利名称(译)	电致发光显示器件及其像素结构和制作方法		
公开(公告)号	CN107658326A	公开(公告)日	2018-02-02
申请号	CN201710165737.2	申请日	2017-03-20
[标]申请(专利权)人(译)	广东聚华印刷显示技术有限公司		
申请(专利权)人(译)	广东聚华印刷显示技术有限公司		
当前申请(专利权)人(译)	广东聚华印刷显示技术有限公司		
[标]发明人	陈亚文		
发明人	陈亚文		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3218 H01L27/3246 H01L51/56		
代理人(译)	林青中		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种电致发光显示器件及其像素结构及制作方法。该电致发光显示器件及其像素结构，通过将颜色相同的且相邻的子像素的发光区相对且相邻设置形成子像素组，该子像素组中的两个子像素的发光区位于像素界定层的同一像素坑内，从而成倍地增加了像素界定层的开口区面积，也即增加了墨水的沉积区域，可以防止墨水因单个子像素面积过小引发的溢出现象，从而对于实现高分辨率的显示器件的印刷工艺制作具有显著的效果。同时相对于传统的像素条带的像素排列结构，其驱动电路排布不需要进行大幅度修改，易于与现有的制程工艺兼容，可广泛推广应用。

